(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G06F 12/00

(45) 공고일자 2003년07월18일
(11) 등록번호 10-0382669
(24) 등록일자 2003년04월21일

(21) 출원번호 10-1995-0009779
(22) 출원일자 1995년04월25일

(65) 공개번호 특1996-0002003
(43) 공개일자 1996년01월26일

(30) 우선권주장 94-123412 1994년06월06일 일본(JP)

(73) 특허권자
가부시키가이샤 히타치 쪼오 엘.에스.아이.시스템즈
일본국 도오쿄오토 코다이라시 조우스이혼쪼 오 5쪼 오메 20반 1고오

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
다케우치간
일본국코다이라시조우스이혼쪼오5-16-3-1

호리구치마사시
일본국가와사키시다마쿠나카노시마6-29-2-207

아오키마사카즈
일본국도코로자와시히가시도코로자와3-24-20

사카타다케시
일본국구니타치시나카1-14-23라.가비나.데.야미치

다나카히토시
일본국오오메시오오메1143-1오오메가덴힐즈파트2109고오시츠

마츠노가츠미
일본국고쿠분지시히가시코이가쿠보3-1-3

(74) 대리인
특허법인 원전
강용복

심사관 : 박영복

(54) 메모리시스템

요약

규모와 칩 면적이 증대하여도 입출력회로에서 메모리블럭까지의 신호지연에 기인하는 속도열화 및 설계의 복잡화를 회피할 수 있는 메모리시스템을 제공한다.
메모리칩(Sys0)은 각각 어드레스버퍼(AB) 및 어드레스카운터(AD.C)를 가지고 독자의 클럭으로 동작하는 복수의 메모리어레이블럭(Bi)과 외부장치의 클럭(CLK)에 동기하는 제어회로(CNTLO)와 Bi에서 보내져오는 시리얼데이터를 제어회로(CNTLO)의 CLK에 동기하도록 속도변조를 행하는 버퍼(BFO)를 포함하는 데이터입출력동기회로(CLKMTO)를 가진다. 버퍼(BFO) 와 각 메모리어레이블럭(Bi)은 데이터버스 I/O로 연결되고, 외부클럭신호선을 메모리어레이블럭(Bi) 내부까지 분배하지 않는다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명에 관한 메모리 시스템의 일실시예의 주요부를 나타내는 블럭도,
제 2 도는 제1도의 메모리 시스템에서 메모리 어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터 전송동작의 일예를 나타내는 동작파형도,
제 3 도는 제1도의 메모리 시스템에서 제어회로(CNTLO)에서 선택된 메모리 어레이블럭(B1)으로의 데이터 전송동작의 일예를 나타내는 동작파형도,
제 4 도는 제1도의 메모리시스템에서 제어회로(CNTLO)의 구체적 회로구성의 일예를 나타내는 불럭회로도,
제 5 도는 제4도의 폴리플롭(FFli)의 구성예를 나타내는 회로도,
제 6 도는 제4도의 데이터입출력동기회로(CLKMTOA)의 내부동작의 일예를 나타내는 동작파형도,
제 7 도는 제1도의 메모리어레이블럭(Bi)의 인터페이스 회로의 일예를 나타내는 주요부 블럭도,
제 8 도는 본 발명에 관한 메모리시스템의 다른 실시예의 주요부를 나타내는 블럭도,
제 9 도는 제8도의 메모리시스템에서 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터전송동작의 일예를 나타내는 동작파형도,
제 10 도는 제8도의 메모리시스템에서 버퍼상태신호(BEST)에 의한 메모리어레이블럭(Bi)의 일시정지 및 재시동을 설명하기 위한 설명도,
제 11 도는 제8도의 메모리시스템에서 데이터입출력동기회로(CLKMTOB)의 구체적회로 구성의 일예를 나타내는 블럭회로도,
제 12 도는 제1도의 메모리시스템에서 외부장치의 클럭이 메모리어레이블럭의 내부 클럭보다 고속인 경우의 데이터입출력동기회로(CLKMTO)의 구체적 회로구성의 다른 예를 나타내는 블럭회로도,
제 13 도는 본 발명에 관한 메모리시스템에 있어서, 시스템내 클럭지연의 분포가 클럭주파수에 영향을 주지 않는 것을 나타내기 위한 동작파형도,
제 14 도는 본 발명에 관한 메모리시스템에 있어서, 메모리어레이블럭에 파이프라인방식을 적용한 경우에 파이프라인 최장단의 처리속도변동이 클럭주파수에 영향을 주지 않는 것을 나타내기 위한 동작파형도,
제 15 도는 본 발명에 관한 메모리시스템의 또 다른 실시예의 주요부를 나타내는 블럭회로도이고, 반도체메모리칩에 적용한 경우의 도면,
제 16 도는 제15도의 메모리시스템에서 내부클럭 발생회로의 일예를 나타내는 블럭회로도,
제 17 도는 본 발명에 관한 메모리시스템의 또다른 실시예의 주요부를 나타내는 블럭회로도이고, CPU와 복수의 메모리칩으로 되는 전자장치에 적용한 경우의 도면,
제 18 도는 종래의 1개의 클럭에 동기해서 제어하는 메모리시스템의 주요부를 나타내는 블럭회로도,
제 19 도는 제18도의 종래 메모리시스템의 시스템내 클럭지연의 분포에 의한 속도열화를 나타내는 동작파형도,
제 20 도는 제18도의 종래 메모리시스템에 있어서, 메모리어러이블럭에 파이프라인방식을 적용한 경우 파이프라인 최장단의 처리속도변동이 클럭주파수에 주는 영향을 나타내기 위한 동작파형도이다.
** 도면의 주요부분에 대한 부호의 설명 **
ABi. . . . .어드레스버퍼, AD. . . . .어드레스버스,
AD.Ci. . . . .어드레스카운터, Bi. . . . .메모리블럭(메모리어레이블럭),
Bi.CLK.gen. . . . .블럭내 클럭발생회로, BFO. . . . .버퍼,
BFST. . . . .버퍼상태신호, BL. . . . .연속데이터수,
BS-. . . . .블럭선택신호, CLK. . . . .제어회로의 클럭(CPU의 클럭),
CLKMTO,CLKMTOA. . . . .데이터입출력동기회로,
CLKMTOB,CLKMTOC. . . . .데이터입출력동기회로,
CLKMTm. . . . .데이터입출력동기회로, CNTLO. . . . .제어회로,
CNTLm. . . . .제어회로, Counteri. . . . .카운터,
CS-. . . . .칩 선택신호, Deci. . . . .디코더,
DT,DB. . .입출력 상보데이터선쌍, Ei. . .디코더출력(플리플롭회로선택선),
FF1i. . . . .플리플롭회로(레지스터), I/O. . . . .상보데이터버스,
I/Oi. . . . .메모리블럭내 상보데이터선,
HOLDO. . . . .홀드회로(BFST 출력회로),
M.Chipi. . . . .메모리칩, MBi. . . . .메모리어레이블럭,
MARYi. . . . .메모리어레이, MAi. . . . .메인엠프,
MBi.CLK.gen. . . . .내부클럭발생회로, Bi. . . . .파이프라인 각단,

Qi. . . . .플리플롭회로출력, Vref. . . . .엠프기준전압,
Wait. . . . .제어회로의 일시정지신호,
WE. . . . .라이트 인에이블신호(기록/판독선택).

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속, 저소비전류, 고신뢰성에서 또 설계가 용이한 메모리시스템에 관한 것으로, 특히 중앙연산처리장치(이하, CPU라 한다)와 복수의 메모리칩사이 혹은 메모리칩내의 입출력회로와 메모리어레이블럭간의 동기된 데이터 전송방식을 구비하는 메모리시스템에 관한 것이다.
근년, 반도체장치 혹은 전자장치에서의 메모리시스템에서는 시스템 전체가 1개의 클럭에 동기해서 동작하는 구성으로 되어 있다. 제18도는 이와 같은 1개의 클럭에 동기해서 제어하는 종래의 메모리시스템의 구성예를 나타낸 것이다. 시스템(Sys1)은 메모리블럭(Bc1, Bc2,……) 등으로 구성되고, 각 메모리블럭(Bc1, Bc2,……)은 제어회로(CNTLC)에 의해 제어된다. 예를 들면, 시 스템(Sys1)을 메모리칩으로 하면, 메모리블럭(Bc1)은 칩내를 복수로 분할하였을 때 1개의 메모리어레이 블럭이고, 제어회로(CNTLc)는 외부장치와의 인터페이스회로이다. 이 메모리칩(Sys1)을 외부장치, 예를 들면 CPU(미도시)에 동기해서 동작시키기 위해 CPU에서의 클럭신호선(10)이 칩 전체에 망라된다. 이와 같은, 동기 메모리 칩의 상세는, 예를 들면 일본특허공개 평 5-120114호 공보에 기재되어 있다. 이와 같이 구성하는 것에 의해 시스템 전체의 설계가 용이하게 되고, 고속화도 달성하기 쉽게 된다. 그 이유는, 예를 들면 CPU가 메모리 칩(Sys1)에 데이터를 요구한 경우, 일정의 클럭사이클 후에 데이터가 CPU가 동기해서 전송되는 것이 항상 정해져 있기 때문이다. 그리고, 클럭신호에 동기해서 행하는 파이프라인 방식에 의한 고속화의 설계도용이했기 때문이다.
또한, 데이터를 연속해서 고속으로 출력하는 방법으로 해서, 시스템 전체가 1개의 클럭에 동기해서 동작하는 상기 구성에 의한 파이프라인 방식 이외에 병렬출력하는 방법이 공지되어 있다. 즉, 연속데이터의 적어도 일부를 모아서 출력하고, 이들을 일시적으로 소정의 버퍼영역에 기억해 두며, 그리고 이 버퍼영역에서 고속으로 순찰출력하는 방식이다. 이와 같은 방식은, 예를 들면 일본특허공개 소 57-150190호 공보에 나타나 있다.
그러나, 상술한 전자의 1개의 클럭에 동기해서 동작하는 종래의 메모리시스템(Sys1)에 의하면 이하와 같은 문제점이 있다.
(1) 제19도에 나타낸 바와 같이, 시스템내의 클럭지연의 분포에 기인한 처리속도의 열화가 있다. 제19도는 종래의 클럭동기방식의 시스템내 클럭지연의 상이함 을 설명하는 동작파형도이다. 제19도에 있어서, CLK(CNTLc)는 제어회로(CNTLc)의 클럭파형, CLK(Bcs)는 제어회로(CNTLc)에 근접해서 배치된 메모리블럭(Bcs)의 클럭파형, CLK(Bct)는 메모리블럭(Bcs)에 비해 제어회로(CNTLc)에서 멀리 배치된 메모리블럭(Bct)의 클럭파형, Bcs처리 및 Bct처리는 각각 메모리블럭(Bcs) 및 메모리블럭(Bct)에서 데이터처리를 나타내는 파형, CNTLc 다음단 처리는 1개의 일을 처리한 후의 다음 처리를 나타내는 파형이다.
즉, 제19도에서 명백해진 바와 같이, 제어회로(CNTLc)에 근접해서 배치된 메모리블럭(Bcs)에 비해 멀리 배치된 메모리블럭(Bct)에서는 클럭이 보다 지연된다. 각 메모리블럭내에서 1개의 일에 요하는 시간을 TO, 가장 신호전달이 지연되는 메모리블럭(Bct)에서의 신호지연을 △T1이라하면, 전체를 동기적으로 동작시키기 위해서는 제어회로의 클럭신호 CLK(CNTLc)의 클럭주기는TO+2×△T1 이상으로 할 필요가 있다. 여기서, 계수 2는 메모리블럭(Bct)에서의 처리개시를 지시하는 클럭신호 CLK(Bct)의 지연과, 메모리블럭(Bct)의 출력이 제어회로(CNTLc)에 도달하기 까지의 지연의 합을 의미한다. 이와 같이, 이상적 클럭주기(TO)에 대해 2×△T_1 만큼 처리속도가 열화한다는 문제점이 있다.
(2) 파이프라인 구성으로한 경우, 제20도에 나타낸 바와 같이, 처리속도의 변동에 대한 마진의 필요성으로 동작속도의 열화가 생긴다. 제20도는 종래의 클럭동기방식의 파이프라인 방식에 의한 파이프라인 최장단 및 각단의 처리속도의 상이함을 설명하는 동작파형도이다. 제20도에 있어서, Bcr 출력은 파이프라인 3단의 경 우 메모리블럭(Bcr)의 데이터 1에서 데이터 4까지의 데이터처리의 출력을 나타내는 파형이다.
즉, 제20도에서 명백해진 바와 같이, 처리속도가 최장의 단(여기서는 P2)의 평균적인 처리속도를 Tc라 하면, 디바이스 특성의 변동, 온도의존성 등을 고려해서 제어회로의 클럭 신호 CLK(CNTLc)의 주기는 평균처리속도(Tc)에 마진분 △T2를 더한만큼 지연해야 할 필요가 있다는 문제점이 있다. 또, 파이프라인 각단(P1,P2,P3)의 처리속도의 상이함에 기인해서 최초의 데이터가 출력되기까지 요하는 시간은 각단(P1,P2,P3)의 처리속도의 총합보다도 상당히 지연된다라는 문제점도 있다. 예를 들면, 파이프라인이 3단 구성의 경우에는 처리시간 Tc+△T2의 약 3배로 된다.
(3) 시스템 전체에 망라된 클럭신호선(10)을 클럭주파수에서 충방전하므로 소비전류가 증대한다라는 문제점이 있다. 특히, 이 소비전류의 증대는 시스템을 고속화할 때 현저하게 된다.
(4) 시스템 전체에 망라된 클럭신호선(10)의 충방전에 따라 많은 잡음이 발생한다라는 문제점이 있다.
(5) 클럭신호지연의 시스템내에서의 분포를 고려하여 동작타이밍 등을 정할 필요가 있고, 설계가 번잡하게 된다라는 문제점이 있다.
이상의 문제점은 칩 사이즈가 증대해서 배선길이가 길게 된다든지, 시스템의 규모가 크게되면 점점 더 심각해진다.

또한, 상술한 종래예의 후자의 연속데이터의 적어도 일부를 모아서 출력하고, 이들을 일시적으로 소정의 버퍼영역에 기억시킨 후, 버퍼영역에서 고속으로 순 차 출력한다라는 병렬출력방식에 있어서도, 이하와 같은 문제점이 있다.
(1) 병렬로 데이터를 출력하기 위해서는 입출력선이나 메인엠프 등이 복수개 필요하게 되고, 칩 면적의 증대를 초래한다라는 점.
(2) 한번에 복수 비트분의 판독동작을 행하기 위해 소비전력의 피크치가 증대한다라는 점.
(3) 소수비트, 예를 들면 1비트의 데이터를 판독하는 경우에도 회로구성상 불필요하게 복수개의 데이터를 판독하게 되어 소비전류가 불필요하게 증대한다라는 점.
그래서, 본 발명의 목적은 외부장치의 클럭과 동기해서 동작시키는 방식의 이점을 활용하면서 상기 문제점을 해결한 메모리시스템을 제공하는 것이고, 메모리시스템이 반도체 장치의 경우라면 칩 면적이 증대해도 칩 내의 입출력회로에서 메모리어레이블럭까지 클럭 신호의 지연에 기인하는 속도열화 및 설계의 복잡화를 회피할 수 있고, 혹은 메모리시스템이 CPU에 다수의 메모리칩을 접속하는 전자장치의 경우라면 메모리칩 구성수가 대규모화하여도 CPU와 메모리칩 사이의 신호지연에 기인하는 속도열화 및 설계의 복잡화를 회피할 수 있는 메모리시스템을 제공하는 것에 있다. 그 이외에, 클럭신호선의 충방전에 의한 소비 전류 및 잡음을 저감해서 저소비전력 및 고신뢰성을 도모한 메모리시스템을 얻는 것도 과제로 되어 있다.
상기 과제를 해결하기 위한 본 발명에 관한 메모리시스템은, 제1도의 실시예에서 말하자면, 복수의 메모리블럭, 즉 메모리어레이블럭(Bi)과 이들의 각 메모리어러이블럭(Bi)을 제어하기 위한 공통의 제어회로(CNTLO)를 적어도 가지는 메모리 시스템에 있어서, 시리얼로 입력하게 되는 데이터를 소요의 주기로 변환해서 시리얼로 출력하는 데이터입출력동기회로(CLKMTO)를 가지고, 해당 데이터입출력동기회로의 입력부, 즉 버퍼(BEO)와 상기 복수의 메모리어레이블럭(Bi)을 상보데이터버스(I/O)에 접속해서, 상기 데이터입출력동기회로(CLKMTO)의 출력주기를 이 데이터입출력동기회로에 접속배치한 상기 제어회로(CNTLO)에 의해 제어하도록 구성한 것을 특징으로 한다.
또한, 본 발명에 관한 메모리시스템은 복수의 메모리블럭과, 이들의 각 메모리블럭을 제어하기 위한 공통의 제어회로를 적어도 가지는 메모리시스템에 있어서, 상기 각 메모리블럭은 접속된 상보데이터버스상의 1쌍의 전위가 같은 값에서 다른 값 또는 다른 값에서 같은 값으로 변화한 것을 검지하여 데이터 기록을 행하는 어드레스 절환수단, 즉 제7도의 실시예에서 말하자면 입력부(7A)와 어드레스 카운터(AD.C)를 가지는 것을 특징으로 한다. 이 경우, 임의의 주기에서 시리얼로 입력하게 되는 데이터를 필요한 주기로 변환해서 시리얼로 출력하는 데이터입출력동기회로(CLKMTO)를 더 설치하면 바람직하다.
상기 데이터입출력동기회로(CLKMTO)는 복수의 레지스터로 되는 버퍼, 즉 제4도의 실시예에서 말하자면 플리플롭(FFli)으로 되는 버퍼(BEO)를 가짐과 동시에 상기 상보데이터버스(I/O)상의 1쌍의 데이터선(DT,DB)의 전위가 같은 값에서 다른 값 또는 다른 값에서 같은 값으로 변화한 것에 호응해서 상기 복수의 레지스터의 입력내의 1개를 상기 데이터 버스에 순회적으로 접속해가는 한편, 상기 제어회로(CNTLO)에서의 클럭신호에 호응해서 상기 복수의 레지스터 출력내의 1개를 외부장치, 예를 들면 CPU로 데이터출력하기 위해 상기 제어회로(CNTLO)의 출력선에 순회적으로 접속해가는 수단, 즉 카운터(Counter2) 및 디코더(Dec2)로 이루어지는 회로를 구비하도록 구성하면 좋다.
한편, 상기 메모리 시스템에 있어서, 각 메모리블럭 즉 메모리어레이블럭(Bi)은 제1도에 나타낸 바와 같이 어드레스버퍼(AB) 및 어드레스카운터(AD.C)를 구비하면 바람직하다.
또한, 각 메모리블럭은 연속한 어드레스의 데이터열을 상기 제어회로(CNTLO)에서 공급된 초기 어드레스(a) 및 연속데이터수(BL)에 따라서 독자의 주기로 상기 제어회로에서의 제어없이 상기 데이터버스에 시리얼로 출력하는 출력수단, 즉 제7도의 실시예에서 말하자면 블럭선택신호(바 BS)(이하 바 BS는 BS-로 표시한다)에 의해 동작을 개시하는 내부클럭 발생회로(Bi.CLK.gen)를 펄스원으로해서 포함하는 출력수단을 가지고, 상기 제어회로에서 공급되는 상기 데이터수는 최대에서도 상기 데이터입출력 동기회로(CLKMTO)의 버퍼(BFO)의 레지스터수와 같도록 구성한다.
또, 상기 메모리블럭에서 상기 데이터버스를 통해 버퍼(BFO)로 데이터를 전송할 때 상기 메모리블럭에서 상기 버퍼에 미리 전송되어 외부장치로는 아직 출력되지 않은 미출력데이터의 수를 감시하여 미출력데이터의 수가 소정수를 초과한 경우에 상기 메모리블럭에 동작의 일시정지신호를 송출하는 버퍼상태신호 발생회로, 즉 제11도에서 말하자면 논리회로(CompO) 및 홀드회로(HOLDO)로 이루어지는 버퍼상태신호(BFST)를 출력하는 회로를 구비할 수 있다.
이 경우, 상기 버퍼상태신호 발생회로는 상기 일시정지신호에 의해 상기 메 모리블럭에서 상기 버퍼(BFO)로의 데이터 전송이 정지한 후, 상기 미출력데이터의 수가 소정수까지 감소한 경우에 상기 메모리블럭에 재시동의 신호를 송출하는 기능을 더 구비하면 바람직하다.
혹은, 상기 메모리시스템에 있어서, 상기 메모리블럭에서 상기 버퍼(BFO)로 데이터를 전송할 때 상기 메모리블럭에서 상기 버퍼로 미리 전송되어 외부장치로는 아직 출력되지 않은 미출력데이터의 수를 감시해서 미출력데이터의 수가 소정수까지 감소한 경우에 상기 제어회로에 상기 버퍼에서 데이터출력의 일시정지를 지시하는 신호를 송출하기 위한 회로, 즉 제12도의 실시예에서 말하자면 제어회로(CNTLO)로 일시정지신호(Wait)를 출력하는 논리회로(Compl)를 구비하도록 구성해도 좋다.
또한, 상기 메모리시스템은 메모리블럭을 메모리칩내의 분할된 복수의 메모리어레이블럭의 각 메모리어레이블럭으로 하고, 즉 제15도에서 말하자면 메모리어레이블럭(MBi)이고, 상기 제어회로를 메모리칩내에 설치한 외부장치와의 인터페이스회로, 즉 CNTLm으로 해서 구성한 반도체 메모리칩으로 할 수 있다.
이 경우, 판독데이터를 검출해서 메모리어레이블럭을 독자의 주기로 동작시키기 위한 클럭을 발생하는 클럭발생회로, 즉 MBi.CLK.gen을 상기 각 메모리어레이블럭(MBi)마다 설치하면 좋다.
또한, 상기 메모리시스템은, 예를 들면 제17도에 나타낸 바와 같이, 상기 제어회로를 CPU로 하고, 상기 메모리블럭을 메모리칩으로 해서 구성한 CPU와 복수의 메모리칩으로 이루어지는 전자장치 라도 좋다.

본 발명에 관한 메모리시스템은, 예를 들면 제1도 제7도에 나타낸 바와 같 이, 외부 장치, CPU의 클럭(CLK)을 메모리칩(SysO)의 전체에는 분배하지 않고, 메모리칩의 입출력 인터페이스인 제어회로(CNTLO)에만 CPU의 클락(CLK)에 동기해서 동작한다. 메모리칩(SySO)은 독자의 내부주기로 일련의 데이터를 시리얼로 출력하는 복수의 메모리어레이블럭(Bi)에서 상보데이터버스(I/O)를 통해서 시리얼로 보내게 되는 데이터얼을 버퍼(BFO)를 포함하는 테이터입출력동기회로(CLKMTO)에 의해 클럭(CLK)에 동기하도록 시간조정해서 제어회로로 출력한다.
메모리칩(SysO)의 판독동작은 다음과 같이 행해진다. 각 메모리어레이블럭(Bi)마다 어드레스버퍼(AB) 및 어드레스카운터(AD.C)를 가지고, 초기 어드레스(a) 및 연속데이터수(BL)가 CPU에서 제어회로(CNTLO)를 경유해서 메모리어레이블럭(Bi)에 공급된 뒤에는 메모리어레이블럭(Bi)은 어드레스카운터(AD.C)를 카운트 엎하면서 독자의 주기로 차례차례 데이터열을 출력한다. CPU와는 다른 주기로 메모리어레이블럭(Bi)에서 버퍼(BFO)로 보내지게 되는 데이터열을 CPU에 동기해서 출력하기 위해 우선, 매모리어레이블럭(Bi)에서 데이터를 버퍼(BFO)내의 다른 레지스터(FF1i)에 차례차례로 일시 저장한다. 이 일시저장동작은 데이터입출력동기회로(CLKMTO)가 상보데이터버스(I/O)이상의 1쌍의 데이터선(DT,DB)의 전위가 같은 값에서 다른 값(또는 그 반대로)으로 변화하는 것에 의해 새로운 데이터의 도착을 인식하고, 상기 복수의 레지스터(FF1i)의 1개의 입력을 데이터버스에 순회적으로 접속하는 것에 의해 행해진다. 이 일시저장 동작에 거의 병행해서 CPU의 클럭주기(CLK)에 맞추어 버퍼(BFO)의 데이터를 제어회로(CNTLO)를 통해서 외부로 출력하기 위해 데이터 입출력동기회로(CLKMTO)는 제어회로에서의 클 럭, 즉 CPU의 클럭(CLK)에 동기해서 상기 복수의 레지스터(FF1i)의 1개의 출력을 제어회로(CNTLO)에 순회적으로 접속한다. 이와 같이해서 메모리어레이블럭(Bi)에서의 데이터는 데이터입출력동기회로(CLKMTO)를 통과시 시간지연도 거의 없고, CPU의 클럭(CLK)에 동기해서 차례차례 출력된다.
여기서, 연속데이터수(BL)가 버퍼(BFO)의 용량 이상이고, 메모리어레이블럭(Bi)의 클럭이 CPU의 클럭(CLK)보다 고속인 경우는 어느 BFO도 가득차게 되어 전송 불가능하게 되어 버리지만, 본 발명에 관한 메모리시스템에 의하면 버퍼(BFO) 및 어드레스카운터(AD.C)를 수 비트의 소용량으로 하는 것이 가능하게 된다. 즉, 버퍼(BFO)의 용량을 초과하는 연속 데이터를 메모리어레이블럭(Bi)에서 CPU로 출력하는 경우, 예를 들면 제어회로(CNTLO)는 우선 버퍼(BFO)의 비트수만큼 데이터를 메모리어레이블럭(Bi)에 요구한다. 그리고, 제어회로(CNTLO)는 이 비트수의 데이터수와 같은 클럭수의 다음, 또 버퍼(BFO)의 비트수만큼 데이터를 메모리어레이블럭(Bi)에 요구한다. 이것을 반복하는 것에 의해 CPU는 버퍼(BFO)의 비트수를 초과하는 연속데이터를 CPU의 클럭(CLK)의 주기에서 지연없이 메모리어레이블럭(Bi)에서 얻을 수 있다.
혹은, 제8도 제11도에 나타낸 바와 같이, 버퍼(BFO)가 전송데이터로 가득차게 되지만, 혹은 나머지 수비트로 된 시점에서 버퍼(BFO)에서 메모리어레이블럭(Bi)으로 일시정지신호, 즉 버퍼상태신호(BFST)를 보낸다. 그리고, 버퍼(BFO)가 거의 비어 되돌려진 상태에서 일시정지를 해제한다. 이것에 의해 CPU는 버퍼(BFO)의 비트수를 초과하는 연속데이터를 CPU의 클럭(CLK)의 주기에서 지연없이 메모리어레이블럭(Bi)에서 얻을 수 있다.
메모리칩(Sys0)으로의 기록은 다음과 같이 행해진다. 외부장치, 즉 CPU에서 일련의 데이터열은 제어회로(CNTLO)를 경유해서 상보데이터로 해서 상보데이터버스(I/O)로 보내진다. 데이터를 받은 메모리어레이블럭(Bi)은 상보데이터버스(I/O)상의 1쌍의 데이터선(DT,DB)의 전위가 같은 값에서 다른 값으로(또는 그 반대로) 변화하는 것에 의해 새로운 데이터의 도착을 인식하고, 메모리어레이블럭(Bi) 내부의 어드레스카운터(AD.C)를 카운트엎하여 데이터를 연속한 어드레스에 저장해 간다.
또, 이상 기술한 메모리칩(Sys0)의 구성을 제17도에 나타낸 바와 같이, CPU와 복수의 메모리칩(M.Chipi)으로 되는 전자장치에 적응하는 것에 의해 CPU와 메모리칩(M.Chipi) 사이에 CPU의 클럭(CLK)의 신호선을 배선하지 않고, 메모리칩(M.Chipi)과 CPU 사이의 데이터 전송을 CPU의 클럭(CLK)에 동기해서 행할 수 있다. 이 경우, 상기 메모리어레이블럭(Bi)은 메모리칩(M.Chipi)에, 제어회로(CNTLO)는 CPU에 대응하여 CPU내 혹은 이것에 근접해서 제어회로(CLKMTO)가 설치된다.
여기서, 제13도 및 제14도의 동작파형도를 사용해서 본 발명에 관한 매모리시스템과 종래예의 메모리시스템과의 작용의 상이에 대해 간단히 설명한다.
제19도에 나타낸 종례예와 같이, 메모리시스템 전체를 1개의 클럭에서 주기적으로 동작시키는 구성에서는, 시스템내 메모리블럭사이에서 클럭지연의 상이함이 시스템의 고속화를 방해하였다. 이것에 대해서 본 발명에 관한 메모리시스템에서는 제13도에 나타낸 바와 같이, 예를 들면 제어회로(CNTLO)에서 가장 멀리 배치된 메모리블럭(Bt)의 출력이 제어회로(CNTLO) 근접해서 배치된 메모리블럭(Bs)에 대해서 클럭신호가 지연되어도 메모리시스템 전체가 1개의 클럭에서 주기적으로 동작하는 의미는 아니므로 메모리블럭(Bt)의 데이터가 출력되기까지 다음 클럭시작을 기다릴 필요는 없다. 제어회로(CNTLO)는 버퍼(BFO)로 메모리블럭(Bs,Bt)에서의 최초의 출력이 전송되기까지 최초의 데이터입력을 기다릴 필요가 있지만, 그 후는 메모리블럭(Bs,Bt)의 처리속도와 같은 속도로 데이터의 입력을 행할 수 있다.
이와 같이, 종래의 메모리시스템에서는 제어회로의 클럭신호(CLK)는 T0+2×△T1(메모리블럭 Bt의 클럭지연)의 주기인 것에 대해서, 본 발명에 관한 메모리시스템에서는 클럭신호(CLK)는 T0의 주기가 가능하게 되고, 메모리시스템내에서의 클럭지연의 상이함이 클럭주파수에 영향을 주지 않는다. 따라서, 고속의 메모리시스템을 얻을 수 있다.
또한, 제20도를 사용해서 설명한 바와 같이, 메모리블럭(Bi)내에 파이프라인 방식을 적용한 경우, 종래의 메모리시스템에서는 파이프라인 최장단의 설계상의 처리속도(TC)에 대한 변동을 예상하여 클럭주기는 TC+△T2보다 지연시키지 않으면 안되었다. 또, 파이프라인 각단, 예를 들면 파이프라인이 3단 구성에서 각단의 처리속도가 다른 경우, 최초의 데이터가 얻어지기 까지의 시간은 파이프라인 최장단의 클럭주기, TC+△T2의 약 3배가 필요하였다. 이것에 대해서, 본 발명에 관한 메모리시스템에서는 제14도에 나타낸 바와 같이, 제어회로(CNTLO)의 클럭신호(CLK)의 주기는 파이프라인 각단의 처리속도와는 별개로 임의로 설정할 수 있다. 왜냐하면, 제어회로의 클럭신호(CLK)는 버퍼(BFO)

에 저장된 데이터를 제어회로(CNTLO)로 보내는데에 사용될 뿐이고, 메모리블럭(Bi) 내부의 파이프라인동작과는 무관계하기 때문이다. 단, 메모리블럭(Bi)의 내부처리를 개시하여 제어회로(CNTLO)가 최초의 데이터를 입력받기까지의 시간을 일정치 이상으로 설정할 필요가 있다. 예를 들면, 데이터 1 데이터 4의 4개의 연속데이터를 메모리블럭(Bi)에서 제어회로(CNTLO)로 보내는 경우, 메모리블럭(Bi)에서 데이터 4가 버퍼(BFO)로 보내진 후에 제어회로(CNTLO)가 클럭신호(CLK)에 동기해서 데이터 4의 입력을 행하도록 제어회로(CNTLO)의 데이터 1 입력타이밍을 정할 필요가 있다. 한편, 최초의 데이터가 얻어지기 까지의 시간은, 예를 들면 파이프라인이 3단 구성의 경우, 종래의 메모리시스템이 파이프라인 최장단의 처리속도의 약 3배인 것에 대해서, 본 발명에 관한 메모리시스템에서는 각단의 처리속도의 합까지 단축할 수 있다. 따라서, 최후의 데이터, 예를 들면 데이터 4를 얻기 까지의 시간도 종래에 비해서 같은 만큼 단축 가능하다.

이상의 설명에서 명확하게한 바와 같이, 본 발명에 관한 메모리시스템에서 버퍼(BFO)의 동작은 종래부터 잘 알려져 있는 캐쉬메모리의 개념과는 이하의 2가지 점에서 전혀 다른 것이다.

(1) 버퍼(BFO)의 레지스터는 입력과 출력을 가지고, 레지스터로의 입력동작과 출력동작이 동시각에 병행해서 행해진다. 이것에 대해서, 캐쉬메모리에서는 기록동작과 판독동작을 동시에 행할 수 없다. 따라서, 본 발명에 관한 메모리시스템에서는 메모리어레이블럭(Bi)에서 데이터가 버퍼(BFO)에 머무르는 시간을 최소한으 로 억제되고, 메모리어레이블럭(Bi)에서 데이터가 거의 지연없이 버퍼(BFO)를 통과하는 것도 가능하다. 즉, 본 발명에 관한 메모리시스템에서 사용하는 버퍼(BFO)는 메모리어레이블럭(Bi)의 동작의 고속성을 생기게 하면서 외부장치에 동기해서 동작시키는 것을 목적으로 한 것이다.

(2) 버퍼(BFO)는 캐쉬메모리와 같이 한번에 데이터를 모아서 저장하고, 그리고 저장한 후에 모아서 방출하는 것은 아니며, 시리얼 데이터의 전송속도를 변조하기 위한 것이다. 따라서, 상술한 바와 같이, 전송해야할 데이터수보다 버퍼(BFO)의 용량을 훨씬 작게하여도 외부장치의 클럭으로 메모리어레이블럭에서 외부장치로 데이터를 지연없이 고속전송하는 것이 가능하다.

이하, 본 발명에 관한 메모리시스템의 바람직한 몇개의 실시예에 대해 도면을 사용해서 상세히 설명한다.

실시예 1

제1도는 본 발명에 관한 메모리시스템의 일실시예의 주요부를 나타내는 블럭도이고, 각 메모리블럭이 별개의 주기로 동작하면서 전체가 동기해서 동작하는 동기 메모리시스템이다. 이하에서는 복수의 메모리어레이블럭으로 분할된 메모리칩에 본 발명에 관한 메모리시스템을 적용한 경우에 대해서 설명하지만, CPU와 복수의 메모리칩으로 되는 전자장치에 대해서도 같은 형태로 적용할 수 있다.

제1도에 있어서, Sys0는 메모리시스템, 여기서는 메모리칩을 나타내고, 이 메모리칩(Sys0)은 독자의 내부주기로 일련의 데이터를 시리얼로 출력하는 복수의 메모리어레이블럭(Bi)(여기서, 첨자 i는 1,2,……)과, 메모리어레이블럭(Bi)에서 상보데이터버스(I/O)를 통해서 시리얼로 보내지는 데이터열을 외부장치, 예를 들면 CPU의 클럭신호(CLK)에 동기하도록 시간조정해서 외부출력하기 위한 버퍼(BFO)를 포함하는 데이터 입출력동기회로(CLKMTO) 및 외부장치와의 입출력 인터페이스인 제어회로(CNTLO)로 적어도 구성된다.

각 메모리어레이블럭(Bi)내에는 어드레스버퍼(AB)와 어드레스카운터(AD.C)로 되는 인터페이스회로가 설치되어 있다. 제어회로(CNTLO)와 각 메모리어레이블럭(Bi)은 블럭선택신호(BS-)의 신호선, 상보데이터버스(I/O), 어드레스버스(AD) 및 라이트인에이블신호(WE)의 신호선에 의해 각각 연결되어 있다. 그러나, 본 실시예의 구성에서는 제18도의 종래예에서 나타낸 클럭신호선(10)은 각 메모리어레이블럭(Bi)에 접속배치되어 있지 않다.

다음에, 이와 같이 구성된 본 실시예의 메모리시스템의 동작에 대해서 설명한다.

우선, 블럭선택신호(BS-)에 의해 복수의 메모리어레이블럭(Bi) 중 메모리어레이블럭(B1)이 선택된 것으로 한다. 이 메모리어레이블럭(B1)에서 데이터입출력동기회로(CLKMTO)와 제어회로(CNTLO)를 경유해서 외부장치의 CPU로 일련의 데이터를 전송하는 경우(즉, 메모리칩 Sys0에서 판독동작의 경우), 초기어드레스가 CPU에서 제어회로(CNTLO)를 통해서 선택된 메모리어레이블럭(B1)의 어드레스버퍼(AB)로 공급된 후는 메모리어레이블럭(B1)은 내부의 어드레스카운터(AD.C)를 카운트엎하면서 독자의 주기로 차례차례 데이터열을 출력한다. 데이터입출력동기회로(CLKMTO)는 이 도달한 데이터열을 내부의 버퍼(BFO)에 일시 저장해서 시간조정을 행하고, 제어회 로(CNTLO)에서 공급되는 일정의 주기(일반적으로는 CPU의 주기)로 제어회로(CNTLO)를 통해서 외부로 출력한다. 마찬가지로, 이 경우 버퍼(BFO)에서 일시 저장동작은 도달하는 데이터를 저장하고 있는 가운데에도 저장데이터를 차례차례 출력하고 있고, 밖에서 보면 데이터의 전송속도를 변조해서 출력하고 있는 것같은 동작이고, 도달하는 데이터를 일단 모아서 저장하고, 그 후 저장한 데이터를 출력한다라는 캐쉬메모리의 일시 저장동작과는 다르다.

여기서, 메모리어레이블럭(B1)의 내부클럭신호의 동작주파수가 CPU의 클럭신호(CLK)에 비해 고속인 것으로 하여도 버퍼(BFO)의 기억용량이 전송해야할 연속데이터수보다 크게 되면 버퍼(BFO)가 가득차게 되지 않고 데이터 전송을 계속할 수 있다. 이것에 대해서, 버퍼(BFO)의 기억용량이 소용량(n비트로 한다)인 경우에는 이하에 기술하는 방법에 의해 데이터 전송을 계속할 수 있다.

즉, 메모리어레이블럭(B1)의 내부주기가 CPU의 클럭신호(CLK)에 비해 고속일 때, 데이터를 연속적으로 전송하면 버퍼(BFO)가 곧 가득차게 되어 버린다. 그래서, 제어회로(CNTLO)는 즉각 n비트만큼 데이터를 메모리어레이블럭(B1)에 대해서 요구하고, n비트의 데이터 처리에 펼요로한 사이클의 후, 제어회로(CNTLO)는 재차 다음 어드레스에서 n비트만큼의 데이터를 메모리어레이블럭(B1)에 요구한다. 이것을 반복하는 것에 의해 버퍼(BFO)의 기억용량을 초과하는 임의의 길이의 연속데이터에 대해서도 정상으로 데이터 전송을 지연없이 행할 수 있다.

제2도는 제1에 나타낸 본 발명에 관한 메모리시스템(Sys0)에서 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터 전송동작을 나타내는 동작파형도이다. 제2도를 사용해서, 상기 데이터 전송동작을 보다 구체적으로 설명한다.

우선, 제어회로(CNTLO)의 클럭신호(CLK)에 동기해서 블럭선택신호(BS-)가 제어회로(CNTLO)에서 데이터입출력

동기회로(CLKMTO)를 통해서 각 메모리어레이블럭으로 전달되고, 필요한 메모리어레이블럭(Bi)이 선택된다. 선택된 메모리어레이블럭(Bi)은 이것을 받아 동작을 개시한다.
이때, 제어회로(CNTLO)에서 보내진 라이트인에이블신호(WE)가 로레벨이므로 메모리블럭(Bi)에서 제어회로(CNTLO)로의 데이터전송인 것을 선택된 메모리어레이블럭(Bi)은 인식한다. 또한, 선택된 메모리어레이블럭(Bi)은 동시에 제어회로(CNTLO)에서 어드레스버스(AD)를 통해서 보내진 초기어드레스(a) 및 연속데이터수(BL)를 인식한다. 단, 연속데이터수(BL)가 버퍼(BFO)의 용량, 예를 들면 4를 초과하는 경우에는 제어회로(CNTLO)는 우선 연속데이터수(BL)로해서 4를 지정한다.
메모리어레이블럭(Bi)내의 어드레스카운터(AD.C)는 초기치가 0으로 되어 있다. 이 어드레스카운터(AD.C)의 초기치 0과 어드레스버퍼(AB)에 전송된 초기 어드레스(a)에서 메모리어레이블럭(Bi)에서의 내부어드레스(AD.int)는 a로 설정된다. 그 결과, 어드레스(a)의 데이터가 메모리어레이블럭 내부처리후, 메모리어레이블럭(Bi)에서 상보데이터버스(I/O)에 출력된다. 어드레스카운터(AD.C)는 메모리어레이블럭(Bi)의 내부주기(일반적으로는 CPU의 클럭신호 CLK의 주기보다도 짧은)로 0에서 3까지 카운트엎되고, 이것에 대응해서 메모리어레이블럭(Bi) 내부에서 어드레스(AD.int)도 a에서 a+3까지 변화한다. 그리고, 어드레스 a에서 a+3 까지 4개의 연속데이터가 차례차례 메모리어레이블럭(Bi)에서 상보 데이터버스(I/O)로 출력된다.
한편, 제어회로(CNTLO) 근처에 접속배치된 데이터입출력동기회로(CLKMTO)내에는 4비트의 버퍼(BFO)가 설치되어 있으므로 선택된 메모리어레이블럭(Bi)에서 보내져오는 연속데이터는 버퍼(BFO)내의 4개의 플리플롭(EF1i)(제2도의 경우, 첨자 i는 0,1,2,3)에 순회적으로 보내지게 된다. 데이터의 입력앞인 플리플롭(FF1i)의 절환은 후에 나타내는 바와 같이, 메모리어레이블럭(Bi)에서 전송되는 데이터의 변화를 검지하여 행한다. 제어회로(CNTLO)는 데이터 전송지정에서, 예를 들면 제2도의 경우에서 3클럭후부터 버퍼(BFO)로 메모리어레이블럭(Bi)에서 보내지게 되는 데이터를 CPU의 클럭신호(CLK)에 동기해서 순차로 받아 외부로 출력한다.
다음에, 초기어드레스를 a+4로 해서 이상과 같은 동작을 최초의 데이터 전송지정에서 4클럭후에 개시한다.
이것을 반복하면, 메모리어레이블럭(Bi)의 내부주기가 CPU의 클럭신호(CLK)보다 고속인 경우에도 제어회로(CNTLO)는 버퍼(BFO)의 기억용량을 초과한 연속데이터를 CPU의 클럭신호(CLK)에 동기해서 지연없이 동시에 외부로 출력할 수 있다.
이와 같이 해서 메모리시스템(Sys0)에서 데이터 판독동작을 행하므로 클럭신호선(10)을 메모리시스템 전체에 분배하는 제18도에 나타낸 종래예의 경우에 비해, (1) 제13도에 전술한 바와 같이, 시스템내의 클럭지연의 분포에 기인하는 속도열화 없이, 고속의 판독동작을 행할 수 있는 메모리시스템이 얻어진다. (2) 제14도에 전술한 바와 같이, 파이프라인방식 채용시에 파이프라인 최장단의 처리속도 변동에 기인한 여분의 마진을 취할 필요가 없고, 고속의 판독동작을 행할 수 있는 메모리시스템이 얻어진다. (3) 클럭신호선의 충방전이 불필요하게 되고, 저소비전류의 메모리시스템이 얻어진다. (4) 고속으로 충방전되는 클럭신호선에 기인하는 잡음없이, 고신뢰성의 메모리시스템이 얻어진다. (5) 설계에 즈음해서, 메모리어레이블럭(Bi) 사이의 클럭지연의 상이함을 고려할 필요가 없으므로 설계가 용이하게 된다라는 등의 이점이 있다.
또, 버퍼(BFO)의 기억용량은 최대 전송비트수(예를 들면, 512비트)로 하여도좋지만, 본 실시예와 같이 소용량(여기서는 4비트)으로 해서 데이터전송을 반복하는 쪽이 메모리시스템(Sys0)을 소규모화 할 수 있다는 이점이 있다.
또한, 초기어드레스(a) 및 연속데이터수(BL)가 제어회로(CNTLO)에서 어드레스버스(AD)를 통해서 블럭선택신호(BS-)에 의해 선택된 메모리어레이블럭(Bi)으로 보내지고, 메모리어레이블럭(Bi)이 행해야할 일을 확정한 후는 이 일이 종료하기까지 선택된 메모리어레이블럭(Bi)은 어드레스버스(AD) 등의 신호선에서 끊어지는 것이 바람직하다. 이들 신호선에서 끊어지는 것에 의해 제어회로(CNTLO)는 다음 일을 준비하여 상기 신호선에 미리 신호를 보내놓게 되고, 선택된 매모리어레이블럭(Bi)이 일련의 일을 종료하고 상기 신호선에 재차 스스로를 접속한 순간에 다음일을 개시할 수 있다. 이 결과, 신호선을 충방전하는 데에 요하는 시간에 기인하는 속도열화를 회피할 수 있다.
다음에, 반대로 제1도의 메모리시스템(Sys0)에 있어서, 제어회로(CNTLO)에서 메모리 어레이블럭(Bi)으로 데이터를 전송하는 경우(즉, 메모리칩으로의 기록동작 의 경우)에 대해 데이터를 저장한다.
이와 같이 해서 메모리시스템(Sys0)으로의 기록동작이 행해지므로 클럭신호선(10)을 메모리시스템 전체에 분배하는 제18도에 나타낸 종래예의 경우에 비해, (1) 제어회로(CNTLO)측은 메모리시스템내의 클럭지연의 분포와는 무관계하고, 메모리어레이블럭(Bi)의 내부처리속도를 초과하지 않는 범위에서 연속데이터를 송신할 수 있으므로 고속으로 기록동작을 행하는 메모리시스템이 얻어진다. (2) 클럭신호선의 충방전이 불필요하게 되고, 저소비 전류의 메모리시스템이 얻어진다. (3) 고속으로 충방전되는 클럭신호선에 기인하는 잡음없이 고신뢰성의 메모리시스템이 얻어진다. (4) 설계에 즈음해서 메모리어레이블럭(Bi) 사이의 클럭지연의 상이함을 고려할 필요가 없으므로 설계가 용이하게 된다는 등의 이점이 있다.

실시예 2

제4도 내지 제6도를 사용해서 제1도에 나타낸 본 발명에 관한 메모리시스템을 구성하는 데이터입출력동기회로의 일실시예에 대해서 설명한다. 제4도의 (a)에 있어서, 참조부호 CLKMTOA는 데이터입출력동기회로를 나타내고, 제1도에서 회로블럭(CLKMTO)의 구체적 회로구성예이다. 라이트인에이블신호(WE)가 로레벨이고, 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로 데이터를 전송하는 모드의 경우, 메모리어레이블럭(Bi)에서 상보데이터버스(I/O)로 출력된 데이터는 데이터입출력동기회로(CLKMTOA)를 통해 제어회로(CNTLO)로 보내진다. 한편, 라이트인에이블신호(WE)가 하이레벨이고, 제어회로(CNTLO)에서 메모리어레이블럭(Bi)으로 데이터를 전송하는 모드의 경우에는 제어회로(CNTLO)에서의 데이터는 데이터입출력 동기회로(CLKMTOA)를 통하지 않고 직접 상보데이터버스(I/O)로 보내진다.
상기 데이터 입출력동기회로(CLKMTOA)는 상보데이터버스(I/O)의 한쌍의 데이터선(DT,DB)의 변화를 검지해서 펄스를 발생하는 NOR 게이트로 되는 회로(40A)와, 플리플롭(FF1i)(i=0 3)으로 구성되는 버퍼(BFO)와 버퍼(BFO)로

의 데이터 입력을 제어하는 카운터(Counter1) 및 디코더(Dec1)와, 버퍼(BFO)에서의 데이터출력을 제어하는 카운터(Counter2) 및 디코더(Dec 2)로 구성된다. 또, 플리플롭(FF1i)으로 해서는, 예를 들면 제5도에 나타낸 바와 같이, 4개의 NAND 게이트로 구성되는, 소위 클릭펄스 입력단자부착 RS 플리플롭을 사용할 수 있다.
다음에 제6도를 사용해서 이와 같이 구성되는 데이터입출력동기회로(CLKMTOA)의 내부동작을 설명한다. 제6도는 데이터입출력동기회로(CLKMTOA)의 내부동작 파형을 나타낸다. 제6도에 나타낸 바와 같이, 상보데이터버스(I/O)의 한쌍의 데이터선(DT,DB)은 기준전위(Vref)에 대해서 통상 로러벨이지만, 선택된 메모리어레이블럭(Bi)에서 데이터의 전송에 따라 데이터선(DT,DB)의 어느것도 하이레벨로 된다. 이때, 디코더(Dec1)의 4개의 출력선(Ei) 중 출력선(EO)만 하이레벨인 것에 대응해서, 데이터는 버퍼(BFO)내의 플리프롭(FF10)으로 입력되고, 플리플롭(FF10)의 Q0단자에서 출력된다. 상보데이터버스(I/O)의 한쌍의 데이터선(DT,DB)이 함께 로레벨로 되돌아가면 회로(40A)의 NOR게이트의 출력이 상승되고, 카운터(Counter1)는 0에서 1로 카운트엎된다. 이 결과, 디코더(Dec 1)의 출력선(E0)은 로레벨로 되고, 출력선(E1)이 하이레벨로 된다. 그리고, 메모리어레이블럭(Bi)에서 보내지는 다음의 데이터가 버퍼(BFO)내의 플리플롭(FF11)으로 입력 된다. 이와 같이 해서 메모리어레이블럭(Bi)에서 보내지는 데이터는 플리플롭(FF1i)에 순회적으로 입력된다.
한편, 버퍼(BFO)내의 플리플롭(FF1i)에서의 데이터출력은 제어회로(CNTLO)에서의 클럭신호(CLK)에 동기해서 행해진다. 이 클럭신호(CLK)에 의해 카운터(Counter 2)가 순차 카운트엎되고, 디코더(Dec 2)에 의해 버퍼(BFO)내의 플리플롭(FF1i) 중 하나가 순회적으로 제어회로(CNTLO)에 접속된다.
이와 같이 데이터입출력동기회로(CLKMTOA)가 동작하는 것에 의해 제어회로(CNTLO)의 클럭신호(CLK)보다도 고속의 주기로 메모리어레이블럭(Bi)에서 데이터가 전송된 경우에도 제어회로(CNTLO)는 클럭신호(CLK)에 동기해서 데이터를 받을 수 있다. 즉, 본 실시예에 의하면 제1도의 메모리시스템(Sys0)에 있어서, 메모리어레이블럭(Bi)의 내부주기가 외부장치의 클럭신호(CLK)와 동기하지 않고, 보다 고속이어도 전체로해서 동기적으로 데이터의 교환을 행할 수 있다. 그리고, 클럭신호(CLK)의 신호선(10)을 시스템 전체에 분배하는 제18도에 나타낸 종래의 메모리시스템(Sys1)의 경우에 비해 본 실시예의 메모리시스템(Sys0)에 있어서도 제2도의 실시예에서 기술한 것과 같은 효과를 가진다.
또, 데이터입출력동기회로(CLKMTOA)내의 회로(40A)는 제4도의 (b)에 나타낸 바와 같이, 상보데이터버스(I/O)와 NOR게이트 사이에 각각 기준전위(Vref)를 한쪽의 입력으로 하는 차동앰프(Amp11, Amp12)를 설치해도 좋다. 이것에 의해 메모리어레이블럭(Bi)에서 데이터전송시에 상보데이터버스(I/O)의 진폭을 작게할 수 있다. 이 결과, 상보데이터버스(I/O)의 충방전에 따른 소비전류를 더 한층 작게할 수 있 는 효과가 있다.

실시예 3

제7도를 사용해서, 제1도에 나타낸 본 발명에 관한 메모리시스템을 구성하는 메모리어레이블럭(Bi)의 인터페이스회로의 일실시예에 대해서 설명한다. 본 실시예의 인터페이스회로에서는 라이트인에이블신호(WE)의 상태에 응해서 어드레스카운터(AD.C)를 카운트엎하는 펄스원이 절환되도록 구성되어 있다. 제7도의 (a)에 있어서, Bi.CLK.gen은 메모리어레이블럭(Bi) 내부의 클럭발생회로를 나타내고, 라이트인에이블신호(WE)가 로레벨이고, 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터전송을 행하는 경우, 즉 메모리어레이블럭(Bi) 내의 메모리어레이(미도시)에서 출력버퍼(Dout)를 통해서 상보데이터버스(I/O)상으로 데이터를 싣는 경우에는 이 내부클럭발생회로(Bi.CLK.gen)가 펄스원으로 된다. 블럭선택신호(BS-)에 의해 필요한 메모리어레이블럭(Bi)이 선택되면 선택된 메모리어레이블럭(Bi)의 내부클럭발생회로(Bi.CLK.gen)가 동작을 개시하고, 어드레스카운터(AD.C)를 내부주기로 카운트엎해간다.
이것에 대해서 라이트인에이블신호(WE)가 하이레벨이고, 제어회로(CNTLO)에서 메모리어레이블럭(Bi)으로 데이터전송을 행하는 경우에는, 데이터전송에 따라 상보데이터버스(I/O)상의 전위변화를 검지해서 펄스를 발생하고, AD.C를 카운트엎한다. 즉, 전송데이타에 응해서 한쪽이 하이레벨, 다른쪽이 로레벨인 상보데이터버스(I/O)의 한쌍의 데이터선(DT,DB)이 대기상태로 되돌아가 같은 레벨로 되면 입력부(7A)의 NOR게이트의 출력이 상승되고, 메모리어레이(미도시)와 입력버퍼(Din)와 의 사이에 설치된 한쌍의 패스트랜지스터를 오프함과 동시에 어드레스카운터(AD.C)를 카운트엎한다. 다음에 버퍼(BFO)에서 전송데이터가 보내지면 상보데이터버스 I/O의 한쌍의 데이터선(DT,DB)은 전송데이터에 대응해서 한쪽이 하이레벨, 다른쪽이 로레벨로 되므로 상기 NOR게이트의 출력이 하강하여, 입력버퍼(Din)에 접속된 패스트랜지스터가 도통한다. 이때, 어드레스카운터(AD.C)는 상기 NOR게이트의 펄스시작시에 미리 카운트엎되어 있고, 보내진 전송데이터는 카운트엎 후의 어드레스에 저장된다.
이와 같이, 본 실시예에 의하면, 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터전송시에는 내부주기로 동작하므로, 메모리어레이블럭(Bi)의 설계를 블럭내에서 끝낼수 있어 설계가 용이하게 되는 이점이 있다. 또한, 메모리어레이블럭(Bi)을 파이프라인동작시킬 때에는 내부클럭발생회로(Bi.CLK.gen)는 1개단의 처리가 종료한 시점에서 다음단 처리의 개시를 알리는 자기동기형 클럭발생회로라면 좋다. 이것에 의해 자기동기형 파이프라인이 구성될 수 있으므로 시스템의 고속화가 가능하게 되는 효과가 있다. 또, 클럭신호선을 시스템 전체에 망라해서 배선할 필요가 없으므로 클럭신호선의 충방전에 따른 소비전류의 증대나 잡음의 발생을 회피할 수 있는 효과가 있다.
또한, 입력부(7A)에 대신해서 제7도의 (b)에 나타낸 바와 같이, 상보데이터버스 I/O와 NOR게이트 사이에 각각 기준전위(Vref)를 한쪽의 입력으로하는 차동램프(Amp21,Amp22)를 설치해서 상보데이터버스(I/O)의 한쌍의 데이터선(DT,DB)의 변화를 차동앰프(Amp21,22)로 검지증폭한 후, NOR게이트로 펄스를 발생시키도록한 구 성의 입력부(7B)를 사용해도 좋다. 이 경우, 상보데이터버스(I/O)의 진폭을 작게할 수 있고, 상보데이터버스(I/O)의 충방전에 따른 소비전류를 작게할 수 있는 효과가 있다.

실시예 4

제8도는 본 발명에 관한 메모리시스템의 다른 실시예의 주요부를 나타내는 블럭도이고, 각 메모리블럭이 별개의 주기로 동작하면서 전체가 동기해서 동작하는 메모리시스템이다. 본 실시예에서는 복수의 메모리어레이블럭으로 분할

된 메모리칩에 적용한 경우에 대해서 설명하지만, CPU와 복수의 메모리칩으로 되는 전자장치에 대해서도 같은 형태로 적용할 수 있다. 제1도에 나타낸 메모리시스템과 다른 점은 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로 데이터를 전송할 때의 동기방법에 있고, 메모리시스템의 구성으로 해서는 데이터입출력동기회로(CLKMTO)와 각 메모리어레이블럭과의 사이에 버퍼(BFO)의 상태를 나타내는 버퍼상태신호(BFST)의 신호선(12)을 설치하고 있는 점이 상이하다. 이 버퍼상태신호(BFST)의 작용에 의해 메모리어레이블럭(Bi)이 제어회로의 클럭신호(CLK)와 다른 보다 고속의 내부주기로 동작하는 경우에도 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로와 데이터전송을 정상으로 지연없이 행할 수 있다. 이하, 이 메모리시스템의 동작에 대해서 설명한다.

제8도에 있어서, 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로 데이터를 전송하는 경우, 메모리어레이블럭(Bi)은 데이터를 내부주기로 데이터입출력동기회로(CLKMTO)내의 버퍼(BFO)로 전송한다. 그리고, 제어회로(CNTLO)는 버퍼(BFO)로 메모리어레이블럭(Bi)에서 전송된 데이터를 외부장치(예를 들면 CPU)의 클럭신호(CLK)에 동기해서 버퍼(BFO)에서 받는다. 메모리어레이블럭(Bi)의 내부주기가 제어회로(CNTOL)의 클럭신호(CLK)에 비해 고속인 경우, 데이터를 연속적으로 전송하면 버퍼(BFO)가 곧 가득차게 된다. 이때, 버퍼상태신호(BFST)가 예를 들면 로레벌에서 하이레벨로 변하고, 메모리어레이블럭(Bi)의 데이터전송을 일시 정지상태로 한다. 메모리어레이블럭(Bi)에서 데이터전송을 일시 정지한 후, 버퍼의 저장데이터는 CPU의 클럭신호(CLK)에 동기한 제어회로(CNTLO)를 통해서 외부로 보내져 연속된다. 즉, 외부장치측에서는 데이터 전송이 중단되지 않고, 메모리칩(Sys0)에서 클럭신호(CLK)에 동기해서 데이터가 보내져 연속되는 것으로 된다. 버퍼(BFO)가 거의 비어 있을 때 버퍼상태신호(BFST)가, 예를 들면 하이레벨에서 로레벨로 변화하고, 이것에 의해 메모리어레이블럭(Bi)은 재차 데이터전송처리를 개시한다. 한편, 제어회로(CNTLO)에서 메모리어레이블럭(Bi)으로의 데이터전송은 제1도의 실시예에 있어서 제3도를 사용해서 설명한 것과 같이 행해진다.

또, 제9도에 나타낸 동작파형도에 의해 제8도의 메모리시스템의 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 버퍼상태신호(BFST)을 사용한 데이터 전송동작의 일예를 구체적으로 설명한다.

우선, 제어회로의 클럭신호(CLK)에 동기해서 필요한 메모리어레이블럭(Bi)을 선택하는 블럭선택신호(BS-)가 전송된다. 여기서는 제8도에 나타낸 메모리어레이블럭(B1)이 선택된 것으로 한다. 선택된 메모리어레이블럭(B1)은 일정의 지연후 이 블럭선택신호(BS-)를 받아 동작을 개시한다. 어드레스버스(AD)를 통해서 초기어드레스(a) 및 연속데이터수(BL), 즉 연속데이터의 버스트길이가 주어짐과 동시에 라이트인에이블신호(WE)의 상태에서(이 경우, 신호 WE가 로레벨이므로) 메모리어레이블럭(B1)에서 제어회로(CNTLO)로의 데이터전송인 것이 지정된다. 메모리어레이블럭(B1)은 내부에 어드레스버퍼(AB)와 어드레스 카운터(AD.C)를 가지고, 어드레스카운터(AD.C)는 최초에 0으로 설정되어 있다. 이 초기치 0과 어드레스버퍼(AB)로 전송된 초기어드레스(a)에서, 내부어드레스(AD.int)는 a로 설정된다. 메모리블럭(B1)은 내부처리 후, 어드레스(a)의 데이터를 상보데이터버스 I/O로 출력한다. 이때, 어드레스카운터(AD.C)는 내부주기에 의해 카운트엎되고, 이것에 응해서 내부어드레스(AD.int)도 순차 변화해서 어드레스(a,a+1,a+2,……)의 데이터가 메모리어레이블럭(B1)의 내부주기에서 연속적으로 상보데이터버스(I/O)로 출력된다. 이와 같이해서 상보데이터버스(I/O)로 출력된 데이터는 일정의 지연후에 데이터입출력동기회로(CLKMTO)내의 버퍼(BFO)에 도달한다.

한편, 제어회로(CNTLO)측도 수클럭후에 CPU의 클럭신호(CLK)에 동기해서 버퍼(BFO)에서 제어회로(CNTLO)로의 데이터전송을 개시한다. 또, 메모리어레이블럭(Bi)에서 데이터가 버퍼(BFO)에 도착하기 이전에 제어회로(CNTLO)가 데이터입력을 개시하지 않도록 사용자에 대해서 데이터입력 개시의 타이밍을 스펙(speck)으로 해서 주고 있는 것은 말할 필요도 없다.

선택된 메모리어레이블럭(B1)에서 데이터의 연속적인 전송이 진행되면, 메모리어레이블럭(B1)의 내부클럭이 제어회로의 클럭신호(CLK)에 비해 고속인 경우, 버 퍼(BFO)는 점점 가득차게 되어 간다. 버퍼(BFO)가 가득참에 가깝게 되고, 데이터 입출력동기회로(CLKMTO)는 버퍼상태신호(BFST)를 로레벨에서 하이레벨로 한다. 제9도에 나타낸 경우에는, 메모리어레이블럭(B1)에서 버퍼(BFO)로의 데이터입력누적수(이하, BFO 입력누적수라 부른다)와 버퍼(BFO)에서 제어회로(CNTLO)로의 데이터출력누적수(이하, BFO 출력누적수라 부른다)와 차가 3으로된 시점에서 메모리어레이블럭(B1)의 버퍼상태신호(BFST)가 하이레벨로 된다.

버퍼상태신호(BFST)가 하이레벨로 되면 메모리어레이블럭(B1)은 일시정지상태로 된다. 단, 버퍼상태신호(BFST)가 메모리어레이블럭(B1)에 도달해서 일시정지의 처리가 종료하기 까지는 어느정도의 지연이 있으므로 메모리어레이블럭(B1)에서 당분간 데이터가 보내져 연속되는 경우가 있다. 그 경우에는 버퍼(BFO)가 완전히 가득차게 되는 수비트앞의 단계에서 버퍼상태신호(BFST)를 하이레벨로 하도록 설정하면 좋다.

제9도에 있어서, Data(CNTLO)의 동작파형에 나타낸 바와 같이, 메모리어레이블럭(B1)이 일시 정지된 후, 즉 버퍼상태신호(BEST)(B1)가 하이레벨로 된 후도 제어회로(CNTLO)의 데이터입력은 계속되므로 메모리어레이블럭(B1)에서 BFO입력누적수와 제어회로의 BFO출력누적수와의 차는 감소해 간다. 이 차는 일정수까지 감소하여 버퍼(BFO)가 충분히 비어있게 되면 데이터입출력동기회로(CLKMTO)는 버퍼상태신호(BFST)를 재차 로레벨로해서 메모리어레이블럭(B1)의 데이터 전송을 재개한다. 제9도에 나타낸 경우에는 메모리어레이블럭(B1)에서의 BFO입력누적수와 제어회로로의 BFO출력누적수와의 차가 1로 되돌아간 시점에서 버퍼상태신호(BFST)(B1)가 로레 벨로 된다. 단, 메모리어레이블럭(B1)에서 재차 데이터가 버퍼(BFO)에 도달하기까지 어느 정도의 지연이 있는 경우에는 버퍼(BFO)가 완전히 비게되는 수비트앞의 단계에서 버퍼상태신호(BFST)를 로레벨로 하면 좋다.

이와 같이, 버퍼상태신호(BFST)의 작용에 의해 메모리어레이블럭(Bi)이 제어회로(CNTLO)의 클럭신호(CLK)와 다른 보다 고속의 내부클럭신호에서 동작하여도 정상으로 데이터전송을 지연없이 행할 수 있다. 데이터전송의 종료는 어드레스카운터(AD.C)의 연속데이터수에 대응하는 자리의 자릿수 울림신호가 로레벨에서 하이레벨로 변화한 것을 검지하여 행한다.

여기서, 제10도를 사용해서 버퍼상태신호(BFST)에 의한 메모리어레이블럭(Bi)의 일시정지 및 재시동에 대해서 설명한다. 제10도는 버퍼상태신호(BFST)가 메모리어레이블럭(Bi)의 일시정지신호(Stop 신호) 및 재개신호(Restart 신호)를 발생하는 타이밍의 일예를 나타내는 설명도이다. 횡축에 시간을, 종축에 BFO입력누적수와 BFO출력누적수를 취하고 있다.

버퍼상태신호(BFST)가 일시 정지신호를 발생한 후도 일시 정지신호가 메모리어레이블럭(Bi)에 도달하기 까지의 지연시간과 메모리어레이블럭(Bi) 내부에서 일시 정지처리에 요하는 시간 등 때문에 버퍼(BFO)로의 데이터 전송이 당분간 연속될 가능성이 있다. 즉, 메모리어레이블럭(Bi)에서 버퍼(BFO)로의 데이터전송이 실제로 정지하는 시점에서의 BFO입력누적수와 BFO출력누적수와 차는 버퍼상태신호(BFST)가 일시 정지신호를 발생한 때 보다도 더 j비트 증가해 있을 가능성이 있다. 따라서, 데이터전송이 실제로 정지하는 시점에서의 누적수의 차의 비트가 버퍼(BFO)의 용량 이하 이도록 일시 정지신호 발생의 타이밍을 정할 필요가 있다. 즉, 일시 정지신호를 발생하는 시점에서의 상기 누적수의 차의 비트수를 n(stop)으로 하면 n(stop)은 버퍼(BFO)의 용량에서 j비트를 뺀 값으로 된 때의 비트수로 설정하면 좋다.

한편, 버퍼상태신호(BFST)가 재개신호를 발생하는 타이밍에 대해서도 재개신호가 메모리어레이블럭(Bi)에 도달하기까지의 지연시간이나 메모리어레이블럭(Bi) 내부에서 데이터전송개시에 요하는 시간등을 고려할 필요가 있다. 즉, 재개신호발생후도 BFO입력누적수와 BFO출력누적수와의 차가 계속 감소되고, 재개신호발생시 보다도 K비트 감소할 가능성이 있다. 따라서, 메모리어레이블럭(Bi)에서 재차 보내지게 되는 데이터가 버퍼(BFO)에 도달하기 직전의 BFO입력누적수와 BFO출력누적수와의 차가 0 이상이도록 재개신호발생의 타이밍을 정할 필요가 있다. 즉, 재개신호를 발생한 시점에서 상기 누적수와의 차의 비트수를 n(Restart)으로 하면, n(Restart)을 K비트 이상으로 설정하면 좋다.

이상 기술한 바와 같이, 본 실시예에 의하면 메모리어레이블럭(Bi)이 제어회로(CNTLO)의 클럭신호(CLK)와 다른 보다 고속의 내부주기로 동작하는 경우에도 전체로해서 동기해서 동작하는 반도체칩의 메모리시스템을 얻을 수 있다. 더구나, 버퍼(BFO)의 기억용량은 작아서 좋으므로 메모리시스템의 소규모화가 용이하게 된다.

또한, 클럭신호선(10)을 시스템 전체에 분배하는 제18도에 나타낸 종래예의 경우에 비해, 본 실시예의 메모리시스템에서도 제2도 및 제3도를 사용해서 설명한 실시예 1과 같은 효과를 가진다. 또, 버퍼(BFO)의 단위 시간당의 충방전 횟수는 종래구성의 제18도의 클럭신호선(10)의 충방전횟수에 비하면 매우 작게될 수 있으므 로, 클럭신호선(10)을 사용하는 종래구성의 경우와 다르고, 소비전류 및 잡음의 증대를 초래하지 않는다.

실시예 5

제11도를 사용해서, 제8도에 나타낸 본 발명에 관한 메모리시스템을 구성하는 데이터입출력동기회로(CLKMTO)의 일실시예에 대해서 설명한다. 제11도에 있어서, 참조부호 CLKMTOB는 데이터입출력동기회로를 나타내고, 제8도에서 회로블럭(CLKMTO)의 구체적인 구성예이다. 제4도에 나타낸 실시예의 데이터입출력동기회로(CLKMTOA)에 대해서 이 데이터입출력동기회로(CLKMTOB)는 AND회로 및 OR회로로 구성되는 논리회로(Comp0)와, 클럭신호(CLK)에 의해 온/오프하는 스위치 및 인버터로 되는 레지스터와 OR회로로 구성되는 홀드회로(HOLDO)가 더 부가되어 있는 점이 상이하다. 논리회로(Comp0)는 디코더(Dec1)와 디코더(Dec2)의 출력을 비교해서 버퍼(BFO)가 가득참에 가깝게 된 것을 검지하기 위한 회로이고, 홀드회로(HOLDO)는 버퍼(BFO)가 가득참에 가깝게 되어서부터 빈 것에 가깝게 되돌아가기 까지의 버퍼상태신호(BFST)를 하이레벨로 유지하는 회로이다.

이와 같이 구성되는 데이터입출력동기회로(CLKMTOB)의 기본적 동작은 제6도의 동작파형도를 사용해서 설명한 데이터입출력동기회로(CLKMOA)의 동작과 같으므로 설명의 편의상 상세한 설명은 생략하고, 상기 부가한 회로의 동작, 즉 버퍼상태신호(BFST)의 발생방법에 대해서 설명한다.

디코더(Dec2)가 버퍼(BFO)내의 플리플롭(FF1i)을 제어회로(CLKMTO)에 접속하고, 디코더(Dec1)가 다음 스텝에서 플리플롭(FF1i)에 메모리어레이블럭(Bi)의 데이 터를 보내버린 상태로 되었을 때, 논리회로(Comp0)는 버퍼상태신호(BFST)를 하이레벨로해서 메모리어레이블럭(Bi)에서 데이터전송을 일시 정지시킨다. 메모리어레이블럭(Bi)에서의 데이터전송이 일시 정지한 후, 제어회로의 클럭신호(CLK)에 동기해서 1개의 데이터가 제어회로(CNTLO)를 경유해서 외부로 전송되면 버퍼(BFO)에 여유가 있으므로, 상기 논리회로(Comp0)는 버퍼상태신호(BFST)를 재차 로레벨로 되돌리도록 한다. 그러나, 홀드회로(HOLDO)의 작용에 의해 버퍼상태신호(BFST)는 하이레벨로 되고나서 클럭신호(CLK)가 2클럭 진행하기 까지는 로레벨로 되돌아가지 않는다. 이것은 상기 논리회로(Comp0)의 출력이 홀드회로(HOLDO)내의 인버터와 스위치로 되는 레지스터회로로 전송되는 것에 의해 1클럭 앞에서도 유지되기 때문이다. 물론, 상기 스위치는 주지의 트랜지스터 스위치로 구성되면 좋다.

이와 같은, 홀드회로(HOLDO)를 설계하는 것에 의해 버퍼(BFO)가 일단 가득참에 가깝게 되어 버퍼상태신호(BFST)가 하이레벨로 변화하면 버퍼(BFO)가 빈 것에 가깝게 되기까지 버퍼상태신호(BFST)를 하이레벨로 유지할 수 있다.

제11도에서 홀드회로(HOLDO)의 구성에서는 다만 1개의 레지스터회로를 설치한 경우를 나타내고 있지만, 레지스터회로를 복수개 직렬로 접속하고, 그들 출력의 OR논리를 버퍼상태신호(BFST)의 출력으로 하면, 클럭신호(CLK)가 복수클럭 진행하기까지 버퍼상태신호(BFST)가 하이레벨로 유지되는 홀드회로(HOLDO)를 구성할 수 있다. 이 결과, 버퍼상태신호(BFST)의 단위시간당 충방전 횟수가 감소하고, 소비전류 및 잡음을 작게 할 수 있는 효과가 있다. 또, 상기 논리회로(Comp0)와 디코더(Dec1,Dec2)의 접속을 변경하는 것에 의해 제10도에서 설명한 일시 정지신호 를 발생하는 시점에서 상기 누적수의 차의 비트수 n(stop)을 임으로 설정할 수 있는 것을 말할 필요도 없다.

실시예 6

제12도를 사용해서, 제1도에 나타낸 본 발명에 관한 메모리시스템을 구성하는 데이터입출력동기회로(CLKMTO)의 다른 실시예에 대해서 설명한다. 제12도에 있어서, 참조부호 CLKMTOC는 데이터입출력동기회로를 나타내고, 제1도에서 회로블럭(CLKMTO)의 구체적 구성예이다. 이 데이터입출력동기회로(CLKMTOC)는 제1도에 나타낸 메모리시스템에 있어서, 외부장치의 클럭신호, 즉 제어회로의 클럭신호(CLK)가 메모리어레이블럭(Bi)의 내부주기보다도 고속

인 경우에 메모리어레이블럭(Bi)과 제어회로(CNTLO) 사이의 데이터통신을 동기적으로 행하는 것에 바람직한 회로이다.

제4도에 나타낸 실시예의 데이터입출력동기회로(CLKMTOA)에 대해서 이 데이터입출력동기회로(CLKMTOC)는 제어회로(CNTLO)에 일시 정지신호(Wait)를 보내기 위해 AND회로와 OR회로로 구성되는 논리회로(Comp1)를 부가하고 있는 점이 상이하다. 논리회로(Comp1)는 디코더(Dec1)가 버퍼(BFO)내의 플리플롭(FF1i)으로 메모리어레이블럭(Bi)에서 데이터를 보내버린 상태로 되어 있을 때, 디코더(Dec2)가 다음 스텝에서 플리플롭(FF1i)의 데이터를 꺼내도록 하는 상태로 되면 제어회로(CNTLO)에 대해서 일시 정지신호(Wait)를 보낸다. 이 신호에 의해 제어회로(CNTLO)는 메모리어레이블럭(Bi)에서 데이터의 받음을 일시 정지한다. 이와 같이, 제어회로(CNTLO)로의 일시 정지신호 발생기능을 갖게하는 것에 의해 제어회로의 클럭신호(CLK)가 메모리어레이블럭(Bi)의 내부주기보다 고속의 클럭주파수인 경우에도 정상으로 데이타 전송을 지연없이 행할 수 있다.

또, 제11도에 나타낸 버퍼상태신호(BFST) 발생을 위한 회로(Comp0, HOLDO 및 제12도에 나타낸 일시 정지신호 발생을 위한 회로(Comp1)를 조합하면 클럭신호(CLK)가 메모리어레이블럭(Bi)의 내부주기에 비해 고속이어도 또는 그 반대이어도 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터전송을 정상으로 지연없이 행하는 메모리시스템을 얻을 수 있다.

혹은, 제어회로(CNTLO)로의 일시 정지신호 발생기능을 갖지 않아도 다음 방법에 의해 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터 전송을 정상으로 행할 수 있다. 메모리어레이블럭(Bi)에서 보내지는 연속데이터의, 버퍼(BFO)에서 제어회로(CNTLO)로의 전송개시를 지연시키는 방법이다. 이것은, 버퍼(BFO)가 가득참에 가깝게 된 때에 버퍼(BFO)에서 제어회로(CNTLO)로의 데이터 전송을 개시하는 것에 실현할 수 있다. 이 경우, 제어회로의 클럭신호(CLK)가 메모리어레이블럭(Bi) 내부주기보다 고속인 것에 따라(즉, 버퍼 BFO로의 단위시간당 입력수보다 출력수가 많은 것에 따라) 버퍼(BFO)의 저장(stock)은 점점 감소하지만, 데이터출력이 종료하기 전에 버퍼(BFO)가 비게되면 좋다. 버퍼(BFO)에서 제어회로(CNTLO)로의 데이터 전송개시의 타이밍은 연속데이터수(BL) 응해서 결정된다. 연속데이터수(BL)가 많으면 데이터 전송개시의 타이밍을 지연시킨다. 이상의 방법에 의해 제어회로의 클럭신호(CLK)가 메모리어레이블럭(Bi)의 내부주기보다 고속인 경우에도 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터 전송을 정상으로 지연없이 행할 수 있 다.

또, 이상의 방법을 실시예 1에서 설명한 방법과 조합하면 클럭신호(CLK)가 메모리어레이블럭(Bi)의 내부주기에 비해 고속이어도 또는 반대이어도 메모리어레이블럭(Bi)에서 제어회로(CNTLO)로의 데이터 전송을 정상으로 행하는 시스템이 얻어진다.

본 실시예의 효과로해서는, 클럭신호선의 충방전이 불필요하게 되고, 저소비 전류의 반도체칩의 메모리시스템이 얻어지는 효과가 있다. 또, 고속으로 충방전되는 클럭신호선에 기인하는 잡음도 없게 된다. 혹은 설계에 즈음해서 메모리어레이블럭(Bi) 사이의 클럭지연의 상이함을 고려할 필요가 없으므로 설계가 용이하게 되는 이점이 있다. 또한, 메모리시스템으로해서 CPU와 복수의 메모리칩으로 되는 전자장치에 적용한 경우, 시스템 설계에 폭이 생기는 이점도 있다. 예를 들면, 메모리어레이블럭(Bi)이 제어회로의 클럭신호(CLK)의 주파수로 동작하는 것이 요구되는 종래구성의 경우와 다르고, 본 실시예에서는 메모리블럭(Bi)은 제어회로의 클럭신호(CLK)의 주파수로 동작할 필요가 없으므로 메모리블럭(Bi)으로 해서 값싸고 비교적 저속의 메모리칩을 사용하고, 제어회로(CNTLO)로 해서 고속의 CPU를 사용하는 것에 의해 전체로 해서 고속이고, 또 값 싼 메모리시스템을 구축할 수 있다.

실시예 7

제15도는 본 발명에 관한 메모리시스템의 또 다른 실시예의 주요부를 나타내는 블럭도이다. 본 실시예는 어드레스를 통해서 초기어드레스 및 연속데이터수 이외에 통상의 메모리칩과 같이 블럭선택신호에 관한 정보도 보내도록 구성한 메모리 칩의 경우이다. 즉, 제1도 및 제8도의 실시예에서 사용한 블럭선택신호(BS-)의 신호선을 사용하지 않는 메모리칩의 실시예이다.

제15도에 있어서, 참조부호 Sys2는 메모리칩을 나타내고, 이 메모리칩(Sys2)은 복수의 메모리어레이블럭(MBi)(i=1, 2,……)과, 메모리어레이블럭(MBi)에서 상보데이터버스(I/O)를 통해서 시리얼로 보내지게 되는 데이터열을 CPU의 클럭신호(CLK)에 동기하도록 시간조정해서 출력하기 위한 버퍼(BFOm)를 포함하는 데이터입출력동기회로(CLKMTm) 및 CPU와의 입출력 인터페이스인 제어회로(CNTLm)로 적어도 구성된다.

또한, 각 메모리어레이블럭(MBi)은 메모리어레이(MARYi), 초기어드레스버퍼(ABi), 어드레스카운터(AD.Ci), 내부어드레스버퍼(AD.int), 메인앰프(MAi), 내부상보데이터선(I/Oi) 및 내부클럭발생회로(MBi.CLK.gen)를 적어도 구비하고 있다. 또, 데이터입출력동기회로(CLKMTm)와 각 메모리어레이블럭(MBi)의 사이는 어드레스버스(AD), 연속데이터수(BL), 즉 버스트길이를 전송하는 신호선(BLL), 상보데이터버스(I/O) 및 라이트인에이블신호(WE)의 신호선에 의해 연결되어 있다. 또한, 제어회로(CNTLm)는 CPU에서의 외부클럭신호(CLK)에 의해 동작한다.

이와 같이 구성되는 메모리칩(Sys2)은 다음과 같이 동작한다.

메모리칩(Sys2)에서 CPU로의 데이터 판독동작의 경우, 데이터판독요구, 초기어드레스(a) 및 연속데이터수(BL) 등의 정보가 CPU에서 제어회로(CNTLm)에 주어지면, 제어회로에서 클럭신호(CLK)에 동기해서 받은 데이터입출력동기회로(CLKMTm)는 메모리어레이 블럭선택정보를 어드레스버스(AD)를 통해서 메모리어레이블럭으로 보낸다. 이 블럭선택 정보에 의해, 예를들면 메모리어레이블럭(MB1)이 선택된 것으로 한다. 이때, 제어회로(CNTLm)에서 보내진 라이트인에이블신호(WE)가 로레벨이므로, 메모리어레이블럭에서 제어회로(CNTLm)로의 데이터전송인 것을 메모리어레이블럭(MB1)은 인식한다.

메모리어레이블럭(MB1)내의 어드레스카운터(AD.C1)는 초기치가 0으로 되어 있다. 어드레스버스(AD)를 통해서 초기어드레스(a)가 주어지고, 신호선(BLL)을 통해서 연속데이터수(BL)가 주어지면, 초기어드레스버퍼(AB1)에 초기어드레스(a)가 저장된다. 어드레스카운터(AD.C1)의 초기치 0과 초기어드레스버퍼(AB1)에 저장된 초기어드레스(a)에

서 메모리어레이블럭(MB1)에서의 내부어드레스(AD.int)가 a로 설정된다. 이 결과, 어드레스(a)의 데이터가 메모리어드레스(MARY1) 내부처리후, 내부상보데이터선(I/O1)을 통해서 메인앰프(MA1)로 보내져 상보데이터버스(I/O)로 출력된다. 동시에, 메인앰프(MA1)의 출력은 내부클럭발생회로(MB1.CLK.gen)에 의해 검지되고, 1개의 데이터 출력이 종료한 것을 나타내는 클럭신호(MB1.CLK)가 발생된다. 이 클럭신호(MB1.CLK)에 의해 어드레스 카운터(AD.C1)가 카운트 엎되고, 이것에 대응해서 내부어드레스(AD.int)도 a에서 a+1로 변화한다. 따라서, 어드레스 a+1의 데이터가 메모리어레이(MARY1) 내부처리후, 내부상보데이터선(I/O1)을 통해서 메인앰프(MA1)로 보내져 상보데이터버스(I/O)로 출력됨과 동시에 내부클럭발생회로(MB1.CLK.gen)에 의해 검지된다. 이하, 같은 형태로서 지정된 연속데이터수(BL)까지 데이터전송이 반복된다. 즉, 메모리어레이블럭(MB1)내의 메인 앰프(MA1)의 출력에 의해 자기동기적으로 내부클럭신호(MB1.CLK)를 발생해서 데이터가 차례차례 상보데이터버스(I/O)로 출력된다. 그리고, 어드레스카운터(AD.C1)의 연속데이터수(BL)에 대응하는 자릿수의 자릿수올림 신호가 로레벨에서 하이레벨로 변화하면 일련의 데이터 전송을 종료하고, 어드레스 카운터(AD.C1)를 0으로 리셋트한다. 데이터입출력동기회로(CLKMTm)는 상보데이터버스(I/O)로 출력되는 데이터를 내부의 버퍼(BFOm)에 일시 저장하여 시간조정을 행하고, 제어회로(CNTLm)에서 공급된 CPU의 클럭신호(CLK)의 주기로 제어회로(CNTLm)를 통해서 CPU로 출력한다. 또, 이 경우의 버퍼(BFOm)의 일시 저장동작은 제1도의 실시예에서 설명한 버퍼(BFO)의 일시 저장동작과 같은 동작이다.

한편, CPU에서 메모리칩(Sys2)으로의 데이터기록동작의 경우에 대해서는 이하와 같다. 상기 판독동작과 같은 형태로 해서, 예를 들면 메모리어레이블럭(MB1)이 선택된 것으로 하면, 제어회로(CNTLm)에서 보내진 라이트인에이블신호(WE)가 하이레벨이므로, 제어회로(CNTLm)에서 메모리어레이블럭으로의 데이터전송인 것을 메모리어레이블럭(MB1)은 인식한다. 그 후의 기록동작은 제7도에 나타낸 실시예 3과 같은 형태로, 데이터 전송에 따라 상보데이터버스(I/O)상의 전위변화를 검지해서 펄스를 발생하고, 어드레스카운터(AD.C1)를 카운트엎하도록 구성하여 자기동기적으로 동작시킨다. 연속데이터수(BL)의 데이터기록 후, 어드레스카운터(AD.C1)를 0으로 리셋트해서 일련의 동작을 종료하는 것은 상기 데이터 판독동작과 같다.

또, 상기 동작은 어드레스카운터(AD.C1)가 0 이외의 상태에서는 메모리어레이블럭(M1)이 자기동기적으로 연속데이터의 판독 또는 기록을 행하게 되어 있는 것 을 나타내므로, 메모리어레이블럭(M1)을 어드레스버스(AD) 등과 분리해 놓을 수 있다. 메모리어레이블럭(MB1)을 어드레스버스(AD) 등과 분리해 놓는 것에 의해 제어회로(CNTLm)는 다음 동작에 대비해서 어드레스버스(AD) 등에 미리 신호를 준비해 놓을 수 있으므로 신호지연을 없게 할 수 있고, 고속동작이 가능하게 된다.

또한, 연속데이터수(BL)의 신호선(BLL)을 독립해서 설치하지 않고, 지금까지 기술한 실시예와 같은 형태로 어드레스버스(AD)를 통해서 연속데이터수(BL)를 전송하는 구성으로 해도 좋다. 그 경우에는 연속데이터수(BL)를 병렬로 보내지 않는 만큼 지연된다.

제16도는 제15도에 나타낸 내부클럭 발생회로(MBi.CLK.gen)의 구체적 회로구성의 일예를 나타내는 블럭도이다. 이 경우, 내부클럭 발생회로(MBi.CLK.gen)는 메인앰프(MAi)의 상보출력을 입력으로해서 출력을 어드레스카운터(AD.Ci)에 접속한 OR게이트와 OR게이트의 출력을 메인앰프(MAi)의 이퀄라이즈(equalize) 신호로해서 인가하기 위한 지연회로(Delay)로 구성된다.

이와 같이 구성되는 내부클럭 발생회로(MBi.CLK.gen)의 동작을 설명한다. 최초의 어드레스(a)에 대한 데이터가 메모리어레이블럭(MBi)의 내부 상보데이터선(I/O)으로 출력되고, 메인앰프(MAi)을 통해서 상보데이터선(I/O)으로 출력되면, 메인앰프(MAi)의 상보출력을 입력으로 하는 OR게이트의 출력이 하이레벨로 되고, 어드레스카운터(AD.Ci)가 카운트엎된다. 즉, 1개의 데이터출력이 종료한 것을 검지하면, 어드레스를 변화시켜 다음 데이터의 출력을 개시한다. 한편, OR게이트의 출력은 지연회로(Dealy)에 의해 일정의 지연후, 메인앰프(MAi)에 인가되고, 메인앰프(Ai)는 이퀄라이즈되어 재차 대기상태로 되어, 다음 데이터출력을 대기한다. 이것을 반복하는 것에 의해 일련의 데이터가 차례차례 출력된다.

제15도 및 제16도에서 설명한 본 실시예에 의하면 어드레스카운터(AD.Ci)와 내부클럭 발생회로(MBi.CLK.gen)를 메모리어레이블럭(MBi)마다 설치해서 자기동기적으로 동작하도록한 것에 의해 종래예서는 입력제어부에서 메모리어레이블럭까지의 어드레스버스(AD)의 신호선을 1회마다 충방전할 필요가 있는 것에 대해서, 연속데이터의 초기어드레스 전송시에만 어드레스버스(AD)의 신호선을 충방전하면 좋으므로 소비전류나 잡음을 저감하고, 또 고속으로 되는 효과가 있다. 제2도의 설명에서 기술한 (1) (5)와 같은 효과가 얻어지는 것은 물론이다.

실시예 8

제17도는 본 발명에 관한 메모리시스템의 또다른 실시예의 주요부를 나타내는 블럭도이다. 본 실시예의 메모리시스템은 CPU와 복수의 메모리칩으로 된 예이다. CPU가 제1도 및 제8도에 나타낸 실시예의 제어회로(CNTLO)에 상당하고, 메모리칩(M.Chipi)(첨자 Ii=1,2,……)이 메모리어레이블럭(Bi)에 상당한다. CPU의 내부 혹은 근처에 버퍼(BFO)를 포함하는 데이터입출력회로(CLKMTO)가 설치되어 있다. CPU내의 데이터입출력회로(CLKMTO)와 각 메모리칩(M.Chip1,M.Chip2,……) 등의 사이는 칩 선택신호(CS-), 상보I/O데이터버스, 어드레스버스(AD) 및 라이트인에이블(WE)의 각 신호선에 의해 연결된다. 각 메모리칩(M.Chip1,M.Chip2,……) 등은 CPU의 클럭신호(CLK)와 다른 별개의 내부주기로 동작한다. 그러나, 제1도에서 제12까지 설명한 방법에 의해 CPU와 각 메모리칩(M.Chip1.M.Chip2,……) 등의 사이의 데이터 교환은 정합성 좋게 행할 수 있다. 칩 선택신호(CS-)는 제1도 및 제8도에 나타낸 실시예의 블럭선택신호(BS-)에 상당한다.

본 실시예에 의하면, 제18도에 나타낸 종래의 메모리시스템과 같이 전체에 망라된 클럭신호선(10)의 충방전이 불필요하므로 저소비전류이고, 저잡음의 메모리시스템을 얻을 수 있다. 또, 제13도 및 제14도에서 설명한 것과 같은 이유에 의해 고속의 메모리시스템을 얻을 수 있다.

이상, 본 발명의 바람직한 실시예에 대해서 설명하였지만, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 정신을 일탈하지 않는 범위내에서 여러가지의 설계변경을 할 수 있다.
상술한 실시예에서 명백해진 바와 같이, 본 발명에 의하면, 복수의 메모리블럭과, 이들 각 메모리블럭을 제어하기 위한 공통의 제어회로를 적어도 가지는 메모리시스템에 있어서, 시리얼로 입력되어지는 데이터의 전송속도를 변조해서 출력하기 위한 복수의 레지스터로 되는 버퍼를 포함하는 데이터입출력동기회로를 설치하고, 이 데이터입출력동기회로의 버퍼와 메모리블럭을 상보데이터버스에 의해 접속해서, 상기 데이터입출력동기회로의 출력주기를 상기 제어회로에 의해 제어하도록 구성한 것에 의해, 공통의 제어회로에서 각 메모리블럭까지의 클럭신호선을 분배하지 않고, 메모리시스템을 외부장치의 클럭에 동기해서 동작시킬 수 있다. 따라서, 메모리시스템이 증대해도 메모리시스템내의 클럭지연 때문에 처리속도가 열화하지 않고, 또 데이터의 교환시에도 정합성 좋게 행할 수 있다.
또한, 다음과 같은 효과도 나타낸다.
각 메모리블럭의 동작으로해서 1개의 데이터처리가 종료한 것을 검지해서 다음 데이터처리를 개시하는 자기동기형의 파이프라인 방식을 사용할 수 있다. 이 결과, 외부의 클럭에 동기시켜 행하는 파이프라인 방식에 있어서, 종래 필요한 각 단의 처리시간에 대한 클럭길이의 마진이 불필요하게 되고, 고속의 메모리시스템을 얻을 수 있음과 동시에 최초의 데이터가 얻어지기 까지의 시간도 빠르게 할 수 있다.
또한, 메모리시스템 전체에 걸쳐 클럭선의 충방전이 불필요하게 되기 때문에 메모리시스템의 소비전류를 저감할 수 있음과 동시에 메모리시스템 전체에 걸쳐진 클럭선의 충방전에 따라 발생하는 잡음이 없게되어 고신뢰성의 메모리시스템을 얻을 수 있다.
또, 메모리시스템의 설계에 있어서, 메모리블럭과 제어회로 사이의 클럭신호 지연을 고려할 필요가 없고, 설계를 각 메모리블럭내에서 끝낼 수 있으므로 메모리시스템의 설계가 용이하게 된다.
이상 설명한 효과는 상기 메모리시스템이 복수의 메모리어레이블럭으로 분할된 반도체 메모리칩의 경우, 혹은 CPU와 복수의 메모리칩으로 되는 전자장치의 경우에 있어서도 같은 효과가 있다.
다른 효과로 해서, 복수의 메모리어레이블럭으로 분할된 반도체메모리칩에 있어서, 블럭마다 어드레스카운터를 설치하는 것에 의해 연속데이터의 초기어드레스 전송시만 어드레스버스의 신호선을 충방전하면 좋으므로 소비전류나 잡음을 저감할 수 있고, 또 고속으로 되는 효과가 있다.

(57) 청구의 범위

청구항 1.
복수의 메모리블럭과,
제1클럭의 사이클에서 보내져 오는 일련의 시리얼데이터를 제2클럭의 사이클로 변환하여 제2클럭의 사이클의 시리얼데이터로서 출력하기 위한 데이터입출력 동기회로와,
상기 데이터입출력 동기회로와 상기 복수의 메모리블럭과의 사이를 접속하기 위한 데이터버스와,
상기 복수의 메모리블럭의 각각을 제어하기 위해 공통으로 설치된 공통제어회로와,
상기 복수의 메모리블럭마다에 분산배치되어, 상기 공통제어회로로부터 전달된 초기 어드레스 및 요구된 데이터수에 기초하여, 상기 공통제어회로의 제어없이 상기 제1 클럭의 사이클로 일련의 시리얼데이터를 출력하기 위한 제1클럭 발생회로를 구비하고,
상기 복수의 메모리블럭으로부터의 일련의 시리얼 리이드데이터는, 상기 데이터버스를 경유하여 상기 데이터입출력 동기회로의 입력에 상기 제1클럭의 사이클에서 공급되며,
상기 리이드데이터는, 상기 데이터입출력 동기회로로부터 상기 제2클럭의 사이클에서 시리얼로 출력되고,
상기 제1클럭 발생회로에서 생성되는 상기 제1클럭의 주기는 제2클럭의 주기 와 전기적으로 독립하여 결정되도록 구성되어 있는 것을 특징으로 하는 메모리시스템.

청구항 2.
제 1항에 있어서,
상기 복수의 메모리블럭의 각각은, 어드레스버퍼와 어드레스카운터를 포함하는 것을 특징으로 하는 메모리시스템.

청구항 3.
제 2항에 있어서,
상기 요구된 데이터수는, 상기 데이터입출력 동기회로의 버퍼내의 레지스터의 수 이하인 것을 특징으로 하는 메모리시스템.

청구항 4.
제 2항에 있어서,
상기 데이터입출력 동기회로는, 상기 복수의 메모리블럭의 하나로부터 상기 데이터입출력 동기회로에 전송(轉送)되었지만 상기 데이터입출력 동기회로가 아직 출력하지 않고 있는 미출력데이터의 수를 감시하고, 상기 미출력데이터가 소정수까지 증가한 때에 상기 복수의 메모리블럭의 동작을 일시 정지시키기 위한 일시정지신호를 발생하는 버퍼상태신호 발생회로를 포함하는 것을 특징으로 하는 메모리시스템.

청구항 5.
제 4항에 있어서,
상기 버퍼상태신호 발생회로는, 상기 일시정지신호에 의해 상기 복수의 메모리블럭의 하나로부터 상기 데이터입출력 동기회로로의 데이터전송이 정지한 후, 상기 미출력데이터의 수가 소정수까지 감소한 경우에 상기 복수의 메모리블

럭의 하나에 재시동의 신호를 송출하는 기능을 더 가지는 것을 특징으로 하는 메모리시스템.

청구항 6.

제 2항에 있어서,

상기 데이터입출력 동기회로는 상기 복수의 메모리블럭의 하나로부터 상기 데이터입출력 동기회로에 전송되었지만 상기 데이터입출력 동기회로가 아직 출력하지 않고 있는 미출력데이터의 수를 감시하고, 상기 미출력데이터의 수가 소정수보다 감소한 때에, 상기 데이터입출력 동기회로로부터 데이터의 출력을 일시 정지시키기 위한 신호를 상기 공통제어회로에 보내기 위한 회로를 포함하는 것을 특징으로 하는 메모리시스템.

청구항 7.

제 2항에 있어서,

상기 공통제어회로와 상기 복수의 메모리블럭에 접속하는 어드레스버스와,

상기 어드레스버스와 상기 복수의 메모리블럭의 각각과의 접속상태를 제어하기 위해 대응하여 설치된 복수의 스위치수단을 더 구비하고

상기 스위치수단은 대응하는 상기 메모리블럭의 어드레스카운터가 리셋상태가 아닌 경우에는 상기 어드레스버스의 신호의 상기 어드레스카운터로의 공급을 차단하는 것을 특징으로 하는 메모리시스템.

청구항 8.

제 1항에 있어서,

상기 데이터버스는 상보형의 데이터버스이며,

상기 데이터입출력 동기회로는, 복수의 레지스터로 이루어지는 버퍼와, 상기 상보형의 데이터버스의 1쌍의 전위가 같은 값에서 다른 값 또는 그 반대로 변화한 것을 받아서 상기 복수의 레지스터의 어느 하나의 입력을 상기 상보형의 데이터버스에 순회적으로 접속하기 위한 제1스위치수단과, 상기 제2클럭을 받아서 상기 복수의 레지스터의 어느 하나의 출력을 데이터출력단자에 순회적으로 접속하기 위한 제2스위치수단을 포함하는 것을 특징으로 하는 메모리시스템.

청구항 9.

제 1항 내지 제 8항중 어느 한 항에 있어서,

상기 복수의 메모리블럭의 각각은 메모리칩 상에 설치된 복수의 메모리어레이블럭의 하나이고,

상기 데이터입출력 동기회로는 상기 메모리칩 상에 설치되는 것을 특징으로 하는 메모리 시스템.

청구항 10.

제 7항 내지 제 8항중 어느 한 항에 있어서,

상기 데이터입출력 동기회로는 하나의 반도체칩에 설치된 CPU의 일부이고, 상기 복수의 메모리블럭의 각각은 다른 반도체 칩에 설치되는 것을 특징으로 하는 메모리시스템.

청구항 11.

복수의 메모리블럭과,

상기 복수의 메모리블럭과 접속된 데이터버스와,

상기 데이터버스와 접속된 데이터입출력 동기회로와,

상기 복수의 메모리블럭의 각각을 제어하기 위해 공통으로 설치된 공통제어회로와,

상기 복수의 메모리블럭마다에 분산배치되어, 상기 공통제어회로로부터 전달된 초기 어드레스 및 요구된 데이터수에 기초하여, 상기 공통제어회로의 제어없이 상기 제1클럭의 사이클에서 일련의 시리얼데이터를 출력하기 위한 제1클럭 발생회로를 구비하고,

상기 복수의 메모리블럭으로부터의 일련의 시리얼 리이드데이터는 상기 데이터버스를 경유하여 상기 데이터입출력 동기회로의 입력에 공급되며,

상기 데이터입출력 동기회로는, 상기 제1클럭의 타이밍에서 입력되는 상기 리이드데이터를 제2클럭의 타이밍으로 변환하여 제2클럭의 타이밍의 일련의 시리얼데이터로서 출력하고,

상기 제1클럭 발생회로에서 발생되는 상기 제1클럭의 주기는 제2클럭의 주기와 전기적으로 독립하여 결정되도록 구성되어 있으며,

상기 데이터입출력 동기회로는 상기 리이드데이터로부터 상기 제1클럭을 추출하는 것을 특징으로 하는 메모리 시스템.

청구항 12.

제 11항에 있어서,

상기 데이터버스는 상보 데이터쌍을 전송하기 위한 상보데이터버스이고,

상기 데이터입출력 동기회로는 복수의 레지스터를 포함하는 버퍼와, 상기 상보데이터버스의 1쌍의 전위가 같은 값에서 다른 값 또는 그 반대로 변화한 것을 받아서 상기 복수의 레지스터의 어느 하나의 입력을 상기 데이터버스에 순회적으로 접속하기 위한 제1스위치수단과, 상기 제2클럭을 받아서 상기 복수의 레지스터의 어느 하나의 출력을 데이터출력단자에 순회적으로 접속하기 위한 제2스위치수단을 포함하는 것을 특징으로 하는 메모리시스템.

청구항 13.

제 11항에 있어서,

상기 복수의 메모리블럭의 각각은 어드레스카운터 및 어드레스버퍼를 포함하는 것을 특징으로 하는 메모리시스템.

청구항 14.

제 11항 내지 제 13항중 어느 한 항에 있어서,

상기 복수의 메모리블럭의 각각은 메모리칩 상에 설치된 복수의 메모리어레이블럭의 하나이며, 상기 데이터입출력 동기회로는 상기 메모리칩 상에 설치되는 것을 특징으로 하는 메모리시스템.

청구항 15.

제 11항 내지 제 13항중 어느 한 항에 있어서,
상기 메모리시스템은, 하나의 반도체칩 상에 형성된 CPU를 포함하고, 상기 데이터입출력 동기회로는 상기 CPU의 일부이고, 상기 복수의 메모리블럭의 각각은 다른 반도체칩에 설치되는 것을 특징으로 하는 메모리시스템.

청구항 16.

복수의 메모리블럭과,
상기 복수의 메모리블럭의 각각을 제어하기 위한 공통제어회로와,
상기 공통제어회로와 상기 복수의 메모리블럭과의 사이를 접속하기 위한 상보데이터버스쌍과,
상기 공통제어회로와 접속된 데이터입력노드를 구비하고,
상기 공통제어회로는 상기 데이터입력노드로부터 제1클럭의 사이클로 공급된 시리얼데이터를 상보 시리얼데이터쌍으로 변환하고, 상기 상보 시리얼데이터쌍을 상기 상보 데이터버스쌍에 공급하며,
상기 상보 시리얼데이터쌍이 공급된 상기 복수의 메모리블럭의 하나는 격납(格納)어드레스를 전환하기 위한 내부클럭을 상기 상보 시리얼데이터쌍으로부터 추출하여, 상기 공통제어회로로부터 전달된 초기 어드레스 및 지정된 데이터수에 기초하여, 상기 일련의 시리얼데이터를 소정의 메모리영역에 격납하는 것을 특징으로 하는 메모리시스템.

청구항 17.

제 16항에 있어서,
제2클럭의 사이클로 보내져 오는 시리얼데이터를 상기 제1클럭의 사이클의 일련의 시리얼데이터로 변환하고 출력하기 위한 데이터입출력 동기회로를 더 포함 하고,
상기 데이터입출력 동기회로의 입력은, 상기 제2클럭의 사이클에서 상기 복수의 메모리블럭의 하나로부터 일련의 시리얼데이터가 공급되는 경우에는, 상기 상보 데이터버스쌍과 접속되는 것을 특징으로 하는 메모리시스템.

청구항 18.

제 17항에 있어서,
상기 데이터입출력 동기회로는 복수의 레지스터를 포함하는 버퍼와, 상기 상보 데이터버스쌍의 1쌍의 전위가 같은 값에서 다른 값으로 변화한 것을 받아서 상기 복수의 레지스터의 어느 하나의 입력을 상기 상보 데이터버스쌍에 순회적으로 접속하기 위한 제1스위치수단과, 상기 제1클럭을 받아서 상기 복수의 레지스터의 어느 하나의 출력을 데이터출력단자에 순회적으로 접속하기 위한 제2스위치수단을 포함하는 것을 특징으로 하는 메모리시스템.

청구항 19.

제 16항에 있어서,
상기 복수의 메모리블럭의 각각은 어드레스버퍼와 어드레스카운터를 포함하는 것을 특징으로 하는 메모리시스템.

청구항 20.

제 19항에 있어서,
상기 공통제어회로와 상기 복수의 메모리블럭에 접속하는 어드레스버스와,
상기 어드레스버스와 상기 복수의 메모리블럭의 각각의 접속상태를 제어하기 위해 대응하여 설치된 복수의 스위치수단을 더 구비하고,
상기 복수의 스위치수단은 대응하는 상기 복수의 메모리블럭의 어드레스카운터가 리셋상태가 아닌 경우에는 상기 어드레스버스의 신호의 상기 어드레스카운터로의 공급을 차단하는 것을 특징으로 하는 메모리시스템.

청구항 21.

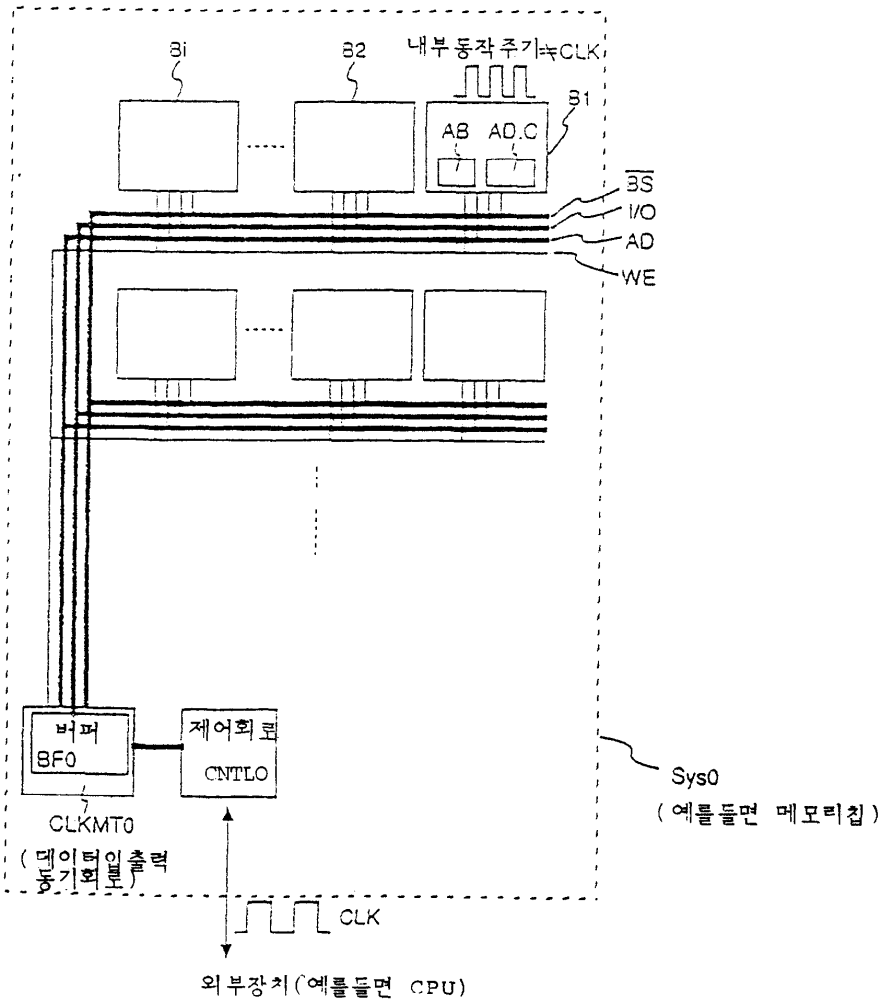
제 16항 내지 제 20항 중 어느 한 항에 있어서,
상기 복수의 메모리블럭의 각각은 메모리칩 상에 설치된 복수의 메모리어레이블럭의 하나이고, 상기 공통제어회로는 상기 메모리칩 상에 설치되는 것을 특징으로 하는 메모리시스템.

청구항 22.

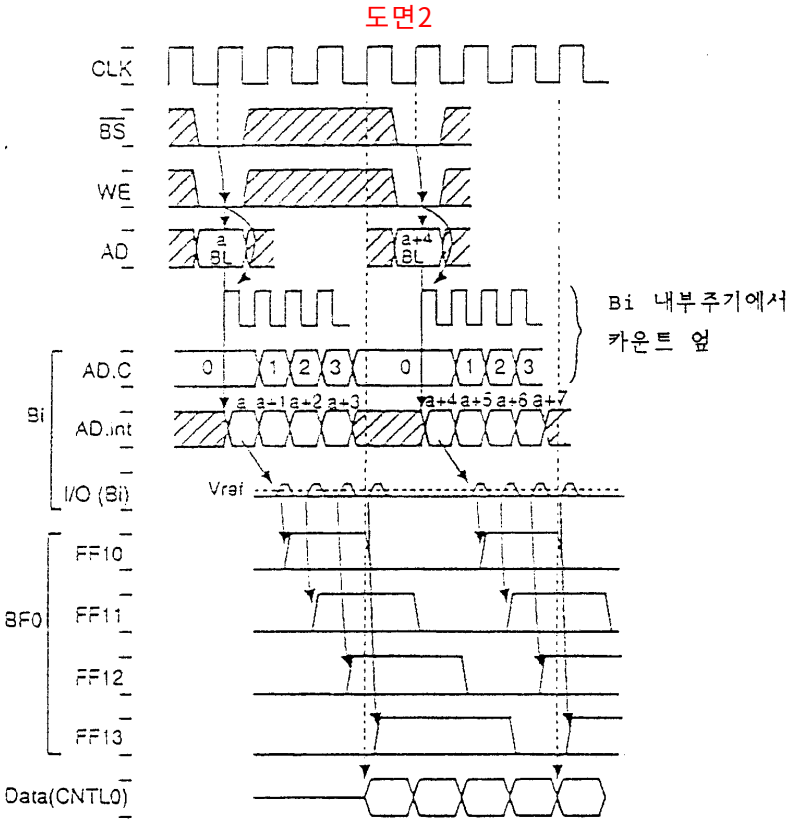
제 16항 내지 제 20항 중 어느 한 항에 있어서,
상기 공통제어회로는 CPU의 일부이고, 상기 복수의 메모리블럭의 각각은 메모리칩상에 설치되는 것을 특징으로 하는 메모리시스템.

도면

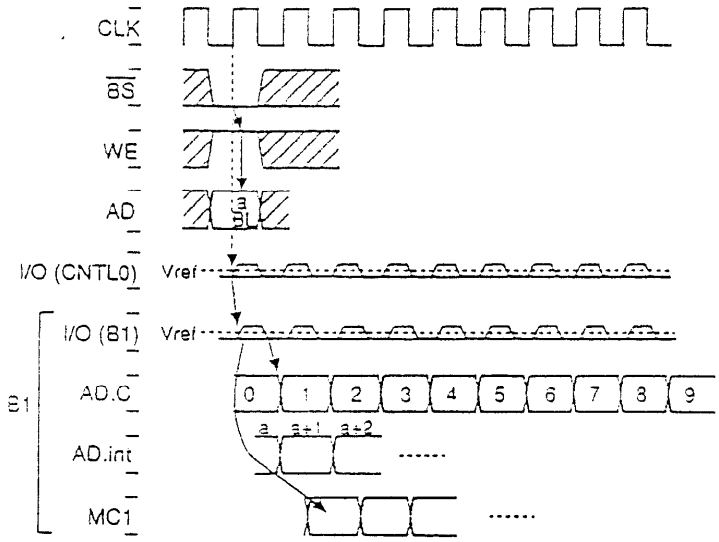
도면1


Bi
B2
내부동작주기=CLK
B1
AB
AD.C
BS
I/O
AD
WE
버퍼
BF0
제어회로
CNTL0
CLKMT0
(데이터입출력 동기회로)
Sys0
(예를들면 메모리칩)
CLK
외부장치(예를들면 CPU)

도면2

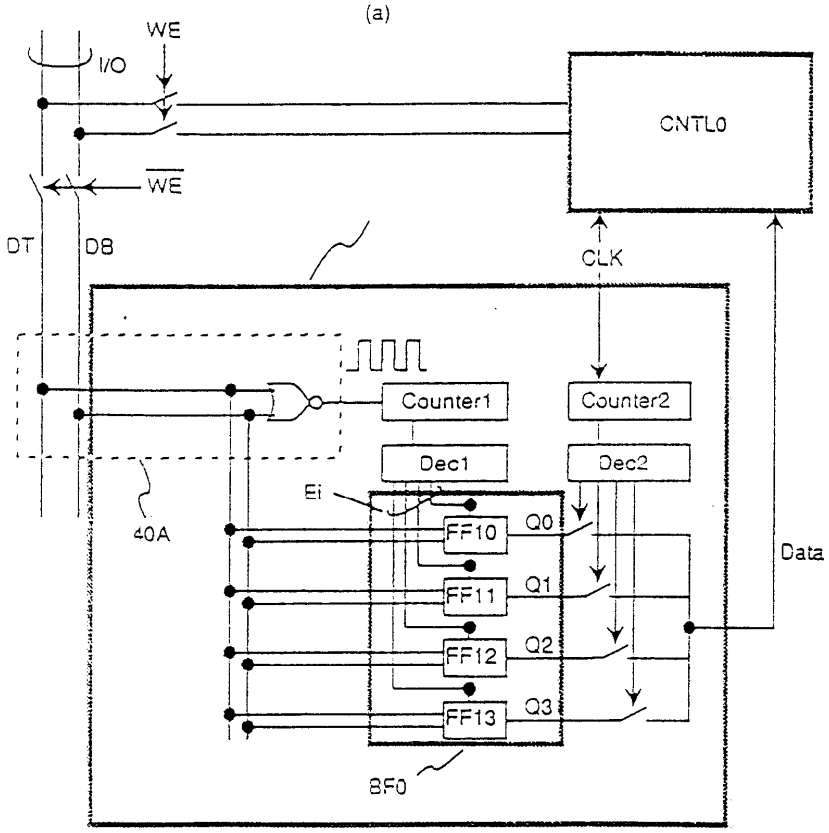

CLK
BS
WE
AD
a BL
a+4 BL
Bi 내부주기에서 카운트 업
Bi
AD.C
0 1 2 3 0 1 2 3
AD.int
a a+1 a+2 a+3 a+4 a+5 a+6 a+7
I/O (Bi)
Vrai
BF0
FF10
FF11
FF12
FF13
Data(CNTL0)

도면3

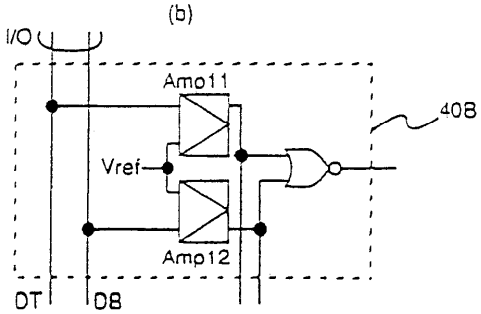

CLK
BS
WE
AD
I/O (CNTL0)
Vref
I/O (B1)
Vref
B1
AD.C
0
1
2
3
4
5
6
7
8
9
a
a+1
a+2
AD.int
MC1

도면4

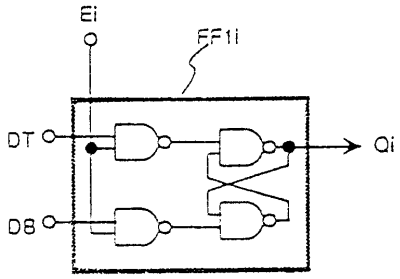
(a)


WE
I/O
CNTL0
WE
DT
D8
CLK
Counter1
Counter2
Dec1
Dec2
Ei
40A
FF10
FF11
FF12
FF13
Q0
Q1
Q2
Q3
Data
BF0

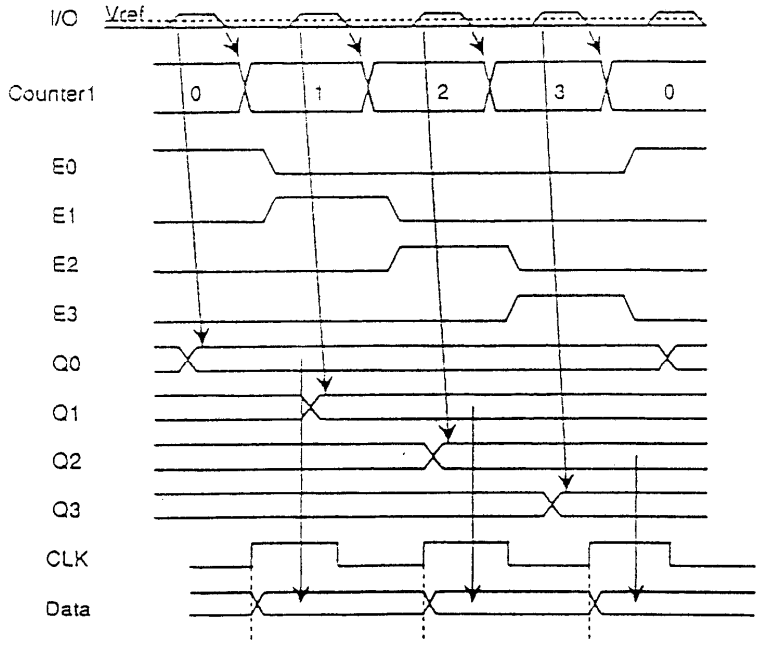
(b)


I/O
Amp11
Vref
Amp12
40B
DT
D8

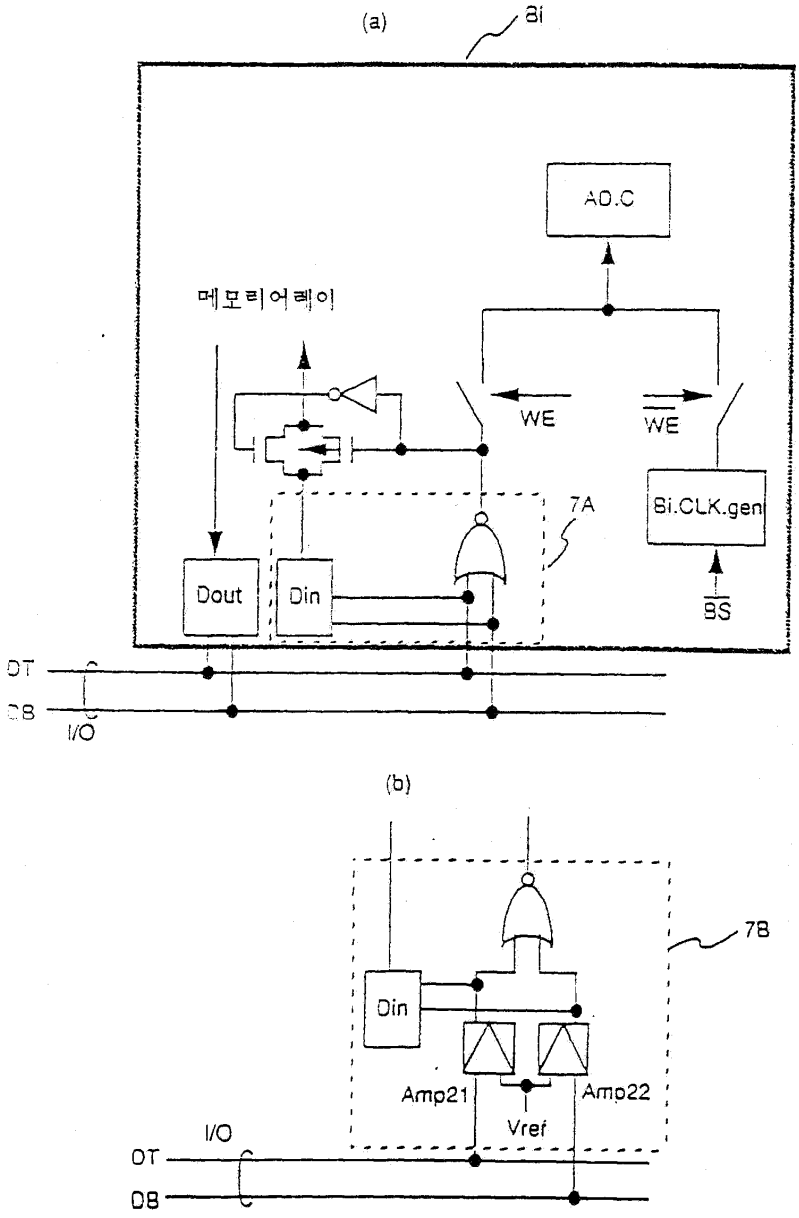
도면5


Ei
FF1i
DT
DB
Qi

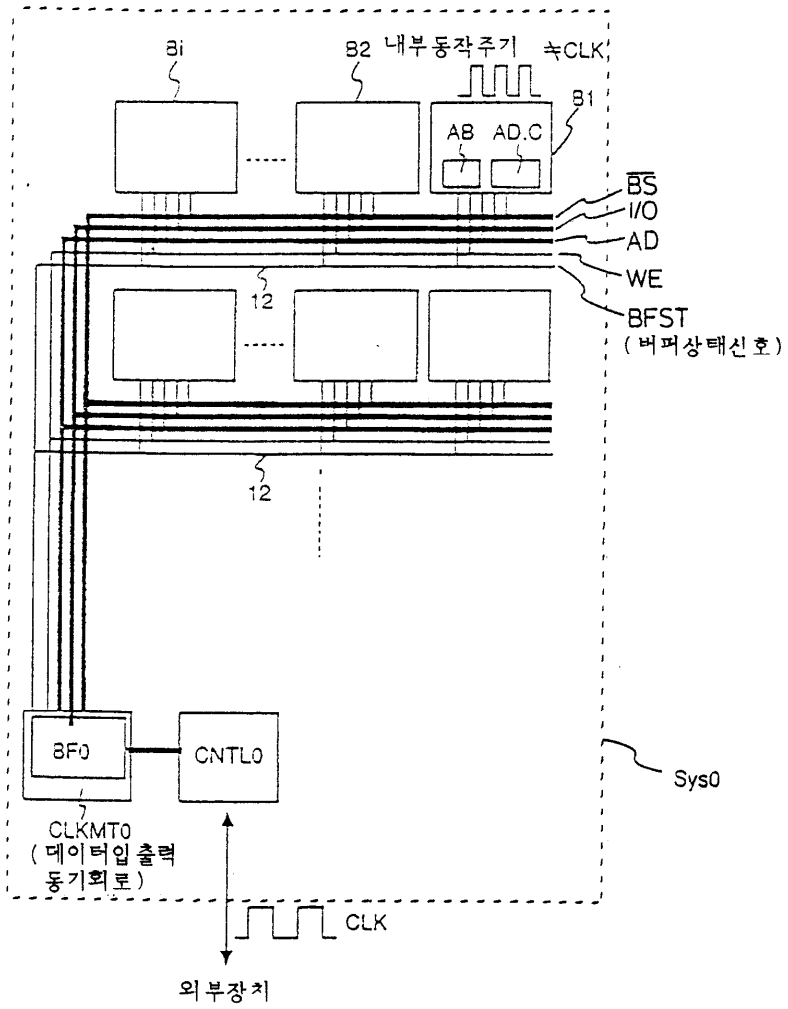
도면6


I/O
Vref
Counter1
0
1
2
3
0
E0
E1
E2
E3
Q0
Q1
Q2
Q3
CLK
Data

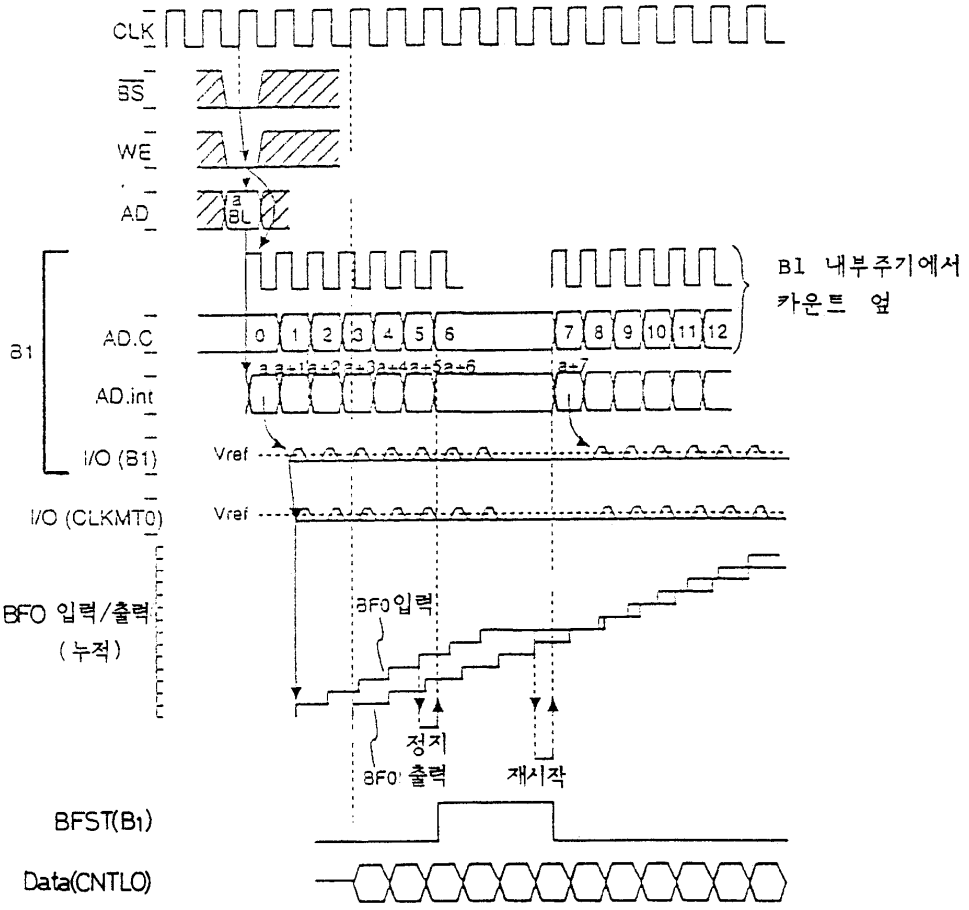
도면7


(a)
8i
A0.C
메모리어레이
WE
WE
7A
Bi.CLK.gen
Dout
Din
BS
OT
OB
I/O
(b)
7B
Din
Amp21
Amp22
Vref
I/O
OT
OB

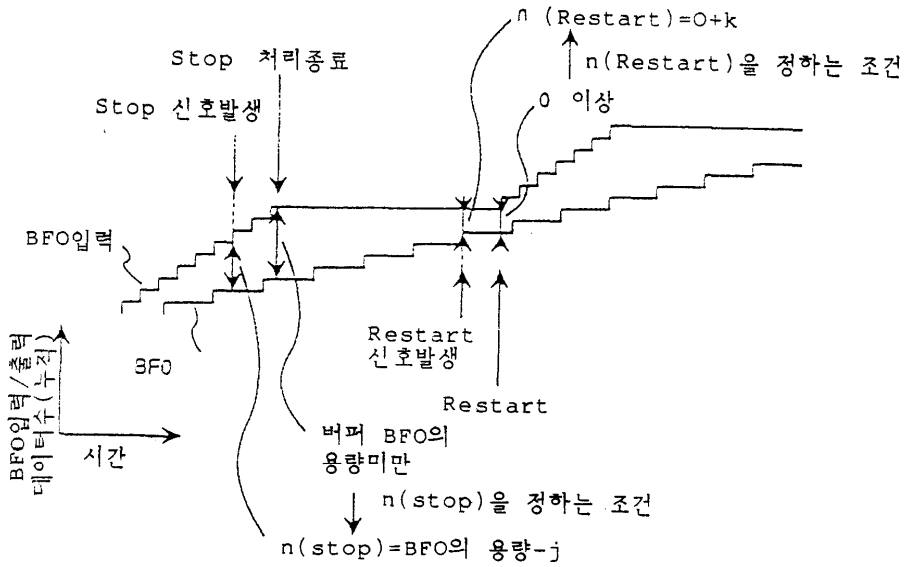
도면8


Bi
B2
내부동작주기
속CLK
B1
AB
AD.C
BS
I/O
AD
WE
BFST
(버퍼상태신호)
12
12
BF0
CNTL0
Sys0
CLKMT0
(데이터입출력
동기회로)
CLK
외부장치

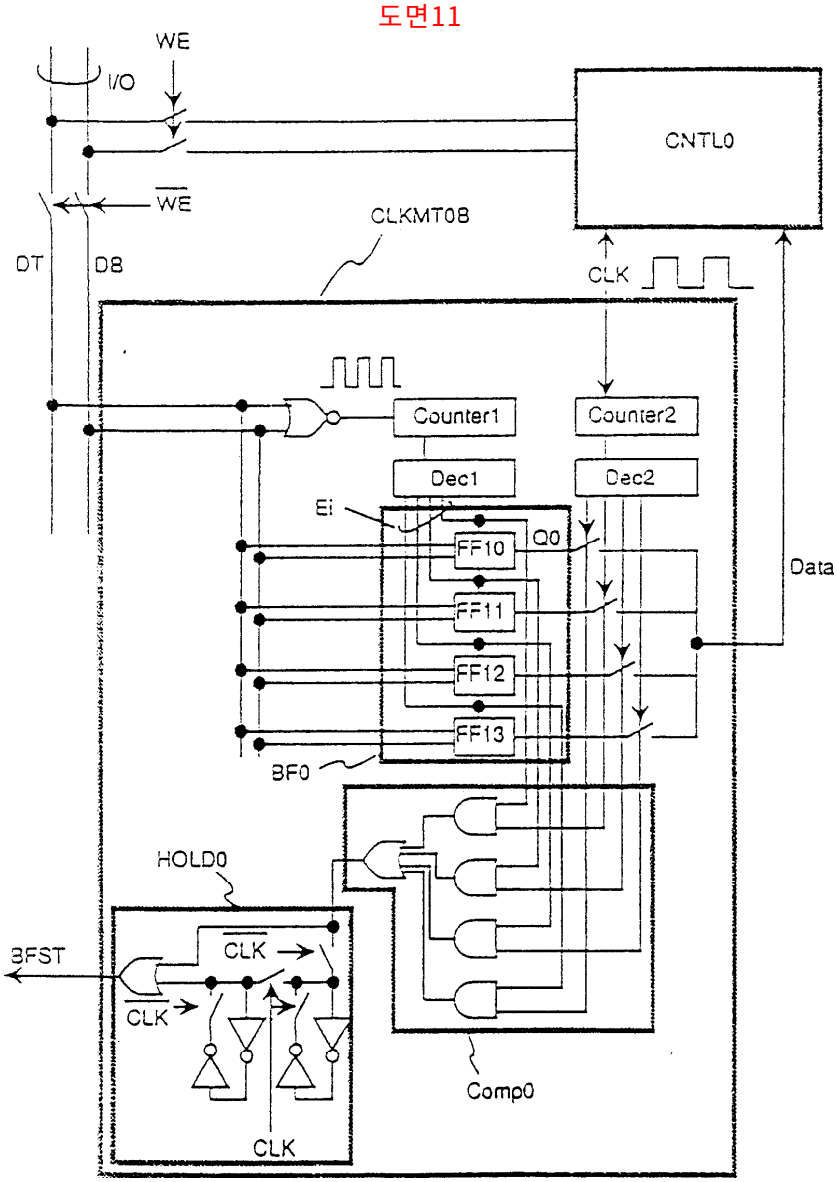
도면9


CLK
BS
WE
AD
B1
AD.C
AD.int
I/O (B1)
I/O (CLKMT0)
BFO 입력/출력
(누적)
B1 내부주기에서
카운트 엎
Vref
Vref
BFO입력
정지
BFO 출력
재시작
BFST(B1)
Data(CNTL0)

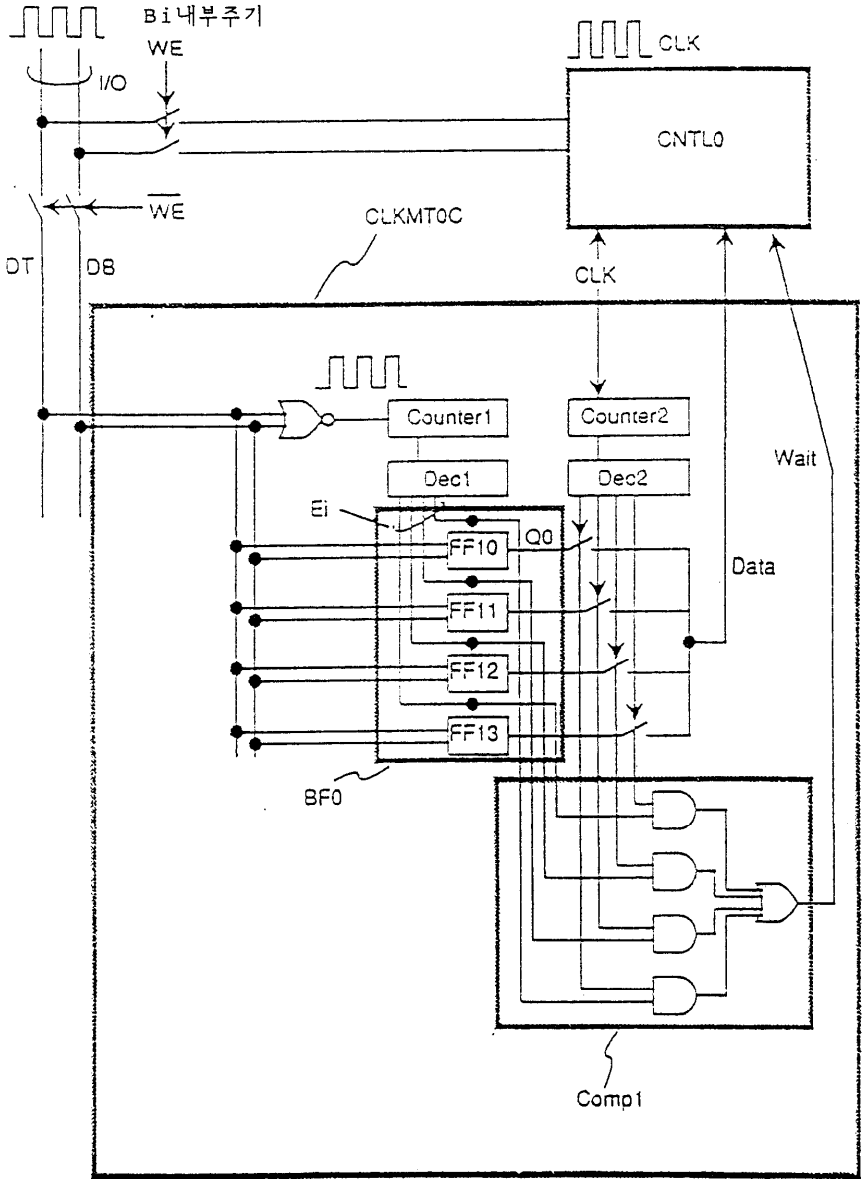
도면10


n (Restart)=0+k
n(Restart)을 정하는 조건
Stop 처리종료
Stop 신호발생
0 이상
BFO입력
BFO
Restart
신호발생
Restart
BFO입력/출력
데이터수(누적)
시간
버퍼 BFO의
용량미만
n(stop)을 정하는 조건
n(stop)=BFO의 용량-j

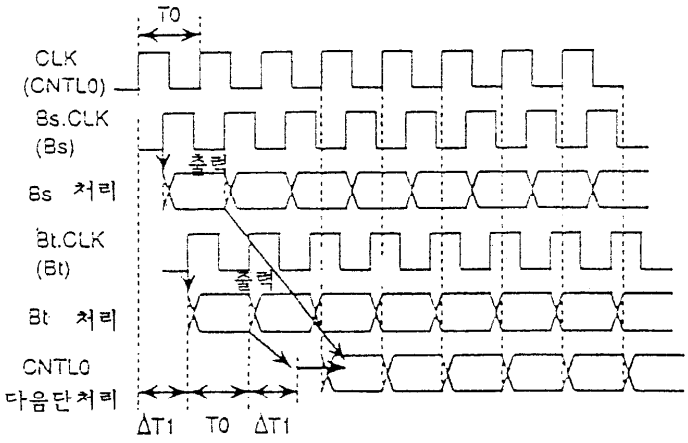
도면11


WE
I/O
CNTL0
WE
CLKMT08
DT
D8
CLK
Counter1
Counter2
Dec1
Dec2
Ei
Q0
FF10
FF11
FF12
FF13
Data
BF0
HOLD0
BFST
CLK
CLK
CLK
Comp0

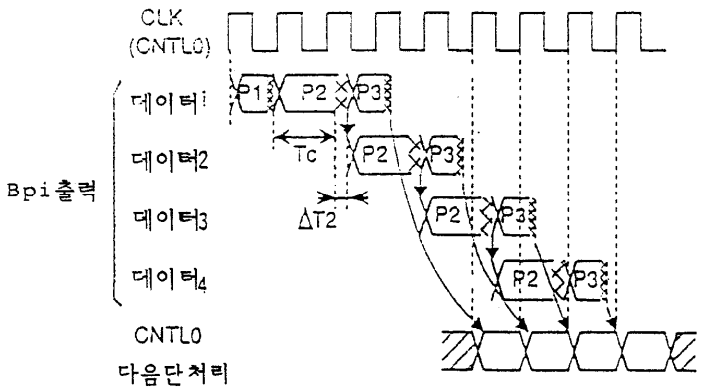
도면12


Bi내부주기
WE
I/O
CLK
CNTL0
WE
CLKMT0C
DT
D8
CLK
Counter1
Counter2
Wait
Dec1
Dec2
Ei
FF10
Q0
Data
FF11
FF12
FF13
BF0
Comp1

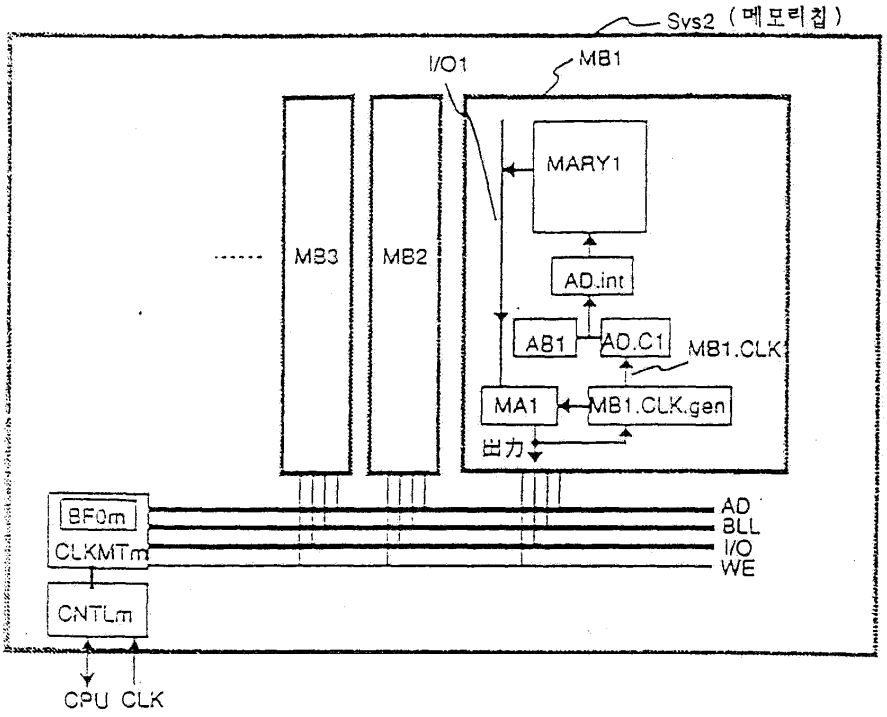
도면13


T0
CLK
(CNTL0)
Bs.CLK
(Bs)
출력
Bs 처리
Bt.CLK
(Bt)
출력
Bt 처리
CNTL0
다음단처리
ΔT1
T0
ΔT1

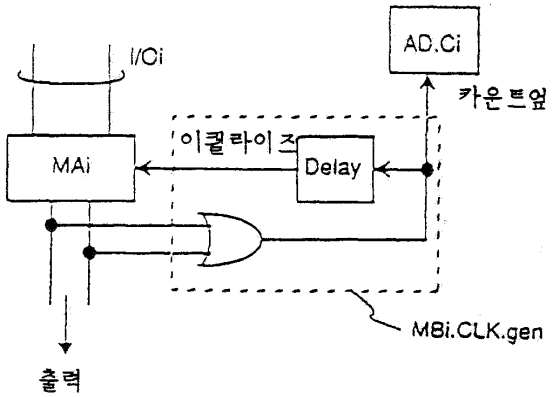
도면14



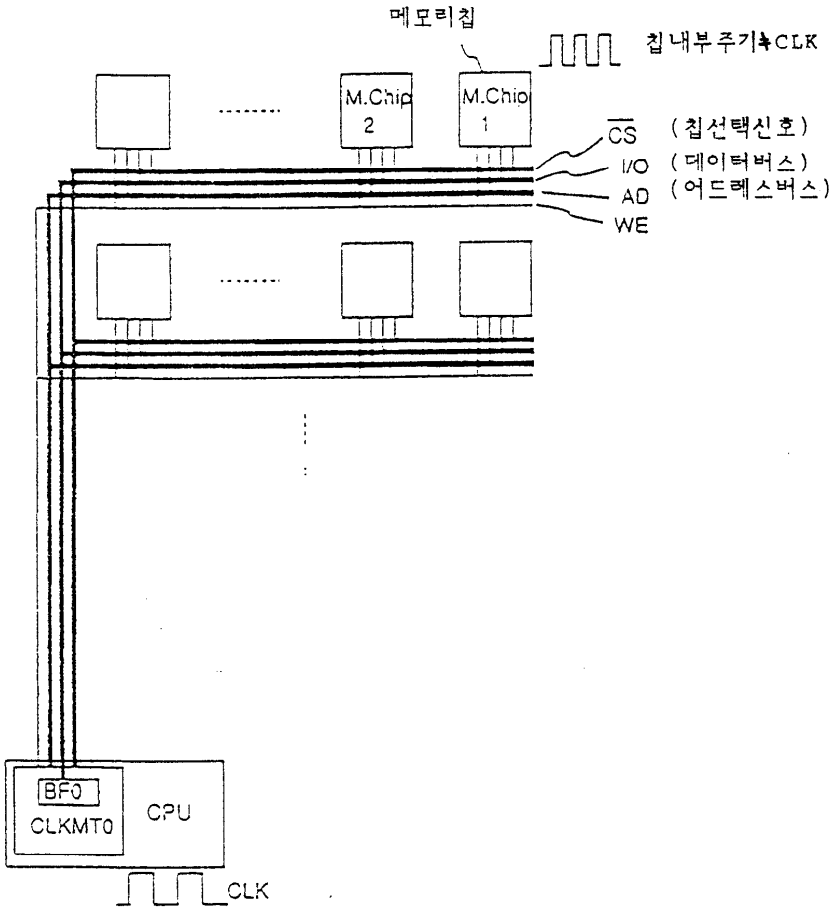
도면15



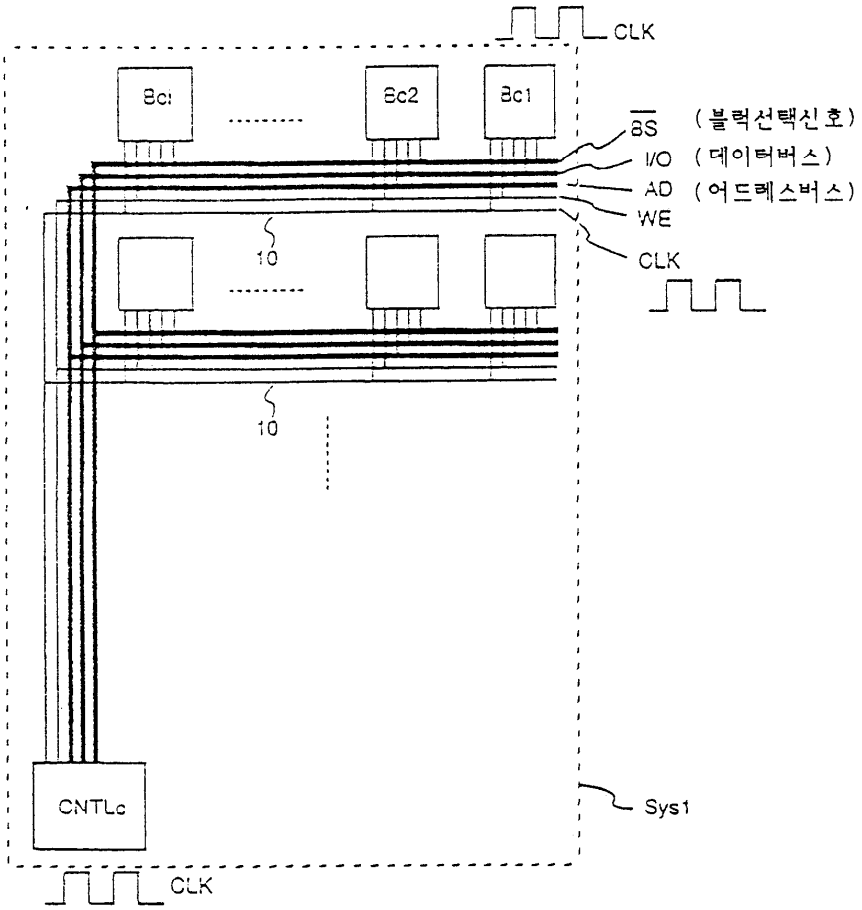
도면16



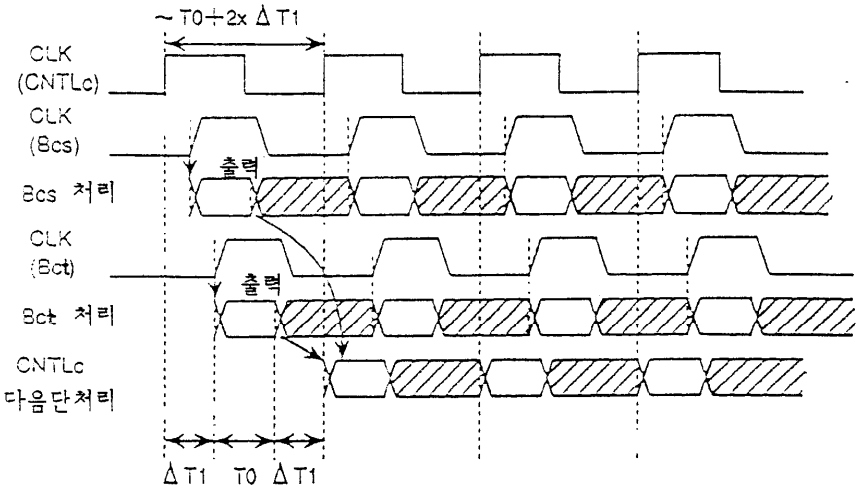
도면17


메모리칩
칩내부주기CLK
M.Chip 2
M.Chip 1
CS (칩선택신호)
I/O (데이터버스)
AD (어드레스버스)
WE
BF0
CLKMT0
CPU
CLK

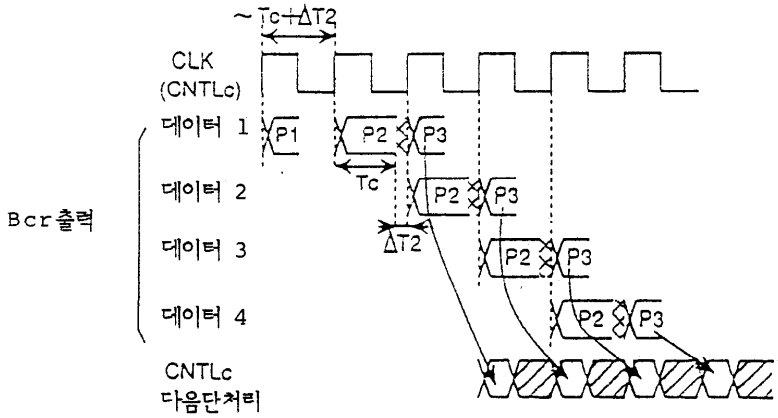
도면18


CLK
Bc1
Bc2
Bc1
BS (블럭선택신호)
I/O (데이터버스)
AD (어드레스버스)
WE
CLK
10
10
CNTLc
Sys1
CLK

도면19


~ T0+2x ΔT1
CLK
(CNTLc)
CLK
(Bcs)
출력
Bcs 처리
CLK
(Bct)
출력
Bct 처리
CNTLc
다음단처리
ΔT1
T0
ΔT1

도면20


~ Tc+ΔT2
CLK
(CNTLc)
데이터 1
데이터 2
데이터 3
데이터 4
Bcr출력
P1
P2
P3
Tc
ΔT2
CNTLc
다음단처리