

(21)申請案號：098104107

(22)申請日：中華民國 98 (2009) 年 02 月 09 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2008/03/07 日本 2008-057744

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：長岡弘二郎 NAGAOKA, KOJIRO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：9 項 圖式數：2 共 31 頁

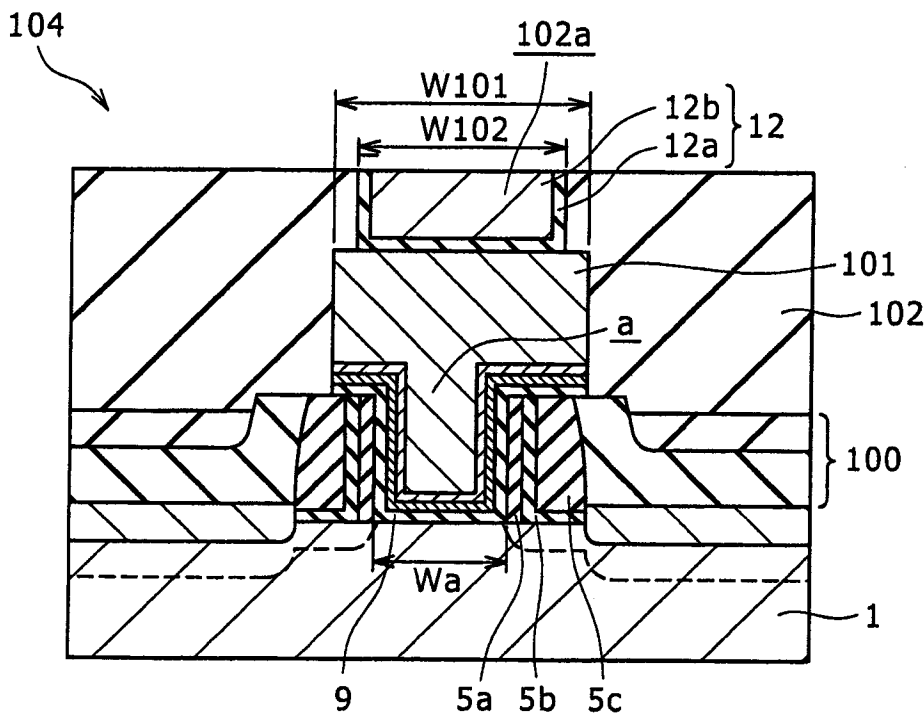
(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

本文揭示一種半導體裝置，其包括：一絕緣膜，其係提供於一半導體基板上以具有一溝渠圖案；一閘極絕緣膜，其經提供以覆蓋該溝渠圖案之一內壁；及一閘極電極，其經形成以透過該閘極絕緣膜被填充於該溝渠圖案中，及以於該絕緣膜上之該溝渠圖案的兩側上，突出得比該溝渠圖案更寬。



1：半導體基板

5a：間隔件絕緣膜

5b：第一側壁絕緣膜

5c：第二側壁絕緣膜

9：閘極絕緣膜

101：閘極電極

102：上層絕緣膜

102a：連接孔

100：絕緣膜

101：閘極電極

102：上層絕緣膜

102a：連接孔

104：半導體裝置

a：溝渠圖案

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法，且更特定言之，係關於一種包括一金屬閘極電極之半導體裝置及其製造方法。

本發明包含有關2008年3月7日向日本專利局申請之日本專利申請案JP2008-057744號之標的，其全部內容以引用方式併入本文中。

【先前技術】

隨著電晶體世代的進展，基於小型化之按比例調整係持續地實行。在用於半導體國際技術地圖(ITRS)中，20 nm或更少之閘極長度(Lg)係預期在稱為32 nm半間距(hp)技術世代之電晶體中。對於此32 nm世代之電晶體，一閘極絕緣膜之有效氧化物厚度(EOT)需要按比例調整用於針對確保對應至閘極長度之按比例調整的驅動能力(I_{ds})之目的。此外，一擴散層之一深度(X_j)亦需要按比例調整用於針對抑制短通道效應(SCE)之目的。

一種藉由引入一金屬閘極電極而非使用一多晶矽閘極電極抑制閘極空乏以及用於引入一高介電常數(高k)絕緣膜作為閘極絕緣膜而非使用二氧化矽膜之技術，係經調查成為用於按比例調整該等技術之閘極絕緣膜的有效氧化物厚度之技術。

在此，一用於金屬閘極電極之材料(例如)鎢(W)、鈦(Ti)、鈦(Hf)、鈦(Ru)或鈦(Ir)係具有高反應性質的材料。

由於此原因，當在一高溫處對於此種材料實行熱處理時，此種材料與一閘極絕緣膜反應，因而使閘極絕緣膜之膜品質惡化。因此，較佳係採用一種程序，以致在金屬閘極電極之形成完成後，未對於在高溫處之金屬閘極電極實行熱處理。對於實現此程序的方法之一，係提出圖2A至2K中所示之埋入式閘極程序(所謂鑲嵌閘極程序)。此技術(例如)係描述於Atsushi Yagishita等人之非專利文件中："藉由用於0.1微米制度之CMP所製造的高性能金屬閘極MOSFET (High Performance Metal Gate MOSFETs Fabricated by CMP for 0.1 μm Regime)"，International Electron Devices Meeting 1998 Technical Digest，第785至788頁(1998年)。

在埋入式閘極程序中，首先(如圖2A中所示)一由多晶矽(poly-Si)製造之虛擬(dummy)閘極3及一硬遮罩層4係透過一虛擬閘極絕緣膜2在一半導體基板1上以一層壓形式形成。其次，包括一由二氧化矽膜或氮化矽膜製成之間隔件絕緣膜5a、一第一側壁絕緣膜5b及一第二側壁絕緣膜5c之側壁絕緣層，係在虛擬閘極3及硬遮罩層4之側壁上形成。此外，一源極及一汲極1sd係在半導體基板1之一表面側上形成，且矽化層6係接著在基板1之表面側上形成。

其次，如圖2B中顯示，一由氮化矽製成之襯墊絕緣膜7係在半導體基板1之上形成，且一由二氧化矽(SiO_2)製成之層間絕緣膜8係形成以致覆蓋襯墊絕緣膜7。之後，如圖2C中所示，層間絕緣膜8、襯墊絕緣膜7及硬遮罩層4與其類似者係藉由利用CMP(化學機械拋光)方法依序拋光，因而

曝露虛擬閘極3。其次，如圖2D中所示，虛擬閘極3中及虛擬閘極絕緣膜2係依序選擇性蝕刻移除，因而形成一用於閘極電極的形成之溝渠圖案a。

其次，如圖2E中顯示，一由高介電常數材料(例如，二氧化鈺(HfO_2))製成例如金屬氧化膜或金屬氮化膜之閘極絕緣膜9，係沈積以致覆蓋溝渠圖案a之一內壁。其次，如圖2F中顯示，一藉由依序層壓一由矽化鈺(HfSix)製成之第一基極電極材料膜10a，一由氮化鈦(TiN)製成之第二基極電極材料膜10b及一由鎢(W)製成之主電極材料10c所獲得的電極材料膜係沈積，以致被填充進入溝渠圖案a中。

之後，如圖2G中顯示，主電極材料膜10c、第二基極電極材料膜10b及第一基極電極材料膜10a係藉由利用CMP方法依序拋光，因此形成一閘極電極10，其中第一基極電極材料膜10a、第二基極電極材料膜10b及主電極材料膜10c係僅留在溝渠圖案a中。之後，如圖2H中顯示，一由二氧化矽(SiO_2)製成之上層絕緣膜11係形成在半導體基板1上以致覆蓋閘極電極10。之後，如圖2I中顯示，上層絕緣膜11係選擇性地蝕刻移除成為一預定圖案，因而形成一到達閘極電極10之連接孔11a。

其次，如圖2J中顯示，在使用氫氟酸之蝕刻係實行成為一用於下一膜沈積程序之預處理後，一藉由依序層壓一基極導電膜12a及一主導電膜12b獲得的導電材料膜係沈積以致被填入連接孔11a中。之後，如圖2K中顯示，主導電膜12b及基極導電膜12a係藉由依序利用CMP方法拋光，因而

形成一接點插塞12，其中基極導電膜12a及主導電膜12b係僅留在連接孔11a內。在完成以上程序後，一佈線(未顯示)係形成在上層絕緣膜11上以致被連接至接點插塞12。

【發明內容】

然而，如以上描述之埋入式閘極程序所應用之製造方法涉及以下問題。即，在用於形成由二氧化矽(SiO_2)製成之上層絕緣膜11中的連接孔11a以到達閘極電極10之蝕刻階段中，用於由矽化鈦(HfSi_x)或類似者製成之第一基極電極材料膜10a，及由二氧化鈦(HfO_2)製成之閘極絕緣膜9的蝕刻會進行。尤其係，藉由實行使用氫氟酸之蝕刻成為用於下一程序中之基極導電膜12a及主導電膜12b之膜沈積的預處理，用於第一基極電極材料膜10a及閘極絕緣膜9之蝕刻會進一步進行，因而分別在閘極電極10之雙側上形成間隙A。

結果，在圖2J中顯示之程序中，當基極導電膜12a及主導電膜12b係依序層壓及沈積以填充在連接孔11a內時，基極導電膜12a及主導電膜12b係幾乎不填充在閘極電極10之兩側上的間隙A內，以致其易於使空洞b發生在間隙A內。間隙A中之此等空洞b的發生變成一用於增加閘極電極10及接點插塞12間之一連接電阻的原因。

此外，因為閘極絕緣膜9亦藉由實行以上所述蝕刻收縮，閘極電極10下之閘極絕緣膜9的一部分被薄化，其變成一使一耐受電壓惡化的原因。

此外，因為用於閘極電極10之兩側的蝕刻對於每一材料

進行，不同種類之傳導材料(即)第一基極電極材料膜10a及基極導電膜12a混合地存在於閘極電極10之兩側的各者上。結果，難以最佳化形成接點插塞12的條件，其成為所得半導體裝置之特性的變化或分散的原因。

根據前文，因此需要提供一種半導體裝置，其中係防止一埋入式閘極電極之兩側上的材料膜收縮，因而改進特性，及一種其製造方法。

為了達到以上描述之需要，根據本發明之一具體實施例係提供一種半導體設備，其包括：一絕緣膜，其係提供在一半導體基板上以致具有一溝渠圖案；一閘極絕緣膜，其係提供以致覆蓋該溝渠圖案之一內壁；及一閘極電極，其係形成以致透過該閘極絕緣膜填充在該溝渠圖案中，且以致在該絕緣膜上之該溝渠圖案的兩側上突出得比該溝渠圖案更寬。

根據本發明之另一具體實施例係提供一種製造半導體裝置之方法，其包括以下步驟：在一半導體基板之上形成一虛擬閘極，及沈積一絕緣膜以覆蓋該虛擬閘極；在該虛擬閘極自該絕緣膜曝露後移除該虛擬閘極，因而形成一溝渠圖案，其具有一該半導體基板在該絕緣膜中曝露至其之底部部分；沈積一電極材料膜以致透過該閘極絕緣膜填充至該溝渠圖案中；及圖案化該電極材料膜成為一在該絕緣膜上之該溝渠圖案的兩側上突出得比該溝渠圖案更寬之形狀，因而形成一由該電極材料膜製成之閘極電極。

在具有如以上描述之結構的半導體裝置中，該溝渠圖案

之一開口部分係用該閘極電極完美地覆蓋。因此，一在該溝渠圖案之一側壁，及閘極絕緣膜與閘極電極之各者間的邊界部分係藉由閘極電極保護。由於此一原因，即使當一上層絕緣膜(例如)係提供以致覆蓋閘極電極，且一連接孔係在上層絕緣膜中形成以致到達閘極電極時，無邊界部分被曝露至連接孔之一底部部分。結果，可保持邊界部分以加以保護。

如以上所提出，根據本發明之具體實施例，閘極電極可覆蓋且保護透過閘極絕緣膜填充在溝渠圖案中的閘極電極及溝渠圖案的側壁間之邊界部分。因此，可防止由於在邊界部分中提供之材料層的收縮或類似者所發生的空洞。結果，可獲得具有改進特性的半導體裝置。

【實施方式】

以下將參考附圖詳述本發明之一具體實施例。在此情況下，一具有一在一埋入式閘極程序中形成之金屬閘極電極的絕緣閘極場效電晶體(所謂MOS(金屬氧化半導體)電晶體)被應用至本發明的具體實施例。在本發明之具體實施例中，首先將描述製造半導體裝置的方法，其次將描述一藉由利用該製造方法獲得之半導體裝置的結構。此外，將以其中與參考圖2A至2K所描述之相關技術中相同成分元件係分別用相同參考數字或符號來指定的方式提供該描述。

製造半導體裝置的方法

圖1A至1K分別係顯示在根據本發明之一具體實施例製

造半導體裝置之方法中之個別程序的斷面圖。此等程序中，圖1A至1F中所示之前半的程序可以類似於參考圖2A至2F描述之程序的情況來實行。其次，將描述此等程序的細節。

此即，首先如圖1A中顯示，製備一(例如)由單晶矽製成之半導體基板1。另外，雖然在圖1A中省略描述，但一由二氧化矽(SiO_2)製成之隔離區(透過其一元件區被隔成作用區)係形成於半導體基板1之一表面側上。此外，一p型井係形成於其中意欲形成一n通道絕緣閘極場效電晶體的作用區中，且一n型井係形成於其中意欲形成一p通道絕緣閘極場效電晶體的作用區中。另外，通道擴散層(未顯示)分別係形成於作用區的表面側上。

此外，一藉由在具有個別區之半導體基板1的上部分上，依序藉由層壓一由多晶矽(poly-Si)製成之虛擬閘極3及一由氮化矽(SiN)製成之硬遮罩層4的閘極電極結構G，係透過一由二氧化矽(SiO_2)製成之虛擬閘極絕緣膜2形成於其上。在此情況下，在虛擬閘極3及硬遮罩層4係透過虛擬閘極絕緣膜2依序在半導體基板1上層壓及沈積後，所得層壓膜被蝕刻成為一閘極電極形狀之圖案，因而形成閘極電極結構G。應注意虛擬閘極3(例如)的高度係在約10至約50 nm之範圍中，且寬度係約30 nm。

其次，一由氮化矽(SiN)製成之間隔件絕緣膜5a係在閘極電極結構G的兩側壁之各者上形成。另外，一雜質係藉由使用閘極電極結構G及間隔件絕緣膜5a之各者作為一遮

罩引入至半導體基板1中，因而在半導體基板1之一表面層中形成一源極及一汲極的一延伸區1ex。

之後，一由二氧化矽(SiO_2)製成之第一側壁絕緣膜5b及一由氮化矽(SiN)製成之第二側壁絕緣膜5b係進一步依序形成在閘極電極基板G之兩側壁的各者上。在此情況下，二氧化矽膜(一第一側壁絕緣膜材料)及氮化矽膜(一第二側壁絕緣膜材料)係依此次序層壓及沈積，且各向異性蝕刻係實行用於所得層壓膜，因而僅在閘極電極結構G之兩側壁的各者上留下二氧化矽膜及氮化矽膜。依此一方式，第一側壁絕緣膜5b及第二側壁絕緣膜5c係形成。

其次，一雜質係藉由使用在閘極電極結構G之側壁的各者上形成之間隔件絕緣膜5a、第一側壁絕緣膜5b及第二側壁絕緣膜5c引入至半導體基板1，且閘極電極結構G成為一遮罩，因而在半導體基板1之表面層中形成源極及汲極區1sd。之後，源極及汲極區1sd之曝露表面層，即一由單晶矽製成之半導體基板1的曝露表面層經矽化以形成矽化層6。

其次，如圖1B中顯示，一由氮化矽(SiN)製成之襯墊絕緣膜7係在半導體基板1之上形成，以致覆蓋閘極電極結構G及矽化層6。另外，一由二氧化矽(SiO_2)製成之層間絕緣膜8係沈積在襯墊絕緣膜7上。在此情況下，層間絕緣膜8係沈積以具有一足以填入藉由閘極電極結構G造成之不規則性的厚度。

之後，如圖1C中所示，層間絕緣膜8、襯墊絕緣膜7及硬

遮罩層4係依此次序藉由利用CMP方法從層間絕緣膜8之上拋光，因而曝露虛擬閘極3。結果，虛擬閘極3係從拋光滑表面曝露，及此外，在閘極電極結構G之側壁的各者上形成之間隔件絕緣膜5a、第一側壁絕緣膜5b及第二側壁絕緣膜5c，及襯墊絕緣膜7與層間絕緣膜8係全曝露。

其次，如圖1D中所示，由多晶矽(poly-Si)製成之虛擬閘極3及由二氧化矽(SiO₂)製成之虛擬閘極絕緣膜2係其後選擇性蝕刻移除，因而形成一用於在移除部分中形成埋入式閘極電極之溝渠圖案a。結果，係獲得一其中一具有形成在其內之溝渠圖案a的絕緣膜100係提供在半導體基板1上的結構。應注意到具有形成於其內之溝渠圖案a的絕緣膜100係由間隔件絕緣膜5a、第一側壁絕緣膜5b與第二側壁絕緣膜5c、及襯墊絕緣膜7與層間絕緣膜8組成，且另外間隔件絕緣膜5a、第一側壁絕緣膜5b及第二側壁絕緣膜5c係依組成溝渠圖案a之側壁的各者之側壁絕緣膜的形式提供。另外，在此程序中形成之溝渠圖案a具有約如虛擬閘極3之厚度及寬度的相同深度及寬度。例如，溝渠圖案a係在深度約10至約50 nm之範圍中，及具有一約30 nm之開口寬度W_a。

之後，如圖1E中所示，閘極絕緣膜9係沈積以致覆蓋溝渠圖案a的內壁。關於一製成閘極絕緣膜9的材料，除了大體上過去已使用之SiO₂系統材料、SiOF系統材料或SiN系統材料以外可提供具有約4.0或更多之相對介電常數 $k(=\epsilon/\epsilon_0)$ 的所謂高介電常數材料。在此情況下，一例如氧

化鋯 (ZrO_2)、二氧化鈦 (HfO_2)、氧化鋁 (Al_2O_3)、氧化釔 (Y_2O_3) 或氧化鏷 (La_2O_3) 之金屬氧化膜，或一金屬氮化膜可成為高介電常數材料之範例。閘極絕緣膜可由一種材料製成，或亦可由複數種材料製成。此外，閘極絕緣膜可為一單一膜 (含有由就絕緣材料而言之複數種材料製成的複合膜)，或亦可為一層壓膜。該 n 通道絕緣閘極場效電晶體之閘極絕緣膜，及 p 通道絕緣閘極場效電晶體之閘極絕緣膜可由相同材料製成，或亦可分別由不同材料製成。

如以描述之閘極絕緣膜 9 大體上可藉由利用為人熟知的方法形成。尤其係，原子層沈積 (ALD) 方法、金屬有機化學汽相沈積 (MOCVD) 方法、濺鍍方法或類似者可作為形成由以上描述之高介電常數材料製成的閘極絕緣膜之方法的範例。例如，在由二氧化鈦 (HfO_2) 製成之閘極絕緣膜 9 的情況下，閘極絕緣膜 9 係藉由利用一使用氯化鈦 ($HfCl_4$) 及氨 (NH_3) 之 CVD 方法，或使用有機鈦 (Hf) 氣體之 CVD 方法沈積。此外，關於另一膜沈積方法，氮化鈦膜係藉由利用使用由氮化鈦 (HfN) 製成之目標的濺鍍方法沈積，及接著氧化，因而形成一由氮二氧化鈦製成之閘極絕緣膜 9。

在此情況下，如一範例，由二氧化鈦 (HfO_2) 製成之閘極絕緣膜 9 係沈積以具有約 3.0 nm 的厚度。

其次，如圖 1F 中所示，一第一基極電極材料膜 10a、一第二基極電極材料膜 10b 及一主電極材料膜 10c 係依此次序層壓及沈積以填入溝渠圖案 a 中。第一基極電極材料膜 10a、第二基極電極材料膜 10b 及主電極材料膜 10c 係分別

由金屬材料製成。

在此情況下，例如由矽化鈦(HfSi_x)製成之第一基極電極材料膜10a係沈積為用於n通道MOS電晶體之電極。此即，由矽化鈦(HfSi_x)製成之第一基極電極材料膜10a係(例如)利用濺鍍方法沈積以具有約15 nm的厚度。

其次，由氮化鈦(TiN)製成的第二基極電極材料膜10b係沈積成為一在第一基極電極材料膜10a上之阻障層。在此情況下，由氮化鈦(TiN)製成的第二基極電極材料膜10b係藉由(例如)利用CVD方法、濺鍍方法、ALD方法或類似者沈積。以此等沈積方法之ALD方法，氨(NH_3)氣體及四氯化鈦(TiCl_4)氣體係交替地引入至一膜沈積室，據以由氮化鈦(TiN)製成之第二基極電極材料膜10b係沈積以具有約10 nm的厚度。

之後，由一金屬製成之主電極材料膜10c係沈積在第二基極電極材料膜10b上。在此情況下，如鎢(W)、鈦(Ti)、鈦(Hf)、鈦(Ru)或鈦(Ir)之金屬、其合金或一金屬化合物係用作製成主電極材料膜10c之材料。此一主電極材料膜10c係藉由(例如)利用CVD方法沈積。在此情況下，主電極材料膜10c係在 350°C 之沈積溫度下沈積以藉由利用使用六氟化鎢、氫及矽烷氣體之CVD方法具有約200 nm的厚度。

以上程序可根據如在圖2A至2F中顯示之相關技術中的程序相同的程序實行。因此，根據本發明之具體實施例製造半導體裝置的方法之特徵包括分別在圖1G至1K中顯示的程序。

此即，首先，如圖 1G 中顯示，第一基極電極材料膜 10a、第二基極電極材料膜 10b 及主電極材料膜 10c 係圖案化，因而形成一閘極電極 101。在此情況下，重要的係第一基極電極材料膜 10a、第二基極電極材料膜 10b 及主電極材料膜 10c 係圖案化成為一在溝渠圖案 a 的兩側上突出得比溝渠圖案 a 更寬之形狀。此原因係因為第一基極電極材料膜 10a、第二基極電極材料膜 10b 及主電極材料膜 10c 係圖案化，而一介於溝渠圖案 a 之側壁，及閘極絕緣膜 9 和閘極電極 101 的各者間之一邊界部分係受保護。

為了達到此，在絕緣膜 100 上之閘極電極 101 的線寬度 W_{101} ，係設定為充分大於溝渠圖案 a 之開口寬度 W_a 。此外，閘極電極 101 之線寬度 W_{101} 較佳係具有一寬度，其係足以至少覆蓋由間隔件絕緣膜 5a、第一側壁絕緣膜 5b 及第二側壁絕緣膜 5c 之二氧化矽 (SiO_2) 製成的膜；即第一側壁絕緣膜 5b。除了其以外，閘極電極 101 之線寬度 W_{101} 較佳係設定為大於其後將形成的連接孔之一開口寬度。

藉由用於如以上描述之主電極材料膜 10c、第二基極電極材料膜 10b 及第一基極電極材料膜 10a 的圖案化蝕刻之閘極電極 101 的形成係實行如下。此即，一光阻圖案係藉由利用一微影技術形成，且主電極材料膜 10c、第二基極電極材料膜 10b 及第一基極電極材料膜 10a 係依序用光阻圖案作為遮罩來蝕刻，因而形成閘極電極 101。用於主電極材料膜 10c、第二基極電極材料膜 10b 及第一基極電極材料膜 10a 之蝕刻(例如)係在以下條件下實行。

[主電極材料膜(W)10c及第二基極電極材料膜(TiN)10b]

使用氣體： $\text{Cl}_2/\text{CF}_4=50 \text{ sccm}/100 \text{ sccm}$

偏壓功率：150 W

壓力：1.1 Pa

[第一基極電極材料膜(HfSix)10a]

使用氣體： $\text{Cl}_2/\text{BCl}_3=35 \text{ sccm}/10 \text{ sccm}$

源極功率：1,000 W

偏壓功率：150 W

壓力：1.3 Pa(10毫托爾)

基板溫度：40°C

在形成如以上描述之閘極電極101的階段，當考慮一用於(例如)在主電極材料膜10c、第二基極電極材料膜10b及第一基極電極材料膜10a之圖案化期間形成為遮罩之光阻的圖案化精度時，一在溝渠圖案a之一末端部分及閘極電極101之一末端部分間的距離d係設定為約150 nm或更多。

應注意在用於如以上描述由矽化鈦(HfSix)製成之第一基極電極材料膜10a的蝕刻中，亦進行用於由二氧化鈦(HfO_2)製成之閘極絕緣膜9的蝕刻。因此，閘極絕緣膜9係圖案化成為與閘極電極101之形狀相同的形狀。然而，閘極絕緣膜9可不藉由實行蝕刻來圖案化。

此外，只要可在絕緣膜100上之閘極電極101之線寬度W101及溝渠圖案a之開口寬度Wa間維持以上描述的關係，且另外可確保閘極電極100及在閘極電極101之下佈置之矽化層6與其類似者之各者間的絕緣性質，閘極電極101可直

接圖案化成為絕緣膜上之佈線。

其次，如圖 1H 中顯示，一由二氧化矽 (SiO_2) 或類似者製成之上層絕緣膜 102 係沈積以致覆蓋閘極電極 101。上層絕緣膜 102 的沈積係藉由利用高密度電漿 (HDS) CVD 方法、大氣壓力 CVD 方法、電漿 CVD 方法或類似者實行。

其次，如圖 1I 中顯示，一連接孔 102a 係在上層絕緣膜 102 中形成以致到達閘極電極 101。在此情況下，一光阻圖案係藉由利用微影技術形成，且上層絕緣膜 102 係用光阻圖案作為遮罩選擇性地蝕刻移除，因而形成連接孔 102a。此時之蝕刻條件可與在相關技術中之乾式蝕刻者相同。

因此形成的連接孔 102a 之一開口寬度 W_{102} 係當考慮將會在一後續程序中於連接孔 102a 內提供的一接點插塞之導電性質時形成。例如，當由鎢 (W) 製成之接點插塞係在連接孔 102a 內形成時，連接孔 102a 之開口寬度 W_{102} 係當考慮由鎢 (W) 製成的接點插塞的導電性質時設定在約 60 nm。如已描述，連接孔 102a 之開口寬度 W_{102} 大體上係大於溝渠圖案 a 之開口寬度 W_a (=約 30 nm)。

在此具體實施例中，較佳係如以上描述的連接孔 102a 之開口寬度 W_{102} 係小於在絕緣膜 100 上之閘極電極 101 的線寬度 W_{101} ，且因此連接孔 102a 之一底部部分係僅由閘極電極 101 組成。結果，可完美地防止連接孔 102a 形成期間之蝕刻在絕緣膜 100 上施加影響。因此，在絕緣膜 100 上之閘極電極 101 的線寬度 W_{101} 較佳係形成以致大於 60 nm。

應注意在此程序中，各到達覆蓋半導體基板 1 之源極及

汲極1sd的矽化層6之連接孔，可在到達閘極電極101之連接孔102a形成時同時形成。此外，連接孔102a之開口寬度W102可大於在絕緣膜100上的閘極電極101之線寬度W101，只要在連接孔102a形成期間的蝕刻在用於絕緣膜100之蝕刻方面不施加影響。

以上程序之後的程序可類似於參考相關技術中之圖2J及2K所描述的程序實行。以下將會描述其細節。

首先，一用於移除天然氧化膜之程序係實行為一用於其後將實行之接點插塞形成程序的預處理。在此情況下，使用稀釋氫氟酸或類似者之化學處理，使用氬(Ar)氣體之濺鍍，使用氟之自由基蝕刻或類似者可應用於此程序。

其次，如圖1J中顯示，一藉由連續層壓一基極導電膜12a及一主導電膜12b所獲得之導電材料膜被沈積以致填充在連接孔11a中。

基極導電膜12a係提供作為一阻障層，及係形成以具有兩層之層壓結構，其具有一成為下層之鈦層及一成為上層之氮化鈦層。成為下層之鈦層可具有一在閘極電極101上之數奈米的厚度，及可藉由利用現存濺鍍方法形成。成為上層的氮化鈦層可藉由利用濺射方法、CVD方法或ALD方法形成。用於成為下層之鈦層及成為上層的氮化鈦層之形成的條件可為過去已使用的條件，且成為下層之鈦層及成為上層的氮化鈦層之厚度亦可為過去已使用的厚度。

一鎢膜係藉由(例如)利用現存CVD方法沈積，因而形成主導電膜12b。

其次，如圖 1K 中顯示，成為佈線材料膜之主導電膜 12b 及基極導電膜 12a 係藉由利用 CMP 方法依序拋光，以僅在連接孔 102a 中留下基極導電膜 12a 及主導電膜 12b，因而形成接點插塞 12。

此外，在其後程序中，一佈線(未顯示)係形成在上層絕緣膜 102 上以致係連接至接點插塞 12，因而完成半導體裝置 104。

應注意，在其中於上層絕緣膜 102 中形成之連接孔 102a 的縱橫比足夠小之結構的情況下，可採用一種程序使得一具有一優異導電性質之材料膜(例如鋁)係填充在連接孔 102a 內，且接著在上層絕緣膜 102 上圖案化，因而形成一佈線以致連接至閘極電極 101。

半導體裝置

在依以上描述之方式所製造的半導體裝置 104 中，具有包含具有開口寬度 W_a 之溝渠圖案 a 的形狀之絕緣膜 100 係提供在由單晶矽製成的半導體基板 11 上。閘極絕緣膜 9 係提供以致覆蓋溝渠圖案 a 的內壁。另外，閘極電極 101 係提供以致透過閘極絕緣膜 9 填入溝渠圖案 a 中。

閘極絕緣膜 9 較佳係由金屬氧化膜或金屬氮化膜組成之一高介電常數材料製成。在此情況下，可按比例調整閘極絕緣膜 9 的有效厚度。

尤其係，閘極電極 101 之特徵係閘極電極 101 形成以致在絕緣膜 100 上之溝渠圖案 a 的兩側上突出得比溝渠圖案 a 更寬。在此，具有形成於其中之溝渠圖案 a 的絕緣膜 100 包括

間隔件絕緣膜5a、由二氧化矽(SiO_2)製成的第一側壁絕緣膜5b及由氮化矽(SiN)製成之第二側壁絕緣膜5c，成為構成溝渠圖案a之側壁的側壁絕緣膜。在此一結構中，閘極電極101之線寬度 W_{101} 較佳係足以覆蓋由間隔件絕緣膜5a、第一側壁絕緣膜5b與第二側壁絕緣膜5c之二氧化矽(SiO_2)製成之至少該膜，即在此情況下之第一側壁絕緣膜5b。

應注意到閘極電極101較佳係由一金屬材料製成的所謂金屬閘極電極，及結果，可抑制閘極空乏。此一閘極電極101(例如)具有之層壓結構具有由矽化鈦(HfSi_x)製成之第一基極電極材料膜10a，由氮化鈦(TiN)製成之第二基極電極材料膜10b，及由鎢(W)、鈦(Ti)、鈦(Hf)、鈦(Ru)、鈦(Ir)或類似者製成之主電極材料膜10c，如以上描述。

另外，上層絕緣膜102係在絕緣膜100上提供以致覆蓋閘極電極101，且連接孔102a係在上層絕緣膜102中形成以致到達閘極電極101。在此一結構中，連接孔102a之開口寬度 W_{102} 較佳係大於溝渠圖案a的開口寬度 W_a ，且小於在絕緣膜100上之閘極電極101的線寬度 W_{101} 。

在根據本發明之具體實施例，及因而製造之半導體裝置104的製造方法中，溝渠圖案a之開口部分係用閘極電極101完美地覆蓋。結果，一在溝渠圖案a之側壁及閘極絕緣膜9與閘極電極101之各者間的邊界部分係藉由閘極電極101保護。由於此原因，即使當連接孔102a係在上層絕緣膜102中提供以致到達閘極電極101(其中閘極電極101係採用上層絕緣膜102部分地覆蓋)時，以上描述之邊界部分係

未曝露至連接孔102a之底部表面。

結果，一透過閘極絕緣膜9填充在溝渠圖案a中之閘極電極101及溝渠圖案a之側壁間的邊界部分可用閘極電極101覆蓋以因而加以保護。因此，可防止由於在此邊界部分中提供之材料層的收縮發生空洞或類似者。因此，可獲得具有改進特性的半導體裝置。

熟習此項技術人士應瞭解可取決於設計要求及其他因素進行各種修改、組合、子組合及變更，只要其係在隨附申請專利範圍或其等效內容的範疇內。

【圖式簡單說明】

圖1A至1K係分別顯示在製造根據本發明之一具體實施例的半導體裝置之方法中的個別程序之斷面圖；及

圖2A至2K係分別顯示製造一現存半導體裝置的方法中之個別程序的斷面圖。

【主要元件符號說明】

1	半導體基板
1ex	延伸區
1sd	源極及汲極
2	虛擬閘極絕緣膜
3	虛擬閘極
4	硬遮罩層
5a	間隔件絕緣膜
5b	第一側壁絕緣膜
5c	第二側壁絕緣膜

6	矽化層
7	襯墊絕緣膜
8	層間絕緣膜
9	閘極絕緣膜
10	閘極電極
10a	第一基極電極材料膜
10b	第二基極電極材料膜
10c	主電極材料
11	上層絕緣膜
11a	連接孔
12	接點插塞
12a	基極導電膜
12b	主導電膜
100	絕緣膜
101	閘極電極
102	上層絕緣膜
102a	連接孔
104	半導體裝置
a	溝渠圖案
G	閘極電極結構

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

99104109

※ 申請日：

98.12.9

※IPC 分類：H01L29/78 (2006.01)

H01L 21/28 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME

二、中文發明摘要：

本文揭示一種半導體裝置，其包括：一絕緣膜，其係提供於一半導體基板上以具有一溝渠圖案；一閘極絕緣膜，其經提供以覆蓋該溝渠圖案之一內壁；及一閘極電極，其經形成以透過該閘極絕緣膜被填充於該溝渠圖案中，及以於該絕緣膜上之該溝渠圖案的兩側上，突出得比該溝渠圖案更寬。

三、英文發明摘要：

Disclosed herein is a semiconductor device, including: an insulating film provided on a semiconductor substrate so as to have a trench pattern; a gate insulating film provided so as to cover an inner wall of the trench pattern; and a gate electrode formed so as to be filled in the trench pattern through the gate insulating film and so as to protrude more widely than the trench pattern on both sides of the trench pattern on the insulating film.

七、申請專利範圍：

1. 一種半導體裝置，其包含：

一絕緣膜，其係提供於一半導體基板上以具有一溝渠圖案；

一閘極絕緣膜，其經提供以覆蓋該溝渠圖案之一內壁；及

一閘極電極，其經形成以透過該閘極絕緣膜填充於該溝渠圖案中，及於該絕緣膜上之該溝渠圖案的兩側上，突出得比該溝渠圖案更寬。

2. 如請求項1之半導體裝置，進一步包含：

一上層絕緣膜，其係提供於該絕緣膜上以覆蓋該閘極電極，及以具有一到達該閘極電極之連接孔。

3. 如請求項2之半導體裝置，其中該連接孔之一開口寬度係大於該溝渠圖案之寬度。

4. 如請求項2之半導體裝置，其中該連接孔之一開口寬度係小於該絕緣膜上之該閘極電極之一寬度。

5. 如請求項1之半導體裝置，其中該絕緣膜包括一側壁絕緣層，其係由該溝渠圖案之一側壁組成，且該閘極電極經結構化以覆蓋該側壁絕緣層。

6. 如請求項1之半導體裝置，其中該閘極電極係由一金屬材料製成。

7. 如請求項1之半導體裝置，其中該閘極絕緣膜係從一金屬氧化膜或一金屬氮化膜形成。

8. 一種製造一半導體裝置的方法，其包含以下步驟：

在一半導體基板之上形成一虛擬閘極，及沈積一絕緣膜以覆蓋該虛擬閘極；

在該虛擬閘極自該絕緣膜曝露後移除該虛擬閘極，因而形成一溝渠圖案，其具有一該半導體基板在該絕緣膜中對其曝露之底部部分；

沈積一電極材料膜以透過該閘極絕緣膜填充至該溝渠圖案中；及

圖案化該電極材料膜成為一在該絕緣膜上之該溝渠圖案的兩側上突出得比該溝渠圖案更寬的形狀，因而形成一由該電極材料膜製成之閘極電極。

9. 如請求項8之製造半導體裝置的方法，其中在形成該閘極電極之步驟完成後，一上絕緣膜經形成以覆蓋該閘極電極，且一連接孔係形成於該絕緣膜中以到達該閘極電極。

八、圖式：

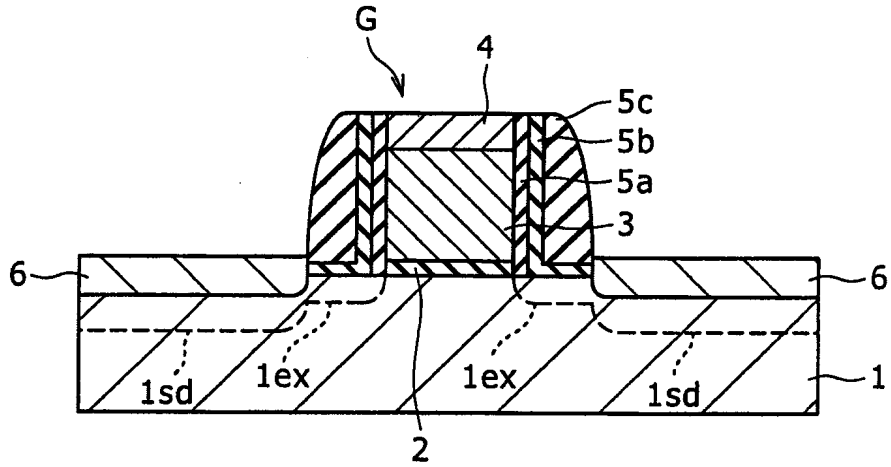


圖 1A

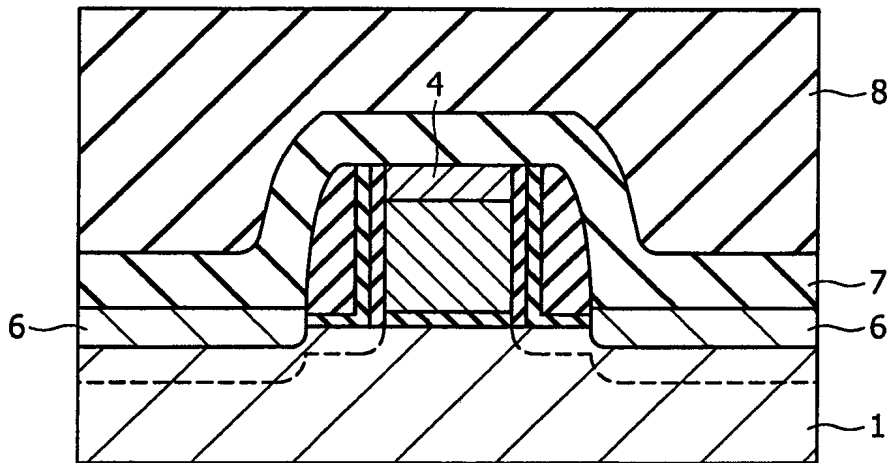


圖 1B

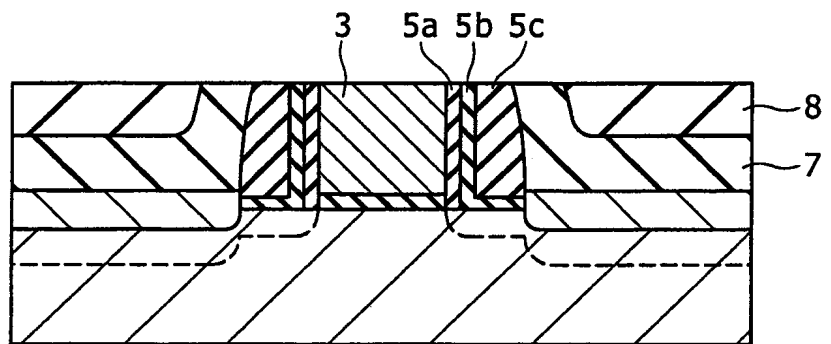


圖 1C

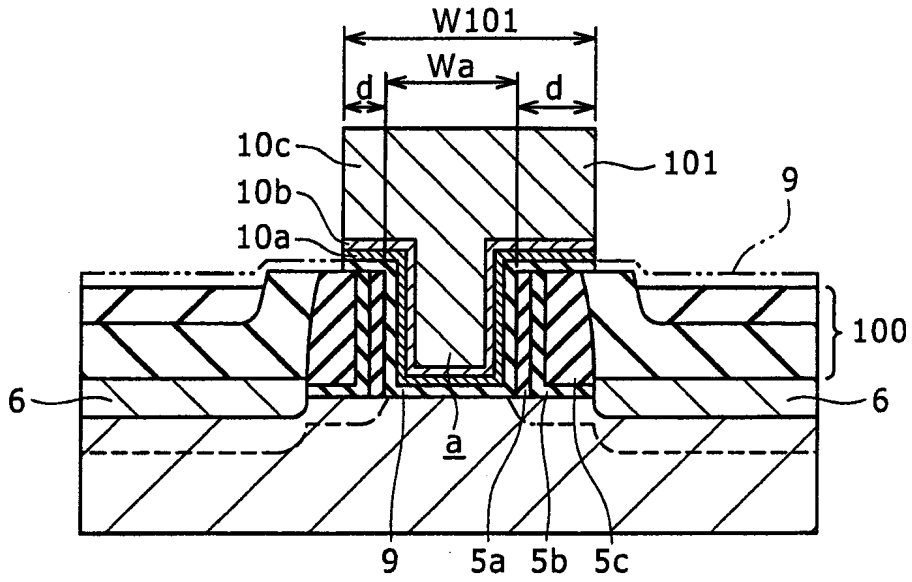


圖 1G

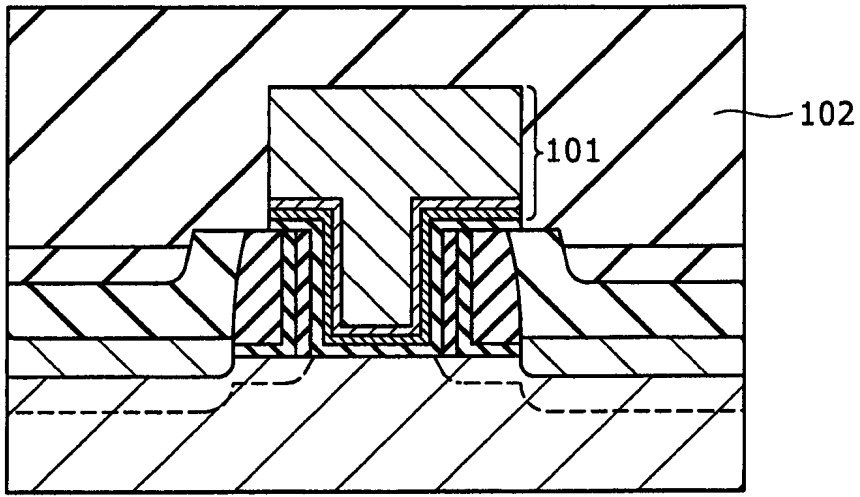


圖 1H

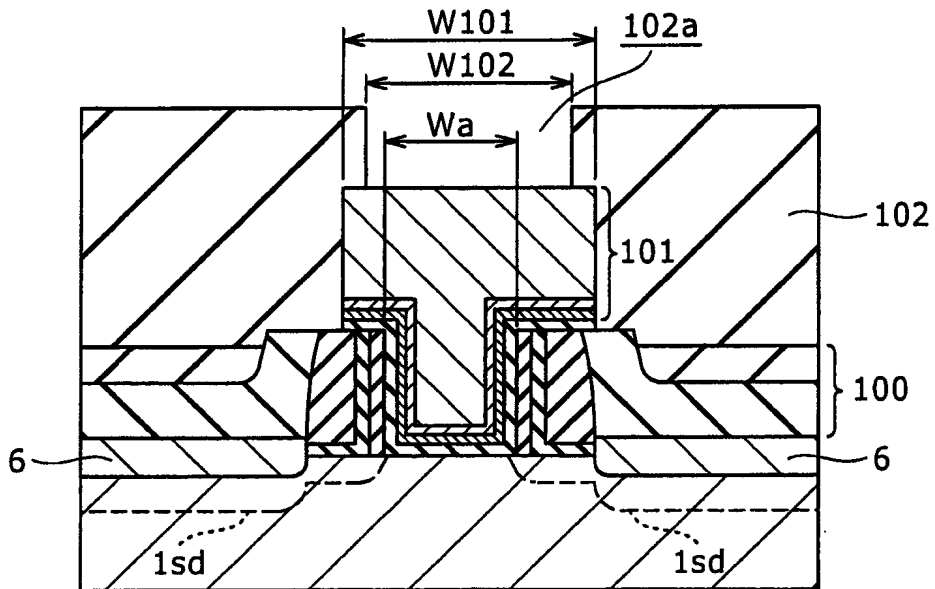


圖 1I

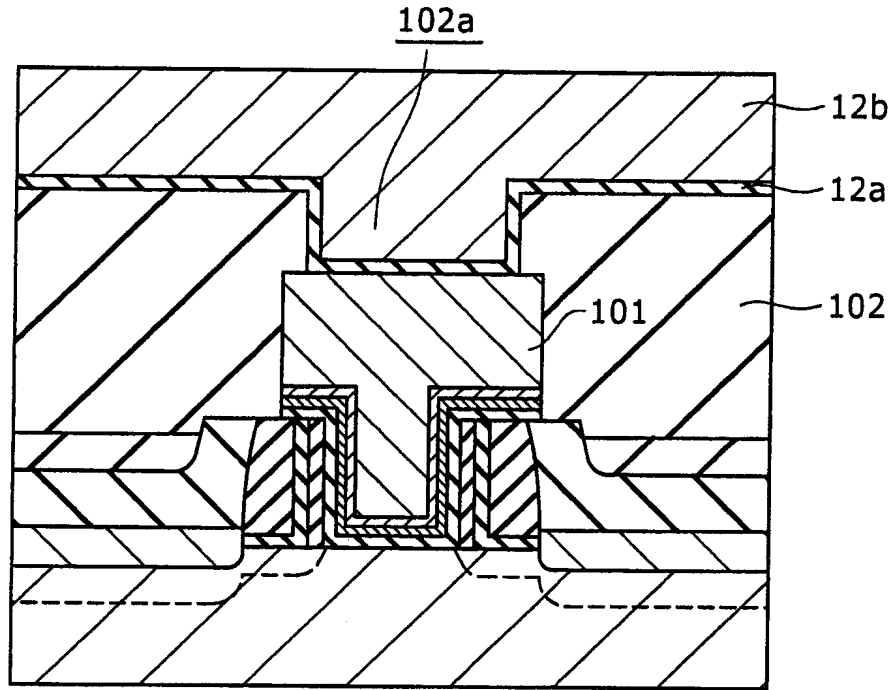


圖 1J

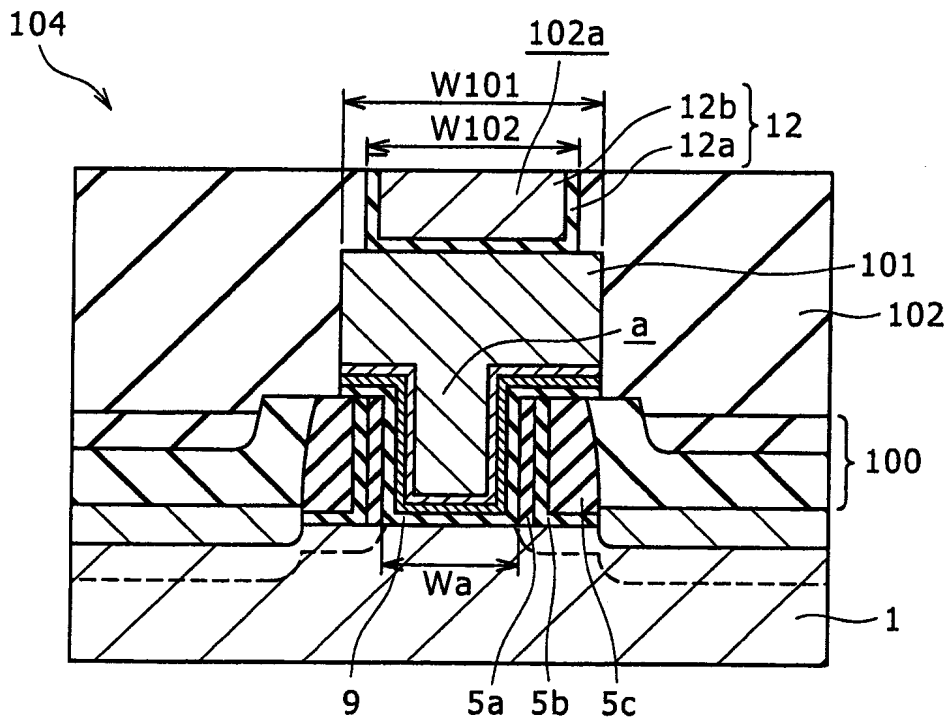


圖 1K

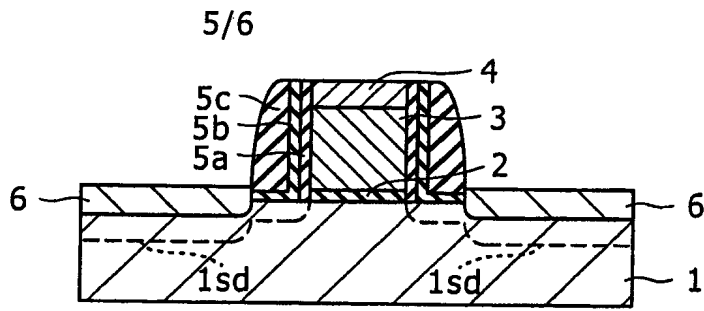


圖 2A

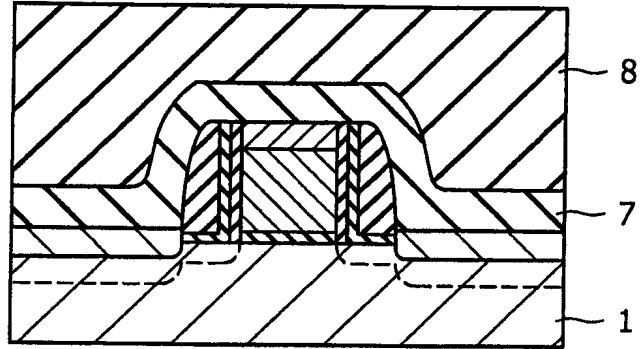


圖 2B

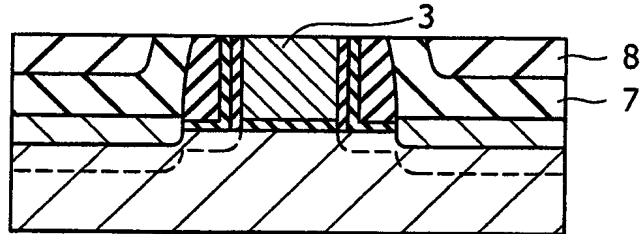


圖 2C

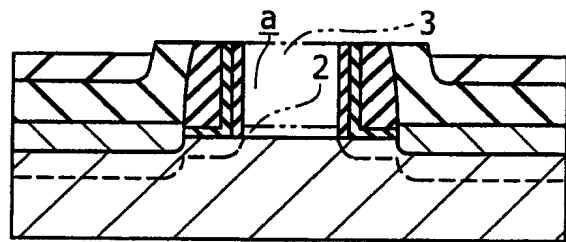


圖 2D

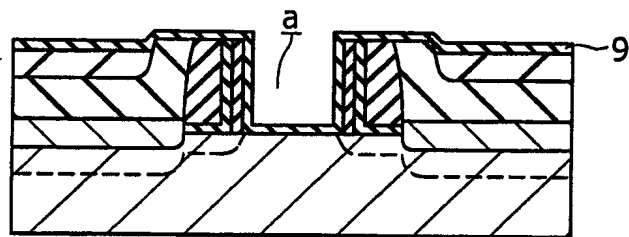


圖 2E

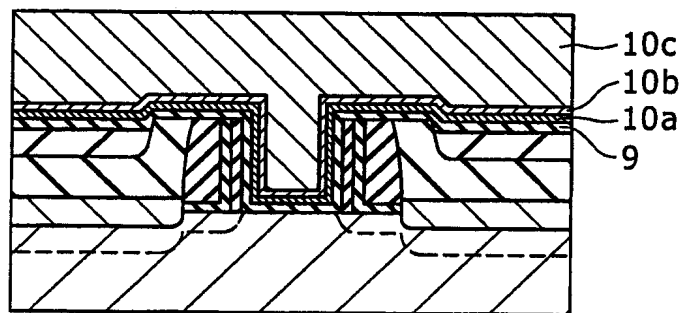


圖 2F

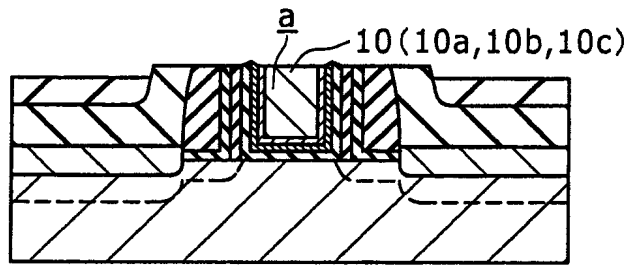


圖 2G

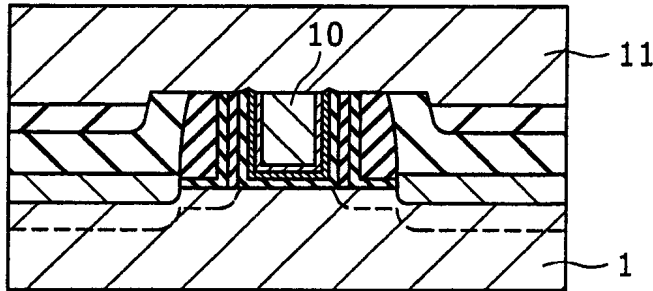


圖 2H

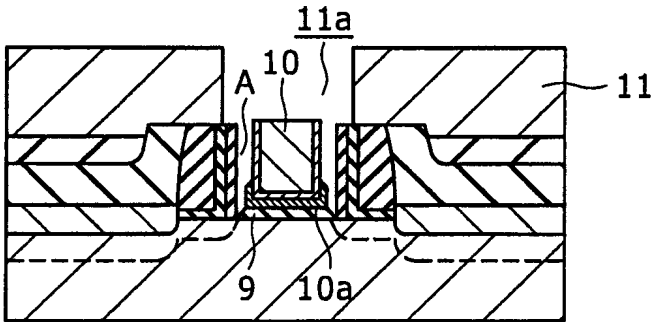


圖 2I

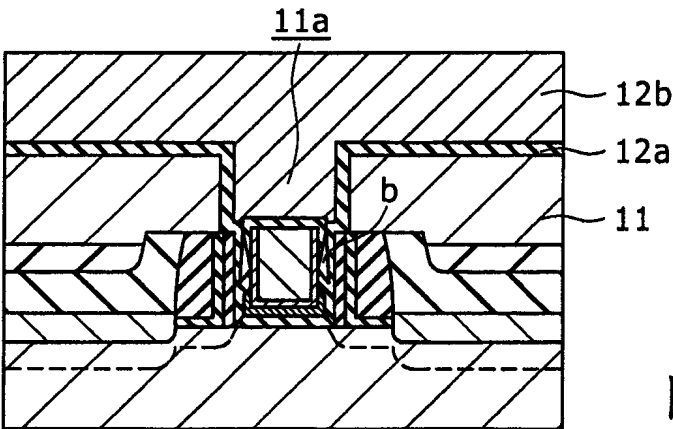


圖 2J

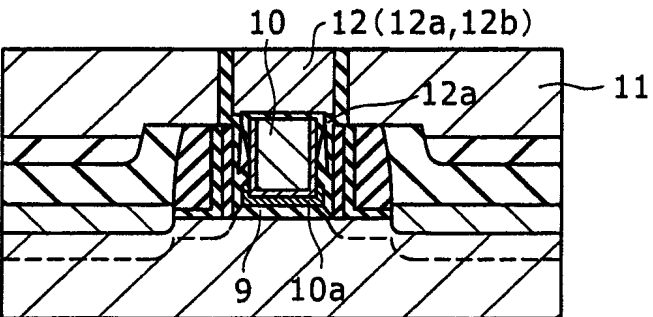


圖 2K

四、指定代表圖：

(一)本案指定代表圖為：第 (1K) 圖。

(二)本代表圖之元件符號簡單說明：

1	半導體基板
5a	間隔件絕緣膜
5b	第一側壁絕緣膜
5c	第二側壁絕緣膜
9	閘極絕緣膜
12	接點插塞
12a	基極導電膜
12b	主導電膜
100	絕緣膜
101	閘極電極
102	上層絕緣膜
102a	連接孔
104	半導體裝置
a	溝渠圖案

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)