



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0110845
(43) 공개일자 2024년07월16일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) C01B 32/168 (2017.01)
C01B 32/174 (2017.01) H01L 29/16 (2024.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/78684 (2013.01)
C01B 32/168 (2017.08)
(21) 출원번호 10-2024-7020507
(22) 출원일자(국제) 2022년08월10일
심사청구일자 없음
(85) 번역문제출일자 2024년06월19일
(86) 국제출원번호 PCT/JP2022/030645
(87) 국제공개번호 WO 2023/095391
국제공개일자 2023년06월01일
(30) 우선권주장
JP-P-2021-193569 2021년11월29일 일본(JP)

(71) 출원인
카오카부시키가이샤
일본국도쿄도주오구니혼바시가야바초1초메14반10
고
(72) 발명자
아사이 미츠오
일본 와카야마켄 와카야마시 미나토 1334반치 카
오카부시키가이샤 쟁큐쇼 나이
(74) 대리인
특허법인코리아나

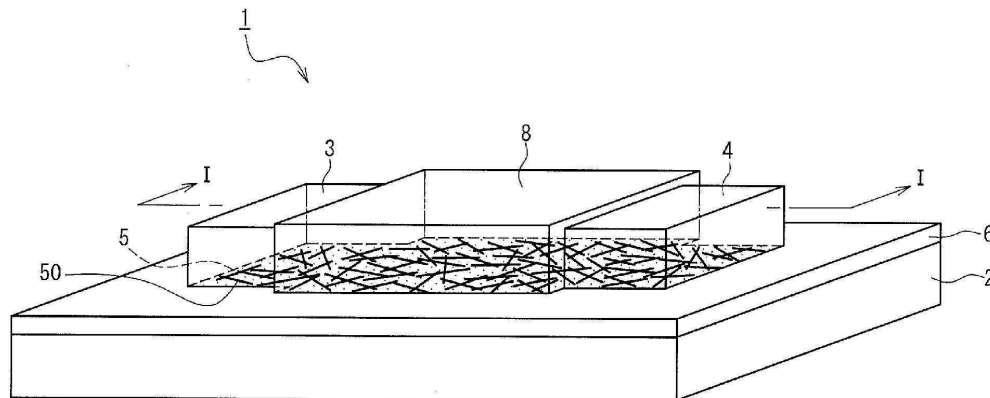
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 반도체 소자

(57) 요약

본 개시는 게이트 전극 (2) 과, 소스 전극 (3) 과, 드레인 전극 (4) 과, 소스 전극 (3) 및 드레인 전극 (4) 과 접하는 반도체층 (5) 과, 반도체층 (5) 을 게이트 전극 (2) 과 절연하는 게이트 절연층 (6) 을 포함하고, 반도체층 (5) 이 카본 나노튜브의 네트워크 구조를 포함하고, 반도체층 (5) 이 봉지층 (8) 에 의해 봉지되어 있고, 반도체층 (5) 의 평균 막두께가 5 nm 이하인 반도체 소자 (1) 에 관한 것이다. 봉지층 (8) 은, 바람직하게는, fedors 법으로 산출되는 SP 값이 $15 \text{ (cal/cm}^2)^{1/2}$ 이하인 화합물을 포함한다. 또, 봉지층의 비유전율은, 바람직하게는 5.0 이하이다. 봉지층 (8) 은, 바람직하게는 불소계 수지, 아크릴계 수지, 스티렌계 수지, 비닐계 수지, 올레핀계 수지로 이루어지는 군에서 선택되는 어느 1 종류 이상을 함유한다.

대표도 - 도1



(52) CPC특허분류

C01B 32/174 (2017.08)

H01L 29/16 (2024.01)

H01L 29/66045 (2013.01)

명세서

청구범위

청구항 1

게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하고,

상기 반도체층이 카본 나노튜브의 네트워크 구조를 포함하고,

상기 반도체층이 봉지층으로 봉지되어 있고,

상기 반도체층의 평균 막두께가 5 nm 이하인, 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 봉지층이, fedors 법으로 산출되는 SP 값이 $15 \text{ (cal/cm}^2\text{)}^{1/2}$ 이하인 화합물을 포함하는, 반도체 소자.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 봉지층의 비유전율이 5.0 이하인, 반도체 소자.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 봉지층이 불소계 수지, 아크릴계 수지, 스티렌계 수지, 비닐계 수지, 올레핀계 수지로 이루어지는 군에서 선택되는 어느 1 종류 이상을 함유하는 반도체 소자.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 봉지층의 평균 두께가 200 nm 이상인, 반도체 소자.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 반도체층과 상기 게이트 절연막 사이에 배치되고, 상기 반도체층과 상기 게이트 절연막에 접하는 흡착층을 구비하고, 상기 흡착층이, 아니온기를 갖지 않는 화합물로 이루어지는 반도체 소자.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 카본 나노튜브가 단층 카본 나노튜브인, 반도체 소자.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 네트워크 구조에 있어서, 카본 나노튜브의 밀도가 $100 \text{ 개}/\mu\text{m}^2$ 이상 $8000 \text{ 개}/\mu\text{m}^2$ 이하인, 반도체 소자.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 네트워크 구조에 있어서, 카본 나노튜브의 평균 길이가 반도체 소자의 채널 길이보다 짧은, 반도체 소자.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 반도체층에 포함되는 카본 나노튜브 중 반도체 카본 나노튜브의 함유율이 70 질량% 이상인, 반도체 소자.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

반도체 소자가 p 형 전계 효과 트랜지스터인, 반도체 소자.

청구항 12

게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하는 반도체 소자의 제조 방법이고,

카본 나노튜브 분산액을 사용하여, 카본 나노튜브의 네트워크 구조를 포함하고 평균 막두께가 5 nm 이하인 반도체층을 형성하는 것, 및 상기 반도체층을 봉지하는 봉지층을 형성하는 것을 포함하는, 반도체 소자의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 카본 나노튜브 분산액의 카본 나노튜브 농도가 0.1 $\mu\text{g}/\text{ml}$ 이상 7.0 $\mu\text{g}/\text{ml}$ 이하인, 반도체 소자의 제조 방법.

청구항 14

제 12 항 또는 제 13 항에 있어서,

상기 반도체층의 형성에 있어서,

상기 카본 나노튜브 분산액을 도포하여 도막을 형성하고, 상기 카본 나노튜브를 피도포면에 흡착시켜, 상기 도막이 미건조인 동안에 상기 도막으로부터 여분의 카본 나노튜브를 제거한 후, 건조 처리를 실시하여 상기 반도체층을 형성하는, 반도체 소자의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 여분의 카본 나노튜브의 제거를, 세정액을 사용한 세정에 의해 실시하는, 반도체 소자의 제조 방법.

청구항 16

제 14 항 또는 제 15 항에 있어서,

상기 여분의 카본 나노튜브의 제거를, 상기 도막을 세정액에 침지시킴으로써 실시하는, 반도체 소자의 제조 방법.

청구항 17

제 12 항 내지 제 16 항 중 어느 한 항에 있어서,

아크릴산계 수지를 포함하는 상기 카본 나노튜브 분산액을 조정하는 것을 포함하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 반도체 소자, 당해 반도체 소자의 제조 방법 등에 관한 것이다.

배경 기술

- [0002] 최근, IoT (Internet of Things) 가 사회에 보급됨으로써, 여러 가지의 것이 인터넷에 접속되어, 다종 다양한 반도체 소자가 요구되기 시작하고 있다. 이들 다종 다양한 반도체 소자에서는, 여러 가지 기판이 사용되어, 예를 들어, 플렉시블 기판을 사용하여 제작된 유연성을 갖는 반도체 소자나, 인쇄 등의 간이한 프로세스에 적용 가능한 재료를 사용하여 제조 가능한 반도체 소자가 활발히 검토되고 있다.
- [0003] 카본 나노튜브 (CNT) 는, 전계 효과 이동도가 높고, 높은 약품 안정성을 갖는다. 또, CNT 는, 용액에 분산 가능하기 때문에, 간이한 프로세스에 적용 가능한 재료이고, 여러 가지 기판에 대해 도포 또는 성막이 가능하다. 이에, CNT 는, 반도체층을 형성하기 위한 재료로서 후보로 거론되고 있어, CNT 를 사용한 반도체 소자의 검토가 활발히 이루어지고 있다. 구체적으로는, CNT 를 채널에 사용한 CNT 전계 효과형 트랜지스터 (CNT-FET) 에 관한 연구가 세력적으로 이루어지고 있다.
- [0004] WO 2019/066074호 공보 (특허문헌 1) 에는, 소스 전극과 드레인 전극 사이의 채널층 형성 영역에, CNT 잉크를 적하하고, 잉크를 건조시켜, 소스 전극과 드레인 전극 사이에 CNT 로 이루어지는 채널층을 형성하는 것이 개시되어 있다. 일본 공개특허공보 2008-71898호 (특허문헌 2) 에는, CNT 다발이 유기 용매에 분산된 분산 용액을 소스 전극과 드레인 전극 사이에 적하하고, 적하된 분산 용액을 가열하여, 채널부를 형성하는 것이 개시되어 있다. 특허문헌 3 에는, 다당류, 아라비노갈락탄, 또는 아라비아 고무를 폴리머 분산체로서 포함하는 CNT 분산액을 도포하여 도포막을 형성하고, 도포막을 건조 처리하여 반도체층을 형성하는 공정을 포함하는 전계 효과 트랜지스터의 제조 방법이 개시되어 있다. 일본 공개특허공보 2008-53607호 (특허문헌 3) 에 개시된 제조 방법에서는, 바람직하게는 on/off 비의 향상을 위해, 건조 처리가 이루어진 도포막, 즉 반도체층에 대해 세정 처리가 이루어진다.
- [0005] Appl. Master. Interface, 2014, 6, 8441. (비특허문헌 1) 에는, 히스테리시스의 저감을 위해, CNT 의 고밀도 또한 불균일한 랜덤 네트워크로 이루어지는 반도체층을 불소계 수지로 덮는 것이 개시되어 있다. Nano Lett., 2003, 3, 193. (비특허문헌 2) 에는, 채널로서, 독립된 1 개의 CNT 를 사용하고, 반도체 소자를 PMMA (폴리메틸메타크릴레이트) 로 봉지하는 것이 개시되어 있다.

발명의 내용

과제의 해결 수단

- [0006] 본 개시는, 일 양태에 있어서, 게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하고, 상기 반도체층이 카본 나노튜브의 네트워크 구조를 포함하고, 상기 반도체층이 봉지층으로 봉지되어 있고, 상기 반도체층의 평균 막두께가 5 nm 이하인, 반도체 소자에 관한 것이다.
- [0007] 본 개시는, 본 개시의 일 양태의 반도체 소자의 제조 방법이고, 게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하는 반도체 소자의 제조 방법이고, 카본 나노튜브 분산액을 사용하여, 카본 나노튜브의 네트워크 구조를 포함하고 평균 막두께가 5 nm 이하인 반도체층을 형성하는 것, 및 상기 반도체층을 봉지하는 봉지층을 형성하는 것을 포함하는, 반도체 소자의 제조 방법에 관한 것이다.

도면의 간단한 설명

- [0008] 도 1 은, 본 개시의 일 양태의 반도체 소자의 모식적 사시도이다.
- 도 2 는, 도 1 에 나타난 반도체 소자의 모식적 I-I 단면도이다.
- 도 3 은, 본 개시의 일 양태의 반도체 소자를 구성하는 카본 나노튜브의 네트워크 구조를 설명하는 모식도이다.
- 도 4 는, 본 개시의 다른 양태의 반도체 소자의 모식적 단면도이다.
- 도 5A ~ 도 5C 는, 본 개시의 일 양태의 반도체 소자의 제조 방법의 각 공정도이다.
- 도 6A ~ 도 6C 는, 본 개시의 일 양태의 반도체 소자의 제조 방법의 각 공정도이다.
- 도 7 은, 실시예 1 의 반도체 소자를 구성하는 반도체층의 원자간력 현미경 (AFM) 이미지이다.

도 8 은, 종래의 반도체 소자를 구성하는 카본 나노튜브의 네트워크 구조를 설명하는 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 반도체 소자의 성능은, 그것이 사용되는 디바이스의 성능에 크게 영향을 미치기 때문에, 반도체 소자가 보다 고성능일 것이 요구되고 있고, 구체적으로는, 히스테리시스가 작을 것이 요구되고 있다.
- [0010] 특허문헌 1 ~ 3 에 개시된 반도체 소자는, 채널층 또는 반도체층이 대기에 폭로된 상태로 동작하기 때문에, 히스테리시스가 크다는 문제가 있다.
- [0011] 비특허문헌 2 에 개시된 반도체 소자에서는, 반도체 소자를 PMMA 로 봉지함으로써 히스테리시스를 대폭 저감시키고 있다. 그러나, 나노 사이즈의 CNT 를 1 개만 사용하기 때문에, 약간의 전류밖에 흘릴 수 없는 데다가, 현재의 기술로는 양산도 곤란하다.
- [0012] 비특허문헌 1 에 개시된 반도체 소자는, 반도체층을 불소계 수지로 봉지함으로써, 히스테리시스의 저감에 성공하였다. 그러나, 봉지함으로써 반도체 소자의 on/off 비는, 봉지하지 않는 경우보다 악화되어 10^4 정도로 되어 있어, 실용상 불충분하다.
- [0013] 이와 같이, 종래 기술에서는, 히스테리시스를 저감시키려고 하면 on/off 비가 나빠져, 종래에는, 히스테리시스가 작은 것과 on/off 비가 큰 것은 트레이드 오프의 관계에 있었다.
- [0014] 본 개시는, 일 양태에 있어서, 히스테리시스가 작고, 또한, on/off 비가 큰, CNT 를 사용한 반도체 소자, 및 그 제조 방법을 제공한다.
- [0015] CNT 는, 그래핀 시트가 통상으로 감겨 형성된 가는 원통상의 것이다. CNT 의 네트워크 구조는, 인접하는 CNT 끼리가 얹히면서 광범위에 걸쳐 망목상으로 이어진 구조이다. 그러나, 네트워크 구조의 두께 방향의 CNT 밀도가 높아, 예를 들어, 도 8 에 나타내는 바와 같이, 2 개의 CNT 가 교차하는 교점 및 그 부근에 있어서 추가로 1 개 이상의 CNT 가 이것들의 위 또는 아래에 겹쳐 쌓인 부분이 네트워크 구조 내에 많이 존재하여, 예를 들어, CNT 의 네트워크 구조가 「실질적으로 단층인 CNT 막」이 복수 겹쳐 쌓인 다층 구조이면, 게이트 전극으로부터 상대적으로 멀리 위치하는 CNT 에 대해 게이트의 전압이 충분히 가해지지 않는다. 그 때문에, off 전류가 충분히 내려가지 않고, 그 결과, on/off 비가 악화될 (작아질) 것으로 추정된다.
- [0016] 또, CNT 의 네트워크 구조를 포함하는 반도체층의 대기에 대한 폭로를 제한하기 위해, 반도체층을 봉지층으로 덮는 것은, 히스테리시스 저감의 관점에서 유효하다고 생각된다. 그러나, CNT 의 네트워크 구조가 상기 다층 구조이면, 봉지층의 재료가, 그 제조 과정에 있어서, 층과 층 사이에 침입한다. 그 때문에, 게이트 전극으로부터 상대적으로 멀리 위치하는 CNT 에 대해, 더욱 게이트의 전압이 가해지지 어려워지고, 그 결과, on/off 비를 더욱 악화시킬 것으로 추정된다.
- [0017] 이와 같이, 종래 기술에서는, 히스테리시스가 작은 것과, on/off 비가 큰 것은, 트레이드 오프의 관계에 있었다. 본 개시는, CNT 의 네트워크 구조를 실질적으로 단층으로 한 후에, 반도체층과 대기의 접촉을 없애기 위한 봉지층을 형성함으로써, 큰 on/off 비를 유지한 채로, 히스테리시스를 저감시킬 수 있는 것을 알아낸 것이다. CNT 의 네트워크 구조가 실질적으로 단층인 것은, 반도체층의 평균 막두께가 5 nm 이하인 것에 의해 확인할 수 있다. 본 명세서에서는, 실질적으로 단층인 CNT 의 네트워크 구조를 「실질적으로 단층인 CNT 막」이라고 부르는 경우가 있다.
- [0018] 실질적으로 단층인 CNT 막은, 바람직하게는, 도 3 에 나타내는 바와 같이, CNT 의 네트워크 구조가, 실질적으로, 2 개의 CNT (50) 가 서로 교차하고, 그 교차에 의해 평면 방향으로 망목상으로 이어진 CNT 의 네트워크 구조이다. 실질적으로 단층인 CNT 막에는, 바람직하게는, 두께 방향 (반도체층 (5) 의 표면과 직교하는 방향) 으로 3 개 이상의 CNT 가 겹쳐 쌓인 부분이 실질적으로 존재하지 않고, 보다 바람직하게는 거의 존재하지 않고, 더욱 바람직하게는 존재하지 않는다. 반도체층이, 실질적으로 단층인 CNT 막인 것은, 원자간력 현미경 (AFM) 을 사용한 단면 관찰에 의해 확인할 수 있다.
- [0019] 본 개시에 의하면, 히스테리시스가 작고, 또한, on/off 비가 큰, CNT 를 사용한 반도체 소자를 제공할 수 있다.
- [0020] 이하, 본 개시의 일 양태의 반도체 소자에 대하여, 도면을 참조하면서 설명한다.
- [0021] 도 1 및 도 2 에 나타내는 바와 같이, 본 개시의 반도체 소자는, 일 양태에 있어서, CNT-전계 효과형 트랜지스터 (CNT-FET) 이고, 바람직하게는, p 형 CNT 전계 효과형 트랜지스터이다. 반도체 소자 (1) 는 게이트 전극

(2) 과, 소스 전극 (3) 과, 드레인 전극 (4) 과, 반도체층 (5) 을 포함한다. 반도체층 (5) 과 게이트 전극 (2) 의 사이에는 게이트 절연층 (6) 이 배치되어, 게이트 절연층 (6) 은, 반도체층 (5) 과 게이트 전극 (2) 을 절연하고 있다. 소스 전극 (3) 과 드레인 전극 (4) 은, 반도체층 (5) 의 게이트 절연층 (6) 측의 면의 반대 면 상에 소정의 간격 (채널 길이) 을 두고 형성되어 있다. 반도체층 (5) 중 소스 전극 (3) 과 드레인 전극 (4) 의 사이에 배치된 부분 (채널 영역) 은, 반도체층 (5) 의 대기와 접촉 방지를 위해 봉지층 (8) 에 의해 덮여 있다. 반도체 소자 (1) 에서는, 반도체층 (5) 이, 제조가 용이하고 흘릴 수 있는 전류량도 큰 CNT 의 네트워크 구조를 포함한다.

[0022] [반도체층]

[0023] 반도체층 (5) 은, CNT 의 네트워크 구조에 의해 구성된다. 본 개시에 있어서, 네트워크 구조란, 반도체층의 CNT 가 특정 방향으로 배향되어 있지 않고, 1 개의 CNT 가 바람직하게는 다른 5 개 이상의 CNT 와 교차하고 있는 구조를 말한다. CNT 는, 그 길이 방향이, 2 차원 방향으로 랜덤하게 배향됨으로써 일 방향으로 정렬되는 일 없이 전방향에 산재한다. CNT 가, 이와 같은 네트워크 구조를 취함으로써, 반도체층에 큰 전류를 흘릴 수 있어, 특정 방향으로 배향되어 있지 않기 때문에 도전성에 이방성이 나타나는 경우도 없다. 또한, 당해 네트워크 구조에서는, 1 개의 CNT 가 소스 전극과 드레인 전극을 잇는 것이 아니라, 복수 개의 CNT 로 소스 전극과 드레인 전극 사이의 도전 패스를 형성하기 때문에, 미량의 금속형 CNT 가 혼입된 경우에도, 소스 전극과 드레인 전극을 단락시키는 일 없이, 양호한 on/off 비를 얻을 수 있다.

[0024] 본 개시에 있어서, CNT 의 네트워크 구조는 실질적으로 단층인 CNT 막이다. 반도체층 (5) 의 평균 막두께는, 히스테리시스의 저감과 on/off 비의 향상의 관점에서, 5 nm 이하이고, 바람직하게는 4 nm 이하이고, 더욱 바람직하게는 3 nm 이하이다. 반도체층 (5) 의 평균 막두께는, 충분한 전류량의 확보의 관점에서, 바람직하게는 0.1 nm 이상, 보다 바람직하게는 0.3 nm 이상이다. 본 개시에 있어서, 반도체층 (5) 의 평균 막두께는, 원자간력 현미경 (AFM) 에 의해 측정할 수 있다.

[0025] 또, 실질적으로 단층인 CNT 막의 효과를 얻기 위해, CNT 는, 비응집 상태이고, 번들되어 있지 않은 상태인 것이 바람직하다. 번들 상태란 복수 개의 CNT 가 서로 부착되어 묶여져 있는 상태이고, 이와 같은 CNT 를 반도체층에 사용하면, 복층의 CNT 를 사용한 경우와 마찬가지로, 게이트의 전압이 가해지기 어려워져 on/off 비가 악화된다. CNT 1 개당 길이의 10 % 이상이 다른 CNT 와 서로 겹쳐 있으면 번들 상태에 있다고 할 수 있다. CNT 의 직경은 1 ~ 2 nm 정도이기 때문에, 반도체층의 평균 막두께가 5 nm 이하이면, 실질적으로 번들이 없는 (즉 비번들 상태의) 반도체층이 된다.

[0026] 카본 나노튜브 네트워크의 밀도는, 충분한 드레인 전류를 얻는 관점에서 100 개/ μm^2 이상인 것이 바람직하다. 또, 밀도가 지나치게 높으면 미량으로 혼입된 금속형 CNT 에 의해 소스-드레인 전극 간에 도전 패스가 형성되어 이들이 단락되고, 그 결과, on/off 비가 저하된다. 본 개시에서는, on/off 비의 저하를 억제하는 관점에서, 상기 밀도는 8000 개/ μm^2 이하인 것이 바람직하다.

[0027] 반도체층 (5) 을 구성하는 CNT 는, 그래핀 시트를, 1 층으로 감은 싱글 월 카본 나노튜브 (SWCNT) 만, 또는, SWCNT 와, 2 층으로 감은 더블 월 카본 나노튜브 (DWCNT) 나 3 층 이상으로 감은 멀티 월 카본 나노튜브 (MWCNT) 의 혼합물이어도 되지만, 이들 중에서도, 리크 전류를 저감시켜 충분한 on/off 비를 확보하는 관점에서, 실질적으로 SWCNT 만으로 구성하는 것이 바람직하고, SWCNT 만으로 구성하는 것이 보다 바람직하다. 또한, 이들 CNT 는 공지된 수단, 예를 들어, 라만 분광법 등에 의해 분별할 수 있다.

[0028] CNT 에는, 금속성을 나타내는 금속형 CNT 와, 반도체성을 나타내는 반도체형 CNT 가 있고, 반도체층 (5) 을 구성하는 CNT 로는, 반도체형 CNT 가 바람직하다. CNT 는, 고압 일산화탄소 불균화법 (HiPco 법), 개량 직분사 열분해 합성법 (e-DIPS 법), 아크 방전법, 레이저 어블레이션법 등의 종래부터 공지된 합성 방법에 의해 합성된 것이면 된다. 그러나, 이들 일반적인 합성 방법에 의해 합성되는 SWCNT 는, 약 1/3 의 금속형 SWCNT 와 약 2/3 의 반도체형 SWCNT 를 포함하는 혼합물이기 때문에, 반도체형 SWCNT 의 함유율을 높이는 기술을 상기 혼합물에 적용하여 얻은 CNT 분산액을 사용하여 반도체층 (5) 을 형성하는 것이 바람직하다. 반도체층 (5) 을 구성하는 CNT 중 반도체형 CNT 의 함유율은, 바람직하게는 70 질량% 이상이고, 보다 바람직하게는 80 질량% 이상이고, 더욱 바람직하게는 90 질량% 이상이고, 더욱더 바람직하게는 95 질량% 이상이다.

[0029] 본 개시에 있어서, 반도체층 (5) 에 있어서의 반도체형 CNT 의 함유율은, 반도체층 (5) 의 형성에 사용되는 CNT 분산액 중의 CNT 전체량 (반도체형 CNT 와 금속형 CNT 의 합계) 에 대한 반도체형 CNT 의 비율로 간주할 수 있다. 본 개시에 있어서, CNT 분산액 중 및 반도체층 (5) 중의 반도체형 CNT 의 비율은, 예를 들어, 실시예에

기재된 라만 분광 광도계를 사용한 라만 스펙트럼의 측정 결과로부터 산출할 수 있다.

[0030] SWCNT의 평균 직경은, 충분한 전계 효과 이동도의 확보의 관점에서, 바람직하게는 0.5 nm 이상, 보다 바람직하게는 0.8 nm 이상이고, 그리고, 반도체로서 적절한 밴드 갭을 갖게 하여 리크 전류를 억제하여, 충분한 on/off 비를 확보하는 관점에서, 바람직하게는 3 nm 이하, 보다 바람직하게는 2 nm 이하이다. SWCNT의 평균 직경은, 투과형 전자 현미경을 사용하여 얻어진 화상으로부터 10 개 이상의 CNT에 대하여 직경을 측정하고 평균함으로써 산출할 수 있다.

[0031] SWCNT의 평균 길이는, CNT의 교점을 줄여 충분한 이동도를 확보하는 관점에서, 바람직하게는 0.1 μm 이상, 보다 바람직하게는 0.3 μm 이상, 더욱 바람직하게는 0.5 μm 이상이고, 그리고, 혼입된 금속형 CNT에서 기인하는 리크 전류를 저감시켜 충분한 on/off 비를 확보하는 관점에서, 반도체 소자의 소스 전극과 드레인 전극의 간격(채널 길이)보다 짧은 것이 바람직하고, 보다 바람직하게는 채널 길이의 2/3 이하, 더욱 바람직하게는 채널 길이의 절반 이하이다. 예를 들어, 바람직하게는 100 μm 이하, 보다 바람직하게는 50 μm 이하, 더욱 바람직하게는 20 μm 이하, 더욱더 바람직하게는 10 μm 이하이다. SWCNT의 평균 길이는, 예를 들어, 투과형 전자 현미경을 사용하여 얻어진 화상으로부터 10 개 이상의 CNT에 대하여 길이를 측정하고 평균함으로써 산출할 수 있다.

[0032] [봉지층]

[0033] 본 개시의 반도체 소자(1)에서는, 반도체층(5)을 방수, 방진하기 위해, 반도체층(5)이 외기에 노출되는 것을 방지하는 봉지층(8)에 의해 봉지되어 있다. 봉지층(8)은, 단일층으로 구성되어 있어도 상관없지만, 복수층 적층하여 구성시켜도 상관없다. 봉지층(8)은, 종래부터 공지된 재료로 형성되어 있어도 되지만, 히스테리시스 저감의 관점에서, 하기 식(1)을 사용한 fedors 법에 의해 계산되는 용해도 파라미터값(이하, 「SP 값」이라고도 한다.)이, 15 이하인 화합물을 포함하고 있으면 바람직하다. 봉지층(8)의 재료의 SP 값은, 동일한 관점에서, 보다 바람직하게는 14 이하, 더욱 바람직하게는 11 이하, 더욱더 바람직하게는 9 이하이다. 또, 입수성의 관점에서, 3 이상이 바람직하고, 4 이상이 보다 바람직하고, 5 이상이 더욱 바람직하다. SP 값의 단위는, $(\text{cal}/\text{cm}^3)^{1/2}$ 이다.

$$[0034] \delta = [\Sigma E_{\text{coh}} / \Sigma V]^{1/2} \quad (1)$$

[0035] 상기 식(1)에 있어서, ΣE_{coh} 는 응집 에너지를 나타내고, ΣV 는 몰 분자 부피를 나타낸다.

[0036] 또, 반도체 소자의 전기 특성에 영향을 주지 않기 위해, 봉지층(8)의 재료의 비유전율은 낮으면 낮을수록 좋지만, 바람직하게는 5.0 이하, 보다 바람직하게는 4.0 이하이고, 비유전율의 하한에 대하여 특별히 제한은 없지만, 통상적으로 1.0 이상이다. 봉지층(8)을 형성하는 재료의 비유전율은, 실시예에 기재된 방법으로 측정된 값이다. 게다가, 봉지층(8)의 재료는, 반도체층에 전자나 정공을 도프하는 경우가 없는, 전기적으로 불활성인 화합물이 바람직하다.

[0037] 봉지층(8)의 재료로는, 소수적인 폴리머가 바람직하고, 구체적으로는, 바람직하게는, 봉지시에 SWCNT와 부반응하지 않아, 반도체 소자의 성능을 악화시키지 않는다고 하는 관점에서, 아크릴계 수지, 스티렌계 수지, 비닐계 수지, 올레핀계 수지 및 불소계 수지에서 선택되는 적어도 1종의 중합체를 들 수 있다.

[0038] 아크릴계 수지로는, 폴리메타크릴산메틸(PMMA), 폴리부틸메타크릴레이트, 폴리시클로헥실메타크릴레이트 등이, 스티렌계 수지로는, 폴리스티렌(P-St), 아크릴로니트릴-스티렌 공중합체(AS), 아크릴로니트릴-부타디엔-스티렌 공중합체(ABS) 등이, 비닐계 수지로는, 폴리아세트산비닐, 염화비닐 수지(PVC), 폴리비닐알코올(PVA), 폴리비닐부티랄, 폴리비닐피롤리돈(PVP) 등이, 올레핀계 수지로는, 폴리에틸렌, 폴리프로필렌, 시클로올레핀 폴리머(COP), 시클로올레핀 코폴리머(COC) 등이, 불소계 수지로는, 시판품으로서 CYTOP(등록상표)의 CTL-809A(AGC사 제조) 등을 들 수 있다. 봉지층(8)의 재료는, 이들 수지 재료 중 1종이어도 되고 2종 이상의 조합이어도 된다. 또, 봉지층(8)의 재료는, 이들 중에서도, 폴리비닐알코올(PVA : SP 값 14.6), 폴리비닐피롤리돈(PVP : SP 값 13.4), 염화비닐 수지(PVC : SP 값 11.0), 폴리스티렌(P-St : SP 값 10.5), 폴리메타크릴산메틸(PMMA : SP 값 9.9), 및 CYTOP(등록상표)의 CTL-809A(SP 값 8.7, AGC사 제조)에서 선택되는 1종 이상의 중합체가 바람직하다.

[0039] 소스 전극(3)과 드레인 전극(4)의 사이의 영역(채널 영역)에 있어서의, 봉지층(8)의 평균 두께(복수층 적층하여 구성되어 있는 경우가 각 층의 평균 두께의 합계)는, 충분한 수분이나 산소 등에 대한 배리어성을

확보하여 히스테리시스를 저감시키는 관점에서, 바람직하게는 200 nm 이상, 보다 바람직하게는 500 nm 이상, 더욱 바람직하게는 1000 nm 이상이다. 봉지층의 평균 두께의 상한에 대하여 특별히 제한은 없지만, 바람직하게는 1 mm 이하이다. 본 개시에 있어서, 봉지층 (8) 의 평균 두께는, 원자간력 현미경 (AFM) 또는 측정식 표면 형상 측정기에 의해 측정할 수 있다.

[0040] [소스 전극, 드레인 전극]

[0041] 소스 전극 (3) 및 드레인 전극 (4) 은, 채널로서 기능하는 반도체층 (5) 의 CNT 네트워크 구조에 의해 전기적으로 접속되어 있다. 소스 전극 (3), 및 드레인 전극 (4) 의 재료에 대하여, 도전성을 갖는 것이라면 특별히 제한은 없어, 예를 들어, 티탄, 구리, 금, 백금, 크롬, 알루미늄, 팔라듐, 몰리브덴 등의 금속, 폴리실리콘 등의 반도체, 산화주석인듐 (ITO) 등의 도전성 금속 산화물을 들 수 있다. 소스 전극 (3) 및 드레인 전극 (4) 은, 2 종 이상의 금속으로 다층 구조로 되어 있어도 된다. 이들 전극의 형성 방법으로는, 재료에 따라 진공 증착, 전자선 빔, 스퍼터링, 도금, CVD, 이온 플레이팅 코팅, 잉크젯, 인쇄 등의, 종래부터 공지된 방법을 들 수 있다.

[0042] 채널 길이 (L) 및 채널 폭 (W) 에 대해서는, 종래 공지된 치수이면 되어, 채널 길이 (L) 는, 예를 들어 10 μ m 이상 1000 μ m 이하이고, 채널 폭 (W) 은, 예를 들어 10 μ m 이상 10000 μ m 이하인데, 본 개시는 이들에 한정되지 않는다.

[0043] [게이트 전극, 게이트 절연막]

[0044] 본 개시의 일 양태의 반도체 소자 (1) 는, 이른바 보텀 게이트형의 반도체 소자이고, 실리콘 기판이 게이트 전극 (2) 으로서 기능하고, 실리콘 기판의 일방의 주면 (主面) 에 형성된 열산화막 SiO₂ 가 게이트 절연막 (6) 으로서 기능하고 있다. 또, 도 1 및 도 2 에 나타낸 예에서는, 실리콘 기판의 일방의 주면의 전체면이 게이트 절연막 (6) 에 의해 피복되어 있지만, 적어도 소스 전극 (3), 드레인 전극 (4) 및 반도체층 (5) 이 배치된 영역이 게이트 절연층 (6) 으로 피복되어 있으면 된다.

[0045] 게이트 절연층 (6) 은, 단층 구조여도 되고, 다층 구조여도 되고, 부분적으로 다층 구조여도 된다. 게이트 절연층 (6) 의 토탈 두께는, 게이트의 리크 전류를 충분히 작게 하는 관점에서 바람직하게는 10 nm 이상, 보다 바람직하게는 20 nm 이상이다. 또, 동작 전압을 작게 하는 관점에서 바람직하게는 500 nm 이하, 보다 바람직하게는 200 nm 이하이다. 게이트 절연층의 재료로는, 예를 들어, 산화실리콘, 질화실리콘, 산화하프늄 등의 무기 화합물, 비닐페놀 수지, 파라자일렌 수지, 불화비닐리텐 수지, 폴리이미드 등의 유기 화합물을 들 수 있다.

[0046] 본 개시의 반도체 소자는, 실리콘 기판이 게이트 전극 (2) 으로서 기능하는 형태에 한정되지 않아, 적어도 전극이 배치되는 면이 절연성의 기판을 구비하고, 당해 기판에 게이트 전극이 배치된 형태여도 된다. 기판은, 예를 들어 유리, 사파이어, 알루미늄나 소결체, 실리콘 웨이퍼, 및 그들의 표면이 산화막으로 피복된 기판 등의 무기 재료여도 되고, 폴리이미드 (PI) 수지, 폴리에스테르 수지, 폴리아미드 수지, 에폭시 수지, 폴리술폰 수지, 폴리아미드 수지 등으로 구성되는 시트여도 되고, 이들로 이루어지는 필름상의 플렉시블 재료여도 된다.

[0047] 게이트 전극의 재료로는, 도전성을 갖는 것이라면 특별히 제한은 없어, 예를 들어, 금, 백금, 크롬, 티탄, 알루미늄 등의 금속을 들 수 있다. 게이트 전극은, 예를 들어, 임의의 위치에 이들 금속을 증착 등을 하여 형성된다. 별개로 준비한 금속 박막을, 게이트 전극으로서 상기 기판의 임의의 위치에 배치하여, 게이트 전극으로 해도 된다. 이들 전극의 형성 방법으로는, 재료에 따라 진공 증착, 전자선 빔, 스퍼터링, 도금, CVD, 이온 플레이팅 코팅, 잉크젯, 인쇄 등의, 종래부터 공지된 방법을 들 수 있다.

[0048] 본 개시의 반도체 소자는, 게이트 전극의 위치에 따라 백 게이트형, 사이드 게이트형, 톱 게이트형의 각종 양태를 취할 수 있다.

[0049] 본 개시의 반도체 소자는, 도 4 에 나타내는 바와 같이, CNT 의 흡착성을 높이는 관점에서, 게이트 절연층 (6) 의 표면이 표면 처리제에 의해 처리됨으로써 흡착층 (9) 이 형성되고, 흡착층 (9) 은, 반도체층 (5) 과 게이트 절연층 (6) 의 사이에 배치되어, 이들과 접하는 구조가 바람직하다. 아니온기(anionic group)를 갖는 화합물은, 게이트 절연층 (6) 상에 존재함으로써 전하 트랩의 원인이 되어, 히스테리시스의 증가 원인, 또는 on/off 비의 저하 요인이 될 수 있는 점에서, 흡착층 (9) 은, 아니온기를 갖지 않는 화합물로 형성되어 있으면 바람직하다.

[0050] 흡착층 (9) 은, 예를 들어, 아니온기를 갖지 않는 실란 커플링제 등으로 형성되어 있으면 바람직하고, 3-아미노

프로필트리에톡시실란 (APTES), 메틸트리에톡시실란 (MTES), 메틸트리메톡시실란 (MTMS), N-2-(아미노에틸)-3-아미노프로필트리메톡시실란, 옥타데실트리클로로실란 (OTS), 불소 치환 옥타트리클로로실란 (PFOTS), 테트라시아노퀴노디메탄 등의 실란 커플링제 등으로 형성되어 있으면 바람직하다. 흡착층 (9) 은, 예를 들어, 이들 재료를 유기 용제에 용해시켜 얻은 용액을 딥 코팅법 등의 도포법으로 게이트 절연층 (6) 에 도포하여 형성해도 되고, 기상법 등으로 형성해도 된다.

[0051] [반도체 소자의 제조 방법]

[0052] 다음으로, 도 1 및 도 2 에 나타난 반도체 소자 (1) 의 제조 방법을 설명한다. 도 5A ~ 5C 및 도 6A ~ 6C 는, 반도체 소자 (1) 의 제조 방법을 공정순으로 나타내는 단면도이다.

[0053] 먼저, 도 5A 에 나타내는 바와 같이, 일방의 주면이 게이트 절연막 (6) 에 의해 덮인 게이트 전극 (2) 을 준비한다. 구체적으로는, 일방의 주면이 열산화됨으로써 형성된 산화실리콘(SiO_2)층 (게이트 절연막 (6)) 을 갖는 실리콘 기판 (게이트 전극 (2)) 을 준비한다.

[0054] 이어서, 도 5B 에 나타내는 바와 같이, 게이트 절연막 (6) 의 게이트 전극 (2) 측의 면의 반대면의 전체면에, CNT 분산액을 도포하여 도막 (15) 을 형성한다. 그리고 잠깐 정지 (靜置) 함으로써 CNT 를 게이트 절연막 (6) 의 표면에 충분히 흡착시킨다. 그 후, 건조 처리를 실시하기 전에, 도막 (15) 으로부터 여분의 CNT 를 제거하여 상기 도막의 두께를 줄인다. 이어서, 잔여 도막에 대해 건조 처리를 실시하여, 도 5C 에 나타내는 바와 같이, 실질적으로 단층인 CNT 막을 반도체층 (5') 으로서 형성한다. CNT 분산액의 도포는, 디스펜서를 사용하여 CNT 분산액을 적하하는 방법, 잉크젯 인쇄, 스크린 인쇄, 오프셋 인쇄 등의 인쇄법, 스핀 코트법, 딥 코트법 등의 방법에 의해 실시할 수 있다. 그 중에서도, 균질성이 양호한 CNT 의 네트워크 구조를 형성하는 관점에서, 디스펜서를 사용하여 CNT 분산액을 적하하는 방법이나 스핀 코트법이 바람직하다. CNT 의, CNT 분산액의 피도포면 (게이트 절연막 (6) 의 표면, 또는 흡착층 (9) (도 4 참조) 에 도포하는 경우에는 흡착층 (9) 의 표면) 으로의 흡착은, CNT 와 피도포면의 소수 상호 작용에 의해 실시된다. 도막 (15) 으로부터의 여분의 CNT 의 제거는, 건조 처리를 실시하기 전에, 바람직하게는 후술하는 세정 처리에 의해 실시한다. 실질적으로 단층인 CNT 막의 형성은, 세정 처리 전의 도막 (15) 의 두께, CNT 분산액에 있어서의 CNT 의 농도, CNT 분산액을 도포하고 나서 세정할 때까지의 시간 등을 적절히 조정함으로써 실시할 수 있다.

[0055] (CNT 분산액)

[0056] CNT 분산액은, CNT 와 분산매를 포함하고, 필요에 따라, CNT 의 분산제를 포함한다. CNT 분산액에 있어서의 CNT 의 농도는, 충분한 전류량의 확보의 관점에서, 바람직하게는 $0.1 \mu\text{g/ml}$ 이상, 보다 바람직하게는 $0.5 \mu\text{g/ml}$ 이상, 더욱 바람직하게는 $1.0 \mu\text{g/ml}$ 이상이고, 실질적으로 단층이고 균질한 CNT 의 네트워크 구조를 형성하는 관점에서, 바람직하게는 $7.0 \mu\text{g/ml}$ 이하, 보다 바람직하게는 $5.0 \mu\text{g/ml}$ 이하, 더욱 바람직하게는 $3.0 \mu\text{g/ml}$ 이하이다.

[0057] 분산매로는 수성 매체가 바람직하고, 수성 매체로는 순수, 이온 교환수, 정제수 또는 증류수가 바람직하고, 순수가 보다 바람직하다. 수성 매체는, 물 이외에, 메탄올, 에탄올, 이소프로필알코올 등의 저급 알코올이나, 아세톤, 테트라하이드로푸란, 디메틸포름아미드 등의 수용성 유기 용매를 포함하고 있어도 된다.

[0058] 본 개시의 일 양태에서는, 예를 들어, 금속형 CNT 와 반도체형 CNT 의 혼합물에 대해 반도체형 CNT 의 함유율을 높이는 기술을 적용하여 얻어진 CNT 분산액을 사용하여, 반도체층 (5) 을 형성하는 것이 바람직하다. 본 개시의 일 양태에서는, 예를 들어, 일본 공개특허공보 2021-080121호, 일본 공개특허공보 2021-080120호, 일본 공개특허공보 2021-080119호, 또는 일본 공개특허공보 2019-202912호 등에 기재된 방법에 의해 얻어지는 반도체형 SWCNT 분산액을 사용하여, 반도체층 (5) 을 형성하는 것이 바람직하다. 이들 반도체형 SWCNT 분산액은, CNT 의 분산제로서, 예를 들어, 아크릴산계 수지를 포함한다. 이들 공보에 개시된 아크릴산계 수지로는, 예를 들어, 폴리아크릴산, 아크릴산과 페녹시디옥시에틸렌아크릴레이트 (PDEA) 의 공중합체, 아크릴산과 메톡시디옥시프로필렌아크릴레이트 (MDPA) 의 공중합체, 아크릴산과 폴리에틸렌글리콜모노아크릴레이트 (에틸렌옥시기의 평균 부가 몰수는 2 ~ 10) 의 공중합체, 폴리에틸렌글리콜모노메타크릴레이트 (에틸렌옥시기의 평균 부가 몰수가 2 ~ 45) 등의 단독 중합체를 들 수 있다.

[0059] 상기 반도체형 SWCNT 분산액에 포함되는 CNT 중, 반도체형 CNT 의 함유율은, 바람직하게는 70 질량% 이상이고, 보다 바람직하게는 80 질량% 이상이고, 더욱 바람직하게는 90 질량% 이상이고, 더욱더 바람직하게는 95 질량% 이상이다.

- [0060] 도막 (15) 의 형성 직후부터, 여분의 CNT 의 제거를 위한 세정 처리를 실시할 때까지의 정치 시간은, CNT 가 하층, 즉, 게이트 절연층 (6) 또는 흡착층 (9) 에 대한 CNT 의 흡착을 적절히 실시하는 관점에서, 바람직하게는 1 분 이상, 보다 바람직하게는 5 분 이상, 더욱 바람직하게는 10 분 이상, 더욱더 바람직하게는 30 분 이상이고, 생산성의 관점에서, 바람직하게는 180 분 이하, 보다 바람직하게는 120 분 이하, 더욱 바람직하게는 90 분 이하이다.
- [0061] [세정 처리]
- [0062] 본 개시의 반도체 소자의 제조 방법은, 일 양태에 있어서, 반도체층 (5) 의 형성에 있어서, CNT 분산액을 피도포면에 도포하여 도막을 형성하고, CNT 를 피도포면에 흡착시켜, 도막이 미건조인 동안에 도막으로부터 여분의 CNT 를 제거한 후, 건조 처리를 실시하여 상기 반도체층을 형성한다. 여기에서, 미건조란, CNT 분산액의 구성 성분인 분산매가 완전히 증발되기 전의 상태를 가리키고, 예를 들어, 후술하는 건조 처리를 개시하기 전의 상태를 가리킨다.
- [0063] 도막 (15) 으로부터의 여분의 CNT 의 제거는, 예를 들어, 세정 처리에 의해 실시한다. 세정 처리는, 상기 정치 시간을 거쳐, CNT 의 하층으로의 흡착이 적절히 실시된 후, 예를 들어, 도막 (15) 에 세정액을 붓거나, 또는, 도막 (15) 과 게이트 절연층 (6) 과 게이트 전극 (2) 을 포함하는 적층체를 욕조 내의 세정액에 침지시키는 등의 방법에 의해 실시할 수 있다. 실질적으로 단층인 CNT 막이고 균질한 CNT 의 네트워크 구조를 형성하는 관점에서, 도막 (15) 을 포함하는 상기 적층체를 욕조 내의 세정액에 침지시켜 세정하는 방법이 바람직하다. 세정액으로는, 하층에 흡착되어 있고, 실질적으로 단층인 CNT 막을 구성하는 CNT 까지 제거해 버리지 않기 위해, 예를 들어, 초순수, 에탄올, 메탄올 등의 알코올이나 아세톤, 테트라하이드로푸란 (THF) 등의 극성 용매가 바람직하다. 침지 시간은, 바람직하게는 1 분 이상, 보다 바람직하게는 3 분 이상, 더욱 바람직하게는 5 분 이상, 더욱더 바람직하게는 10 분 이상, 더욱더 바람직하게는 30 분 이상이고, 그리고, 바람직하게는 180 분 이하, 보다 바람직하게는 120 분 이하, 더욱 바람직하게는 90 분 이하, 더욱더 바람직하게는 80 분 이하이다.
- [0064] 상기과 같이 하여 세정된 도막 (15) 에 대해 건조 처리를 실시하여 분산매를 휘발시켜, 반도체층 (5') 으로 한다. 건조 처리는, 예를 들어, 소정 온도로 설정된 분위기하에 배치함으로써 실시한다. 당해 분위기의 온도는, 바람직하게는 50 ℃ 이상, 보다 바람직하게는 80 ℃ 이상, 더욱 바람직하게는 100 ℃ 이상이고, 그리고, 바람직하게는 250 ℃ 이하, 보다 바람직하게는 220 ℃ 이하, 더욱 바람직하게는 200 ℃ 이하이다. 건조 시간은, 바람직하게는 5 분 이상, 보다 바람직하게는 10 분 이상, 더욱 바람직하게는 20 분 이상, 더욱더 바람직하게는 30 분 이상이고, 그리고, 바람직하게는 240 분 이하, 보다 바람직하게는 180 분 이하, 더욱 바람직하게는 120 분 이하, 더욱더 바람직하게는 90 분 이하이다.
- [0065] 다음으로, 도 6A 에 나타내는 바와 같이, 반도체층 (5') 상에, 소스 전극 (3) 및 드레인 전극 (4) 을 형성한다. 소스 전극 (3) 및 드레인 전극 (4) 의 형성 방법은, 종래부터 공지된 방법이면 되어, 예를 들어, 반도체층 (5') 의 게이트 절연막 (6) 측의 면의 반대면 상에, 메탈 마스크를 배치하고, 메탈 마스크의 개구부에, 각각 소스 전극 (3), 드레인 전극 (4) 이 되는 금속 재료를 진공 증착한다.
- [0066] 다음으로, 도 6B 에 나타내는 바와 같이, 반도체층 (5') 중 여분의 부분을 에칭에 의해 제거한 후, 소스 전극 (3) 및 드레인 전극 (4) 이 형성된 실리콘 기판 (2) 을, 100 ℃ 이상 200 ℃ 이하에서 30 분 이상 60 분 이하 가열하여, 게이트 절연층 (6) 이나 반도체층 (5) 에 흡착되어 있는 미량 수분을 제거함과 함께, 어닐링한다.
- [0067] 다음으로, 도 6C 에 나타내는 바와 같이, 반도체층 (5) 중 소스 전극 (3) 과 드레인 전극 (4) 의 사이에 배치된 부분 (채널 영역) 상에 봉지층 (8) 을 형성한다. 구체적으로는, 예를 들어, 봉지층 (8) 을 형성하는 수지의 용액을 스핀 코트 등의 도포 방법에 의해 도포하고, 그 후, 필요에 따라 건조시킴으로써 봉지층 (8) 을 형성한다.
- [0068] 본원은, 추가로 이하의 반도체 소자, 및 그 제조 방법 등을 개시한다.
- [0069] <1> 게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하고,
- [0070] 상기 반도체층이 카본 나노튜브의 네트워크 구조를 포함하고,
- [0071] 상기 반도체층이 봉지층으로 봉지되어 있고,
- [0072] 상기 반도체층의 평균 막두께가 5 nm 이하인, 반도체 소자.

- [0073] <2> 게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하고,
- [0074] 상기 반도체층이 단층 카본 나노튜브의 네트워크 구조를 포함하고,
- [0075] 상기 반도체층이, 비유전율이 5.0 이하인 봉지층으로 봉지되어 있고,
- [0076] 상기 반도체층의 평균 막두께가 0.1 nm 이상 5 nm 이하인, <1> 에 기재된 반도체 소자.
- [0077] <3> 게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하고,
- [0078] 상기 반도체층이 단층 카본 나노튜브의 네트워크 구조를 포함하고,
- [0079] 상기 반도체층에 포함되는 카본 나노튜브 중 반도체 카본 나노튜브의 함유율이 70 질량% 이상이고,
- [0080] 상기 반도체층이, 불소계 수지, 아크릴계 수지, 스티렌계 수지, 비닐계 수지, 올레핀계 수지로 이루어지는 군에서 선택되는 어느 1 종류 이상을 함유하는 봉지층으로 봉지되어 있고,
- [0081] 상기 봉지층의 평균 두께가 200 nm 이상이고,
- [0082] 상기 반도체층의 평균 막두께가 0.1 nm 이상 5 nm 이하인, <1> 또는 <2> 에 기재된 반도체 소자.
- [0083] <4> 상기 봉지층이, fedors 법으로 산출되는 SP 값이 $3 \text{ (cal/cm}^2)^{1/2}$ 이상 $15 \text{ (cal/cm}^2)^{1/2}$ 이하인 화합물을 포함하는, <1> ~ <3> 중 어느 하나에 기재된 반도체 소자.
- [0084] <5> 상기 반도체층과 상기 게이트 절연막 사이에 배치되고, 상기 반도체층과 상기 게이트 절연막에 접하는 흡착층을 구비하고, 상기 흡착층이, 아니온기를 갖지 않는 화합물로 이루어지는 <1> ~ <4> 중 어느 하나에 기재된 반도체 소자.
- [0085] <6> 상기 흡착층이, 아니온기를 갖지 않는 실란 커플링제로 형성되어 있는, <5> 에 기재된 반도체 소자.
- [0086] <7> 상기 네트워크 구조에 있어서, 카본 나노튜브의 밀도가 $100 \text{ 개}/\mu\text{m}^2$ 이상 $8000 \text{ 개}/\mu\text{m}^2$ 이하인, <1> ~ <6> 중 어느 하나에 기재된 반도체 소자.
- [0087] <8> 상기 네트워크 구조에 있어서, 카본 나노튜브의 평균 길이가 반도체 소자의 채널 길이보다 짧은, <1> ~ <7> 중 어느 하나에 기재된 반도체 소자.
- [0088] <9> 상기 네트워크 구조에 있어서, 카본 나노튜브의 평균 직경이 0.5 nm 이상 3 nm 이하인, <1> ~ <8> 중 어느 하나에 기재된 반도체 소자.
- [0089] <10> 게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하는 반도체 소자의 제조 방법이고,
- [0090] 카본 나노튜브 분산액을 사용하여, 카본 나노튜브의 네트워크 구조를 포함하고 평균 막두께가 5 nm 이하인 반도체층을 형성하는 것, 및 상기 반도체층을 봉지하는 봉지층을 형성하는 것을 포함하는, 반도체 소자의 제조 방법.
- [0091] <11> 게이트 전극과, 소스 전극과, 드레인 전극과, 상기 소스 전극 및 상기 드레인 전극과 접하는 반도체층과, 상기 반도체층을 상기 게이트 전극과 절연하는 게이트 절연층을 포함하는 반도체 소자의 제조 방법이고,
- [0092] 상기 카본 나노튜브 분산액을 도포하여 도막을 형성하고, 상기 카본 나노튜브를 피도포면에 흡착시켜, 상기 도막이 미건조인 동안에 상기 도막으로부터 여분의 카본 나노튜브를 제거한 후, 건조 처리를 실시하여 상기 반도체층을 형성하는 것을 포함하는, <10> 에 기재된 반도체 소자의 제조 방법.
- [0093] <12> 상기 카본 나노튜브 분산액의 카본 나노튜브 농도가 $0.1 \mu\text{g/ml}$ 이상 $7.0 \mu\text{g/ml}$ 이하인, <11> 에 기재된 반도체 소자의 제조 방법.
- [0094] <13> 상기 여분의 카본 나노튜브의 제거를, 상기 도막을 세정액에 침지시킴으로써 실시하는, <11> 또는 <12> 에 기재된 반도체 소자의 제조 방법.

- [0095] <14> 아크릴산계 수지를 포함하는 상기 카본 나노튜브 분산액을 조정하는 것을 포함하는, <10> ~ <13> 중 어느 하나에 기재된 반도체 소자의 제조 방법.
- [0096] 실시예
- [0097] 이하, 실시예에 의해 본 개시를 더욱 상세하게 설명하지만, 이것들은 예시적인 것으로서, 본 개시는 이들 실시예에 제한되는 것은 아니다.
- [0098] 1. 각종 파라미터의 측정 방법
- [0099] [중합체의 중량 평균 분자량의 측정]
- [0100] SWCNT 분산액의 조제에 사용한 중합체의 중량 평균 분자량은, 겔 퍼미에이션 크로마토그래피 (이하 「GPC」라고 한다) 법을 사용하여 하기 조건에서 측정하였다.
- [0101] <GPC 조건>
- [0102] 측정 장치 : HLC-8320GPC (토소 주식회사 제조)
- [0103] 칼럼 : α -M+ α -M (토소 주식회사 제조)
- [0104] 용리액 : 60 mmol/ℓ, H_3PO_4 및 50 mmol/ℓ, LiBr 의 N,N-디메틸포름아미드 (DMF) 용액
- [0105] 유량 : 1.0 ml/min
- [0106] 칼럼 온도 : 40 °C
- [0107] 검출 : RI
- [0108] 샘플 사이즈 : 0.5 mg/ml
- [0109] 표준 물질 : 단분산 폴리스티렌 (토소 주식회사 제조)
- [0110] [반도체형 SWCNT 의 함유율]
- [0111] 분산되기 전의 SWCNT 와, 슬라이드 글라스 상에서 건조시킨 SWCNT 분산액 (분산된 후의 SWCNT) 에 대하여, 레이저 라만 현미경 (나노포톤 (주) 「RAMAN touch」) 을 사용하여 여기 파장 633 nm 로 각각 라만 스펙트럼을 측정하였다. 633 nm 여기의 라만 스펙트럼의 RBM (Radial Breathing mode) 피크 ($100 \sim 350 \text{ cm}^{-1}$) 에 있어서, 반도체형 SWCNT 에 고유의 피크와 금속형 SWCNT 에 고유의 피크가 존재한다. 분산되기 전의 SWCNT 의 금속형 SWCNT 고유의 피크 면적 A_m 에 대한 반도체형 SWCNT 에 고유의 피크의 면적 A_s 의 비 ($A_{s/m}$) 와, SWCNT 분산액의 금속형 SWCNT 고유의 피크 면적 A_m 에 대한 반도체형 SWCNT 에 고유의 피크의 면적 A_s 의 비 ($A_{s/m}'$) 를 산출함으로써, 분산된 후의 SWCNT 의 반도체형 SWCNT 의 함유율을 계산할 수 있다. 분산되기 전의 SWCNT 의 반도체 함유율 67 질량% 를 기준으로 하고, 하기 식으로부터 SWCNT 분산액에 있어서의 반도체형 SWCNT 함유율을 계산할 수 있다.
- [0112] 반도체형 SWCNT 의 함유율 = $[(0.67/A_{s/m}) \times A_{s/m}' \times 100]/[0.33 + (0.67/A_{s/m}) \times A_{s/m}']$
- [0113] [SWCNT 의 평균 직경 및 평균 길이의 측정]
- [0114] SWCNT 의 평균 직경 및 평균 길이는, 투과형 전자 현미경을 사용하여 얻어진 화상으로부터 10 개 이상의 CNT 에 대하여 직경 및 길이를 각각 측정하고 평균함으로써 산출하였다.
- [0115] [반도체층의 평균 막두께의 측정]
- [0116] 원자간력 현미경 (AFM) 을 사용하여, 열산화막 (SiO_2) 표면에서 반도체층 표면까지의 높이를 임의로 5 개 지점 계측하고, 그것을 평균함으로써, 반도체층의 평균 막두께를 측정하였다.
- [0117] [카본 나노튜브 네트워크의 카본 나노튜브 밀도의 측정]
- [0118] 원자간력 현미경을 사용하여, 반도체층 중 소스 전극과 드레인 전극 사이의 영역 (채널 영역) 의 화상을 입수하고, 그 중의 사방 $1 \mu m$ 의 1 개의 변 상에 존재하는 CNT 의 개수를 2 승한 값을 카본 나노튜브 밀도 ($\text{개}/\mu m^2$) 로서 계측하였다.

- [0119] [봉지층의 평균 두께]
- [0120] 촉침식 표면 형상 측정기를 사용하여, 소스 전극과 드레인 전극 사이에 있어서의, 반도체층 표면에서 봉지층 표면까지의 높이를 임의로 5 개 지점 계측하고, 그것을 평균함으로써, 봉지층의 평균 두께를 측정하였다.
- [0121] [봉지층의 비유전율]
- [0122] 봉지층의 비유전율은, 봉지층에 사용한 수지를 필름상으로 성형하고, 임피던스 애널라이저를 사용한 용량법으로, 25 °C, 1 MHz 에서 측정하였다.
- [0123] [반도체 소자의 측정]
- [0124] 반도체 소자에 있어서의 전달 특성을 대기 중에서 측정하였다. 게이트 전압 (V_{gs}) 을 변화시켰을 때의 드레인 전류 (I_{ds}) 를, 반도체 특성 평가 장치 (KEITHLEY 주식회사 제조) 를 사용하여 측정하였다. 드레인 전압 (V_{ds}) 은 -1 V 로 설정하고, 게이트 전압 (V_{gs}) 을 20 V ~ -20 V 의 사이를 왕복하도록 소인하였다. 이 때, 드레인 전류 (I_{ds}) 의 최대값과 최소값으로부터 on/off 비를 구하였다. 또, 드레인 전류 (I_{ds}) = -100 nA 에 있어서의 포워드 스위프 (V_{gs1}) 과 리버스 스위프 (V_{gs2}) 의 게이트 전압차의 절대값 $|V_{gs1} - V_{gs2}|$ 으로부터 히스테리시스를 산출하였다. 이들의 결과는, 하기 표 1 에 나타났다.
- [0125] [CNT 분산액의 제작]
- [0126] 폴리에틸렌글리콜(9)모노메타크릴레이트 (PEG(9)MA, 신나카무라 화학사 제조, 「MG-90G」, 폴리에틸렌의 평균 부가 몰수는 9) 를 원료 모노머로 하여 일본 공개특허공보 2021-80120호에 기재된 방법으로 합성한 중합체 (중량 평균 분자량 : 100,000) 를, 순수에 용해시켜 PEG(9)MA 0.5 wt% 수용액을 얻었다. PEG(9)MA 0.5 wt% 수용액 30 g 에, SWCNT (NanoIntegris 사 제조, 「HiPco-Raw」, 평균 직경 1.0 nm, 평균 길이 0.5 μ m) 를 30 mg 첨가하여, 혼합액을 얻었다.
- [0127] 이어서 스테러로 교반하면서, 초음파 호모게나이저 (Branson 사 제조 「450D」) 로, 출력 30 %, 액온 10 °C 의 조건에서 10 분간 분산시켰다. 그 후, 분산 후의 용액을 초원심 분리기 (히타치 코키 (주) 사 제조 「CX100GXII」, 로터 S50) 를 사용하여 회전수 50000 rpm, 액온 20 °C 의 조건에서 60 분간 원심 처리를 실시하였다. 그 상청액을 체적 기준으로 액면으로부터 80 % 채취함으로써, CNT 전체량 (반도체형 CNT 와 금속형 CNT 의 합계) 에 대한 반도체형 CNT 의 비율 (반도체형 CNT 의 함유율) 이 98 wt% 인 CNT 분산액을 얻었다.
- [0128] 또한, 사용한 SWCNT 는 100 ~ 220 cm^{-1} 부근에 금속형 SWCNT 고유의 피크를 갖고, 220 ~ 350 cm^{-1} 부근에 반도체형 SWCNT 고유의 피크를 가지고 있다.
- [0129] [실시에 1]
- [0130] 두께 200 nm 의 열산화막 (SiO_2) 이 퇴적되어 있는 1 cm^2 (주면의 면적) 의 실리콘 기판에 대해, 기상법에 의해 3-아미노프로필트리에톡시실란 (APTES) 의 흡착층을 형성하였다. 다음으로 상기의 방법으로 얻은 CNT 분산액을, 순수로 희석하여 CNT 의 질량으로 1.45 $\mu\text{g}/\text{ml}$ 의 농도로 조정하고, 그것을 흡착층의 전체면에 도포하여 도막을 형성한 후, 실온하에서 1 시간 정치하였다. 그 후, 건조 처리를 실시하기 전에, 도막이 형성된 실리콘 기판을, 초순수에 60 분간 침지시킴으로써, 여분의 CNT 를 제거하고, 그 후, 초순수로부터 끌어올려, 180 °C 의 분위기하에서 60 분간 건조시켜, 평균 막두께가 2 nm 인 반도체층을 얻었다. AFM 화상으로부터 반도체층의 카본 나노튜브의 네트워크 밀도는 625 개/ μm^2 였다. 또, 원자간력 현미경을 사용하여, 반도체층 중 소스 전극과 드레인 전극 사이의 영역 (채널 영역) 중 사방 1 μm 의 화상 관찰을 실시한 결과, CNT 는, 그 길이 방향이, 2 차원 방향으로 랜덤하게 배향되어 있고, 1 개의 CNT 에 대해 다른 5 개 이상의 CNT 와 교차하고 있었다. 또, 상기 사방 1 μm 에서 관찰되는 모든 CNT 에 대하여, CNT 의 길이 방향의 길이 중 다른 CNT 와 서로 겹치는 부분 (교차하는 부분) 의 길이의 합계는 3 % 였다. 다음으로, 채널 길이 (L) 와 채널 폭 (W) 이 각각 100 μm 와 1000 μm 가 되도록, 메탈 마스크를 통해서, Ti 를 두께가 5 nm, 이어서, Ti 층 상에 Au 를 두께가 100 nm 가 되도록, 각각 진공 증착하여, 2 층 구조 (Ti/Au) 의 소스 전극 및 드레인 전극을 각각 형성하였다. 소스 전극, 드레인 전극이 형성된 기판을 180 °C 에서 1 시간 가열하였다. 이어서, 여분의 반도체층을 에칭에 의해 제거한 후, 폴리스티렌 (Aldrich 사 제조) 의 1 wt% 클로로포름 용액을, 스핀 코트 도포 (2000 rpm, 30 s) 하여, 평균 두께가 500 nm 인 봉지층을 형성하였다. 이와 같이 하여, 도 1 에 나타낸 반도체 소자를 제작하였다.

- [0131] [실시예 2]
- [0132] 폴리스티렌 1 wt% 클로로포름 용액 대신에, 불소 수지 9 wt% CT-Solv.180 용액 (CYTOP (등록상표), CTL-809A, AGC 사 제조) 을 사용하여, 스핀 코트 도포 (1 단계째 : 500 rpm 5 s, 2 단계째 : 2000 rpm 20 s) 한 후, 180 °C 에서 60 분간 가열하여, 평균 두께가 1200 nm 인 봉지층을 형성한 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다.
- [0133] [실시예 3]
- [0134] 스핀 코트 도포 (1 단계째 : 500 rpm 5 s, 2 단계째 : 3000 rpm 20 s) 한 후, 180 °C 에서 60 분간 가열하여, 평균 두께가 500 nm 인 봉지층을 형성한 것 이외에는, 실시예 2 와 동일하게 하여 반도체 소자를 제작하였다.
- [0135] [실시예 4]
- [0136] 폴리스티렌 1 wt% 클로로포름 용액 대신에, 폴리메타크릴산메틸 1 wt% 클로로포름 용액을 사용하여 평균 두께가 500 nm 인 봉지층을 형성한 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다.
- [0137] [실시예 5]
- [0138] 흡착층의 재료로서 APTES 대신에, 메틸트리메톡시실란 (MTMS) 을 사용한 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다.
- [0139] [실시예 6]
- [0140] 흡착층의 재료로서 APTES 대신에, N-2-(아미노에틸)-3-아미노프로필트리메톡시실란 1 wt% 이소프로판올 용액 (KBM-603, 신에즈 화학 공업사 제조) 을 사용한 것 이외에는, 실시예 2 와 동일하게 하여 반도체 소자를 제작하였다.
- [0141] [실시예 7]
- [0142] 폴리스티렌 1 wt% 클로로포름 용액 대신에, 폴리염화비닐 1 wt% 아세톤 용액을 사용하여 평균 두께가 500 nm 인 봉지층을 형성한 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다.
- [0143] [실시예 8]
- [0144] 폴리스티렌 1 wt% 클로로포름 용액 대신에, 폴리비닐피롤리돈 1 wt% 아세톤 용액을 사용하여 평균 두께가 500 nm 인 봉지층을 형성한 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다.
- [0145] [실시예 9]
- [0146] 폴리스티렌 1 wt% 클로로포름 용액 대신에, 폴리비닐알코올 1 wt% 수용액을 사용하여 스핀 코트 도포 (2000 rpm, 30 s) 하고, 그 후, 100 °C 에서 60 분 가열하여, 평균 두께가 500 nm 인 봉지층을 형성한 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다.
- [0147] [비교예 1]
- [0148] CNT 의 농도가 1.45 $\mu\text{g}/\text{ml}$ 인 CNT 분산액 대신에, CNT 의 농도가 7.5 $\mu\text{g}/\text{ml}$ 인 CNT 분산액을 사용하고, 봉지층의 형성을 생략하는 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다. AFM 화상으로부터 반도체층의 카본 나노튜브 네트워크의 밀도는 10000 개/ μm^2 였다.
- [0149] [비교예 2]
- [0150] CNT 의 농도가 1.45 $\mu\text{g}/\text{ml}$ 인 CNT 분산액 대신에, CNT 의 농도가 7.5 $\mu\text{g}/\text{ml}$ 인 CNT 분산액을 사용한 것 이외에는, 실시예 2 와 동일하게 하여 반도체 소자를 제작하였다.
- [0151] [비교예 3]
- [0152] CNT 의 농도가 1.45 $\mu\text{g}/\text{ml}$ 인 CNT 분산액 대신에, CNT 의 농도가 7.5 $\mu\text{g}/\text{ml}$ 인 CNT 분산액을 사용한 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다.
- [0153] [비교예 4]
- [0154] 봉지층의 형성을 생략하는 것 이외에는, 실시예 1 과 동일하게 하여 반도체 소자를 제작하였다.

[0155] [표 1]

표 1	반도체 소자의 구성						성능 평가	
	반도체층의 평균 막두께 (nm)	박착층 종류	봉지층			평균 두께 (nm)	log(on/off)	히스테리시스 (V)
			종류	SP21 (fedors)	비유전율			
실시예 1	2	APTES	폴리스티렌	10.5	2.5	500	6.7	1.6
실시예 2	2	APTES	CYTOP	8.7	2.0	1200	6.8	0.2
실시예 3	2	APTES	CYTOP	8.7	2.0	500	6.8	0.8
실시예 4	2	APTES	폴리메타크릴산메틸	9.9	2.8	500	6.3	1.4
실시예 5	2	MTMS	폴리스티렌	10.5	2.5	500	6.7	2.0
실시예 6	2	KBM-603	CYTOP	8.7	2.0	1200	6.8	0.6
실시예 7	2	APTES	폴리염화비닐	11.0	3.0	500	6.3	2.5
실시예 8	2	APTES	폴리비닐피롤리돈	13.4	3.5	500	6.1	2.9
실시예 9	2	APTES	폴리비닐알코올	14.6	5.0	500	6.2	6.1
비교예 1	6	APTES	없음	---	---	---	2.5	---
비교예 2	6	APTES	CYTOP	8.7	2.0	1200	1.8	---
비교예 3	6	APTES	폴리스티렌	10.5	2.5	500	2.1	---
비교예 4	2	APTES	없음	---	---	---	6.0	11.9

[0156]

[0157] 도 7 에, 실시예 1 의 반도체 소자를 구성하는 반도체층의 원자간력 현미경 사진을 나타내고 있다. 도 7 에 나타나는 바와 같이, 반도체층이, CNT 의 네트워크 구조를 가지고 있는 것을 확인할 수 있다.

[0158] 표 1 에 나타내는 바와 같이, 실시예 1 ~ 9 에서는, 반도체층의 평균 막두께가 5 nm 이하임으로써, 비교예 1 ~ 3 의 반도체 소자보다 on/off 비가 현저히 크다. 또, 비교예 4 와의 비교로부터, 실시예에 있어서는, 봉지층을 형성해도, on/off 비는 저하되어 있지 않다. 이와 같이, 실시예의 반도체 소자에서는, on/off 비가 크고, 또한, 히스테리시스가 작다.

산업상 이용가능성

[0159] 이상 설명한 바와 같이, 본 개시의 반도체 소자 및 그 제조 방법에 의하면, on/off 비의 향상과 히스테리시스의 저감을 실시할 수 있기 때문에, 이것을 사용하는 디바이스 성능의 향상에 기여할 수 있다.

부호의 설명

[0160]

1 : 반도체 소자

2 : 반도체 기판 (게이트 전극)

3 : 소스 전극

4 : 드레인 전극

5 : 반도체층

6 : 게이트 절연층

8 : 봉지층

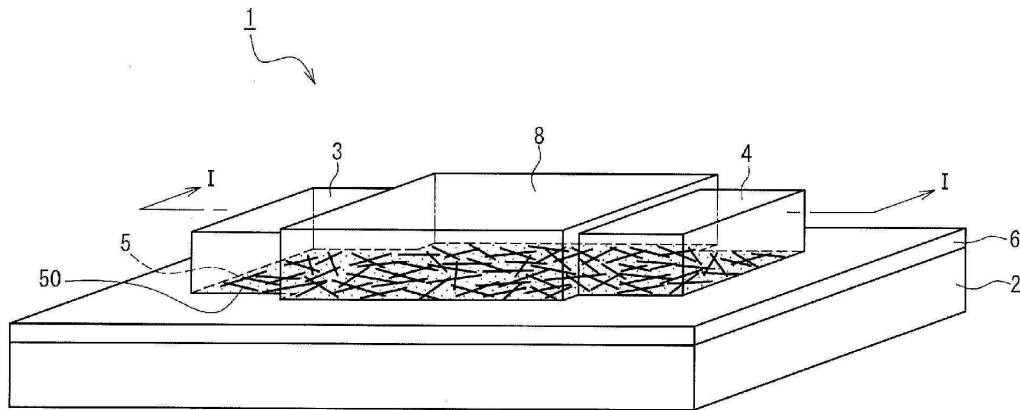
9 : 흡착층

15 : 도막

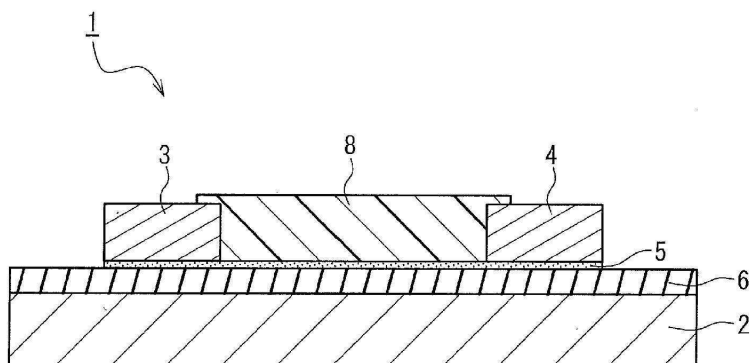
50 : 카본 나노튜브

도면

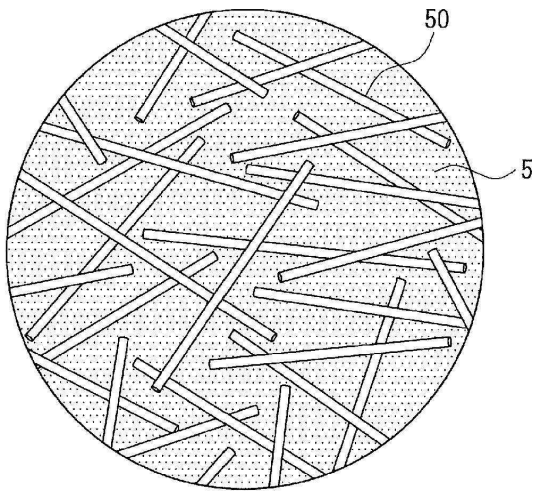
도면1



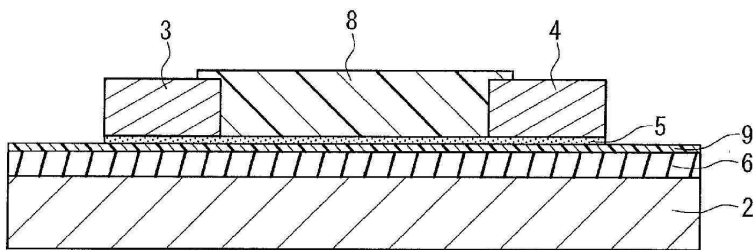
도면2



도면3

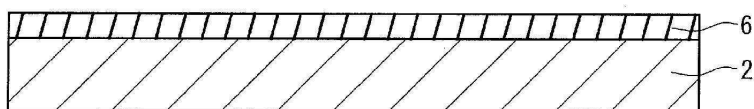


도면4

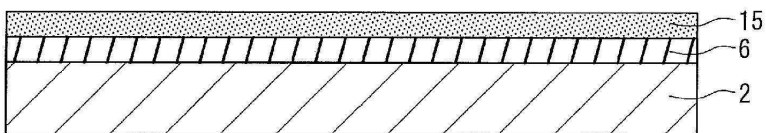


도면5

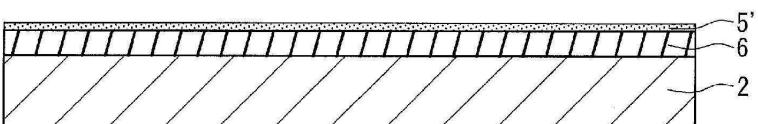
A



B

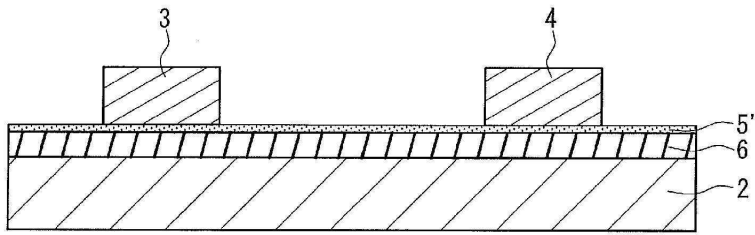


C

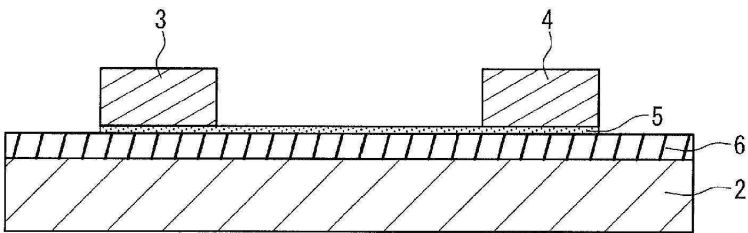


도면6

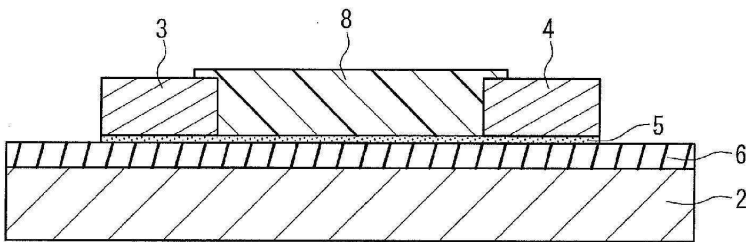
A



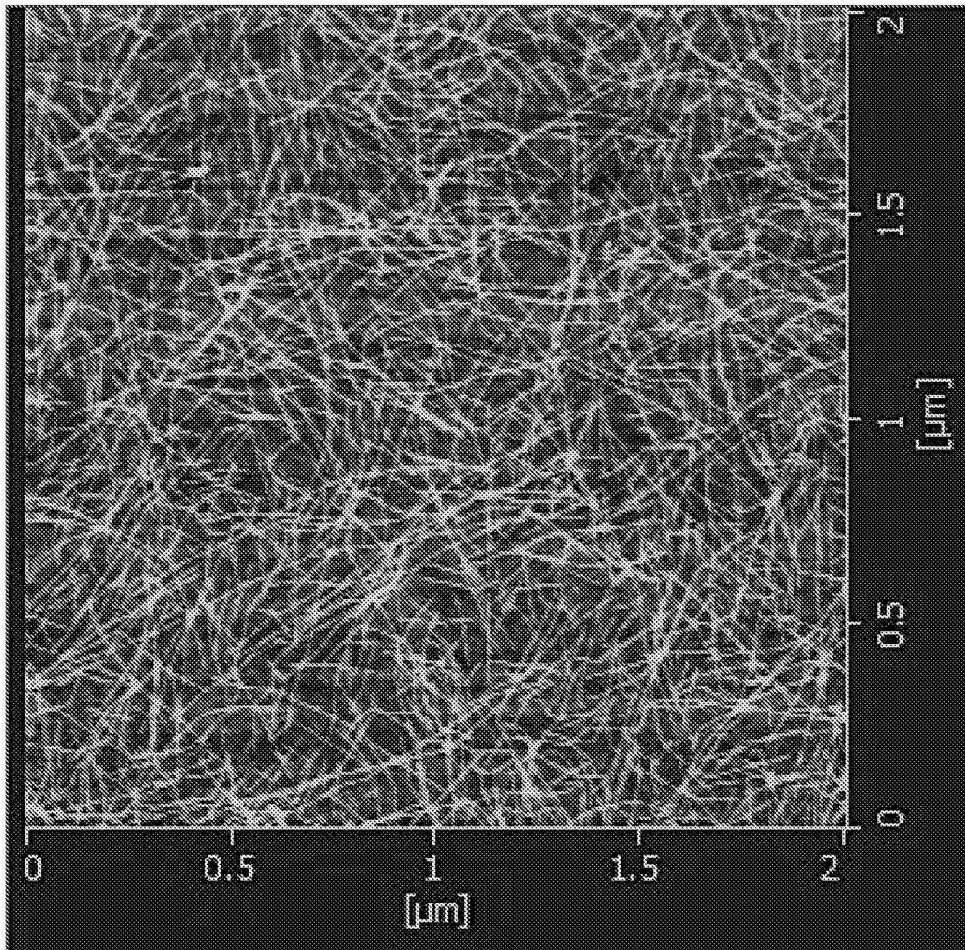
B



C



도면7



도면8

