(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 29/788

(45) 공고일자 2003년07월12일
(11) 등록번호 10-0391404
(24) 등록일자 2003년07월02일

(21) 출원번호 10-2000-0040174
(22) 출원일자 2000년07월13일

(65) 공개번호 특2001-0029938
(43) 공개일자 2001년04월16일

(30) 우선권주장 1999-198978 1999년07월13일 일본(JP)
2000-208341 2000년07월10일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 사꾸이고지
발명자 일본가나가와껭가와사끼시사이와이꾸호리까와조580-1가부시끼가이샤도시바세미콘덕터시스템엔지니어링센터내

노구찌미쯔히로
일본가나가와껭가와사끼시사이와이꾸고무까이-도시바-쪼1가부시끼가이샤도시바리써치앤드디벨롭먼트센터내

(74) 대리인 장수길
구영창

심사관 : 임동우

(54) 반도체 메모리

요약

메모리셀 어레이는, 복수의 셀 유닛으로 구성된다. 셀 유닛은 데이터 전송선과 공통 전압 노드 사이에 접속된다. 셀 유닛은, 실질적으로 동일 구조를 포함하는 직렬 접속된 복수의 MFSFET로 구성된다. 복수의 MFSFET 중, 데이터 전송선에 가장 가까운 1개의 MFSFET와 공통 전압 노드에 가장 가까운 1개의 MFSFET는 선택 스위칭 소자로서 이용된다. 선택 스위칭 소자로서 이용되는 MFSFET는 강유전체막의 분극 상태로서 메모리셀로 기억된다.

대표도

도 11

색인어

메모리 셀, EEPROM, DRAM, FRAM, 강유전체막

명세서

도면의 간단한 설명

도 1은 종래의 FRAM의 디바이스 구조의 일례를 나타내는 도면
도 2는 도 1의 FRAM의 등가 회로를 나타내는 도면.
도 3은 강유전체막의 히스테리시스 특성을 나타내는 도면.
도 4는 상향의 분극과 채널에 유기되는 플러스 전하를 나타내는 도면.
도 5는 하향의 분극과 채널에 유기되는 마이너스 전하를 나타내는 도면.
도 6은 프로그램 동작 시의 전위 관계를 나타내는 도면.
도 7은 보상 펄스 발생 시의 전위 관계를 나타내는 도면.
도 8은 "1" -셀과 "0" -셀에 대해, 게이트 전위와 드레인 전류의 관계를 나타내는 도면.
도 9는 종래의 FRAM을 나타내는 평면도.
도 10은 도 9의 X-X선에 따른 단면도.
도 11은 본 발명의 NAND형 FRAM의 제1 예를 나타내는 평면도.
도 12는 도 l1의 ⅩⅡ-ⅩⅡ선에 따른 단면도,
도 13은 도 l1의 ⅩⅢ-ⅩⅢ선에 따른 단면도.
도 14는 도 11의 ⅩⅣ-ⅩⅣ선에 따른 단면도,
도 15는 도 11의 반도체 디바이스의 등가 회로를 나타내는 도면.
도 16은 본 발명의 NAND형 FRAM의 제2 예를 나타내는 평면도.
도 17은 도 16의 ⅩⅦ-ⅩⅦ선에 따른 단면도.
도 18은 도 16의 ⅩⅧ-ⅩⅧ선에 따른 단면도.
도 19는 도 16의 ⅩⅨ-ⅩⅨ선에 따른 단면도.
도 20은 NAND형 플래시 EEPROM을 나타내는 평면도.
도 21은 NAND 스트링의 사이즈와 고내압 트랜지스터의 사이즈를 비교하는 도면.
도 22는 본 발명의 블록과 종래 기술의 블록을 비교하여 나타내는 도면.
도 23은 메모리의 셀 어레이부를 구성하는 회로를 나타내는 도면.
도 24는 도 23의 페이지 버퍼를 상세히 나타내는 도면.
도 25는 메모리셀 및 선택 스위칭 소자에 제공되는 전위를 나타내는 도면.
도 26은 판독 시의 신호 파형을 나타내는 도면,
도 27은 프로그램 시의 셀의 모습을 나타내는 도면.
도 28은 메모리셀에 발생되는 용량을 나타내는 도면.
도 29은 NAND형 FRAM의 제조 방법의 일 공정을 나타내는 단면도.
도 30은 NAND형 FRAM의 제조 방법의 일 공정을 나타내는 단면도.
도 31은 NAND형 FRAM의 제조 방법의 일 공정을 나타내는 단면도.
도 32는 NAND형 FRAM의 셀 어레이의 등가 회로를 나타내는 도면.
도 33은 소거 동작 후의 선택 셀의 분극 상태를 나타내는 도면.
도 34는 소거 동작 후의 비선택 셀의 분극 상태를 나타내는 도면.
도 35는 MFSFET의 강유전체막의 히스테리시스 특성을 나타내는 도면.
도 36은 소거 동작 후의 메모리셀의 게이트 전위와 드레인 전류의 관계를 나타내는 도면.
도 37은 프로그램 동작 후의 선택 셀의 분극 상태를 나타내는 도면.
도 38은 프로그램 동작 후의 비선택 셀의 분극 상태를 나타내는 도면.
도 39는 프로그램 동작 후의 메모리셀의 게이트 전위와 드레인 전류의 관계를 나타낸 도면.
도 40은 "1" -셀과 "0" -셀에 대해, 게이트 전위와 드레인 전류의 관계를 나타낸 도면.
도 41은 NAND 셀 유닛의 등가 회로를 나타내는 도면.
도 42는 AND 셀 유닛의 등가 회로를 나타내는 도면.
도 43은 본 발명의 EEPROM의 제l 예를 나타내는 평면도.
도 44는 도 43의 ⅩLIV-ⅩLIV선에 따른 단면도.
도 45는 도 43의 ⅩLV-ⅩLV선에 따른 단면도.
도 46은 도 43의 ⅩLVI-ⅩLV1선에 따른 단면도.
도 47은 도 43 내지 도 46의 디바이스의 1셀 유닛분의 등가 회로를 나타내는 도면.
도 48은 메모리셀 어레이 및 드라이버의 레이아웃의 일례를 나타내는 블록도.
도 49는 본 발명에 따른 트랜지스터의 디바이스 구조를 나타내는 단면도.
도 50은 도 49의 디바이스의 소거 시의 대역 상태를 나타내는 도면.
도 51은 도 49의 디바이스의 기입 시의 대역 상태를 나타내는 도면.
도 52는 본 발명의 디바이스의 소거/기입 후의 임계치 분포를 나타내는 도면.
도 53은 본 발명의 트랜지스터에 대한 임계치 설정 방법(threshold value setting method)의 제1 예를 나타내는 도면.
도 54는 본 발명의 트랜지스터에 대한 임계치 설정 방법의 제2 예를 나타내는 도면.
도 55는 도 53 및 도 54의 소거 스텝 후의 셀 유닛의 상태를 나타내는 도면.
도 56은 본 발명에 따른 디바이스의 소거 시의 대역 상태를 나타내는 도면.
도 57은 본 발명에 따른 디바이스의 기록 시의 대역 상태를 나타내는 도면.
도 58은 본 발명의 EEPROM의 제2 예를 나타내는 평면도.

도 59는 도 58의 LIX-LIX선에 따른 단면도.
도 60은 도 58의 LX-LX선에 따른 단면도.
도 61은 도 58의 LXI-LXI선에 따른 단면도.
도 62는 본 발명의 EEPROM의 제3 예를 나타내는 평면도.
도 63은 도 62의 LXIII-LXIII선에 따른 단면도.
도 64는 도 62의 LXIV-LXIV선에 따른 단면도.
도 65는 도 62의 LXV-LXV선에 따른 단면도.
도 66은 본 발명의 EEPROM의 제4 예를 나타내는 평면도.
도 67은 도 66의 LXVII-LXVII선에 따른 단면도.
도 68은 도 66의 LXVIII-LXVIII선에 따른 단면도.
도 69는 도 66 내지 도 68의 디바이스의 1셀 유닛분의 등가 회로를 나타내는 도면.
도 70은 본 발명의 EEPROM의 제5 예를 나타내는 평면도.
도 71은 도 70의 LXXI-LXXI선에 따른 단면도.
도 72는 도 70의 LXXII-LXXII선에 따른 단면도.
〈도면의 주요 부분에 대한 부호의 설명〉
23 : 실리콘 기판
24 : 소자 분리층
25 : 버퍼층
26 : 강유전체막
27 : 게이트 전극
28d : 드레인 영역
28s : 소스 영역
29 : 층간 절연막
30d : 컨택트
31d : 컨택트 플러그
32 : 산화 실리콘
36(BL) :게이트 전송선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 배경 1
본 발명은 반도체 메모리에 관한 것으로, 특히 FRAM(Ferroelectric Random Access Memory)에 사용된다.
FRAM은 메모리셀의 일부에 강유전체막(Ferroelectric Film)을 사용하고, 이 강유전체막의 분극 상태에 의해 메모리셀의 데이터("0", "1")가 결정되는 반도체 메모리이다. FRAM은 고속 동작, 소비 전력의 저하, 메모리 용량의 증대, 허용할 수 있는 재기입 횟수(기입/소거 사이클)의 증가 등이 가능함과 함께, 전원을 차단하여도 데이터가 지워지지 않는 불휘발성을 포함한다고 하는 많은 특징을 지니고 있다.
FRAM의 메모리셀로서는, 현재, 예를 들면, DRAM(Dynamic Random Access Memory)의 메모리셀의 캐패시터 절연막을 강유전체막으로 치환하는 것이나, MISFET(Metal Insulated Semiconductor Field Effect Transistor)의 게이트 절연막을 강유전체로 치환한 것들이 알려져 있다. MISFET의 게이트 절연막을 강유전체막으로 치환한 구조를 갖는 메모리셀은 MFSFET(Metal-Ferroelectric-Semiconductor Field Effect Transistor)라 불리운다. MFSFET는 강유전체막의 분극 상태(기판측이 플러스, 게이트 전극측이 마이너스일 때를 하향하고, 기판측이 마이너스, 게이트 전극측이 플러스일 때를 상향으로 한다)에 따라 소스 영역과 드레인 영역 사이에 흐르는 전류를 제어함으로써 메모리 기능을 발휘한다.
MFSFET는 DRAM의 캐패시터 절연막을 강유전체막으로 치환한 것과 비교하면, 비교 축소측(스케일링측)에 기초하는 셀사이즈의 축소가 가능하기 때문에 메모리 용량의 증대나 칩 면적의 축소에 적용시킴과 함께 데이터를 비파괴로 판독할 수 있다고 하는 큰 특징을 지닌다. 반면, MFSFET는 강유전체막을 반도체 기판(실리콘 기판) 상에 형성하는 프로세스 상의 과제(원자의 상호 확산), 버퍼층을 이용한 경우에는 그 비유전율) 등, 실용화를 위한 특징의 기술적 과제도 지니고 있다.
현재, MFSFET를 갖는 FRAM에 관한 연구 논문으로서는, 예를 들면, 이하의 문헌이 알려져 있다.
문헌 1: H. Ishihara et al.. "Proposal of a Single-Transistor-Cell-Type Ferroelectric Memory Using an SOI structure and experimental Study on the Interference Problem in the Write Operation" Jpn J. Appl. Phys. Vol36, pp. 1655-1656, March 1997.

문헌 2: 이시하라 히로시 「강유전체 게이트 FET의 제작과 뉴런 회로에의 응용」 응용 물리 제66권 제12호 1335-1339페이지, 1997
문헌 3 : 이시하라 히로시 「강유전체 게이트 FET의 현상과 문제점」 신학기보 ED97-213, 9-16페이지, 1998년 3월
현재의 MFSFET의 원형이 되는 기술은, 예를 들면, 1995년에 벨 연구소로부터 제출된 특허(W.L. Brown. US Patent 2,791,759, I.M.Ross. US Patent 2,791,760)에 개시되어 있다.
이 기술이 제안되어온 이래, 40 수년간에 걸쳐, MFSFET의 연구 개발이 계속적으로 행해져 왔다. 그러나, MFSFET에 대해서는, 상술한 바와 같이 해결이 곤란 한 특유의 기술적 과제, 특히, 강유전체막과 반도체막(실리콘막) 사이에 있어서의 원자의 상호 확산을 방지하여 양호한 계면 특성을 얻는다고 하는 과제가 충분히 해결되어 있지 않아, 현재에는 실용화의 레벨로는 이르고 있지 않다.
한편, 최근에는 전자 기기의 고도화, 복잡화에 대응하기 위해, 반도체 메모리에 대해서도, 고속 동작 소비 전력의 저하, 메모리 용량의 증대, 허용할 수 있는 재기입 횟수의 증가, 불휘발성인 점, 사용자의 요구가 점점 더 엄격해져 가고 있다. 그래서, 이와 같은 요구에 대응할 수 있는 FRAM이 다시 주목받게 되어, 특히 일본과 한국을 중심으로 MFSFET를 갖는 FRAM의 연구 개발이 활성화되고 있다.
FRAM의 원형은, 강유전체막의 하부에 Y방향으로 연장되는 스트라이프 전극을 배치하고, 그 상부에 X방향으로 연장되는 스트라이프 전극을 배치한 소위 단순 매트릭스 구조를 갖는다. 그러나, 이 구조에서는 프로그램 시에 선택 셀 이외의 비선택 셀에도 부분적으로 전압이 인가되기 때문에, 기입의 반복에 따라 비선택 셀의 데이터가 반전한다고 하는 간섭 효과가 발생된다.
그래서, 현재에는, 이 간섭 효과를 방지하기 위해 셀 선택 FET를 이용하는 액티브 매트릭스 구조를 갖는 FRAM이나, 단순 매트릭스 구조를 갖는 FRAM을 개량한 FRAM 등이 연구 개발되어 있다.
도 1은 MFSFET를 이용한 FRAM의 종래의 셀어레이 구조의 일례를 나타내고 있다. 도 2는, 도 1의 디바이스의 등가회로를 나타내고 있다.
이 FRAM은 문헌 3에 개시되는 것으로, 단순 매트릭스 구조를 갖는다.
실리콘 기판(11) 상에, 실리콘 산화막(SiO_2 : 12)이 형성되고, 실리콘 산화막(12) 상에 예를 들면, Y방향으로 연장되는 스트라이프형의 실리콘막(13)이 형성된다. 실리콘막(13)은 p형 영역과, 이 p형 영역을 끼우는 2개의 n형 영역을 갖는다. 실리콘 기판(11), 실리콘 질화막(12), 실리콘막(13)에 의해 SOI(Silicon On Insulator) 구조가 형성된다.
실리콘막(13) 상에, 실리콘막(13)을 완전히 덮는 강유전체막(14)이 형성되고, 강유전체막(14)에, 예를 들면, X방향으로 연장되는 스트라이프형의 금속막(게이트 전극: 15)이 형성된다. 실리콘막(실리콘 스트라이프: 13)과 금속막(금속 스트라이프 :15)은 상호 직교되도록 배치되기 때문에, 단순 매트릭스 구조가 형성된다. 실리콘막(13)과 금속막(15)의 교차점에는 MFSFET(16)가 형성된다.
이 셀어레이 구조에서는 1개의 실리콘 스트라이프 내에 형성되는 복수의 메모리셀이 병렬 접속되고, 또한, 1개의 소스 영역과 1개의 드레인 영역을 공통하고 있기 때문에, 메모리셀마다 소스 영역 및 드레인 영역에 대한 컨택트홀을 설치할 필요가 없어, 메모리셀의 고밀도화에 적합하다.
다음에, 도 1 및 도 2의 FRAM의 기본 동작에 대해 설명한다.
이하의 설명에 있어서는 편의상, 실리콘막(13)에 저전위, 금속막(15)에 고전위가 인가될 때에 강유전체막에 생기는 전계를 하향의 전계로 하고, 실리콘막(13)에 고전위, 금속막(15)에 저전위가 인가될 때에 강유전체막(14)에 생기는 전계를 상향의 전계로 한다. 또한, 실리콘막 측이 플러스, 금속막측이 마이너스의 분극을 하향의 분극으로 하고, 실리콘막측이 마이너스, 금속막측이 플러스의 분극을 상향의 분극으로 한다. 또한, 하향의 분극(잔류 분극점)을 "1" 상태("1"-프로그래밍 상태)로 하고, 하향의 분극(잔류 분극점)을 "0" 상태(초기 상태 또는 "0"-프로그래밍 상태")로 한다.
(1) 프로그램 동작(program operation)
우선, 초기화를 행한다. 초기화는, 모든 실리콘막(실리콘 스트라이프 :13)에 V_P 를 인가하고, 또한, 모든 금속막(금속 스트라이프: 15)에 0V를 인가함으로써 행한다. 이 때, 모든 메모리셀에 대해 강유전체막(14) 내(실리콘 스트라이프와 금속 스트라이프가 교차하는 부분에 한한다. 이하 이 설명에 있어서 동일)에는, 상향의 전계가 발생한다.
그리고, 도 3에 도시한 바와 같이, 전계의 인가가 한번도 행해지지 않는 강유전체막(14)에 대해서는, 분극 상태가 A점으로부터 B점으로 이동한다. 또한 "0"상태를 기억하는 강유전체막(14)에 대해서는 분극 상태가 C점으로부터 B점으로 이동하고, "1" 상태를 기억하는 강유전체막(14)에 대해서는 분극 상태가 E점으로부터 G점을 경유하여 B점으로 이동(분극 반전)한다. 즉, 모든 메모리셀에 대해, 강유전체막(14)는 상향의 분극을 갖고, 또한, 그 분극치는포화 분극치 P_{max} 로 된다.
또한, 실리콘막(13)에 제공되는 전위를 V_p 로부터 0V로 변화시키면, 모든 메모리셀에 대해 강유전체막(14) 내의 전계는 0으로 되지만, 강유전체막(14)의 상향의 분극의 분극량은 0으로 되지 않고, 잔류 분극치 P_r 로 된다(C점=잔류 분극점). 즉, 모든 메모리셀은 "0" 상태(임계치가 높은 상태)로 초기화된다(도 4 참조).
다음에, 선택된 메모리셀에 대해 "1"-프로그래밍을 행한다. 즉, 선택된 금속 스트라이프 V_p , 비선택의 금속 스트라이프에 $V_p/3$, 선택된 실리콘 스트라이프에 0V, 비선택의 실리콘 스트라이프에 $2V_p/3$을 각각 인가한다.
이 때, 도 6에 도시한 바와 같이, 선택된 메모리셀(◎로 나타낸다)의 강유전체막(14)에는 전압(전위차) V_p 가 인가되고, 그 강유전체막 내에는 하향의 전계가 발생한다. 이 하향의 전계는, 선택된 메모리셀의 강유전체막의 분극을 상향으로부터 하향으로 반전시킨다. 즉, 강유전체막을 분극 반전시키기 위해 충분한 값을 갖고 있다. 따라서, 선택된 메모리셀의 강유전체막의 분극 상태는 C점→F점→D점으로 이동하고, 그 강유전체막의 하향의 분극의 분극치는 포화 분극치-P_{max} 로 된다.

한편, 선택 메모리셀 이외의 모든 비선택의 메모리셀(○, ●로 나타낸다)의 강유전체막에는 전압 $+V_p/3$ 또는 $-V_p/3$이 인가된다.
전압 $+V_p/3$이 인가되는 강유전체막 내에는, 하향의 전계가 발생한다. 따라서, 이 하향의 전계는 비선택의 메모리셀의 강유전체막의 분극을 상향으로부터 하향으로 반전시킨다. 즉, 강유전체막을 분극 반전시키기 위해 충분한 값을 갖고 있지 않다. 따라서, 전압 $+V_p/3$이 인가되는 강유전체막의 분극 상태는, C점과 F점의 사이에 있고, 그 강유전체막의 분극은 상향인 상태 그대로이다.
전압 $-V_p/3$이 인가되는 강유전체막 내에는, 상향의 전계가 발생한다. 따라 서, 전압 $-V_p/3$이 인가되는 강유전체막의 분극 상태는, C점과 B점 사이에 있어서, 그 강유전체막의 분극은, 상향인 상태 그대로이다.
이 후, 모든 실리콘막(13) 및 모든 금속막(15)의 전위를 0V로 하면, 선택된 메모리셀의 분극 상태는, D점으로부터 E점(잔류 분극점)으로 이동하기 때문에, 선택된 메모리셀은, "1" 상태(임계치가 낮은 상태)로 된다(도 5 참조). 한편, 비선택의 메모리셀의 분극 상태는, C점(잔류 분극점)으로 되돌아가기 때문에, 비선택의 메모리셀은 "0" 상태를 유지한다(도 4 참조).
상술의 프로그램 동작에서는, 선택된 실리콘막(13)에 0V, 비선택의 실리콘막(13)에 $2V_p/3$이 인가된다. 이 때, 복수의 실리콘막(실리콘 스트라이프: 13)은, 상호 물리적으로 떨어져 있기 때문에, 1개의 실리콘막에 복수의 웰을 형성하는 웰 분리에 비해, 메모리셀끼리의 절연성은 충분하다.
또한, 도 7에 도시한 바와 같이, 예를 들면, 상술의 프로그램 동작을 행한 후에, 실리콘막(13) 및 금속막(15)에 소정의 전위를 제공하여도 좋다. 이 경우, 대부분의 메모리셀의 강유전체막(14)에 대해 프로그램 동작 시에 인가되는 전압에 대해 크기가 같고 역방향의 전압이 인가되기 때문에, 간섭 효과를 유효하게 저감시킬 수 있다.
(2) 판독 동작
"l" 상태의 메모리셀(n채널 MFSFET)에서는, 강유전체막(l4)의 하향의 잔류 분극에 의해 채널의 표면, 즉, 실리콘막(13)의 p형 영역의 표면에 마이너스 전하가 유기된다. 따라서, "l" 상태의 메모리셀은, "O" 상태의 메모리셀에 비해, 임계치가 낮게 되어 있다.
"0" 상태의 메모리셀(n채널 MFSFET)에서는, 강유전체막(14)의 상향의 잔류 분극에 의해 채널의 표면, 즉, 실리콘막(13)의 p형 영역의 표면에 플러스 전하가 유지된다. 따라서, "O" 상태의 메모리셀은 "l" 상태의 메모리셀에 비해, 임계치가 높게 되어 있다.
그래서, 도 8에 도시한 바와 같이, "1" 상태의 메모리셀에 대해서는, 드레인 전류 I_d가 흐르고, "0" 상태의 메모리셀에 대해서는 드레인 전류 I_d가 흐르지 않는소정의 판독 전위 $V_{판독}$를 설정하고, 선택된 금속막(금속 스트라이프: 15)에 이 판독 전위 $V_{판독}$를 제공한다. 그리고, 선택된 메모리셀에 셀 전류가 흐르는지의 여부를 검출함으로써, 판독 동작이 완료한다.
그런데, 실리콘 스트라이프 내에 $1O^3$개의 메모리셀이 병렬로 접속되고, 비선택의 금속막(15)에 0V를 제공하였을 때에 실리콘 스트라이프 내의 비선택 메모리셀에 누설 전류 $I_{누설}$가 생겼다고 가정하면, 정확한 판독을 행하기 위해서는, 판독 전류(드레인 전류 I_d)는 적어도 누설 전류 $I_{누설}$의 $1O^4$배 정도가 아니면 안된다.
그리고, FET의 임계치 영역에 있어서 전류를 1자릿수 증가시키기 위해, 약 0.1V가 필요하다고 가정하면, 판독 전위 $V_{판독}$는, 약 0.4V로 된다. 도 9는 상술의 문헌 1 내지 3에 개시되는 FRAM의 셀 어레이 구조의 평면도를 나타내고 있다. 또한, 도 10은, 도 9의 X-X선에 따른 단면도를 나타내고 있다.
메모리셀은, 상술된 바와 같이, 실리콘 스트라이프와 금속 스트라이프의 교차점에 형성된다. 실리콘 스트라이프 내에는, p형 영역(채널)과 이것을 끼우는 2개의 n형 영역(소스 및 드레인)이 형성된다. 금속 스트라이프는, 데이터 선택선으로 된다. 실리콘 스트라이프는 상호 물리적으로 분리되고, 실리콘 스트라이프끼리는, 일정한 거리만큼 떨어져 있다. 이러한 셀 어레이 구조를 채용하는 경우의 셀 사이즈에 대해 검토한다.
실리콘 스트라이프끼리의 간격(소자 분리 폭)이 F[F는, 최소 배선폭(feature size)으로, 디자인 룰의 최소치를 나타낸다]라고 가정하면, 메모리셀의 X 방향의 사이즈(또는 데이터 전송선의 피치)는 4F로 되고, 메모리셀의 Y 방향의 사이즈(또는 데이터 선택선의 피치)는 2F로 된다. 따라서, 1개의 메모리셀의 사이즈는, $8F^2$ (= 4F×2F)로 된다.
그러나, 이 메모리셀 사이즈는 플래시 메모리과 같은 불휘발성 반도체 메모리의 셀사이즈보다도 크다. 예를 들면, 직렬 접속된 16개의 메모리셀로 이루어지는 NAND 스트링을 갖는 NAND형의 플래시 EEPROM에서는, 1개의 메모리셀 사이즈는 $4.5F^2$ (상세는 후술한다)로 된다. 이 때문에, 큰 메모리 용량을 갖는 FRAM을 제작하려고 하면, 칩 사이즈가 커져, 수율이 저하하고, 비용이 증대한다고 하는 문제가 발생된다. 또한, 상술과 같은 셀 어레이 구조를 갖는 FRAM에서는, 데이터의 재기 입 시(덮어쓰기 시), 즉, 셀 데이터의 변경 시에 각 실리콘 스트라이프에 제공하는 전위를 제어하기 위한 디코더가 필요해지기 때문에, 제어 회로의 복잡화나 칩 사이즈의 증대를 초래한다고 하는 문제가 있다.
2. 배경 2
본 발명은, 고밀도한 셀 배치를 가능하게 한 반도체 메모리에 관한 것이다.
디지털 비트 데이터가 플로팅 전극 내의 전하량으로서 저장되는 불휘발성 반도체 메모리(EEPROM)는 잘 알려져 있다.
이 불휘발성 반도체 메모리에 있어서는, 전하는, 예를 들면, 채널로부터 전하 축적층(charge storing layer)과 반도체 소자 영역 사이의 절연막을 경유하여 플로팅 전극에 주입되고, 플로팅 전극으로부터 전하 축적층과 반도체 소자 영역 사이의 절연막을 경유하여 채널로 추출된다. 이 전하의 이동에 의해 전하 축적층과 반도체 소자 영역 사이의 절연막에 흐르는 전류는, 터널 전류라 불린다.
또한, 메모리셀에 기억된 디지털 비트 데이터는, 플로팅 전극 내의 전하량을 메모리셀(MOSFET)의 컨덕턴스의 변화량으로서 측정함으로써, 메모리셀로부터 판독할 수 있다.

그런데, 현재, 연구 개발이 진행되고 있는 불휘발성 반도체 메모리 중, NAND형 EEPROM이나 AND형 EEPROM은 선택 스위칭 소자수를 메모리셀수보다도 대폭 줄일 수 있기 때문에, 메모리셀의 고밀도화에 적합한 메모리라고 할 수 있다.

NAND형 EEPROM은 주지하는 바와 같이, 여러개의 메모리셀을 직렬 접속한 셀 유닛을 구비함으로써 메모리셀의 고밀도화를 실현한다. 또한, AND형 EEPROM은, 주 지한 바와 같이, 여러개의 메모리셀을 병렬 접속한 셀 유닛을 구비함으로써 메모리셀의 고밀도화를 실현한다.

그러나, 종래의 NAND형 EEPROM이나 AND형 EEPROM에서는, 선택 스위칭 소자의 선택 게이트선의 저저항화를 도모하기 위해, 선택 게이트선이 배치되는 배선층보다도 상부의 배선층에, 선택 게이트선보다도 저저항인 배선(소위, 배면 부배선: backside sub wire)을 배치하고, 일정 간격으로, 선택 게이트선과 배면 부배선과의 컨택트 영역(소위 분로 영역: shunt area)을 설치하고 있었다.

따라서, 종래에는, 이러한 배면 부배선이나 분극 영역 때문에 메모리셀 어레이 영역이 확대되어, 칩 면적을 작게 하는 것이 곤란하였다.

이하, 이 문제에 대해, 상세히 설명한다.

도 41은, 종래의 NAND형 EEPROM의 셀 유닛의 등가 회로를 나타내고 있다. 또한, 도 42는, 종래의 AND형 EEPROM의 셀 유닛의 등가 회로를 나타내고 있다.

도 41에 도시한 바와 같이, NAND형 EEPROM의 셀 유닛(45)은 직렬 접속된 복수(본 예에서는, l6개)의 메모리셀 M0, M1, … M15로 이루어지는 NAND 스트링과, 이 NAND 스트링의 양단에 각각 1개씩 접속된 2개의 선택 스위칭 소자 S1, S2로 구성된다.

또한, 도 42에 도시한 바와 같이, AND형 EEPROM의 셀 유닛(45)은, 2개의 노드 A, B 사이에 병렬 접속된 복수(본 예에서는, 16개)의 메모리셀 M0, M1, … M15와, 2개의 노드 A, B에 각각 1개씩 접속된 2개의 선택 스위칭 소자 S1, S2로 구성된다.

도 41 및 도 42에 도시한 어느 하나의 셀 유닛(45)에 있어서도, 셀 유닛(45) 내에는 복수개(본 예에서는 16개)의 컨트롤 게이트선(데이터 전송선) WL0. WL1, …WL15가 접속되고, 또한, 1개 이상(본 예에서는 2개)의 선택 게이트선(블록 선택선) SSL, GSL이 접속된다. 또한, 셀 유닛(45)에 접속되는 선택 게이트선은 적어도 1개 존재하면 되고, 또한, 메모리셀의 고밀도화를 위해서는 컨트롤 게이트선 WL0, WL1, …WL15가 연장되는 방향(행방향)과 동일 방향으로 연장되는 것이 바람직하다.

데이터 전송선 BL은, 데이터 선택선 WL0, WL1, …WL15가 연장되는 방향으로 직교하는 방향(열방향)으로 연장되어 있다. 그리고, 메모리셀 M0, M1, …M15는 데이터 전송선 BL과 데이터 선택선 WL0, WL1, …WL15의 교점에 각각 배치되고, 각각 독립적으로 디지털 비트 데이터의 기입 및 판독이 가능하게 되어 있다.

여기서, 메모리셀은 에를 들면 플로팅 전극(전하 축적층)을 지니고, 플로팅 전극 내의 전하량에 의해 디지털 비트 데이터의 값이 결정된다. 셀 유닛은, 행방향 및 열방향으로 각각 복수개 배치되고, 이에 따라 메모리셀 매트릭스가 구성된다. 또한, 행방향으로 배치되는 복수개의 셀 유닛의 집합은, 블록이라 불리고 있다.

메모리셀이 고밀도화된 대규모 메모리에 있어서는, 배선은 가늘고, 또한, 길어지기 때문에, 그 저항치를 내리는 것이 중요하게 된다. 특히, 컨트롤 게이트선(데이터 선택선) WL0, WL1, …W15는 칩 내에 가장 가는 배선이기 때문에, 그 저항치를 내리는 여러 기술이 검토되고 있다.

예를 들면, 컨트롤 게이트선 WL0, WL1, …WL15가 불순물을 포함한 도전성 폴 리실리콘과 저저항 재료의 적층 구조로 하는 기술은 잘 알려져 있다. 또한, 저저항 재료로서는 예를 들면 WSi, CoSi, NiSi, TiSi 등의 금속 실리사이드나, Ta, W 등의 금속이 이용되고 있다.

그런데, 통상, 선택 스위칭 소자의 선택 게이트선 SSL, GSL은 메모리셀의 컨트롤 게이트선 WL0, WL1, …WL15가 배치되는 배선과는 다른 배선층으로 배치된다.

이 경우, 예를 들면, 선택 게이트선 SSL, GSL을 불순물을 포함한 도전성 폴리실리콘과 저저항 재료의 적층 구조로 함으로써, 선택 게이트선 SSL, GSL의 저저항화를 실현할 수가 있다. 그러나, 선택 게이트선 SSL, GSL이 배치되는 배선층과 컨트롤 게이트선 WL0, WL1, …WLl5가 배치되는 배선층이 상호 다르기 때문에, 선택 스위칭 소자측과 메모리셀측에서, 각각 별도로 포트리소그래피 및 가공(RIE)이 필요하게 된다.

따라서, 선택 게이트선 SSL, GSL과 컨트롤 게이트선 WL0, WL1, …WL15의 위치 어긋남의 문제가 생기고, 그 결과, 이 위치 어긋남을 고려한 마진을 확보해야만 하기 때문에, 이 마진분만큼 칩 면적이 커지게 된다.

한편, 선택 스위칭 소자의 선택 게이트선 SSL, GSL을, 메모리셀의 플로팅 전극(전하 축적층)이 배치되는 배선층과 동일 배선층에 배치하고, 상술의 위치 어긋남에 기인하는 칩 면적의 증대의 문제를 회피하는 것도 가능하다.

즉, 선택 게이트선 SSL, GSL과 플로팅 전극(전하 축적층)을, 모두, 동일 배선층에 배치하고, 또한, 모두, 불순물을 포함한 도전성 폴리실리콘과 저저항 재료(금속 실리사이드나 금속 등)의 적층 구조로 하면, 선택 게이트선 SSL, GSL의 저저 항화를 실현할 수 있음과 함께, 선택 스위칭 소자측과 메모리셀측에서, 포토리소그래피 및 가공(RIE)을 공통화할 수 있기 때문에, 칩 면적의 증대의 문제도 회피할 수 있다.

그러나, 이 경우, 메모리셀의 컨트롤 게이트 전극과 플로팅 전극 사이의 절연막의 내압의 문제가 발생한다.

즉, 메모리셀의 컨트롤 게이트 전극과 플로팅 전극 사이의 절연막의 내압은, 플로팅 전극 내에 W, Ni, Ti 등의 금속 원자가 혼입하면, 크게 열화되는 것이 알려져 있다 . 이 때문에, 플로팅 전극을 불순물을 포함한 도전성폴리실리콘과 저저항 재료(금속 실리사이트나 금속 등)의 적층 구조로 하면, 메모리셀의 컨트롤 게이트 전극과 플로팅 전극 사이의 절연막의 내압이 열화하여, 메모리의 안정 동작을 확보할 수 없게 된다.

결국, 선택 게이트선 SSL, GSL과 플로팅 전극(전하 축적층)을, 동일 배선층에 배치하는 경우에는, 선택 게이트선 SSL, GSL 및 플로팅 전극은, 모두 P, As 또는 B가 도핑된 도전성 폴리실리콘을 이용할 필요가 있고, 금속이나 금속 실

리사이드를 이용한 배선보다도 고저항으로 된다.
그래서, 선택 게이트선 SSL, GSL과 플로팅 전극을 동일 배선층에 배치하는 경우에는, 상술된 바와 같이, 선택 게이트선 SSL, GSL이 배치되는 배선층보다도 상부의 배선층에 소위 배면 부배선(backside sub wire)을 배치하고, 예를 들면, 10 내지 1000 셀 유닛마다, 선택 게이트선 SSL, GSL과 배면 부배선을 상호 컨택트시키는 기술이 적용된다(스티치 배선 기술).
그러나, 이 기술에서는, 선택 게이트선과 배면 부배선의 컨택트 영역(분로 영역)이 필요하게 되기 때문에, 그 컨택트 영역분만큼, 칩 면적이 증대한다고 하는 문제가 생긴다.
이상, 진술한 바와 같이, 종래, 직렬 또는 병렬 접속된 여러개의 메모리셀로 이루어지는 셀 유닛을 갖는 반도체 메모리에서는, 메모리셀측과 선택 스위칭 소자측에서 포토리소그래피나 가공을 별도로 행하거나, 또한, 선택 게이트선과 그 상부의 배면 부배선과의 컨택트 영역을 설치할 필요가 있기 때문에, 칩 면적이 커진다고 하는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

(1) 본 발명의 목적은, 메모리셀의 미세화, 칩 사이즈의 축소화, 기입/판독 전압의 저저압화, 저소비 전력화, 제조 프로세스의 간략화 등에 뛰어나며, 또한, 고속 동작, 고신뢰성 등을 달성할 수 있는 반도체 메모리(FRAM)를 제공하는 것이다.
상기 목적을 달성하기 위해, 본 발명의 반도체 메모리는, 직렬 접속된 복수의 트랜지스터로 구성되는 셀 유닛과, 셀 유닛의 일단에 접속되는 데이터 전송선과, 셀 유닛의 타단에 접속되는 공통 전극 노드를 포함한다. 그리고, 각 트랜지스터는, 실질적으로 동일 구조를 갖음과 함께, 데이터를 불휘발로 기억하는 기능을 지니고, 복수의 트랜지스터 중, 데이터 전송선에 가장 가까운 1개의 트랜지스터와 공통 전극 노드에 가장 가까운 1개의 트랜지스터는, 선택 스위칭 소자로서 이용되고, 선택 스위칭 소자로서 이용되는 트랜지스터 이외의 트랜지스터는, 메모리셀로 서 이용된다.
또한, 본 발명의 반도체 메모리는, 실질적으로 동일 구조를 갖는 직렬 접속된 복수의 MFSFEET로 구성되는 셀 유닛과, 셀 유닛의 일단에 접속되는 데이터 전송선과, 셀 유닛의 타단에 접속되는 공통 전극 노드를 포함한다. 그리고, 복수의 MFSFET 중, 데이터 전송선에 가장 가까운 1개의 MFSFET와 공통 전극 노드에 가장 가까운 1개의 MFSFET는 선택 스위칭 소자로서 이용되며, 선택 스위칭 소자로서 이용되는 MFSFET 이외의 MFSFET는 메모리셀로서 이용된다.
(2) 본 발명의 목적은, 선택 게이트선과 컨트롤 게이트선을, 동일한 배선층에 배치하고, 또한, 모두, 도전성 폴리실리콘과 저저항 재료의 적층 구조로 함으로써, 고밀도한 셀 배치와 선택 게이트선 및 컨트롤 게이트선의 저저항화를 실현하는 점, 또한, 메모리셀측과 선택 스위칭 소자측에서 포토리소그래피나 가공을 별도로 행할 필요가 없고, 배면 부배선도 필요로 하지 않는 디바이스 구조 및 메모리셀 레이아웃을 제안하는 것이다.
상기 목적을 달성하기 위해, 본 발명의 반도체 메모리는, 제1 노드와 제2 노드 사이에 직렬 또는 병렬로 접속되는 여러개의 메모리셀과, 제1 노드와 제3 노드 사이에 접속되는 선택 스위칭 소자를 포함한다. 그리고, 여러개의 메모리셀과 선택 스위칭 소자는, 모두, 전하 축적층(charge storing layer)을 지니고, 여러개의 메모리셀의 전하 축적층의 재료 및 두께와 선택 스위칭 소자의 전하 축적층의 재료 및 두께는, 동일하게 설정된다.
또한, 본 발명의 반도체 메모리는 메모리셀과, 상기 메모리셀과 데이터 전송 선 또는 공통 전극 노드 사이에 접속되는 선택 스위칭 소자를 포함한다. 그리고, 메모리셀과 선택 스위칭 소자는 모두, 전하 축적층을 지니고, 메모리셀의 전하 축적층의 재료 및 두께와 선택 스위칭 소자의 전하 축적층의 재료 및 두께는, 동일하게 설정된다.
(3) 본 발명의 추가적인 목적 및 장점은 아래의 상세한 설명에 의해 명백해질 것이다.

발명의 구성 및 작용

본 발명의 반도체 메모리는 첨부되는 도면을 참조하여 상세하게 기술될 것이다.
1. 상세한 설명 1
도 11은 본 발명의 강유전체 메모리의 셀 어레이 구조의 평면도를 나타내고 있다. 도 12는 도 11의 XII-II선에 따른 단면도, 도 13은 도 11의 XIII-XIII선에 따른 단면도, 도 14는 도 11의 XIV-XIV선에 따른 단면도이다. 도 15는, 도 11 내지 도 14에 도시한 디바이스의 등가 회로를 나타내고 있다.
이 셀 어레이 구조의 특징은, 메모리셀 어레이가 직렬 접속된 복수의 메모리셀로 이루어지는 NAND 스트링(또는 셀 유닛)의 집합으로 구성되어 있는 점, 및, 데이터 전송선과 공통 전극 노드 사이에는 실질적으로 동일 구조를 갖는 복수의 MFSFET만이 직렬 접속되고, 그 양단의 2개의 MFSFET가 선택 스위칭 소자로서 기능하며, 남은 MFSFET가 NAND 스트링을 구성하는 메모리셀로서 기능하는 점에 있다. 이러한 셀 어레이 구조를 포함하는 강유전체 메모리를 NAND형 FRAM이라 칭하도록 한다.
이하, 본 발명의 강유전체 메모리의 셀 어레이 구조에 대해 구체적으로 설명한다. p형 실리콘 기판(21) 내에는, n형 웰 영역(22)과 p형 웰 영역(23)으로 구성되는 소위 트윈 웰이 형성된다. 메모리셀은, 트윈 웰의 p형 웰 영역(23) 내에 형성된다. 단, 실리콘 기판(21) 내에 트윈 웰을 설치하지 않고, 실리콘 기판(21) 내에 직접 메모리셀을 형성하여도 좋다. 또한, n형 또는 p형의 실리콘 기판 내에 형성한 통상의 p웰 영역 내에 메모리셀을 형성하여도 좋다.
실리콘 기판(21) 내에는, STI(Shallow Trench Isolation) 구조를 갖는 소자 분리층(24)이 형성된다. 소자 분리층(24)은, 예를 들면, 산화실리콘으로 구성된다. 소자 분리층(24)은, 열 방향으로 라인 형상으로 연장되어 있고, 전체로서 규칙적인 스트라이프 형상을 지니고 있다. 소자 분리층(24)의 폭 및 피치(또는 소자 영역의 폭)는, 예를 들면, 모두, F(F는, 최소 배선폭으로, 디자인 룰의 최소치를 나타낸다. 이하, 이 설명에 있어서 동일함)로 설정된다.

p형 웰 영역(실리콘 기판: 23) 상 및 소자 분리층(24) 상에는, 버퍼층(25)이 형성된다. 또한, 버퍼층(25) 상에는 강유전체막(26)이 형성된다. 버퍼층(25)은, 상술의 문헌 2에도 개시되어 있는 바와 같이 p형 웰 영역(실리콘 기판: 23)과 강유전체막(26) 사이의 원자의 상호 확산을 막기 위해 설치된다.
구체적으로는, PZT(티탄지르콘산납. $PbZr_{1-x}Ti_xO_3$) 등의 Pb를 포함하는 강유전체 재료를 실리콘 상(또는 산화 실리콘 상)에 직접 형성하는 경우, 강유전체 재료 의 형성 시(온도는, 예를 들면, 400℃ 정도)에, 강유전체 재료 내의 Pb 원자와 실리콘 내의 Si 원자가 현저하게 상호 확산하는 것이 알려져 있다. 즉, 강유전체막(26)을 p형 웰 영역(실리콘 기판: 23) 상에 직접 형성하면, p형 웰 영역(실리콘 기판 : 23)과 강유전체막(26)의 양호한 계면이 얻어지지 않는다고 하는 문제가 있다.
그래서, p형 웰 영역(실리콘 기판: 23)과 강유전체막(26) 사이에 버퍼층(25)을 배치하고, p형 웰 영역(23)과 강유전체막(26) 사이의 원자의 상호 확산을 방지하도록 하고 있다.
또, 버퍼층(25)에 대해서는, 이하의 점에 주의할 필요가 있다.
강유전체 재료(예를 들면, PZT)는, 일반적으로 높은 비유전률을 갖는다. 이 때문에, 버퍼층(25)을, 강유전체막(26)의 비유전률에 비해 극단적으로 낮은 비유전률을 갖는 재료로 구성하면, 게이트 전극과 채널 사이에 인가되는 전압 중의 대부분이 버퍼층(25)에 인가되고, 강유전체막(26)에는 약간의 전압밖에 인가되지 않게 된다. 즉, 강유전체막(26)에 분극 반전에 필요한 전압을 인가하려고 하면, 게이트 전극과 채널 사이에 매우 큰 전압을 인가하지 않으면 안되어, 결과로서, 분극 반전이 생기기 전에, 버퍼층(25)에 절연 파괴가 생기거나, 버퍼층(25) 내로 전하가 주입되기도 한다.
또한, 버퍼층(25) 내에 전하가 주입되면, 강유전체막(26)의 분극 방향(하향 또는 상향)을 반전시키는 방향으로 기능하는 전계가 강유전체막(26)에 인가되는 경우가 있고, 이 경우에는, 잔류 분극의 보유 시간(데이터 보유 시간)이 극단적으로 짧아진다.
이상의 점을 고려하면, 버퍼층(25)으로서는, 그 비유전률이 강유전체막(26)의 비유전률과 동일 정도이거나 또는 그보다도 높은 재료로 구성하는 것이 좋고, 또한, 버퍼층(25)의 두께로서는, 될 수 있는 한 얇게 하는 것이 좋다는 것을 알 수 있다. 이러한 조건을 만족시킬 수 있는 재료의 후보로서는, 예를 들면, $SrTiO_3$, CeO_2 , ZrO_2 등이 있다.
강유전체막(26) 상에는, 게이트 전극(27)이 형성된다. 게이트 전극(27)은, 행 방향으로 라인 형상으로 연장되어 있고, 전체로서 규칙적인 스트라이프 형상을 갖고 있다. 게이트 전극(27)의 폭 및 피치(단, 드레인 컨택트부 A 및 소스 컨택트부 B를 제외)는, 예를 들면, 모두, F로 설정된다.
게이트 전극(27) 사이의 스페이스 부분에 있어서, p형 웰 영역(실리콘 기판: 23)의 표면에는, 소스 · 드레인 영역(28)이 형성된다. 드레인 컨택트부 A에 있어서, p형 웰 영역(23)의 표면에는, 드레인 영역(28d)이 형성된다. 소스 컨택트부 B에 있어서, p형 웰 영역(23)의 표면에는, 소스 영역(28s)이 형성된다.
본 예에서는, 드레인 영역(28d)과 소스 영역(28s) 사이에, 셀 유닛, 즉, 18개의 MFSFET가 직렬 접속된다. 이들 18개의 MFSFET는 모두, 실질적으로 동일한 구조를 지니고, 또한, 실질적으로 동일 특성을 갖고 있다. 그러나, 본 예에서는,이들 18개의 MFSFET 중, 드레인 영역(28d) 가장 근처의 1개의 MFSFET와 소스 영역(28s) 가장 근처의 1개의 MFSFET를, 선택 스위칭 소자로서 기능시킨다. 또한, 남은 16개의 MFSFET를 메모리셀로서 기능시킨다. 따라서, 게이트 전극[27(SSL), 27(GSL)]은 선택 게이트선으로 되고, 게이트 전극[27(WL0), 27(WL1),…27(WL15)]은 데이터 선택선으로 된다.
동일 구조의 MFSFET를 선택 스위칭 소자로서 기능시키거나, 또는 메모리셀로서 기능시키는 수법에 대해서는, NAND형 FRAM의 기본 동작의 설명에 있어서 상술한다.
또, 드레인 영역(28d)과 소스 영역(28s) 사이에 접속되는 MFSFET의 수는, 3개 이상이면, 특히, 특정수에 한정되지는 않는다. 즉, 드레인 영역(28d)과 소스 영역(28s) 사이에는, 적어도 2개의 선택 스위칭 소자와 적어도 1개의 메모리셀이 존재하면 충분하다.
강유전체막(26) 상 및 게이트 전극(27) 상에는, 게이트 전극(27)을 완전히 덮는 층간 절연막(예를 들면, 산화 실리콘: 29)이 형성된다. 층간 절연막(29)의 표면은, 평탄하게 되어 있다. 층간 절연막(29), 강유전체막(26) 및 버퍼층(25)에는, 드레인 영역(28d)에 달하는 컨택트홀(30d)과 소스 영역(28s)에 달하는 컨택트홀(30s)이 형성된다. 컨택트홀(30d) 내에는 컨택트 플러그(31d)가 형성되고, 컨택트홀(30s) 내에는 컨택트 플러그(31s)가 형성된다. 컨택트 플러그(31d, 31s)는 예를 들면, 폴리실리콘이나 텅스텐 등으로 구성된다.
층간 절연막(29) 상에는, 층간 절연막(예를 들면, 산화 실리콘: 32)이 형성된다. 층간 절연막(29)에는 배선홈이 형성되고, 이 배선홈 내에는, 컨택트 플러그(31d)에 접속하는 배선(33d)과 컨택트 플러그(31s)에 접속하는 공통 전극 노드[33(SL)]가 형성된다. 배선(33d) 및 공통 전극 노드[33(SL)]는, 예를 들면, 텅스텐이나 알루미늄 등으로 구성된다.
층간 절연막(32) 상, 배선(33d) 상 및 공통 전극 노드[33(SL)] 상에는, 배선(33d) 및 공통 전극 노드[33(SL)]를 덮는 층간 절연막(예를 들면, 산화 실리콘: 34)이 형성된다. 층간 절연막(34)에는, 배선(33d)에 달하는 비아홀이 형성된다.
층간 절연막(34) 상에는, 층간 절연막(예를 들면, 산화 실리콘: 35)이 형성된다. 층간 절연막(35)에는, 배선홈이 형성된다. 게이트 전송선[36(BL)]은, 이 배선홈 내에 형성되고 또한, 비아홀을 통해 배선(33d)에 접속된다. 데이터 전송선[36 (BL)]은, 예를 들면, 알루미늄으로 구성된다.
데이터 전송선[36(BL)] 상에는, 패시베이션막(37)이 형성된다.
도 16은 본 발명의 강유전체 메모리의 셀 어레이 구조의 평면도를 나타내고 있다. 도 17은 도 16의 XVII-XVII선에 따른 단면도, 도 18은 도 16의 XVIII-XVIII 선에 따른 단면도, 도 19는 도 16 등의 XIX-XIX선에 따른 단면도이다.
본 예의 셀 어레이 구조의 특징은, 상술의 셀 어레이 구조와 마찬가지로, 메모리셀 어레이가 직렬 접속된 복수의 메모리셀로 이루어지는 NAND 스트링(또는 셀 유닛)의 집합으로 구성되어 있는 점, 및, 데이터 전송선과 공통 전극 노드 사이에는 실질적으로 동일 구조를 갖는 복수의 MFSFET만이 직렬 접속되고, 그 양단의 2개의 MFSFET가 선택 스위칭 소자로서 기능하며, 남은 MFSFET가 NAND 스트링을 구성하는 메모리셀로서 기능하는 점에 있다.

또한, 본예의 셀 어레이 구조는. 상술의 셀 어레이 구조와는 달리, 이하의 특징을 포함하고 있다.
즉, 본 예에서는, 강유전체막(26)이 메모리셀 및 선택 스위칭 소자의 채널 상에, 1개의 메모리셀 또는 1개의 선택 스위칭 소자마다 설치되어 있다. 구체적으로는, 상술의 예(도 11 내지 도 14)에서는, 강유전체막(26)을 실리콘 기판(21) 상의 전체에 형성하고, 데이터를, 강유전체막(26)의 일부(채널 상의 부분)의 분극 상태에 의해 기억하고 있었지만, 본 예에서는, 강유전체막(26)을 각 트랜지스터(메모리셀 및 선택 스위칭 소자)의 채널 상에 각각 독립적으로 형성하고, 데이터를, 트랜지스터마다 설치되는 강유전체막(26)의 분극 상태에 의해 기억하고 있다.
또, 각 강유전체막(26)은, 소자 분리층(24) 상에 걸쳐 배치되어 있어도 좋다. 즉, 채널 상의 강유전체막(26)의 엣지부가 소자 분리층(24)에 오버랩하고 있어도 상관 없다.
이하, 본 발명의 강유전체 메모리의 셀 어레이 구조에 대해 구체적으로 설명한다. p형 실리콘 기판(21) 내에는, n형 웰 영역(22)과 p형 웰 영역(23)으로 구성되는 소위 트윈 웰이 형성된다. 메모리셀은, 트윈 웰의 p형 웰 영역(23) 내에 형성된다. 단, 실리콘 기판(21) 내에 트윈 웰을 설치하지 않고, 실리콘 기판(21) 내에 직접 메모리셀을 형성하여도 좋다. 또한, n형 또는 p형의 실리콘 기판 내에 형성한 통상의 p 웰 영역 내에 메모리셀을 형성하여도 좋다.
실리콘 기판(21) 내에는, STI(Shallow Trench Isolation) 구조를 갖는 소자 분리층(24)이 형성된다. 소자 분리층(24)은, 예를 들면, 산화 실리콘으로 구성된다. 소자 분리층(24)은, 열 방향으로 라인 형상으로 연장되어 있고, 전체로서 규 칙적인 스트라이프 형상을 갖고 있다. 소자 분리층(24)의 폭 및 피치(또는 소자 영역의 폭)은, 예를 들면, 모두, F(F는, 최소 배선폭으로, 디자인 룰의 최소치를 나타낸다. 이하, 이 설명에 있어서 동일)로 설정된다.
p형 웰 영역(실리콘 기판: 23) 상 및 소자 분리층(24) 상에는 버퍼층(25)이 형성된다. 또한, 버퍼층(25) 상에는, 강유전체막(26)이 형성된다. 버퍼층(25)은 p형 웰 영역(실리콘 기판: 23)과 강유전체막(26) 사이의 원자의 상호 확산을 막기위해서 설치된다. 강유전체막(26)은, 트랜지스터(메모리셀 및 선택 스위칭 소자)의 채널 상에 배치되고, 또한, 트랜지스터마다 독립적으로 설치되어 있다.
MFSFET에 있어서는, 데이터의 값("0" 또는 "1")은, 채널 상의 강유전체막(26)의 분극 상태에 의해 판단되기 때문에, 적어도 채널 상에 강유전체막(26)이 존재하면, NAND형 FRAM으로서 기능시킬 수 있다. 따라서, 상술의 2개의 예(도 11 내지 도 14, 도 16 내지 도 19)에서는, 상호 디바이스 구조는 다르지만, MFSFET로서의 기능은, 완전히 동일하다. 또, 제조 프로세스의 스텝수에 대해서는, 제1 예(도 11 내지 도 14)의 셀 어레이 구조는 제2 예(도 16 내지 도 l9)의 셀 어레이 구조보다도 적어진다. 이에 대해서는 본 발명의 FRAM의 제조 방법의 설명에 있어서 상술한다.
강유전체막(26) 상에는, 게이트 전극(27)이 형성된다. 게이트 전극(27)은, 행 방향으로 라인 형상으로 연장되어 있고, 전체로서 규칙적인 스트라이프 형상을 갖고 있다. 게이트 전극(27)의 폭 및 피치(단, 드레인 컨택트부 A 및 소스 컨택트부 B를 제외한다)는, 예를 들면, 모두 F로 설정된다.
게이트 전극(27) 사이의 스페이스 부분에 있어서, p형 웰 영역(실리콘 기판: 23)의 표면에는, 소스 · 드레인 영역(28)이 형성된다. 드레인 컨택트부 A에 있어서, p형 웰 영역(23)의 표면에는, 드레인 영역(28d)이 형성된다. 소스 컨택트부 B에 있어서, p형 웰 영역(23)의 표면에는, 소스 영역(28s)이 형성된다.
본 예에서는, 드레인 영역(28d)과 소스 영역(28s) 사이에, 셀 유닛, 즉, 18개의 MFSFET가 직렬 접속된다. 이들 18개의 MFSFET는 모두, 실질적으로 동일 구조를 지니고, 또한, 실질적으로 동일 특성을 갖고 있다. 그러나, 본 예에서는, 이들 18개의 MFSFET 중, 드레인 영역(28d) 가장 근처의 1개의 MFSFET와 소스 영역(28s) 가장 근처의 1개의 MFSFET를, 선택 스위칭 소자로서 기능시킨다. 또한, 남은 16개의 MFSFET를 메모리셀로서 기능시킨다. 따라서, 게이트 전극[27(SSL), 27(GSL)]은 선택 게이트선으로 되고, 게이트 전극[27(WL0), 27(WL1),…27(WL15)]은, 데이터 선택선으로 된다.
동일 구조의 MFSFET를 선택 스위칭 소자로서 기능시키거나, 또는 메모리셀로서 기능시키는 수법에 대해서는, NAND형 FRAM의 기본 동작의 설명에 있어서 상술한다.
또, 드레인 영역(28d)과 소스 영역(28s) 사이에 접속되는 MFSFET의 수는, 3개 이상이면, 특별히, 특정수에 한정되지는 않는다. 즉, 드레인 영역(28d)과 소스 영역(28s) 사이에는, 적어도 2개의 선택 스위칭 소자와 적어도 1개의 메모리셀이 존재하면 충분하다.
강유전체막(26) 상 및 게이트 전극(27) 상에는, 게이트 전극(27)을 완전히 덮는 층간 절연막(예를 들면, 산화 실리콘: 29)이 형성된다. 층간 절연막(29)의 표면은 평탄하게 되어 있다. 층간 절연막(29), 강유전체막(26) 및 버퍼층(25)에는, 드레인 영역(28d)에 달하는 컨택트홀(30d)과 소스 영역(28s)에 달하는 컨택트홀(30s)이 형성된다. 컨택트홀(30d) 내에는, 컨택트 플러그(31d)가 형성되고, 컨택트홀(30s) 내에는, 컨택트 플러그(31)가 형성된다. 컨택트 플러그(31d, 31s)는 예를 들면, 폴리실리콘이나 텅스텐 등으로 구성된다.
층간 절연막(29) 상에는, 층간 절연막(예를 들면, 산화 실리콘: 32)이 형성된다. 층간 절연막(32)에는 배선홈이 형성되고, 이 배선홈 내에는, 컨택트 플러그(31d)에 접속하는 배선(33d)과 컨택트 플러그(31s)에 접속하는 공통 전극 노드[33(SL)]가 형성된다. 배선(33d) 및 공통 전극 노드[33(SL)]는, 예를 들면, 텅스텐이나 알루미늄 등으로 구성된다.
층간 절연막(32) 상, 배선(33d) 상 및 공통 전극 노드[33(SL)] 상에는, 배선(33d) 및 공통 전극 노드[33(SL)]을 덮는 층간 절연막(예를 들면, 산화 실리콘: 34)이 형성된다. 층간 절연막(34)에는, 배선(33d)에 도달하는 비아홀이 형성된다. 층간 절연막(34) 상에는, 층간 절연막(예를 들면, 산화 실리콘: 35)이 형성된다. 층간 절연막(35)에는 배선홈이 형성된다. 데이터 전송선[36(BL)]은, 이 배선홈 내에 형성되고, 또한, 비아홀을 통해 배선(33d)에 접속된다. 데이터 전송선[36(BL)]은 예를 들면, 알루미늄으로 구성된다.
데이터 전송[36(BL)]상에는, 패시베이션막(37)이 형성된다.
상술의 2개의 예(도 11 내지 도 14, 도 16 내지 도 19)의 셀 어레이 구조에 따르면, 실질적으로 동일 구조를 갖는 복수(3개 이상)의 MFSFET가 데이터 전송선과 공통 전극 노드 사이에 직렬 접속된다. 또한, 이 복수의 MFSFET 중, 가장 데이터 전송선 근처의 MFSFET와 가장 공통 전극 노드 근처의 MFSFET를 선택 스위칭 소자로서 기능시키고, 그

이외의 MFSFET를 메모리셀로서 기능시키고 있다.
즉, 본 발명의 반도체 메모리의 셀 어레이 구조는, NAND형 플래시 EEPROM(2개의 선택 스위칭 소자 사이에 1개의 메모리셀이 접속되는 경우를 포함)에 있어서, 메모리셀 및 선택 스위칭 소자를, 모두, MFSFET로 구성한 것(NAND형 FRAM)으로 할 수 있다.
이 경우, 이하의 효과가 얻어진다.
① 셀 사이즈의 축소
MFSFET를 갖는 종래의 FRAM(도 9)에서는, 실리콘 스트라이프끼리의 간격(소자 분리 폭)을, F(F는, 최소 배선폭으로, 디자인 룰의 최소치를 나타낸다)로 하면 , 메모리셀의 X방향의 사이즈(또는 데이터 전송선의 피치)는 4F로 되고, 메모리셀의 Y방향의 사이즈(또는 데이터 선택선의 피치)는 2F로 된다. 따라서, 1개의 메모리셀의 사이즈는 $8F^2$ (=4F×2F)로 된다.
이에 대해, NAND형 FRAM의 셀 사이즈는, NAND형 플래시 EPROM의 셀 사이즈와 동일 정도라고 생각할 수 있다. 왜냐하면, 본 발명의 FRAM의 셀 어레이부의 레이아웃은 NAND형 플래시 EEPROM의 셀 어레이부의 레이아웃과 실질적으로 동일하게 되기 때문이다. 도 20은 NAND형 플래시 EEPROM의 셀 어레이부의 레이아웃을 나타내 고 있지만, 이 레이아웃은 도 11 및 도 16에 도시한 NAND형 FRAM의 셀 어레이부의 레이아웃과 실질적으로 동일하다.
구체적으로는, 메모리셀의 X방향의 사이즈(또는 데이터 전송선의 피치)는, 2F로 되고, 메모리셀의 Y방향의 사이즈(또는 데이터 선택선의 피치)도, 2F로 되기 때문에, 1개의 메모리셀의 사이즈는, $4F^2$ (=2F×2F)로 된다. 또한, 본 발명의 FRAM 에서는 NAND 스트링의 양단의 각각에, 선택 스위칭 소자 및 컨택트부(드레인 컨택트부, 소스 컨택트부)가 설치된다. 따라서, 본 발명의 FRAM의 실제의 셀사이즈는, $4F^2 + \alpha$ (α는, 선택 스위칭 소자 및 컨택트부에 의한 l 셀당 면적의 증가분)로 된다.
만일, NAND 스트링이 16개의 메모리셀로 구성되고, 메모리 용량이 256메가비트인 경우를 생각하면, α는, 약 $0.5F^2$ 로 된다. 따라서, 이 경우, 본 발명의 FRAM 에서의 1개의 셀 사이즈는, $4.5F^2$ 로 된다. 이 셀 사이즈는, MFSFET를 갖는 종래의 FRAM의 셀 사이즈($8F^2$)보다도 충분히 작다.
이와 같이, 본 발명의 NAND형 FRAM은, 메모리셀의 사이즈를 축소하기 위해 적합하기 때문에, 메모리 용량의 증대나 칩사이즈의 축소에 기여할 수 있다.
② 재기입 전압의 저전압화
NAND형 플래시 EEPROM에서는, 재기입 전압(프로그램/소거 전압)의 저전압화가 곤란한 것이 알려져 있다. 그 이유를 간단히 설명하면, NAND형 플래시 EEPROM의 메모리셀은, 가로 방향의 사이즈(디자인룰)에 대해서는, 비례 축소측(스케일링 측)에 기초하여 축소할 수 있지만, 세로 방향의 사이즈(게이트 절연막의 두께)에 대해서는, 프로세스 기술의 문제에 의해 비례 축소측에 기초하여 축소할 수 없기 때문이다.
즉, 메모리 용량이, 16→32→64→256 메가비트로 증대함에 따라서, 메모리셀의 가로 방향의 사이즈는 축소되지만, 그 세로 방향의 사이즈는 일정(예를 들면, 게이트 산화막의 두께는, 항상 약 1Onm로 설정)하며, 결과로서, 플로팅 전극에 대해 전하의 출입을 행하기 위해 필요한 전압(기입/소거 전압)을, 메모리 용량의 증대 또는 메모리셀의 가로 방향의 사이즈의 축소에 따라서 낮게 할 수 없다.
한편, NAND형 플래시 EEPROM에서는, 기입/소거 전압은 컨트롤 게이트 전극과 플로팅 전극 사이의 용량 C1과, 플로팅 전극과 실리콘 기판 사이의 용량 C2와의 비(커플링비)에도 영향을 받는다. 즉, 용량 C1을 크게 하면(용량 C2는 일정하게 한다), 컨트롤 게이트 전극과 실리콘 기판 사이에 인가되는 전압(기입/소거 전압) 중, 플로팅 전극과 실리콘 기판 사이에 인가되는 전압의 비율이 커지고, 결과로서, 기입/소거 전압을 낮게 하는 것도 가능하다.
그러나, 용량 C1을 크게 하기 위해서는(재료는 바꾸지 않도록 한다), 컨트롤 게이트 전극과 플로팅 전극 사이의 절연막을 두께를 얇게 할 필요가 있다. 즉, 기입/소거 전압을 저전압화하기 위해서는, 플로팅 전극과 실리콘 기판 사이의 절연막(게이트 절연막)의 두께를 얇게 하여, 플로팅 전극에 대한 전하의 출입을 행하기 용이하게 하거나, 또는, 컨트롤 게이트 전극과 플로팅 전극 사이의 절연막의 두께를 얇게 하여, 용량 C1을 크게 할 필요가 있다.
어쨌든, 기입/소거 전압을 저전압화하기 위해서는, 막질(膜質)의 양호한 얇은 절연막(예를 들면, 약 5nm)을 형성하기 위한 프로세스 기술이 필요하고, 이 기술이 개발되지 않는 한, 기입/소거 전압의 저전압화는 곤란해진다(현재의 기입/소거 전압은 20V 정도이며, 매우 크다).
이에 대해, 본 발명의 NAND형 FRAM에서는, 메모리셀로서 MFSFET를 사용하고 있다. 즉, MFSFET는 데이터를 강유전체막의 분극 상태로서 기억하기 때문에, 재기입 전압은 강유전체막을 분극 반전시키기 위해 필요한 전압(임계 전압)이면 좋다. 이 임계 전압은 터널 효과나 열 전자에 의해 플로팅 전극에 대해 전하의 출입을 행하기 위한 전압보다도 충분히 작다. 구체적으로는, 기입/소거 전압은 수V 정도(예를 들면, 5V 정도)로 충분하다.
따라서, 본 발명의 NAND형 FRAM에 따르면, 기입/소거 전압의 저전압화를 달성할 수가 있다.
③ 칩사이즈의 축소(데이터 선택선 구동 회로의 레이아웃의 용이화)
NAND형 플래시 EEPROM에서는, 상기 ②에서 설명한 바와 같이, 기입/소거 전압의 저전압화가 곤란하며, 결과로서, 20V 정도의 높은 기입/소거 전압이 필요해진다. 따라서, NAND형 플래시 EEPROM에서는, 높은 기입/소거 전압을 발생시키기 위한 전압 발생 회로(부스터)를 설치하고, 또한, 이 기입/소거 전압을 데이터 선택선에 제공하는 데이터 선택선 구동 회로를 고내압 트랜지스터(하이 브레이크다운 전압 트랜지스터)로 구성해야만 한다.
통상, 고내압 트랜지스터의 사이즈는, 통상 트랜지스터(고전압이 인가되지 않는 트랜지스터)의 사이즈보다도 크다. 예를 들면, 0.25㎛룰로 설계되는 256 메가비트의 NAND형 플래시 EEPROM의 경우, 고내압 트랜지스터의 사이즈(디자인룰)는 통상 트랜지스터의 사이즈(디자인 룰)보다도 수배 커진다. 이와 같이, 고내압 트랜지스터의 사이즈를 크게 함으로써, 고전압에 의해 생기는 전계를 약하게 할 수 있어, 트랜지스터의 파괴를 방지할 수가 있다.

그러나, 고내압 트랜지스터의 사이즈를 크게 하면, 행 디코더 또는 데이터 선택선 구동 회로의 면적이 거대화한다. 또한, 행 디코더나 데이터 선택선 구동 회로는, 예를 들면, 메모리셀 어레이의 블록에 대응하여 설치되기 때문에, 이들 거대화는 메모리칩 상에 있어서 행 디코더나 데이터 선택선 구동 회로가 차지하는 면적의 증대를 의미하며, 결과로서, 칩 사이즈가 증대한다. 또한, 칩 사이즈는, 무제한으로 크게 할 수 없기 때문에, 행 디코더 또는 데이터 선택선 구동 회로의 면적의 거대화는, 메모리 용량의 증대에 있어서 불리하다.

구체예에 대해 생각한다. 예를 들면, 0.25㎛룰로 설계되는 256메가비트의 메모리 용량을 갖는 NAND형 플래시 EEPROM에 있어서, 1개의 NAND 스트링이 16개의 메모리셀과 2개의 선택 스위칭 소자로 구성되는 경우, 도 21에 도시한 바와 같이, NAND 스트링의 피치는 약 8.5㎛로 된다. 한편, 이러한 NAND형 플래시 EEPROM에 잇어서, 고내압 트랜지스터의 사이즈, 예를 들면, 게이트 폭 방향의 길이는 8 9㎛로 된다. 따라서, NAND 스트링의 피치 내에는, 1개의 고내압 트랜지스터밖에 배치할 수가 없어, 행 디코더나 데이터 선택선 구동 회로의 레이아웃이 매우 어렵게 된다.

또한, 차세대의 1기가비트 NAND형 플래시 EEPROM에서는, 예를 들면, 메모리 셀에 대해 0.15㎛의 디자인 룰이 적용된다. 이 경우, 1개의 NAND 스트링이, 16개의 메모리셀과 2개의 선택 스위칭 소자로 구성된다고 하면, NAND 스트링의 피치는 약 5㎛로 된다. 그런데, 고내압 트랜지스터의 사이즈에 대해서는, 신뢰성을 확보하기 위해서, 메모리셀이 축소되더라도, 축소할 수가 없고, 예를 들면, 게이트 폭 방향의 길이는, 8 9㎛ 상태 그대로이다. 따라서, NAND 스트링의 피치 내에, 고내압 트랜지스터를 배치할 수 없게 되어, 행 디코더나 데이터 선택선 구동 회로의 레이아웃이 불가능하게 된다.

행 디코더나 데이터 선택선 구동 회로의 레이아웃을 가능하게 하기 위해서는, 1개의 NAND 스트링을 구성하는 메모리셀의 수를 늘리면 좋다. 즉, NAND 스트링 내의 메모리셀의 수를 늘리면, NAND 스트링의 피치가 커지기 때문에, 고내압 트랜지스터를 NAND 스트링의 피치 내에 받아들이는 것이 가능하다. 예를 들면, 1개의 NAND 스트링 내의 메모리셀의 수를 16개로부터 32개로 늘리면, NAND 스트링의 피치는 약 2배로 된다.

NAND형 플래시 EEPROM은, 소거 블록 단위이며, 복수의 메모리셀을 동시에 소거하는 점에 특징을 갖는 것으로, 소거 블록 사이즈(동시 소거를 행하는 메모리셀의 수)는 NAND 스트링을 구성하는 메모리셀의 수에 비례한다. 따라서, NAND 스트링을 구성하는 메모리셀의 수를 늘리는 것은, 소거 블록 사이즈를 늘리는 것을 의미한다. NAND형 플래시 EEPROM의 개발의 역사를 보면, 현실적으로, 메모리 용량이 증가할 때마다, NAND 스트링 내의 메모리셀의 수를 늘려, 소거 블록 사이즈를 크게 하고 있다.

즉, 16메가비트 NAND형 플래시 EEPROM의 소거 블록 사이즈는, 4킬로바이트이고, 32메가비트 NAND형 플래시 EEPROM의 소거 블록 사이즈는, 8킬로바이트이고, 256메가비트 NAND형 플래시 EEPROM의 소거 블록 사이즈는 16킬로바이트이다.

그러나, 최근에는, 소거 블록 사이즈의 증대를 원하지 않는 사용자가 많아지고 있다. 예를 들면, 디지털 카메라의 메모리에 NAND형 플래시 EEPROM을 사용하고 있다. 사용자에 있어서는, 구제품과 신제품 사이의 호환성을 유지하기 위해, 소거 블록 사이즈의 급격한 변경(증대)은 행해지지 않기를 바라는 요망이 있다.

이러한 상황으로부터, 차세대의 1기가비트 NAND형 플래시 EEPROM에서는, 소거 블록 사이즈를, 256메가비트 NAND형 플래시 EEPROM와 마찬가지로, 16킬로바이트로 하는 필요성이 나오고 있다.

소거 블록 사이즈를 증대시키지 않고서, 행 디코더 및 데이터 선택선 구동 회로의 레이아웃을 가능하게 하는 기술로서, NAND 스트링 내의 메모리셀을 동작적으로 2개로 분할함으로써, 소거 블록 사이즈를 작게 하는 것이 있다. 1기가비트 NAND형 플래시 EEPROM을 생각하면, 예를 들면, 도 22에 도시한 바와 같이, NAND 스트링을 구성하는 메모리셀의 수는 32개가 된다. 이 때, 종래 방식에서는, 소거 블록 사이즈가 32킬로바이트로 되지만, 본 방식에서는, 소거 블록 사이즈는, 16킬로바이트인 상태 그대로이다(256메가비트 NAND형 EEPROM과 동일).

그러나, 이 경우, 예를 들면, 한쪽의 소거 블록(선택 블록) 내의 메모리셀에 대해 몇번이나, 반복하고, 데이터의 재기입(셀 데이터의 변경)을 행하였다고 하면, 이 재기입 동작(프로그램/소거 동작) 중에, 다른쪽의 소거 블록(비선택 블록) 내의 메모리셀에는, 소정의 전압 스트레스 V_{pass} 가 인가되게 된다. 따라서, 재기입(기입/소거) 횟수가 증대하면, 비선택 블록 내의 메모리셀의 임계치가 서서히 변화하여, 최악의 경우에는, 비선택 블록 내의 메모리셀의 데이터가 반전하게 되는 경우도 생각된다.

따라서, 도 22의 NAND 스트링 내의 메모리셀을 동작적으로 2개로 분할하는 기술은, 현실적이라고는 할 수 없다.

이와 같이, 1기가비트 NAND형 플래시 EEPROM 에 대해서는, 소거 블록 사이즈의 증가 없이(16킬로 바이트를 유지한 상태 그대로), 행 디코더 및 데이터 선택선 구동 회로의 레이아웃을 결정한다고 하는 과제가 미해결인 상태 그대로이며, 이 과제를 해결하지 않는 한, 1기가비트 NAND형 플래시 EEPROM을 현실의 것으로 하는 것은 나오지 않는다.

이에 대해, 본 발명의 NAND형 FRAM에 따르면, 상기 ②에서 설명한 바와 같이, 기입/소거 전압의 저전압화(5V 정도)가 가능하다. 따라서, NAND형 FRAM에서는, 높은 기입/소거 전압을 발생시키기 위한 전압 발생 회로(승압 회로)가 불필요하며, 또한, 기입/소거 전압을 데이터 선택선에 제공하는 데이터 선택선 구동 회로도 통상의 트랜지스터로 구성할 수가 있다.

이 때문에, 행 디코더나 데이터 선택선 구동 회로가 거대화하지 않고, 칩사이즈의 축소에 기여할 수 있다. 또한, 고내압 트랜지스터가 필요 없기 때문에, 예를 들면, 1기가비트 NAND형 플래시 EEPROM에서, 소거 블록 사이즈의 증가 없이(16 킬로바이트를 유지하는 상태 그대로), 또한, 비선택 블록 내의 메모리셀에 대한 스트레스 V_{pass} 없이, 행 디코더 및 데이터 선택선 구동 회로의 레이아웃을 용이하게 결정할 수가 있다.

또한, 본 발명의 NAND형 FRAM에 따르면, 기입/소거 전압의 저전압화가 가능하기 때문에, 예를 들면, 메모리셀끼리의 전기적 분리를 확보하기 위해 소자 분리 영역의 폭을 좁게 할 수가 있다. 즉, 상호 전기적으로 확보하지 않으면 안되는 2개의 메모리셀 사이의 절연을 확보할 수 없게 되는 전압(브레이크다운 전압)은, 소자 분리 영역의 폭에 비례한

다. 여기서, 기입/소거 전압이 낮게 된다고 하는 것은 브레이크다운 전압이 낮아도 좋은 것을 의미하기 때문에, 결과로서, 소자 분리 영역의 폭을 좁힐 수 있다. 이점도, 칩사이즈의 축소에 있어서 유효하다.

④ 셀 어레이 구조 및 제조 프로세스의 간략화

NAND형 플래시 EEPROM에서는, 직렬 접속되는 복수의 메모리셀의 양단(전송 게이트선측, 공통 전압 노드선측)에, 각각 1개씩, 선택 스위칭 소자를 접속할 필요가 있다. 이들 선택 스위칭 소자는, 예를 들면, 예를 들면, 기입(프로그램) 동작에 있어서, 선택 블록 내의 비기입 셀("1"-프로그래밍 셀)을 포함하는 NAND 스트링 내의 메모리셀의 채널을 프로그램 금지 포텐셜로 상승시키기 위해 설치된다.

구체적으로는, 선택 블록 내에서는 프로그램 동작 시, 우선 공통 전극 노드측의 선택 스위칭 소자의 모두를 오프로 하고, 데이터 전송선측의 선택 스위칭 소자의 게이트 및 모든 데이터 선택선에 전원 전위 V_{CC} 를 인가한다. 그리고, 기입 셀("0"-프로그래밍 셀)을 포함하는 NAND 스트링 내의 메모리셀의 채널에 접지 전위 V_{SS} 를 공급하고, 비기입 셀("1"-프로그래밍 셀)을 포함하는 NAND 스트링 내의 메모리셀의 채널에 대해서는, 데이터 전송선으로부터 초기 전위(예를 들면, 전원 전위 V_{CC})를 공급한다.

이 때, 비기입 셀("1"프로그래밍 셀)을 포함하는 NAND 스트링 내의 메모리셀의 채널은 $V_{CC}-V_{th}$ (V_{th} 는, 선택 스위칭 소자의 임계치)에 프리차지되고, 또한, 그 NAND 스트링 내의 데이터 전송선은 차단 상태로 된다.

이 후, 선택 블록 내의 있어서, 예를 들면, 선택된 데이터 선택선을 기입 전위 V_{prog} 로 높이고, 비선택의 데이터 선택선을 전송 전위 V_{pass} 로 높이면, 비기입 셀("1"-프로그래밍 셀)을 포함하는 NAND 스트링 내의 메모리셀의 채널은, 데이터 선택선과 채널 사이의 용량 커플링에 의해 프로그램 금지 포텐셜까지 상승한다.

이와 같이, NAND 스트링 내의 2개의 선택 스위칭 소자는 프로그램 포텐셜, 특히, 메모리셀의 채널을 플로팅로 하고, 용량 커플링에 의해 프로그램 금지 포텐셜을 생성하기 위해 중요한 역할을 완수한다.

여기서, 프로그램 동작 시, 기입 셀("0"-프로그래밍 셀)을 포함하는 NAND 스트링 내의 메모리셀의 채널에 접지 전압 V_{SS} 를 공급하기 위해, 선택 스위칭 소자의 게이트에는, 전원 전위 V_{CC} 가 인가된다. 이 때문에, 선택 스위칭 소자에 대해서는, $(V_{CC}-V_{SS})/2$보다도 낮은 플러스의 전압(예를 들면, 0.7V 정도)을 임계치로 할 필요가 있다. 따라서, 선택 스위칭 소자에 대해서는, 메모리셀과 별개의 프로세스에 의해 형성한다거나, 게이트 전극을 형성하기 전에 채널부에 임계치 제어를 위한 이온 주입을 행하는 등의 프로세스의 추가가 필요하였다.

그러나, 메모리셀과 선택 스위칭 소자를 각각 별도로 형성하면, 제조 프로세스가, 길고, 또한, 복잡하게 됨과 함께, 열공정이 증가하기 때문에, 신뢰성도 저하한다고 하는 문제가 있다.

그래서, 현재의 NAND형 플래시 EEPROM 에서는, 메모리셀과 선택 스위칭 소자를, 모두, 2층의 폴리실리콘층을 적층시킨 구조, 소위 스택 게이트 구조로 하고, 메모리셀과 선택 스위칭 소자를 동일한 제조 프로세스로 형성하고 있다.

그러나, NAND형 플래시 EEPROM에서는, 메모리셀과 선택 스위칭 소자는, 상호 동일 구조를 갖지 않고, 또한, 기능, 성능도 상호 다르다. 예를 들면, NAND형 플래시 EEPROM의 메모리셀은 주지하는 바와 같이, 플로팅 전극과 컨트롤 게이트 전극(데이터 선택선)을 갖는데 반하여, 선택 스위칭 소자는 플로팅 전극을 갖고 있지 않다. 선택 스위칭 소자에서는, 예를 들면, 2층의 폴리실리콘층을 게이트 전극(선택 게이트선)으로서 이용하고, 일정 간격으로, 상하의 폴리실리콘층을 접속하는 분로 영역이 설치된다.

분로 영역의 의의는 선택 게이트선의 저저항화에 있다. 일반적으로, 1층째(하층)의 폴리실리콘층의 비저항은, 2층째(상층)의 폴리실리콘층(또는 폴리실리콘층과 실리사이트층의 적층이어도 좋다)의 비저항보다도 크다. 그래서, 분로 영역을 일정 간격(예를 들면, 32열마다)으로 설치하여 선택 스위칭 소자선의 저저항화를 도모하고 있다.

그러나, 분로 영역에서는, 상하의 폴리실리콘층을 각각 노출시키고, 또한, 알루미늄 등의 저저항 재료에 의해 상하의 폴리실리콘층을 전기적으로 접속하기 때문에, 레이아웃 면적이 커지는 결점이 있다. 예를 들면, 0.25㎛로 설계된 256메가비트 NAND형 플래시 EEPROM에서는, 데이터 전송선 컨택트부를 끼우는 2개의 선택 게이트선의 간격은, 분로 영역의 사이즈에 제한되고, 축소하는 것이 불가능하다.

이에 대해, 본 발명의 NAND형 FRAM에서는, 메모리셀과 선택 스위칭 소자는, 실질적으로 동일 구조를 지니고, 또한, 실질적으로 동일한 기능 및 특성을 갖고 있다. 즉, 메모리셀과 선택 스위칭 소자는 모두, MFSFET로 구성된다. 단, 실제의 동작(후술)에 있어서는, 강유전체막의 분극 상태를 제어함으로써, 메모리셀은 메모리셀로서 기능시키고, 선택 스위칭 소자는 선택 스위칭 소자로서 기능시킨다.

따라서, 본 발명의 NAND형 FRAM에 있어서는, 메모리셀과 선택 스위칭 소자는, 완전하게, 동일한 제조 프로세스에 의해 동시에 형성할 수가 있어, 제조 프로세스가 간략화된다. 또, NAND형 플래시 EEPROM에서는, 선택 스위칭 소자를 스택 게이트 구조로 함으로써, 메모리셀과 선택 스위칭 소자의 프로세스의 일부를 공통화하는 것은 가능하지만, 예를 들면, 플로팅 전극을 형성하기 위한 슬릿 형성 프로세스나, 분로 영역을 형성하기 위한 프로세스 등이 필요하기 때문에, NAND형 FRAM과 같이, 완전히 공통화하는 것은 불가능하다.

또한, 본 발명의 NAND형 FRAM에서는. 선택 스위칭 소자가 MFSFET로 구성되기 때문에(스택 게이트 구조를 갖고 있지 않기 때문에), 분로 영역을 설치할 필요 없 다. 따라서, 데이터 전송선 컨택트부를 끼우는 2개의 선택 게이트선의 간격은, 비례 축소측(스케일링측)에 기초하여, 데이터 선택선끼리의 간격 정도로 축소할 수가 있다.

이와 같이, 본 발명의 NAND형 FRAM에서는, 셀 어레이 구조가 간략화됨으로써 메모리셀의 미세화, 고집적화나, 제조 프로세스의 간략화 등에 기여할 수 있다.

⑤ 프로그램 검증이 불요

본 발명의 NAND형 FRAM의 중요한 특징의 하나로, 프로그램 검증이 불필요하다고 하는 점이 있다.

메모리셀을 NAND형으로 접속한 메모리셀 어레이(NAND형 플래시 EEPROM)에서는, 기입(프로그램)은 페이지 단위(1행마다)로 행해진다. 그러나, 기입 특성은, 메모리셀마다 다르기 때문에, 1회의 프로그램 동작에서 충분히 임계치가 상승하고, "0"-프로그래밍이 완료하는 메모리 셀이면, 수회의 프로그램 동작을 행하여도 임계치가 충분히 상승하지

않고, "0"-프로그래밍이 완료하지 않은 메모리셀도 있다.
따라서, 모든 메모리셀에 대해 동일 조건으로, 기입(프로그램) 동작을 행하면, 모든 메모리셀의 기록이 완료한 시점에서, 어떤 메모리셀에 대해서는 임계치가, 판독 시에 비선택의 데이터 선택선에 제공하는 패스 전위를 초과하는 경우가 있다(오버 프로그램). 이렇게 되면, 판독 시에, 온 상태가 아니면 안되는 비선택 셀이 오프 상태로 되어, 선택 셀의 데이터를 정확하게 판독할 수 없게 된다(NOR형의 셀에서 과소거가 문제가 되는 것처럼, NAND형 셀에서는, 오버 프로그램이 문제가 된다.).
그래서, NAND형 플래시 EEPROM에서는, 기입(프로그램) 동작을 행한 후에, 기입("0"- 프로그래밍)이 완료하였는지의 여부를 검증하는 프로그램 검증 동작이 필요 불가결하게 된다. 또한, 프로그램 검증에 의해 NG(기입 미완료)로 된 셀에 대해서만 재기입을 행하고, 오버 프로그램의 메모리셀이 발생하지 않도록 하고 있다(소위 비트마다 검증).
이하, 참고를 위해, NAND형 플래시 EEPROM의 기본 동작에 대해 설명한다.
NAND형 플래시 EEPROM의 공지예로서는, 예를 들면, 문헌4(K.-D. Suh et al. , "A 3.3V 32Mb NAND Flash Memory with Incremental Step Pilse Programing Schnme" IEEE J. Solid-State Circuits, vol.30. pp.1149-11565, Nov. 1995), 문헌 5(Y. Iwata et al., "A 35 ns Cycle Time 3.3V Only 32 Mb NAND Flash EEPROM" IEEE J. Solid-State Circuit, vol30, pp. 1157-1164, Nov. 1995) 등이 알려져 있다.
또한, 문헌 4에는, NAND형 플래시 EEPROM의 기본 동작이 상세히 설명되어 있으므로, 이하에서는, 문헌 4에 개시되는 기본 동작에 대해, 간단히 설명한다.
또, 메모리셀 어레이부는, 도 23, 도 24 및 도 25에 도시한 바와 같은 회로에 의해 구성되어 있도록 한다. 이 경우, 소거(Erase), 판독(Read), 기입(program)의 각 동작 시에서의 메모리셀 및 선택 스위칭 소자에 대한 바이어스 상태는, 표 1에 나타낸 바와 같이 된다.

[표 1]

	소거	판독	기입
Sel.W/L	0	0	15.5~20V
PassW/L	0	4.5V	10V
SSL	F	4.5V	Vcc
GSL	F	4.5V	0
"0" B/L	F	1.8V	0
"1" B/L	F	0.7V	Vcc
Bulk	21V	0	0

F:부유

단, BSEL은, 블록 선택 신호, WL0, …WL15는, 데이터 선택선, BL0, …BL4223은 데이터 전송선, SSL은, 데이터 전송선측의 선택 게이트선, CSL은 공통 전극 노드측의 선택 게이트선, Sel. W/L은 선택된 블록 내의 선택된 데이터 선택선, Pass W/L은 선택된 블록 내의 비선택의 데이터 선택선, "0" B/L은, "0"-프로그래밍을 행하는 메모리셀이 접속되는 데이터 전송선, "1" B/L은 "1"-프로그래밍을 행하는 메모리셀이 접속되는 데이터 전송선, "1" B/L은 "1"-프로그래밍을 행하는 메모리셀이 접속되는 데이터 전송선, 벌크는 기판(채널)이다.
· 소거 동작
소거 동작 시에서는, 우선, 모든 데이터 선택선 WLO, … WL15가 접지 전위 V_{ss}로 설정된다(Sel. W/L, Pass W/L= 0V). 이 후, 선택된 블록 내의 블록 선택 신호 BSEL은, "H(예를 들면, 전원 전위 V_{cc})"로 되고, 비선택 블록 내의 블록 선택 신호 BSEL은"L(접지 전위 V_{SS})"을 유지한다.
따라서, 선택된 블록 내의 데이터 선택선 WLO, …WL15는 접지 전위 V_{SS}를 유지하고, 비선택 블록 내의 데이터 선택선 WL0,…WL15는 접지 전위 V_{SS}에서 플로팅 상태로 된다.
이 후, 소거 펄스(예를 들면, 21V, 3㎳)가 벌크(예를 들면, 셀 p웰)에 공급된다. 그 결과, 선택된 블록에서는, 벌크와 데이터 전송선 WL0,…WL15 사이에 소거 전압(21V)로 인가되고, 플로팅 전극 내의 전하(전자)가, F-N(Fowler-Nordheim) 터널 전류에 의해 벌크로 이동한다.
NAND형 플래시 EEPROM에서는 NOR형 플래시 EEPROM과는 달리, 과소거가 문제로 되지 않기 때문에, 선택된 블록 내의 메모리셀은, 1회의 소거 펄스에 의해, -3V 정도까지 충분히 소거된다.
한편, 비선택 블록 내에서는, 소거 펄스가 벌크에 공급됨과 동시에, 데이터 선택선 WLO, …WL15와 벌크 사이의 용량 커플링에 의해, 플로팅 상태의 데이터 선택선 WL0, …WL15의 전위도 상승한다. 이 때문에, 데이터 선택선 WL0, …WL15와 벌크 사이에는, FN 터널 현상을 생기게 하기 위해서 충분한 소거 전압이 인가되지 않고, 비선택 블록 내의 메모리셀의 데이터는 소거되지 않는다.
여기서, 데이터 선택선 WLO, …WL15와 벌크 사이의 커플링비에 대해 검토한다.
커플링비는 플로팅 상태의 데이터 선택선 WL0, … WL15에 생기는 용량으로부터 계산된다. 여기서, 플로팅 상태의 데이터 선택선 WL0, …WL15는, 블록 선택 신호 BSEL에 의해 제어되는 MOS 트랜지스터의 소스에 접속되고, 또한, 그 소스와 데이터 선택선 WL0, … WL15는 금속 배선에 의해 상호 접속되어 있다고 가정한다.
이 경우, 커플링비는 블록 선택 신호 BSEL에 의해 제어되는 M0S 트랜지스터의 소스의 접합 용량, 그 M0S 트랜지스터의 소스와 게이트의 오버랩 용량, 그 M0S 트랜지스터의 소스와 데이터 선택선 WL0, …WL15를 접속하는 금속 배

선에 생기는 용량(특히, 필드 영역의 용량), 데이터 선택선(폴리실리콘층) WL0, …WL15와 벌크(셀-p웰) 사이에 생기는 용량 등에 의해 결정된다.
이들 용량 중에서도, 특히, 데이터 선택선 WL0,… WL15와 벌크 사이에 생기는 용량은 커플링비에 큰 영향을 준다. 실험 결과로부터 구한 커플링비는, 약 0.9이고, 따라서, 벌크에 소거 펄스를 제공하였을 때에, 데이터 선택선 WL0, … WL15의 전위는 충분히 상승하기 때문에, FN 터널 전류의 발생이 방지된다.
소거 검증 동작에서는, 예를 들면, 선택된 블록 내의 모든 메모리셀의 임계치가 -1V 이하로 되었는지의 여부가 검증된다. 그리고, 모든 메모리셀의 임계치가 -1V 이하가 될 때까지, 반복하고, 소거 동작이 실행된다. 소정 횟수, 소거 동작을 반복하여도, 선택된 블록 내의 모든 메모리셀의 임계치가 -1V 이하로 되지 않는 경우, 소거 NG로 하여, 소거 동작이 종료한다.
NAND형 플래시 EEPROM에서는, 상술된 바와 같이 과소거가 문제가 되지 않기 때문에, 소거 동작에 있어서는, 메모리 셀의 임계치를 소정치(상한)이하로 하면 되고, 그 임계치의 하한은, 존재하지 않는다. 따라서, 소거 검증을 비트마다 행할(비트마다 검증을 행함) 필요는 없다.
· 판독 동작
판독 동작은, 1페이지(1행)분의 메모리셀의 데이터를 동시에 페이지 버퍼의 래치 회로로 전송한 후, 페이지 버퍼로부터, 예를 들면 1비트씩, 연속적으로 데이터를 출력함으로써 행한다.
도 26은, 판독 동작시의 주요한 신호의 동작 파형을 나타내고 있다.
우선, 페이지 버퍼 P/B가 "0"으로 초기화된다. 즉, PGM 및 DIS가 전원 전위 V_{cc} 이기 때문에, 모든 페이지 버퍼 P/B 내의 래치 회로 LH의 노드 A가 MOS 트랜지스터 T1, T2를 경유하여 접지점 GND로 단락되고, 그 결과 노드A의 값이 "0"이 된다(래치 "0"="0", 래치 "1"="0"). 또한, 모든 데이터 전송선 BL0, …BL4243은, 접지 전위 V_{ss} 로 설정되고, 모든 데이터 선택선 WL0, …WL15는, 접지 전위 V_{ss} 로 설정되고, 셀렉터 게이트선 SSL, GSL은 약 4.5V로 설정된다(시각 t1).
이 후, 선택된 블록 내의 비선택의 데이터 선택선 Pass W/L은 약 4.5V로 설정되고, 선택된 블록 내의 선택된 데이터 선택선 Sel. W/L은, 접지 전위 V_{ss} 를 유지한다(시각 t2).
비선택의 데이터 선택선 Pass W/L에 제공되는 약 4.5V라고 하는 전위는, 소거 셀("1"-프로그래밍 셀)의 임계치보다도 높고, 또한 "0"-프로그래밍 셀의 임계치보다도 높아지는 것을 조건으로 결정되는 것이다. 즉, 판독 동작시, 비선택의 데이터 선택선 패스 W/L에 접속되는 비선택 메모리셀은, 데이터의 값("1" 또는 "0")에 상관없이, 온 상태가 되고, 이른바 패스 트랜지스터로서 기능한다.
한편, 선택된 데이터 선택선 Sel. W/L은, 접지 전위(0V)V_{ss} 로 설정되어 있다. 또한, 데이터 "1"을 기억하는 메모리셀(소거 셀)의 임계치는, 마이너스로 설정되고, 데이터 "0"을 기억하는 메모리셀(기입 셀)의 임계치는, 플러스로 설정되어 있다. 따라서, 선택된 데이터 선택선 Sel. W/L로 설정되는 메모리셀에 대해서는, 데이터가 "1"(소거 셀)일 때, 온 상태가 되고, 데이터가 "0"(기입 셀)일 때 오프 상태가 된다.
따라서, 소거 셀("1"-프로그래밍 셀)의 데이터가 판독된 데이터 전송선 BLi은 NAND 스트링을 경유하여 공통 전압 노드(접지 전위 V_{ss})에 전기적으로 접속되고, 기입 셀("0"-프로그래밍 셀)의 데이터가 판독된 데이터 전송선 BLi는, 공통 전압 노드로부터 절단되고, 오픈 상태(일단이 전기적으로 어디에도 접속되지 않은 상태라고 함.)가 된다.
이 후, PGM 및 DIS가, 전원 전위 V_{cc} 로부터 접지 전위 V_{ss} 로 변화하고, Vref가, 0V로부터 약 1.5V로 변환한다(시각 t3). 이 때, MOS 트랜지스터 T1, T2가 오프 상태가 되고, 페이지 버퍼 P/B 내의 래치 회로 LH의 노드 A는, 접지점 GND로부터 분리된다. 또한 Vref에 의해 전류 미러 회로가 활성화되고, MOS 트랜지스터 TCL에 약 2μA의 부하 전류가 흐른다.
한편, MOS 트랜지스터 T3은, 디프레션형이고, PGM이 0V에서도 온 상태로 되어 있다.
따라서, 소거 셀("1"-프로그래밍 셀)의 데이터가 판독되는 데이터 전송선 BL_1 에 접속되는 페이지 버퍼에서는, 이 부하 전류가 접지점 GND로 흘러, 그 데이터 전송선 BLi의 전위는, 낮은 값(약 0.4V)이 된다. 이 때문에, 센스용의 MOS 트랜지스터 TS는, 오프 상태가 된다. 기입 셀("0"-프로그래밍 셀)의 데이터가 판독되는 데이터 전송선 BLi에 접속되는 페이지 버퍼에서는, 그 데이터 전송선 BLi가 오픈 상태이기 때문에, 데이터 전송선 BLi의 전위는, 높은 값(약 2V)이 된다. 이 때문에, 센스용의 MOS 트랜지스터 TS는 온 상태가 된다.
이 후, 판독이 0V로부터 전원 전위 V_{cc} 로 변화하면, MOS 트랜지스터 T4가 온 상태가 되기 때문에, 데이터 전송선 BLi의 전위에 따라, 래치 회로 LH의 데이터가 결정된다(시각 t4).
즉, 소거 셀("1"-프로그래밍 셀)의 데이터가 판독되는 데이터 전송선 BLi의 전위는, 낮은 값(약 0.4V)이기 때문에, 그 데이터 전송선 BLi이 접속되는 페이지 버퍼에서는, MOS 트랜지스터 TS는, 오프 상태이다. 따라서, 판독이 전원 전위 V_{cc} 가 되고, MOS 트랜지스터 T4가 온 상태가 되어도, 래치 회로 LH의 데이터(노드 A의 값)는, "0"상태이다.
또한, 기입 셀("0"-프로그래밍 셀)의 데이터가 판독되는 데이터 전송선 BLi의 전위는, 높은 값(약 2V)이기 때문에, 그 데이터 전송선 BLi에 접속되는 페이지 버퍼에서는, MOS 트랜지스터 TS는, 온 상태이다. 따라서, 판독이 전원 전위 V_{cc} 가 되고, MOS 트랜지스터 T4가 온 상태가 되면, 래치 회로 LH의 데이터(노드 A의 값)는, "1"로 반전한다.
이렇게 함으로써, 1페이지(1행)분의 메모리셀의 데이터는, 동시에 페이지 버퍼의 래치 회로로 전송되고, 또한 래치된다. 이 후, 페이지 버퍼 P/B마다, Y1이 제어되고, 예를 들면 선택된 페이지 버퍼 내의 래치 회로 LH의 데이터를 데이터선 DL로 전송한다.
· 프로그램 동작
프로그램 동작에서는, 우선 프로그래밍 데이터의 로드가 행해진다. 프로그래밍 데이터의 로드는, 프로그래밍 데이터를, 메모리 칩의 내부에 직렬 또는 연속적으로 입력하고, 이 프로그래밍 데이터를, 모두 또는 복수의 페이지 버퍼 내의 래치 회로에 래치함으로써 완료한다.

선택된 셀에 대해 "0"-프로그래밍을 행하는 경우에는, 래치 회로 LH에는, 데이터 "0"이 래치된다(노드 A="0"). 선택된 셀에 대해 "1"프로그래밍(소거 상태의 유지)을 행하는 경우에는, 래치 회로 LH에는, 데이터 "1"이 래치된다(노드 A="1").

이 후, 1페이지분의 데이터가, 동시에 1페이지분의 선택된 셀에 기입된다. 기입은, "0"-프로그래밍을 행하는 선택된 셀에 대해 "0"-프로그래밍이 완료할 때까지, 반복하여 행한다. 단, 기입이 소정 횟수에 달해도, "0"-프로그래밍이 완료되지 않은 선택된 셀이 존재하는 경우에는, 기입 NG로 하여, 프로그램 동작을 종료한다.

1회의 기입 사이클은, 기입(프로그램) 동작과 프로그램 검증 동작으로 구성된다. 프로그램 동작에서는, 기입 펄스가 선택된 데이터 선택선으로 제공되고, 프로그램 검증 동작에서는 "0"-프로그래밍을 행하는 선택된 셀의 임계치가 소정의 범 위 내에 들어가는지의 여부를 검증한다. 특히, 프로그램 검증 동작에서는, 오버프로그램을 방지하기 위해, 비트마다 검증이 실행된다.

구체적으로는, 프로그램 동작은, 이하와 같은 스텝으로 구성된다. 또한, 1회의 기입 사이클은, 약 40μs로 종료하는 것으로 한다.

a. 데이터 전송선의 셋업(약 8μs)

이 스텝에서는, 페이지 버퍼 내의 래치 회로의 데이터에 따라 데이터 전송선의 전위를 셋업한다. 예를 들면, 선택된 셀에 대해 "0"-프로그래밍을 행하는 경우에는, 래치 회로의 데이터는, "0"이 되기 때문에, 데이터 전송선 BLi의 레벨은, V_{ss} (기입 실행 레벨)이 된다. 또한, 선택된 셀에 대해 "1"-프로그래밍(소거 상태의 유지)을 행하는 경우에는, 래치 회로의 데이터는, "1"이 되기 때문에, 데이터 전송선 BLi의 레벨은, V_{cc} (기입 금지 레벨)가 된다.

b. 데이터 기입(약 20μs)

GSL을 접지 전위 V_{ss} , SSL을 전원 전위 V_{cc} 로 하고, 데이터 전송선의 전위를, 선택된 블록 내의 NAND 스트링을 구성하는 메모리셀의 채널로 전송한다. 이 때, "0"-프로그래밍을 실행하는 선택된 셀(프로그램 실행 셀)의 채널은, 접지 전위(데이터 전송선과 동일한 전위) V_{ss} 가 되고, "1"-프로그래밍을 실행하는 선택된 셀(프로그램 금지 셀)의 채널은, $V_{cc}-V_{th}$ 로 충전된 후, 플로팅 상태가 된다. 이 후, 선택된 블록 내에 있어서, 선택된 하나의 데이터 선택선 Sel, W/L에 펄스형의 기입 전 위(15.5 20V)를 제공하고, 나머지 모든 비선택의 데이터 선택선 패스 W/L로 전송 전위(약 10V)를 제공한다. 그 결과, 프로그램 실행 셀에서는, FN터널 전류에 의해 플로팅 전극에 전하(전자)가 주입되고, "0"-프로그래밍이 실행된다. 한편 프로그램 금지 셀에서는, 용량 커플링에 의해 채널의 전위가 상승하기 때문에, "0"-프로그래밍이 금지된다(다시 말하면, "1"-프로그래밍이 실행되고, 또한 소거 상태가 유지됨).

c. 데이터 선택선의 방전(약 4μs)

선택된 블록 내의 모든 데이터 선택선의 전하를 방전하고(Sel. W/L. Pass W/L=V_{ss}), 이 후에 행해지는 프로그램 검증의 준비를 행한다.

d. 프로그램 검증(약 8μs)

프로그램 검증에서는, 선택된 데이터 선택선으로 연결되는 선택된 셀 중, 기입 셀("0"-프로그래밍 셀)의 임계치가 목표치(하한) 이상이 되었는지의 여부를 검증한다. 프로그램 검증은, 선택된 데이터 선택선으로 연결되는 1페이지분의 선택된 셀의 데이터를 판독함에 따라 실행된다(프로그램 검증 판독).

또한, 통상의 판독 동작에서는, 상술된 바와 같이, 예를 들면 선택된 데이터 선택선에 0V를 제공하고, 비선택의 데이터 선택선에 약 4.5V를 제공하지만, 프로그램 검증 판독에서는, 예를 들면 선택된 데이터 선택선에 약 0.7V를 제공하고, 비선택의 데이터 선택선에 약 4.5V를 제공한다. 즉, 프로그램 검증에서는, 메모리셀의 임계치가 0.7V를 초과했을 때에, "0"-프로그래밍이 완료됐다고 판단된다.

프로그램 검증에서는, "0"-프로그래밍이 완료된 메모리셀(임계치가 0.7V를 초과한 것)이 연결되는 페이지 버퍼 내의 래치 회로의 데이터는, "0"으로부터 "1"로 변화한다. 따라서, "0"-프로그래밍이 완료된 메모리 셀에 대해서는, 이후 프로그램 동작이 행해지는 일은 없다. 이에 따라, 오버 프로그램을 방지한다.

프로그램 검증에서는, 페이지 버퍼 내의 래치 회로의 데이터는, "0"으로부터 "1"로만 변화하고, "1"로부터 "0"으로는 변화하지 않도록 제어된다. 따라서, "1"-프로그래밍 셀(프로그램 금지 셀)이 연결되는 페이지 버퍼 내의 래치 회로의 데이터는, "1(기입 금지)"을 유지하고, "0"-프로그래밍 셀(프로그램 실행 셀)이 연결되는 페이지 버퍼 내의 래치 회로의 데이터는, 그 "0"-프로그래밍 셀의 임계치에 따라, "0(기입 실행)"으로부터 "1(기입 금지)"로 변화한다.

그리고, 모든 페이지 버퍼 내의 래치 회로의 데이터가 "1"이 될 때까지, 반복하고, 프로그램 동작과 프로그램 검증 동작이 실행된다. 단, 프로그램 동작(프로그램 검증 동작을 포함함)에 필요한 시간이 최대 시간(예를 들면, 10사이클)에 달했을 때에는, 기입 NG로 하여, 프로그램 동작을 종료시킨다.

도 27 및 도 28은, 프로그램 동작시의 선택된 데이터 선택선으로 연결되는 선택된 셀(프로그램 실행 셀과 프로그램 금지 셀)의 바이어스 조건을 나타내고 있다. GSL을 접지 전위 V_{ss} , SSL을 전원 전위 V_{cc} 로 하고, 데이터 전송선의 전위를, 선택된 블록 내의 NAND 스트링을 구성하는 메모리셀의 채널로 전송한다. 이 때, "0"-프로그래밍을 실행하는 선택된 셀(프로그램 실행 셀)의 채널은, 접지 전위(데 이터 전송선과 동일한 전위) V_{ss} 가 되고, "1"-프로그래밍을 실행하는 선택된 셀(프로그램 금지 셀)의 채널은, $V_{ss}-V_{th}$ 로 충전된 후, 플로팅 상태가 된다.

이 후, 선택된 블록 내에 있어서, 선택된 하나의 데이터 선택선에 펄스형의 기입 전위(예를 들면 18V) V_{pgm} 을 제공하고, 나머지 모든 비선택의 데이터 선택선에 전송 전위(약 10V) V_{pass} 를 제공한다. 그 결과, 프로그램 실행 셀에서는, 플로팅 전극과 채널사이에 큰 전위차가 생기고, FN 터널 전위에 의해, 채널로부터 플로팅 전극으로 전하(전자)가 주입되고, "0"-프로그래밍이 실행된다.

한편, 프로그램 금지 셀에서는, 기입 전위 V_{pgm} 또는 전송 전뒤 V_{pass} 가 데이터 선택선으로 공급되면, 데이터 선택선(컨트롤 게이트 전극)과 채널사이의 용량 커플링에 의해 채널의 전위가 상승한다. 이 때문에, 프로그램 금지 셀에서는, 플로팅 전극과 채널 사이에 큰 전위차가 생기는 일이 없어, "0"-프로그래밍이 금지된다(다시 말하면, "1"-프로그

래밍이 실행되고, 또는 소비 상태가 유지됨).
또한, 프로그램 동작 시에, 프로그램 금지 셀의 채널 전위(프로그램 금지 포텐셜)를 충분히 상승시키면, 프로그램 금지 셀에 대한 프로그램 에러("0"-프로그래밍)를 방지할 수 있다. 또한, 프로그램 금지 포텐셜은, 채널의 초기 충전을 충분하게 행하는 것, 및 데이터 선택선과 채널사이의 커플링비를 크게 함으로써, 충분히 크게 할 수 있다.
그런데, 데이터 선택선과 채널사이의 커플링비 B는, 이하의 식으로 나타낼 수 있다.
B=Cox/(Cox+Cj)
단, Cox는, 데이터 선택선과 채널사이의 게이트 용량의 총합이고, Cj는, 메모리셀의 소스 및 드레인의 접합 용량의 총합이다.
또한, NAND 스트링의 채널 용량은, Cox와 Cj의 합계가 된다. 이 외에도, 선택 게이트선과 소스(또는 드레인)사이의 오버랩 용량이나, 데이터 전송선이나 공통 전압 노드에 생기는 용량등이 존재하지만, 이들 용량은 Cox나 Cj에 비하면, 상당히 작기 때문에, 무시해도 지장은 없다.
이에 따라, 본 발명의 NAND형 FRAM의 메모리셀은, MFSFET로 구성된다. MFSFET은, 데이터를 강유전체막의 분극 상태로 하여 기억하는 것이다. 또한, 강유전체막은, 임계 전극이상의 전압(또는 전계)이 인가됨에 따라 분극 반전함과 함께, 전압(또는 전계)이 영이 되면, 항상 일정한 분극량(잔류 분극량), 즉 임계치를 갖게 된다. 즉, 메모리셀이 MFSFET로 구성되는 경우, 모든 메모리셀의 기입 특성은, 거의 동일하다고 가정할 수 있고, 예를 들면 1회의 기입에 대해, 메모리셀사이에 임계치의 변동이 생기는 일은 없다.(플래시 메모리의 메모리셀과 같이 임계치가 서서히 변화하지 않기 때문에, 임계 분포의 범위가 넓어지지 않음.).
따라서, 본 발명의 NAND형 FRAM에서는, NAND형 플래시 EEPROM과 같이, 셀의 기입 특성을 고려한 복수회의 기입을 행할 필요가 없으므로, 임계 전압 이상의 전압을 이용한 1회의 기입만을 행하면 충분하다. 또한, 본 발명의 NAND형 FRAM에서는, 강유전체막으로 인가되는 전압을, 임계 전압이상의 전압으로 한 후, 영으로 하 면, 강유전체막에는 항상 일정한 분극량(잔류 분극량)이 생긴다. 이 때문에, 1회의 프로그램 동작에 따라, 메모리셀의 임계치가 일정치로 설정되기 때문에, 프로그램 검증이 불필요해진다(오버 프로그램도 물론 생기지 않음).
이와 같이, 본 발명의 NAND형 FRAM에 따르면, 프로그램 동작을 1회로 끝낼 수 있음과 함께, 프로그램 검증도 불필요해진다. 이에 따라, 프로그램 동작의 시퀀스가 간략화되고, 프로그램시의 제어가 용이해지고, 또한 검증 회로도 불필요해진다. 또한 데이터의 프로그램 시간이 대폭으로 단축되기 때문에, 고속 프로그래밍이 가능해진다.
⑥ 페이지 단위 및 바이트(비트) 단위의 재기입(프로그램/소거 동작)이 가능
NAND형 플래시 EEPROM등의 플래시 메모리에서는, 데이터가 플로팅 전극 내의 전하량(전자량)으로서 기억되고, 또한 블록 단위의 데이터 소거를 전제로 하기 때문에, 페이지 단위의 재기입(셀 데이터의 변경)을 행할 수 없다. 즉, 페이지 단위의 데이터 재기입은, 블록 내의 일부의 데이터만을 바꾸고, 다른 부분의 데이터를 변화시키지 않음으로써 달성할 수 있지만, 플래시 메모리에서는, 메모리셀에 직접 데이터를 덮어쓸 수 없고, 또한 소거시에는 블록 내의 모든 데이터가 동시에 소거되기 때문에, 일부의 데이터만을 바꾸는 것은 불가능하다.
이에 대해, 본 발명의 NAND형 FRAM에서는, 데이터가 강유전체막의 분극 상태로서 기억된다. 또한, 강유전체막의 분극 상태(메모리셀의 데이터)는, 강유전체막에, 임계 전압 이상의 전압을 인가하거나, 또는 임계 전압 미만의 전압을 인가함으로써, 유지하거나, 또는 변화시키거나 할 수 있다.
따라서, 본 발명의 NAND형 FRAM에 따르면, 예를 들면 페이지 단위의 재기입은, 선택된 데이터 선택선으로 연결되는 1페이지분의 메모리셀의 데이터의 소거를 행한 후, 이들 1페이지분의 메모리셀에 새로운 데이터를 기입함에 따라 달성할 수 있다.
⑦ 그 밖의 효과
본 발명의 NAND형 FRAM은, 메모리셀이 MFSFET로 구성된다. 따라서, MFSFET의 특징을, 그 상태에서 본 발명의 NAND형 FRAM의 특징으로 할 수 있다.
첫째, 본 발명의 NAND형 FRAM은, 비파괴 판독이 가능하고, 즉 판독시에 메모리셀의 데이터가 파괴되지 않는다는 특징을 갖는다. DRAM의 셀 캐패시터를 강유전체막으로 구성된 FRAM에서는, 판독시에 데이터가 파괴되기 때문에, 판독 동작에 있어서 데이터의 재기입이라는 스텝이 필요해진다. 한편, 본 발명의 NAND형 FRAM에서는, 강유전체막의 분극 상태에 따라 메모리셀(MFSFET)의 임계치가 변화하기 때문에, 메모리셀의 데이터는, 게이트에 판독 전위를 제공했을 때의 드레인 전류의 값으로 하여 검출할 수 있다. 따라서, 본 발명의 NAND형 FRAM에서는, 판독 시에 데이터가 파괴되지 않는다.
두 번째로, 본 발명의 NAND형 FRAM은, 고속 프로그래밍이 가능, 즉 프로그램 시간이 짧다는 특징을 갖는다. NAND형 플래시 EEPROM에서는, 플로팅 전극에 소정량의 전하(전자)를 주입함에 따라 기입을 행한다. 이 때문에, 플로팅 전극 내의 전하량(임계치)을 검증하기 위한 검증이 필요하고, 프로그램 시간이 DRAM이나 SRAM등의 메모리보다도 길다는(10μs 정도) 결점이 있다. 이에 대해, 본 발명의 NAND형 FRAM에서는, 1회의 기입에 의해 소정의 분극량(임계치)을 얻을 수 있기 때문에, 프로그램 시간은, 10ns 정도가 되고, DRAM이나 SRAM등의 메모리와 동일한 정도가 된다.
세번째로, 본 발명의 NAND형 FRAM은, 대부분의 재기입(프로그램/소거 사이클) 횟수를 보증할 수 있다는 특징을 갖는다. NAND형 플래시 EEPROM에서는, 플로팅 전극과 채널사이에 터널 산화막을 설치하고, 이 터널 산화막에 FN 터널 전류를 흘림으로써, 데이터의 소거 및 기입을 실행하고 있다. 따라서, 재기입 동작을 반복하여 행하면, 점차로 터널 산화막이 열화되고, 정확한 재기입을 행할 수 없게 된다. 이 때문에, 신뢰성의 면으로부터 NAND형 플래시 EEPROM의 재기입 횟수(프로그램/소거 사이클)는 제한되고, 구체적으로는, 10^{6} 회 정도가 한도였다. 이에 비해, 본 발명의 NAND형 FRAM에서는, 데이터의 소거 및 기입은, 강유전체막의 분극 상태를 변화시킴에 따라 행한다. 따라서, 강유전체막 자체의 열화는, 거의 없고, NAND형 FRAM의 재기입 횟수는, 실질적으로 무제한, 구체적으로는, 10^{16} 회

정도까지 가능해진다.
이상, 설명된 바와 같이 본 발명의 NAND형 FRAM에 따르면, 메모리셀을 MFSFET로 구성하고, 또한 데이터 전송선과 공통 전압 노드사이에 메모리셀을 NAND형으로 접속(직렬 접속)함에 따라, 또한 선택 스위칭 소자를, 실질적으로 메모리셀과 동일한 구조를 포함하는 MFSFET로 구성함에 따라, 상술된 바와 같은 ① ⑦의 현저한 효과를 얻을 수 있다.
이어서, 도 29에 도시된 바와 같이, 이온 주입법에 따라, p형 실리콘 기판(21) 내에 n형 불순물을 주입하고, n형 웰 영역(22)을 형성함과 함께, n형 웰 영역(22) 내에 p형 불순물을 주입하고, p형 웰 영역(23)을 형성한다. 또한, 실리콘 기판(21) 상에, 예를 들면 열 방향으로 연장된 라인형의 소자 분리층을 형성한다. 소자 분리층은, LOCOS법에 따라 형성되는 필드 산화막이라도, 또는 STI(Shallow Trench Isolation) 구조를 갖는 것이라도 좋다.
이 후, 에피텍셜 성장법에 따라, 실리콘 기판(21) 상에 버퍼층(25)을 형성한다. 버퍼층(25)을 구성하는 재료로서는, 예를 들면 $SrTiO_3$, CeO_2, ZrO_2 등을 사용한다. 이어서, 에피텍셜 성장법에 따라, 버퍼층(25) 상에, 예를 들면 PZT($PbZr_{1-x}Ti_xO_3$) 등의 강유전체로 구성되는 강유전체막(26)을 형성한다.
또한, LPCVD법에 따라, 강유전체막(26) 상에, 예를 들면 불순물을 포함하는 폴리실리콘막(27)을 형성한다.
이어서, 도 29 및 도 30에 도시된 바와 같이, PET(Photo Engraving Process)에 의해, 폴리실리콘막(27) 상에 레지스트 패턴을 형성한다. 이 레지스트 패턴을 마스크로 하여, 예를 들면 RIE(Reactive Ion Etching)에 의해, 폴리실리콘막(27)을 에칭하고, 행 방향으로 연장되는 복수의 데이터 선택선(메모리셀의 게이트 전극)[27(WL0), 27(WL1), …27(WL15)] 및 행 방향으로 연장되는 복수의 선택 게이트선(선택 스위칭 소자의 게이트 전극)[27(GSL), 27(SSL)]을 형성한다.
이 때, 동시에, 셀 어레이부의 주변에 배치되는 주변 회로(Peripheral Circuit)를 구성하는 트랜지스터의 게이트 전극도 형성된다.
본 예에서는, 트랜지스터(메모리셀 및 선택 스위칭 소자)의 게이트 가공시에, 폴리실리콘막(27)만을 에칭하고 있다. 따라서, 셀 어레이부에 있어서는, 거의 전체적으로, 강유전체막(26)이 배치된다(주변 회로가 형성되는 부분에는, 당연히 강유전체막(26)은 존재하지 않음.).
그러나, 예를 들면, 폴리실리콘막(27)을 에칭한 후, 계속해서 강유전체막(26)도 에칭하고, 데이터 선택선[27(WL0), 27(WL1), …27(WL15)]이나 선택 게이트선[27(GSL), 27(SSL)]의 직하에만 강유전체막(26)이 배치되도록 해도 좋다.
또한, 예를 들면 트랜지스터의 채널 상에만, 강유전체막(26)을 배치할 수도 있다. 이 경우, 폴리실리콘막(27)을 형성하기 전에, 소자 분리층 상의 강유전체막(26)에 열 방향으로 연장하는 슬릿을 미리 설치해 둔다. 이렇게 하면, 트랜지스터의 게이트 가공시에, 트랜지스터의 채널 상에만 강유전체막(26)이 잔존한다.
이 후, 이온 주입법에 따라, 자기 정렬로, 실리콘 기판(21) 내(실제로는, p형 웰 영역(23) 내)에 n형 불순물이 주입되고, 소스 · 드레인 영역(28, 28_s, 28_d)이 형성된다. 이 이온 주입에서는, 불순물(이온)이 강유전체막(26) 및 버퍼층(25)을 경유하여 실리콘 기판(21) 내로 주입되기 때문에, 높은 가속 에너지를 이용한 이온 주입, 이른바 고가속 이온 주입(high acceleration ion implantation)이 채용된다.
이어서, 도 31에 도시된 바와 같이, LPCVD법에 따라, 강유전체막(26) 상 및 게이트 전극(27) 상에, 게이트 전극(27)을 완전히 피복하는 층간 절연막(예를 들면, 산화 실리콘 : 19)이 형성된다. 이 후, 층간 절연막(29), 강유전체막(26) 및 버퍼층(25)에, 드레인 영역(28_d)에 달하는 컨택트 홀(30d)과 소스 영역(28_s)에 달하는 컨택트 홀(30s)이 형성된다. 또한, 컨택트 홀(30d) 내에는, 컨택트 플러그(31_s)가 형성된다. 컨택트 플러그(31_d, 31_s)는, 예를 들면 폴리실리콘이나 텅스텐 등으로 구성된다.
또한, LPCVD법에 따라, 층간 절연막(29) 상에는, 층간 절연막(예를 들면, 산화 실리콘 : 32)이 형성된다. 층간 절연막(32)에는, 배선홈이 형성되고, 이 배선홈 내에는, 컨택트 플러그(31_d)에 접속하는 배선(33d)과 컨택트 플러그(31_s)에 접속하는 공통 전압 노드[33(SL)]가 형성된다. 배선(33d) 및 공통 전압 노드[33(SL)]는, 예를 들면 텅스텐이나 알류미늄 등으로 구성된다.
또한, 층간 절연막(32) 상, 배선(33d) 상 및 공통 전압 노드[33(SL)] 상에는, 배선(33d) 및 공통 전압 노드[33(SL)]을 피복하는 층간 절연막(예를 들면, 산화 실리콘 :34)이 형성된다. 층간 절연막(34)에는, 배선(33d)에 달하는 비아 홀이 형성된다. 또한, 주지 방법에 따라, 층간 절연막(34) 상에, 데이터 전송선[36(BL)]이 형성된다. 데이터 전송선[36(BL)]은, 비아 홀을 통해 배선(33d)에 접속된다. 데이터 전송선[36(BL)]은, 예를 들면 알루미늄으로 구성된다.
마지막으로, LPCVD법에 따라, 데이터 전송선[36(BL)] 상에, 패시베이션막(37)이 형성된다.
이상, 본 발명의 NAND형 FRAM의 제조 방법의 일례에 대해 설명했지만, 본 발명의 NAND형 FRAM은, 상술된 방법 외의 방법, 예를 들면 NAND형 플래시 EEPROM의 제조 방법을 그대로 이용하는 것도 가능하다.
계속해서, 본 발명의 NAND형 FRAM의 기본 동작에 대해 설명한다.
본 발명의 NAND형 FRAM의 기본 동작은, NAND형 플래시EEPROM의 기본 동작에 근사하다. 그러나, 메모리셀 및 선택 스위칭 소자가 모두 MFSFET로 구성되어 있다고 하는 이유로부터, 종래의 FRAM이나 NAND형 플래시 EEPROM에는 없는 특유의 동작도 필요하다.
이하, 소거(erase) 동작, 기입(program) 동작, 판독(read) 동작에 대해 순서대로 설명한다.
또, 셀 어레이부는, 도 32에 도시된 회로로 구성되고, 메모리셀 및 선택 스위칭 소자는, n 채널 MFSFET로 구성되는 것으로 한다. 또한, 편의상, 채널에 저전위, 게이트 전극에 고전위가 인가될 때에 강유전체막에 생기는 전계를 하향의 전계로 하고, 채널에 고전위, 게이트 전극에 저전위가 인가될 때에 강유전체막에 생기는 전계를 상향의 전계로 한다. 또한, 채널측이 플러스, 게이트 전극측이 마이너스의 분극을 하향의 분극으로 하고, 채널측이 마이너스, 게이트 전극측이 플러스의 분극을 상향의 분극으로 한다. 또한, 하향의 분극(잔류 분극점)을 "1" 상태("1"-프로그래밍 상태)로 하

고, 상향의 분극(잔류 분극점)을 "0" 상태("0"-프로그래밍 상태 또는 소거 상태)로 한다.
· 소거 동작(블록 소거)
데이터 소거를 실행하는 선택된 블록을 블록 0이라고 하고, 데이터 소거를 실행하지 않은 비선택 블록을 블록 1이라고 한다.

[표 2]

• 블록 또는 칩 소거(메모리 셀, 선택 트랜지스터)

	선택 블록	비선택 블록
WL0, ··· WL15 SSL,GSL	Vss	Vss→Vera X α (플로우팅)
BL0,BL1, ···	Vera-Vf	Vera-Vf
SL	Vera-Vf	Vera-Vf
실리콘 기판 (p웰)	Vera	Vera

주:칩 소거의 경우에는 모두 선택 블록이 된다

우선, 표 2 및 도 33 및 도 34에 나타낸 바와 같이, 모든 데이터 선택선 WL0, WL1. …WL15 및 모든 선택 게이트선 GSL, SSL을 접지 전위 V_{ss}로 한다. 그리고, 선택된 블록 0 내의 데이터 선택선 WL0, WL1, …WL15 및 선택 게이트선 GSL, SSL에 대해서는, 접지 전위 V_{ss}를 계속 제공하고, 비선택 블록 1 내의 데이터 선택선 WL0, WL1, …WL15 및 선택 게이트선 GSL, SSL에 대해서는, 플로팅 상태로 한다.
이 후, 소거 전위(예를 들면, 약 5V)V_{era}가 실리콘 기판(예를 들면, 셀 p웰)로 공급된다.
이 때, 선택된 블록 0 내의 공통 전압 노드측의 선택 스위칭 소자의 소스 영 역(n형)과 실리콘 기판(p형)이 순바이어스 상태가 되고, 공통 전압 노드 SL의 전위는, $V_{era}-V_f$ (V_f는, pn 접합의 필드 인포텐셜이고, 약 0.7V임)로 상승한다. 또한, 선택된 블록 0 내의 데이터 전송선측의 선택 스위칭 소자의 드레인 영역(n형)과 실리콘 기판(p형)이 순바이어스 상태가 되고, 데이터 전송선 BL0, BL1, BL2, …의 전위도, $V_{era}-V_f$로 상승한다. 즉, 공통 전압 노드 SL 및 데이터 전송선 BL0, BL1, BL2. …의 전위는, 모두 $V_{era}-V_f$ (=약 4.3V)가 된다.
그 결과, 선택된 블록 0에서는, 실리콘 기판과 데이터 선택선 WL0, WL1, …WL15사이, 및 실리콘 기판과 선택 게이트선 GSL, SSL사이에, 각각 소거 전압($V_{era}-V_{ss}$)이 인가된다. 이 소거 전압은, MFSFET의 강유전체막을 분극 반전시키기 위해 필요한 최저한의 전압(임계 전압)보다도 높은 값으로 설정된다. 그러나, 이 소거 전압(예를 들면, 약 5V)은, 예를 들면 NAND형 플래시 EEPROM의 메모리셀에 대해 FN 터널 현상을 이용한 기입 또는 소거를 실행하기 위해 필요한 전압(약 15V 약 21V)에 비하면, 충분히 작다.
선택된 블록 0에서는, 실리콘 기판과 데이터 선택선 WL0, WL1, …WL15 사이, 및 실리콘 기판과 선택 게이트선 GSL, SSL사이에, 강유전체막을 분극 반전시키기 위해 충분한 상향의 전계가 생기기 때문에, 선택된 블록 0 내의 모든 메모리셀 및 모든 선택 스위칭 소자의 강유전체막에는, 상향의 분극이 발생하고, 그 분극치는, 포화 분극치 P_{max}가 된다(도 35).
한편, 비선택 블록 1에서는, 소거 전위(예를 들면, 약 5V)V_{era}가 실리콘 기판(예를 들면, 셀 p웰)으로 공급되면, 실리콘 기판과 데이터 선택선 WL0, WLl. · · · WL15사이의 용량 커플링에 의해, 및 실리콘 기판과 선택 게이트선 GSL, SSL사이의 용량 커플링에 의해, 데이터 선택선 WL0, WL1, · · · WL15의 전위 및 선택 게이트선 GSL, SSL의 전위는, $\alpha \times V_{era}$로 상승한다.
여기서, α는, 실리콘 기판과 데이터 선택선 WL0, WL1, …WL15사이 및 실리콘 기판과 선택 게이트선 GSL, SSL사이의 용량 커플링의 커플링비이고, 약 0.9가 된다. 따라서, 데이터 선택선 WL0, WL1, …WL15의 전위 및 선택 게이트선 GSL, SSL의 전위는, $\alpha \times V_{era}$ (=약 4.5V)가 된다.
그 결과, 비선택된 블록 1에서는, 실리콘 기판과 데이터 선택선 WL0, WL1, …WL15사이, 및 실리콘 기판과 선택 게이트선 GSL, SSL사이에는, 각각 임계 전압보다도 충분히 작은 전압, 즉 $V_{era}(1-\alpha)$ 정도의 전압(약 0.5V)이 인가된다. 즉, 비선택된 블록 1 내의 모든 메모리셀 및 모든 선택 스위칭 소자의 강유전체막의 분극 상태는, 변화하지 않는다.
이 후, 실리콘 기판에 제공하는 전위를 V_{era}로부터 V_{ss}로 변화시키면, 모든 메모리셀 및 선택 스위칭 소자에 대해, 강유전체막내의 전계는 0이 된다. 이 때, 선택된 블록 0 내의 메모리셀 및 선택 스위칭 소자의 유전체막의 상향의 분극의 분극량은. 잔류 분극치 Pr이 된다(도 35). 즉, 도 36에 도시된 바와 같이, 선택된 블 록 0 내의 모든 메모리셀 및 모든 선택 스위칭 소자는, "0"상태(임계치가 높은 상태), 즉 소거 상태가 된다.
또, 상술된 소거 동작에서는, 데이터 소거의 대상을, 선택된 블록 0 내의 메모리셀과 선택 스위칭 소자로 했지만, 데이터 소거의 대상을, 선택된 블록 0 내의 메모리셀만 또는 선택 스위칭 소자만으로 하는 것도 가능하다.
예를 들면, 선택된 블록 0 내의 메모리셀만을 소거하는 경우에는, 표 3에 나타낸 바와 같이, 선택된 블록 0 내의 선택 게이트선 SSL, GSL에 접지 전위 V_{ss}를 제공한 후, 선택된 블록 0 내의 선택 게이트선 SSL, GSL을 플로팅 상태로 한다. 이 후, 실리콘 기판(p 웰)에 소거 전위 V_{era}를 제공하면, 용량 커플링에 의해, 선택된 블록 0 내의 선택 게이트선 SSL, GSL의 전위가 $V_{era} \times \alpha$로 상승시킨다. 즉, 선택된 블록 0 내의 선택 스위칭 소자의 강유전체막에는, 분극

반전에 필요한 충분한 전계가 발생하지 않는다.

[표 3]

• 블록 또는 칩 소거(메모리 셀)

	선택 블록	비선택 블록
WL0, ··· WL15	Vss	Vss→Vera X α (부유)
SSL,GSL	Vss→Vera X α (부유)	Vss→Vera X α (부유)
BL0,BL1, ···	Vera-Vf	Vera-Vf
SL	Vera-Vf	Vera-Vf
실리콘 기판 (p웰)	Vera	Vera

주:칩 소거의 경우에는 모두 선택 블록이 된다

또한, 선택된 블록 0 내의 선택 스위칭 소자만을 소거하는 경우에는, 표 4에 나타낸 바와 같이 선택된 블록 0 내의 데이터 선택선 WL0, WL1, …WL15에 접지 전위 V_{ss}를 제공한 후, 선택된 블록 0 내의 데이터 선택선 WL0, WL1, … WL15를 플로팅 상태로 한다. 이 후, 실리콘 기판(p 웰)에 소거 전위 V_{era}를 제공하면, 용량 커플링에 의해, 선택된 블록 0 내의 데이터 선택선 WL0, WL1, … WL15의 전위가 $V_{era} \times \alpha$로 상승된다. 즉, 선택된 블록 0 내의 메모리셀의 강유전체막에는, 분극 반전에 필요한 충분한 전계가 발생하지 않는다.

[표 4]

• 소거(선택 트랜지스터)

	선택 블록	비선택 블록
WL0, ··· WL15	Vss→Vera X α (부유)	Vss→Vera X α (부유)
SSL,GSL	Vss	Vss→Vera X α (부유)
BL0,BL1, ···	Vera-Vf	Vera-Vf
SL	Vera-Vf	Vera-Vf
실리콘 기판 (p웰)	Vera	Vera

또한, 본 발명의 NAND형 FRAM에서는, 데이터 소거의 대상을, 선택된 블록 0 내의 1페이지 또는 복수 페이지의 메모리셀로 할 수 있다.

예를 들면, 선택된 블록 0 내의 l 페이지분의 메모리셀만을 소거하는 경우에는, 표 5에 나타낸 바와 같이 선택된 블록 0 내의 선택된 하나의 데이터 선택선에만 접지 전위 V_{ss}를 제공하고, 나머지 비선택의 모든 데이터 선택선 및 선택 게이트선을 접지 전위 V_{ss}로 한 후에 플로팅 상태로 한다. 이 후, 실리콘 기판(p 웰)에 소거 전위 V_{era}를 제공하면, 용량 커플링에 의해, 선택된 블록 0 내의 비선택의 모든 데이터 선택선 및 선택 게이트선의 전위가 $V_{era} \times \alpha$로 상승한다. 즉, 선택된 블록 0 내의 비선택의 메모리셀 및 선택 스위칭 소자의 강유전체막에는, 분극 반전에 필요한 충분한 전계가 발생하지 않는다.

[표 5]

		선택 블록	비선택 블록
WL0 ~ WL15	선택	Vss	———
	비선택	Vss→Vera X α (부유)	Vss→Vera X α (부유)
SSL,GSL		Vss→Vera X α (부유)	Vss→Vera X α (부유)
BL0,BL1, ···		Vera-Vf	Vera-Vf
SL		Vera-Vf	Vera-Vf
실리콘 기판 (p웰)		Vera	Vera

본 발명의 NAND형 FRAM에서는, 소거 동작에 있어서, 과소거가 문제가 되지 않는다. 왜냐하면, 본 발명의 NAND형 FRAM에서는, 메모리셀의 소거 특성은, 게이트 전극과 채널 사이의 커플링비에 영향을 받지 않고, 메모리셀의 임계치는, 임계 전압 이상의 소정의 전압을 강유전체막으로 인가함으로써 일률적으로 결정되기 때문이다.

· 프로그램 동작(메모리셀에 대해)

데이터 기입의 대상이 되는 선택된 블록을 블록 0으로 하고, 데이터 기입의 대상이 되지 않은 비선택된 블록을 블록 1이라고 한다. 또한, 이하의 설명에서는, 데이터 선택선 WL1이 선택되고, 그 밖의 데이터 선택선 WL0, WL2, …WL15는 선택되지 않는 경우를 상정한다.

[표 6]

• 기입(메모리 셀)

		선택 블록	비선택 블록
WL0 ~ WL15	선택	Vprog	———
	비선택	Vpass	Vss
SSL		Von	Voff
GSL		Voff	Voff
BL0, BL1, ⋮	"1" 기입	Vss	———
	"0" 기입 소거 유지	Vcc	———
SL		Vcc	Vcc
실리콘 기판 (p웰)		Vcc	Vss

우선, 선택된 블록 0 내의 모든 메모리셀의 데이터를 소거한다. 데이터 소거는, 상술된 소거 동작에 따라 행한다. 선택 스위칭 소자에 대해서는, "0"-프로그래밍 상태(소거 상태)에서도, 또한 "1"-프로그래밍 상태라도 좋다. 선택 스위칭 소자에 대한 프로그램 동작에 대해서는, 후술하겠다.

이어서, 표 6 및 도 37 및 도 38에 도시된 바와 같이, "1"-프로그래밍을 행하는 선택된 셀이 접속되는 데이터 전송선을 접지 전위 V_{ss} 로 설정하고, "0"-프로그래밍을 행하는(소거 상태를 유지함) 선택된 셀이 접속되는 데이터 전송선을 전원 전위(예를 들면, 약 3V)V_{cc} 로 설정한다. 또한, 프로그래밍 데이터가 "1"일 때는, 데 이터 전송선의 전위가 "0"(=V_{ss})이 되고, 프로그래밍 데이터가 "0"일 때는, 데이터 전송선의 전위가 "1"(=V_{cc})이 되는 점에 주의한다.

또한, 공통 전압 노드 SL을 전원 전위 V_{cc} 로 설정하고, 실리콘 기판(p 웰)을 접지 전위 V_{ss} 로 설정한다.

또한, 선택된 블록 0 내의 데이터 전송선측의 선택 게이트선 SSL은, 선택된 블록 0 내의 데이터 전송선측의 선택 스위칭 소자가 온 상태가 되는 온 전위 V_{on} 으로 설정되고, 선택된 블록 0 내의 공통 전압 노드측의 선택 게이트선 GSL은, 선택된 블록 0 내의 공통 전압 노드측의 선택 스위칭 소자가 오프 상태가 되는 오프 전위 V_{off} 로 설정된다. 비선택된 블록 1 내의 2개의 선택 게이트선 SSL, GSL은, 모두 선택 스위칭 소자가 오프 상태가 되는 오프 전위 V_{off} 로 설정된다.

온 전위 V_{on} 및 오프 전위 V_{off} 는, 선택 스위칭 소자(MFSFET)의 강유전체막의 분극 상태에 따라 변한다. 선택 스위칭 소자 "0"-프로그래밍 상태(소거 상태), 즉 선택 스위칭 소자의 강유전체막의 분극이 상향의 경우에는, 그 임계치는, 높은 상태에 있기 때문에, 예를 들면 온 전위 V_{on} 은 약 3V, 오프 전위 V_{off} 는 0V가 된다. 또한, 선택 스위칭 소자가 "1"-프로그래밍 상태, 즉 선택 스위칭 소자의 강유전체막의 분극이 하향인 경우에는, 그 임계치는, 낮은 상태에 있기 때문에, 예를 들면 온 전위 V_{on} 은, 0V, 오프 전위 V_{off} 는 약 -13V가 된다.

이러한 전위 관계에 있어서, "1"-프로그래밍을 행하는 선택된 셀을 포함하는 NAND 스트링 내의 메모리셀의 채널 전위는, 접지 전위 V_{ss} 가 된다. 또한, "0"-프로그래밍을 행하는(소거 상태를 유지함) 선택된 셀을 포함하는 NAND 스트링 내의 메모리셀의 채널 전위는, $V_{cc}-V_{th}$ (V_{th} 는, MFSFET(메모리셀 또는 선택 스위칭 소자)의 임계치)에 예비 충전된다. 또한, "0"-프로그래밍을 행하는 선택된 셀을 포함하는 NAND 스트링 내의 데이터 전송선측의 선택 스위칭 소자는, 차단 상태가 된다.

이 후, 선택된 블록 0 내의 선택된 데이터 선택선 WL1을 기입 전위(예를 들면, 약 5V)V_{prog} 로 설정하고, 선택된 블록 0 내의 비선택의 데이터 선택선 WL0, WL2, …WL15를 전송 전위(예를 들면, 약 3V)V_{pass} 로 설정하고, 비선택된 블록 1 내의 모든 데이터 선택선 WL1, WL2, …WL15를 접지 전위 V_{ss} 로 설정한다.

이 때, 선택된 블록 0 내의 선택된 데이터 선택선 WL1에 접속되는 메모리셀 중, "1"-프로그래밍을 행하는 선택된 셀의 강유전체막에는, 임계 전압이상의 전압 $V_{prog}-V_{ss}$ (=약 5V)가 인가된다. 따라서, “1"-프로그래밍을 행하는 선택된 셀의 강유전체막에는, 분권 반전에 충분한 하향의 전계가 생기기 때문에, 하향의 분극이 발생하고, 그 분극치는, 포화 분극치 $-P_{max}$ 가 된다(도 35).

한편, 선택된 블록 0 내의 선택된 데이터 선택선 WL1에 접속되는 메모리셀 중 "0"-프로그래밍을 행하는(소거를 유지함) 선택된 셀에 대해서는, 기입 전위(예를 들면, 약 5V)V_{prog} 가 데이터 선택선 WL1로 공급되고, 또한 전송 전위(예를 들면, 약 3V)V_{pass} 가 데이터 선택선 WL0, WL2, WL15로 공급되면, 채널(플로팅)과 데이터 선택선 WL0, WL1, …WL15사이의 용량 커플링에 의해, 그 채널의 전위는, $\beta\times(V_{pass}-V_{read})+(V_{cc}-V_{th})$로 상승한다.

여기서, β는, 채널과 데이터 선택선 WL0, WL1, …WL15 사이의 용량 커플링의 커플링비로서, 약 0.5가 된다.

따라서, 선택된 블록 0 내의 선택된 데이터 선택선 WL1에 접속되는 메모리셀 중, "0"-프로그래밍을 행하는(소거를 유지함) 선택된 셀에 대해서는, 강유전체막에 임계 전압 이상의 전압이 인가되지 않기 때문에, 그 강유전체막의 분극 상태는 변화하지 않는다("1"-프로그래밍이 금지됨.).

이 후, 모든 데이터 선택선 WL0, WL1, …WL15의 전위를 접지 전위 V_{ss} 로 변화시키면, 선택된 셀("1"-프로그래밍 셀)의 강유전체막의 하향의 분극의 분극량은, 잔류 분극치 -Pr이 되고, 선택된 셀("0"-프로그래밍 셀)의 강유전체막의 상향의 분극의 분극량은, 잔류 분극치 Pr이 된다(도 35).

즉, 도 39에 도시된 바와 같이, 선택된 블록 0 내의 선택된 데이터 선택선 WL1에 접속되는 메모리셀 중, 선택된 셀("1"-프로그래밍 셀)의 임계치는, 낮은 값이 되고, 선택된 셀("0"-프로그래밍 셀)의 임계치는, 높은 값을 유지한다.

본 발명의 NAND형 FRAM에서는, 프로그램 동작에 있어서, 오버 프로그램이 문제가 되지 않는다. 왜냐하면, 본 발명의 NAND형 FRAM에서는, 메모리셀의 기록 특성은 게이트 전극과 채널사이의 커플링비에 영향을 받지 않고, 메모리셀의 임계치 는, 임계 전압 이상의 소정의 전압을 강유전체막에 인가함으로써 일률적으로 결정되기 때문이다.

· 프로그램 동작(선택 스위칭 소자에 대해)

선택 스위칭 소자의 강유전체막의 분극은, 상향(임계치가 높은 상태)이라도, 또는 하향(임계치가 낮은 상태)이라도, 모두 좋다. 선택 스위칭 소자의 강유전체막의 분극을 상향으로 설정하기 위해서는, 상술된 선택 스위칭 소자에 대한 소거 동작을 행하면 된다.

이하에서는, 선택 스위칭 소자의 분극을 하향으로 설정하는 수법에 대해 설명한다.

[표 7]

• 기입(선택 트랜지스터)

WL0, ··· WL15		Vss
SSL,GSL		Vprog
BL0, BL1, ⋮	"1" 기입	Vss
	"0" 기입	——
SL		Vss
실리콘 기판 (p웰)		Vss

우선, 모든 데이터 선택선 WL0, WL1, …WL15, 모든 선택 게이트선 SSL, GSL, 모든 데이터 전송선 BL0, BL1, …, 공통 전압 노드 SL 및 실리콘 기판(p 웰)을 접 지 전위 V_{ss} 로 설정한다. 이 후, "1"-프로그래밍을 행하는 선택 스위칭 소자의 게이트 전극(선택 게이트선)을 기입 전위(예를 들면, 약 5V)로 설정한다. 통상은, 모든 블록 내의 모든 선택

스위칭 소자의 임계치를 동일하게 하기 때문에, 모든 선택 게이트선 SSL, GSL을 접지 전위 V_{ss} 로부터 기입 전위 V_{Prog} 로 상승시킨다.
이 때, 모든 선택 스위칭 소자의 강유전체막에는, 임계 전압 이상의 전압이 인가되고, 하향의 전계에 의해 분극 반전이 생겨, 하향의 분극(포화 분극치-P_{max})이 발생한다. 이 후, 모든 선택 게이트선 SSL, GSL을 접지 전위 V_{ss} 로 복귀하면, 선택 스위칭 소자의 강유전체막의 하향의 분극은 포화 분극치-Pr이 된다.
· 재기입 동작(페이지 단위의 재기록)
본 발명의 NAND형 FRAM에서는, 페이지 단위의 재기록(셀 데이터의 변경)이 가능하다. 우선, 상술된 소거 동작에 따라, 재기입의 대상이 되는 1페이지분의 메모리셀의 데이터를 소거한다. 이 후, 상술된 프로그램 동작에 의해, 재기입의 대상이 되는 1페이지분의 메모리셀에 대해, 데이터 기입을 실행한다. 이와 같이, 본 발명의 NAND형 FRAM에서는, 소거 동작 및 프로그램 동작이 페이지 단위로 행할 수 있기 때문에, 결과적으로 페이지 단위의 재기록이 가능해진다.
· 판독 동작
"1"-프로그래밍 상태의 메모리셀(n 채널 MFSFET)에서는, 강유전체막(14)의 하향의 잔류 분극에 의해, 채널(실리콘 기판)의 표면, 즉 p형 웰 영역의 표면에 마이너스 전하가 유기된다. 따라서, 도 40에 도시된 바와 같이 "1"-프로그래밍 상태 의 메모리셀은, "0"-프로그래밍 상태의 메모리셀에 비해, 임계치가 낮아지고 있다.
"0"-프로그래밍 상태의 메모리셀(n 채널 MFSFET)에서는, 강 유전체막(14)의 상향의 잔류 분극에 의해, 채널(실리콘 기판)의 표면, 즉 p형 웰 영역의 표면에 플러스 전하가 유기된다. 따라서, 도 40에 도시된 바와 같이 "0"-프로그래밍 상태의 메모리셀은, "1"-프로그래밍 상태의 메모리셀에 비해 임계치가 높아지고 있다.

[표 8]

· 판독(메모리 셀)

		선택 블록	비선택 블록
WL0 ~ WL15	선택	Vread	Vss
	비선택	Vpass(read)	Vss
SSL,GSL		Von Vpass(read)	Voff
BL0, BL1, ⋮	"1" 판독	VBL→Vss	——
	"0" 판독	VBL→VBL	——
SL		Vss	Vss
실리콘 기판 (p웰)		Vss	Vss

그래서, 표 8에 도시된 바와 같이, 우선 모든 데이터 전송선 BL0, BL1, …을 초기 전위(예를 들면, 약 1.5V)V_{BL} 에 예비 충전한 후, 플로팅 상태로 한다. 이 후, 선택된 블록 내의 선택된 데이터 선택선에 판독 전위 V_{read} 를 제공하고, 선택된 블록 내의 비선택의 데이터 선택선에 전송 전위 V_{pass} (판독)를 제공한다.
판독 전위 V_{read} 는, "1"-프로그래밍 상태의 메모리셀에 대해서는 드레인 전류 I_d 가 흐르고, "0"-프로그래밍 상태의 메모리셀에 대해서는 드레인 전류 I_d 가 흐르지 않는 값, 예를 들면 약 1V로 설정된다. 또한, 전송 전위 V_{pass} (판독)는, "1"-프로그래밍 상태의 메모리셀과 "0"-프로그래밍 상태의 메모리셀의 쌍방에 대해 드레인 전류 I_d 가 흐르는 값, 예를 들면 약 3V로 설정된다.
또, 비선택된 블록 내의 데이터 선택선에는, 접지 전위 V_{ss} 가 제공된다.
또한 선택된 블록 내의 선택 게이트선 SSL, GSL에는, V_{on} 이 제공된다. V_{on} 은, 프로그램 동작시에 사용하는 V_{on} 과 동일하다. 예를 들면, 선택 스위칭 소자가 "0"-프로그래밍 상태(소거 상태)에 있을 때는, V_{on} 은, V_{pass} (판독)로 설정되고, 선택 스위칭 소자가 "1"-프로그래밍 상태에 있을 때는, V_{on} 은, 접지 전위 V_{ss} 로 설정된다. 단, V_{on} 을 V_{pass} (판독)로 설정해 두면, 선택 스위칭 소자는, 그 상태에 상관없이, 항상 온 상태가 된다.
비선택 블록 내의 선택 게이트선 SSL, GSL에는, V_{off} 가 제공된다. V_{off} 는, 프로그램 동작시에 사용하는 V_{off} 와 동일하다. 예를 들면, 선택 스위칭 소자가 "0"-프로그래밍 상태(소거 상태)에 있을 때는, V_{off} 는, 접지 전위 V_{ss} 로 설정되고, 선택 스위칭 소자가 "1"-프로그래밍 상태에 있을 때는, V_{off} 는, 마이너스 전위, 예를 들면 약 13V로 설정된다.
또한, 공통 전압 노드 SL 및 실리콘 기판(p 웰)은, 접지 전위 V_{ss} 로 설정된다.
이 때, 선택된 블록 내의 비선택의 데이터 선택선으로 연결되는 모든 메모리셀은, 온 상태가 된다. 또한, 선택된 블록 내의 선택된 데이터 선택선으로 연결되는 메모리셀 중, "1"-프로그래밍 상태의 메모리셀은, 온 상태, "0"-프로그래밍 상태의 메모리셀은, 오프 상태가 된다.

따라서, "1"-프로그래밍 상태의 메모리셀의 데이터를 판독하는 데이터 전송선의 전위는, V_{BL} 로부터 V_{ss} 로 변화하고, "0"-프로그래밍 상태의 메모리셀의 데이터를 판독하는 데이터 전송선의 전위는, V_{BL} 을 유지한다.
그리고, 메모리셀의 데이터에 따라 생긴 데이터 전송선의 전위차(V_{ss}, V_{BL})는, 감지 증폭기 기능을 포함하는 래치 회로에 의해 증폭되고, 또한 유지된다. 예를 들면 데이터 "1"에 대응하는 V_{ss} 는, V_{ss} 인 상태가 되고, 데이터 "0"에 대응하는 V_{BL} 은, V_{cc} (예를 들면, 약 3V)로 증폭된다.
감지 증폭기 기능을 갖는 래치 회로의 데이터는, 출력 버퍼를 경유하여 메모리칩의 외부로 출력된다.
또, 판독 데이터가 "1"일 때는, 데이터 전송선의 전위가 "0"(=V_{ss})이 되고, 판독 데이터가 "0"일 때는, 데이터 전송선의 전위가 "1"(=V_{BL})이 되는 점에 주의한 다.
상술된 소거, 기입 및 판독의 각 동작에서는, 예를 들면 선택 스위칭 소자의 상태는, 항상 고정해 두는 것이 좋다. 예를 들면, 미리 모든 선택 스위칭 소자를 "0"-프로그래밍 상태 또는 "1"-프로그래밍 상태로 해 두고, 이 후 메모리셀에 대해, 소거 동작, 프로그램 동작 또는 판독 동작을 행하도록 한다. 이 경우, V_{on} 및 V_{off} 가 고정되기 때문에, 각 동작의 제어가 용이해진다.
이상, 설명된 바와 같이, 본 발명의 반도체 메모리, 즉 MFSFET를 이용한 NAND형 FRAM에 따르면, 종래의 FRAM이나 종래의 NAND형 플래시 EEPROM으로부터 얻을 수 있는 효과 이상의 많은 효과, 예를 들면, 1)메모리 셀의 미세화, 칩 사이즈의 축소화, 재기입 전압의 저전압화, 저소비 전력화, 제조 프로세스의 간략화에 우수하고, 2) 고속 동작(재기입 시간이 짧아짐), 고신뢰성(재기입 횟수가 많아짐)을 달성할 수 있고, 3) 비파괴 판독이나 페이지 재기입이 가능하고, 검증이 불필요하는 등의 효과를 얻을 수 있다.
(2) 제2 실시 형태
[제1 예]
도 43은, 본 발명의 NAND형 EEPROM의 셀 어레이 구조의 평면도를 나타내고 있다. 도 44, 도 43의 XLIV-XLIV선을 따르는 단면도, 도 45는, 도 43의 XLV-XLV선을 따르는 단면도, 도 46은, 도 43의 XLVJ-XLVI 선에 따르는 단면도이다. 도 47은, 도 43 내지 도 46에 도시된 디바이스의 1셀 유닛분의 등가 회로를 나타내고 있 다.
또, 도 43 내지 도 47에 있어서, 도 41과 동일한 부분에는, 동일 부호를 붙여 자세한 설명은 생략한다. 또한, 도면의 기호의 첨자는, 그 기호가 나타내는 소자 또는 요소의 위치의 차이를 나타내기 위한 것으로, 주기호가 동일 소자 또는 요소는, 상호 동일한 공정에 따라 형성된다.
이 셀 어레이 구조의 특징은, 첫째 선택 스위칭 소자 S1, S2가 전하 축적층(예를 들면, 질화 실리콘 26_{SSL}, 26_{GSL})을 포함하고 있는 점, 둘째, 선택 스위칭 소자 S1, S2의 구조가 메모리셀 M0, M1, …M15의 구조와 실질적으로 동일하게 이루어진 점, 셋째, 선택 게이트선 SSL, GSL과 컨트롤 게이트선 WL0, WL1, …WL15가 모두 동일 배선층 내에 배치되어 있는 점에 있다.
1NAND 셀 유닛은, 직렬 접속된 여러개(본 예에서는, 16개)의 메모리셀 M0, M1, …M15로 이루어지는 NAND 스트링과, 이 NAND 스트링 양단에 1개씩 접속되는 2개의 선택 스위칭 소자 S1, S2로 구성된다.
메모리 셀 M0, M1, …M15는, 전하 축적층(26)을 포함하는 MOS 트랜지스터로 구성된다. 드레인측 선택 스위칭 소자 S1은, 데이터 전송선(데이터 전송선)BL에 접속되고, 소스측 선택 스위칭 소자 S2는, 공통 공통 전압 노드 SL에 접속된다.
메모리셀 M0, M1, …M15 및 선택 스위칭 소자 S1, S2는, 모두 p형 웰 영역(23) 내에 형성된다. 또한, 메모리셀 M0, M1, …M15의 컨트롤 게이트 전극은, 각각 행 방향으로 일직선으로 연장되어 있고, 컨트롤 게이트선(데이터 선택선, 즉 데이터 선택선)CG1, CG2, …CG15를 구성하고 있다.
선택 스위칭 소자 S1, S2는, 열 방향으로 배치된 복수의 셀 유닛 중 하나를 선택하는 기능을 갖는다. 또한, 선택 스위칭 소자 S1, S2의 선택 게이트선(블록 선택선) SSL, GSL은, 행 방향으로 배치되는 복수의 셀 유닛(1 블록)에 공통으로 접속되어 있으므로, 결과적으로, 1블록 내의 셀 유닛이 선택되게 이루어진다.
여기서, 본 예에서는, 종래와는 달리, 선택 스위칭 소자 S1, S2의 구조가 메모리 셀 M0, M1, …M15의 구조와 실질적으로 동일하게 되어 있다. 즉, 선택 스위칭 소자 S1, S2는, 그 선택 게이트선 SSL, GSL의 바로 아래에 전하 축적층(예를 들면, 질화 실리콘 : 26_{SSL}, 26_{GSL})을 포함하고 있다. 또한, 선택 게이트선 SSL, GSL과 컨트롤 게이트선 WL0, WL1, …WL15는 모두, 동일 구조를 포함하고, 또한 모두 동일 배선층 내에 배치되어 있다.
이러한 구조로 함으로써, 메모리셀을 고밀도로 배치할 수 있고, 또한 선택 게이트선 SSL, GSL 및 컨트롤 게이트선 WL0, WL1, …WL15의 저저항화를 실현할 수 있다. 또한, 제조 프로세스의 면으로부터는, 메모리셀측과 선택 스위칭 소자측에서 포토리소그래피나 가공을 별도로 행할 필요가 없게 되고, 소위 배면 서브 와이어도 불필요해지기 때문에, 칩 면적의 축소나 제조 비용의 저감을 실현할 수 있다.
또, 본 실시예에서는, 1셀 유닛(45)(또는 1블록)에는, 2개의 선택 게이트선 SSL, GSL이 접속되어 있지만, 1셀 유닛(45)에는, 적어도 1개의 선택 게이트선이 접속되어 있으면 충분하다. 또한, 선택 게이트선 SSL, GSL은, 메모리셀의 고밀도화 를 위해, 본 예와 같이, 컨트롤 게이트선(데이터 선택선) WL0, WL1, …WL15가 연장되는 방향(즉, 행 방향)과 동일 방향으로 일직선으로 배치한다.
또한, 본 예에서는, 셀 유닛(45)은, 16(=2^4)개의 메모리셀로 구성되어 있지만, 셀 유닛(45)은, 적어도 1개의 메모리셀로 구성되면 좋다. 즉, 셀 유닛(45) 내의 메모리셀수가 여러개인 경우에는, 통상의 NAND형 EEPROM이 되고, 셀 유닛(45) 내의 메모리셀수가 1개인 경우에는, 소위 3-Tr NAND가 된다.
또한, NAND형 EEPROM에서는, 셀 유닛(45) 내의 메모리셀수는, 2^n(n은, 플러스의 정수)개인 것이 바람직하다. 왜냐하면, 2^n 개의 메모리셀은, n비트 디지털 어드레스 신호를 디코드함으로써 선택할 수 있기 때문이다.
이어서, 도 43 내지 도 46에 도시된 반도체 메모리의 디바이스 구조에 대해 구체적으로 설명한다.

p형 실리콘 기판(21)내에는, n형 웰 영역(n형 실리콘 영역 :22)이 형성되고, n형 웰 영역(22) 내에는, p형 웰 영역(p형 실리콘 영역 :23)이 형성된다. 이러한 웰 구조는 더블 웰 구조 또는 트윈 웰 구조라고 한다.

p형 웰 영역(23)은, p형 불순물(예를 들면, 붕소)을 포함하고, 그 불순물 농도는, 1×10^{14} 1×10^{19} atoms/㎤의 범위 내의 소정치로 설정된다. p형 웰 영역(23) 상에는, 예를 들면 0.5 10㎚의 두께를 갖는 게이트 절연막(25, 25_{SSL}, 25_{GSL})이 형성된다. 게이트 절연막(25, 25_{SSL}, 25_{GSL})은, 실리콘 산화막 또는 옥시니트라이드막으 로 구성된다.

게이트 절연막(25, 25_{SSL}, 25_{GSL}) 상에는, 예를 들면 4㎚ 50㎚의 두께를 갖는 전하 축적층(26, 26_{SSL}, 26_{GSL})이 형성된다. 본 예에서는, 전하 축적층(26, 26_{SSL}, 26_{GSL})은, 실리콘 질화막으로 구성된다.

전하 축적층(26, 26_{SSL}, 26_{GSL}) 상에는, 예를 들면 2㎚ 30㎚의 두께를 갖는 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL})이 형성된다. 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL})은 실리콘 산화막 또는 옥시니트라이드막으로 구성된다.

전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL}) 상에는, n형 불순물(예를 들면, 인, 비소) 또는 p형 불순물(예를 들면, 붕소)을 포함하고, 그 불순물 농도가, 1×10^{17} 1×10^{21} atoms/㎤의 범위 내의 소정치로 설정된 폴리실리콘층(41, 41_{SSL}, 41_{GSL})이 형성된다. 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은, 예를 들면 10㎚ 500㎚의 두께로 형성된다.

게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL}) 및 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은 실리콘 산화막으로 이루어지는 소자 분리 절연막(24)으로 둘러싸인 소자 영 역(p형 실리콘 영역) 상에, 소자 영역(또는 소자 분리 절연막 : 24)에 대해 자기 정합적으로 형성된다.

즉, 본 예에서는, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL}) 및 폴리실리콘층(41, 41_{SSL}, 41_{GSL})을 형성한 후에, 이들을 가공(에칭)하고, 이들 행 방향의 엔지니어링부를 형성한다(이 시점에서는, 열 방향의 엣지부를 형성하기 위한 가공은 행하지 않음).

이 에칭(RIE)에 있어서는, 예를 들면 p형 웰 영역(23)도 에칭하고, P형 웰 영역(23) 내에는, 그 표면으로부터, 예를 들면 0.05 0.5㎛의 깊이를 갖는 트렌치를 형성한다. 그리고, 이 트렌치 내에 소자 분리 절연막(24)을 매립하고, 이 소자 분리 절연막(24)에 대해 CMP 또는 에치백을 실행하고, 소자 영역 및 소자 분리 영역을 구획한다.

이와 같이, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL}) 및 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은, 실리콘 산화막으로 이루어지는 소자 분리 절연막(24)으로 둘러싸인 소자 영역 상에, 소자 영역 또는 소자 분리 영역에 대해 자기 정합적으로 형성된다. 또한, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL}) 및 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은, 표면이 평탄한 p형 웰 영역(23) 상에 형성되기 때문에, 메모리셀 구조의 균일성이 향상하고, 메모리셀의 특성을 갖출 수 있다.

또한, 폴리실리콘층(41) 상에는, 행 방향으로 연장되고, 행 방향으로 배치되는 메모리셀 M0, M1, …M15의 폴리실리콘층(41)을 상호 전기적으로 접속하는 컨트롤 게이트선[27(WL0), …27(WL15)]이 형성된다. 컨트롤 게이트선[27(WL0), …27(WL15)]은, 저저항 재료, 예를 들면 WSi(텅스텐 실리사이드), NiSi, MoSi, T_1 Si, CoSi 등의 금속 실리사이드로 구성된다.

마찬가지로, 폴리실리콘층(41_{SSL}, 41_{GSL}) 상에는, 행 방향으로 연장되고, 행 방향으로 배치되는 선택 스위칭 소자 S1, S2의 폴리실리콘층(41_{SSL}, 41_{GSL})을 상호 전기적으로 접속하는 선택 게이트선[27(SSL), 27(GSL)]이 형성된다. 선택 게이트선[27(SSL), 27(CSL)]은, 저저항 재료, 예를 들면 WSi(텅스텐 실리사이드), NiSi, TiSi, CoSi등의 금속 실리사이드로 구성된다.

즉, 본 예에서는, 메모리셀의 컨트롤 게이트 전극 및 선택 스위칭 소자의 제어 전극은, 모두 불순물 농도가 1×10^{17} 1×10^{21} atoms/㎤의 폴리실리콘층(41)과, WSi(텅스텐 실리사이드), NiSi, MoSi, TiSi, CoSi 등의 금속 실리사이드와의 스택 구조로 되어 있다.

또, 컨트롤 게이트선[27(WL0), …27(WL15)] 및 선택 게이트선[27(SSL), 27(CSL)]의 두께는, 예를 들면 10㎚ 500㎚로 설정된다. 또한, 컨트롤 게이트선[27(WLO), …27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]은, 행 방향으로 배치되는 복수의 셀 유닛으로 이루어지는 1블록의 행 방향의 단부로부터 단부까지 연장되어 있다.

컨트롤 게이트선[27(WL0), …27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)] 상에는, 게이트 가공시의 마스크가 되는 캡 절연막(48)이 형성된다.

이 캡 절연막(48)을 마스크로 하여, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL}), 폴리실리콘층(41, 41_{SSL}, 41_{GSL}) 및 제어선(컨트롤 게이트선 및 선택 게이트선)[27(WL0), …27(WL15), 27(SSL), 27(GSL)]을 에칭하면, 이들 열 방향의 엣지부가 형성된다.

게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40, 40_{SSL}, 40_{GSL}), 폴리실리콘층(41, 41_{SSL}, 41_{GSL}) 및 제어선[27(WL0), …27(WL15), 27($_{SSL}$), 27(GSL)]의 열 방향의 엣지부(측벽)에는, 측벽 절연막(43)이 형성된다.

측벽 절연막(43)은, 예를 들면 실리콘 질화막, 실리콘 산화막등으로 구성되고, 그 두께는, 예를 들면 5㎚ 200㎚의 범위 내의 소정치로 설정된다. 또한, p형 웰 영역(23) 내에는, n형 확산층(소스/드레인 영역 : 28, 28_s, 28_d)이 형성된다.

그리고, MONOS형 EEPROM셀(메모리셀)은, n형 확산층(28), 전하 축적층(26), 폴리실리콘층(41) 및 컨트롤 게이트선[27(WL0), …27(WL15)]에 의해 구성된다. 또한, 선택 스위칭 소자도, n형 확산층(28, 28 $_{s}$, 28 $_{d}$), 전하 축적층(26 $_{SSL}$, 26 $_{GSL}$), 폴리실리콘층(41 $_{SSL}$, 41 $_{GSL}$) 및 선택 게이트선[27(SSL), 27(GSL)]에 의해 구성된다.

MONOS형 EEPROM 셀의 게이트 길이는, 0.01㎛ 0.5㎛의 범위 내의 소정치로 설정된다. n형 확산층(28, 28 $_{s}$, 28 $_{d}$)은, n형 불순물(예를 들면, 인, 비소, 안티몬등)을 포함하고, 그 표면 농도는, 1×10^{17} 1×10^{21} atoms/㎤의 범위 내의 소정치로 설정된다. 또한, n형 확산층(28, 28 $_{s}$, 28 $_{d}$)의 깊이는, 예를 들면 10㎚ 500㎚의 범위 내의 소정치로 설정된다.

1개의 n형 확산층(28)은, 상호 인접하는 2개의 메모리 셀에 의해 공유되고, 그 결과 복수의 직렬 접속된 메모리셀로 이루어지는 NAND 스트링이 실현된다. 또한, 1개의 n형 확산층(28 $_{s}$, 28 $_{d}$)은, 열 방향으로 상호 인접하는 2개의 셀 유닛에 의해 공유된다.

선택 스위칭 소자의 게이트 길이는, MONOS형 EEPROM셀(메모리셀)의 게이트 길이보다도 길어지도록 설정된다. 예를 들면, 선택 스위칭 소자의 게이트 길이는, 0.02㎛ 1㎛의 범위 내의 소정치로 설정된다. 이와 같이, 선택 스위칭 소자의 게이트 길이를 메모리셀의 게이트 길이보다도 길게 함으로써, 블록 선택/비선택 시의 온/오프비를 충분히 크게 할 수 있기 때문에, 오기입이나 오판독을 방지할 수 있 다.

본 예에 따른 디바이스 구조의 특징은, 선택 스위칭 소자와 메모리셀이, 모두 MONOS형 MOSFET로 구성되어 있는 점에 있다. 또한, 본 예에 따른 디바이스 구조의 특징은, 선택 스위칭 소자의 선택 게이트선[27(SSL), 27(GSL)]이 MONOS형 EEPROM셀(메모리셀)의 컨트롤 게이트선[27(WL0), …27(WL15)]과 동일층에 형성되는 점에 있다.

본 예에서는, 메모리셀의 절연막(25) 및 전하 축적층(26)의 두께는, 각각 선택 스위칭 소자의 절연막(25 $_{SSL}$, 25 $_{GSL}$) 및 전하 축적층(26 $_{SSL}$, 26 $_{GSL}$)의 두께와 실질적으로 동일하게 이루어져 있다. 즉, 메모리셀과 선택 스위칭 소자에 있어서, 동시에 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$) 및 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)을 형성할 수 있기 때문에, 제조 공정이 짧아, 프로세스 비용을 저하시킬 수 있다.

또한, 열 방향으로 상호 인접하는 2개의 MOSFET(메모리셀 및 선택 스위칭 소자를 포함함)의 측벽 절연막(43)사이에는, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)이 형성되지 않는다. 이 때문에, 열 방향으로 상호 인접하는 2개의 MOSFET사이의 절연막에 전자가 축적되는 일도 없고, 소스/드레인 영역의 저항 상승을 막을 수 있다.

셀 유닛 내의 가장 데이터 전송선측의 n형 확산층(드레인 전극 : 28 $_{d}$)은, 예를 들면 불순물을 포함하는 도전성 폴리실리콘으로 이루어지는 컨택트 플러그(31 $_{d}$)를 경유하여 중간층(33 $_{d}$)에 접속된다. 중간층(33 $_{d}$)은, 예를 들면 데이터 전송선 컨택트부의 행 방향의 피치를 넓히기 위해 설치된다.

중간층(33 $_{d}$)은, 예를 들면 불순물을 포함하는 도전성 폴리실리콘으로 이루어지는 컨택트 플러그(32 $_{d}$)를 경유하여 데이터 전송선 BL에 접속된다. 데이터 전송선[36(BL)]은, 텅스텐, 텅스텐 실리사이드, 티탄, 티탄니트라이드, 알루미늄등의 저저항 재료로 구성된다.

셀 유닛 내의 공통 전압 노드측의 n형 확산층(소스 전극 : 28 $_{s}$)은, 예를 들면 불순물을 포함하는 도전성 폴리실리콘으로 이루어지는 컨택트 플러그(31 $_{s}$)를 경유하여 공통 전압 노드[33(SL)]에 접속된다. 공통 전압 노드[33(SL)]는, 행 방향으로 일직선으로 연장되어 있고, 행 방향의 셀 유닛에 공유되고 있다.

또, 컨택트 플러그(31 $_{d}$, 31 $_{s}$, 32 $_{d}$)는, 도전성 폴리실리콘에 대신하여, 텅스텐, 텅스텐 실리사이드, Al, TiN, Ti 등의 저저항 재료로 구성해도 좋다.

메모리셀 및 선택 스위칭 소자는, 층간 절연막(28)에 의해 피복되어 있다. 데이터 전송선[36(BL)]은, 예를 들면 다마신 프로세스에 의해, 층간 절연막(28)에 설치된 배선홈 내에 형성된다. 마찬가지로, 공통 전압 노드[33(SL)] 및 중간층(33 $_{d}$)도, 예를 들면 다마신 프로세스에 의해 형성된다. 층간 절연막(28)은, 예를 들면 SiO_2 나 SiN등으로 구성된다.

데이터 전송선[35(BL)] 상에는, 예를 들면 W, Al, Cu 등의 금속으로 구성되는 상부 배선이 형성된다. 그리고, 데이터 전송선[36(BL)] 및 상부 배선은, 각각 예를 들면 SiO_2, SiN, 폴리이미드등의 절연막으로 구성되는 보호막(패시베이션막 : 37)에 피복된다.

또, 이러한 디바이스 구조에 있어서, p형 웰 영역(23)과 p형 반도체 기판(21)사이에는, n형 웰 영역(22)이 배치되어 있다. 이 때문에, p형 웰 영역(23)의 전위는, p형 반도체 기판(21)의 전위와는 독립적으로, 설정할 수 있다. 그 결과, 예를 들면 소거시에 승압 회로(부스터)의 소비 전력을 줄일 수 있다.

본 예에서는, 폴리실리콘층(41, 41 $_{SSL}$, 41 $_{GSL}$)의 행 방향의 엣지부를 형성하고, 또한 p형 웰 영역(23) 내에 트렌치를 형성하고, 이 트렌치 내에 소자 분리 절연막(24)을 매립한 후에, 행 방향으로 연장되는 컨트롤 게이트선[27(WL0), …27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]을 형성하고 있다.

따라서, 도 3 및 도 4에 도시된 바와 같이, 컨트롤 게이트선[27 (WL0), …27(WL15)] 및 선택 게이트선[27(SSL), 27(CSL)]은 항상 p형 웰 영역(23)의 상부에 형성되고, p형 웰 영역(23) 근방 또는 하부에 형성되는 일은 없다.

즉, 본 예에 따른 디바이스 구조에서는, p형 웰 영역(23)과 소자 분리 절연막(24)의 경계에서, 전계 집중이 생기기 어렵고, 또한 임계치가 낮은 기생 트랜지스터도 발생하기 어려워지고 있다. 또한, 전계 집중에 기인하여 기입 임계치가 저하하는 현상, 소위 사이드워크 현상이 생기기 어려워지기 때문에, 고신뢰성의 트랜지스터(메모리셀 및 선택 스위칭 소자)를 형성할 수 있다.

도 48은, 메모리셀 어레이 및 데이터 선택선 드라이버의 블록 레이아웃의 일 례를 나타내고 있다.

참조 번호(45)는, 셀 유닛으로서, 셀 유닛(45)은, 예를 들면 NAND셀 유닛 또는 AND 셀 유닛으로 구성된다. 1블록 내의 각 셀 유닛(45)에는, 복수 라인(본 예에서는, 16개)의 데이터 선택선 WL0 $_{x}$ WL15 $_{x}$ (x는, a, b라는 블록 인덱스를 나타내는 첨자)가 접속된다.

또한, 1 블록 내의 각 셀 유닛(45)에는, 복수 라인(본 예에서는, 2개)의 선택 게이트선(블록 선택선)SSL $_x$, GSL $_x$가 접속된다. 선택 게이트선 SSL $_x$, GSL $_x$는, 복수의 블록으로부터 1개의 블록을 선택하고, 선택된 하나의 블록 내의 셀 유닛(45)을 데이터 전송선 BL1, BL2에 접속하는 기능을 갖는다.

데이터 선택선 WL0 $_x$ WL15 $_x$는, 행 방향으로 연장되고, 데이터 전송선 BL1, BL2는, 열 방향으로 연장되어 있고, 양자는, 상호 직교하고 있다. 셀 유닛(45) 내의 메모리셀은 데이터 선택선 WL0 $_x$ WL15 $_x$와 데이터 전송선 BL1, BL2의 교점에 배치되고, 각각 독립적으로 디지털 비트 데이터의 기록 및 판독이 가능하다.

셀 유닛(45)은, 행 방향 및 열 방향으로 각각 여러개 배치되고, 메모리셀 매트릭스를 구성하고 있다. 도 6에서는, 행 방향으로 2개, 열 방향으로 2개, 합계 4개의 셀 유닛으로 이루어지는 메모리셀 매트릭스를 나타냈지만, 당연히, 행 방향으로 3개이상의 셀 유닛(45)을 배치하고, 또한 열 방향으로 3개이상의 셀 유닛(45)을 배치해도 좋다.

단, 행 방향 또는 열 방향으로 배치되는 셀 유닛(45)이 i비트 어드레스 신호 를 디코드함으로써 선택되는 점을 고려하면, 행 방향 또는 열 방향으로 배치되는 셀 유닛(45)의 수는, 2 ^{i}개(i는 플러스의 정수)인 것이 바람직하다.

데이터 선택선 WL0 $_x$ WL15 $_x$ 및 선택 게이트선 SSL $_x$, GSL $_x$의 일단은, 데이터 선택선 드라이버(46)에 접속된다. 데이터 선택선 드라이버(46)는, 행 디코더(47)(RDCa, RDCb)의 디코드 결과를 받아, 데이터 선택선 WL0 $_x$ WL15 $_x$ 및 선택 게이트선 SSL $_x$, CSL $_x$를 구동한다.

여기서, 본 예에서는, 데이터 선택선 드라이버(46)는, 메모리셀 어레이의 행 방향의 2개의 단부에 각각 배치된다. 즉, 메모리셀 어레이(블록)는, 데이터 선택선 드라이버(46)에 의해 삽입되어 있다. 이러한 레이아웃으로 하는 이유는, 첫째, 데이터 선택선 드라이버(46)의 배치를 용이하게 하는 것, 둘째, 1개의 셀 유닛 내의 복수 라인의 데이터 선택선 WL0 $_x$ WL15 $_x$의 구동 타이밍의 편차, 즉 스큐를 없애는 것에 있다.

본 예에서는, 1개의 블록에 대응하여 1개의 데이터 선택선 드라이버(46)가 설치되어 있다. 즉, 블록 a내의 데이터 선택선 WL0a, …WL15a와, 블록 b 내의 데이터 선택선 WL0b, …WL15b는, 각각 독립적으로 제어된다. 데이터 선택선 드라이버(46)는, 행 디코더(47)의 디코드 결과(출력)에 기초하여, 기입 전위 V $_{prog}$나 소거 전위 V $_{era}$를 소정의 블록 내의 소정의 데이터 선택선에 제공하기 위한 스위치 회로(예를 들면, MOS 트랜지스터)로 구성된다.

계속하여, 선택 스위칭 소자의 임계치의 설정 방법에 대해 설명하겠다.

여기서는, 데이터 전송선 BL에 접속되는 선택 스위칭 소자 S1에 대해 설명하기로 한다. 선택 스위칭 소자는, 메모리셀과 마찬가지로, MONOS 형 트랜지스터로 구성된다.

도 49는, 본 발명에 따른 MONOS형 트랜지스터의 디바이스 구조를 나타내고 있다. 도 50은, 도 49의 D-D'선을 따르는 단면의 소거시의 대역 다이어그램을 나타내고 있다. 도 51은, 도 49의 D-D'선을 따르는 단면의 기록시의 대역 다이어그램을 나타내고 있다.

MONOS형 트랜지스터의 전하 축적층(26) 내의 마이너스의 전하는, 도 50에 도시된 바와 같이, 소거시에는, 터널 효과에 따라, p형 웰 영역(23)으로부터 전하 축적층(26)으로 이동하는 정공 또는 전하 축적층(2)등으로부터 p형 웰 영역(23)으로 이동하는 전자에 의해 증감한다.

그러나, 전하 축적층(26) 내에 일정량 이상의 플러스의 전하가 축적되면, 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40) 내에 생기는 전계가 증대하고, 그 결과, 전자가 컨트롤 게이트 전극(27)으로부터 전하 축적층(26)으로 주입된다. 즉, 소거시에, 전하 축적층(26) 내의 전자를 채널로 방출하고, MONOS형 트랜지스터의 임계치를 저하시켜가면, 어느 한 시점으로부터 컨트롤 게이트 전극(27)으로부터 전하 축적층(26)으로 전자가 주입되기 때문에, MONOS형 트랜지스터의 임계치는, 소정치에 수렴해간다.

이 때문에, MONOS형 트랜지스터의 임계치는, 소거 시간을 증대시켜도, 소정 치보다도 낮은 값이 되는 일은 없고, 항상 소정치보다도 높은 값으로 되기 때문에, 소위 과소거 현상은, 생기지 않는다.

한편, 도 51에 도시된 바와 같이, 기입시에는, 전하 축적층(26) 내의 마이너스의 전하는, 터널 효과에 의해, p형 웰 영역(23)에 형성된 반전층으로부터 전하 축적층(26)으로 이동하는 전자에 의해 증감한다.

그러나, 전하 축적층(26) 내에 일정량이상의 마이너스의 전하가 축적되면, 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40)의 대역의 기울기가 증대하고, 그 결과 정공이, 컨트롤 게이트 전극(27)으로부터 전하 축적층(26)으로 주입된다. 즉, 기입시에 전하 축적층(26) 내에 전자를 주입하고, MONOS형 트랜지스터의 임계치를 상승시켜 가면, 어느 한 시점으로부터 컨트롤 게이트 전극(27)으로부터 전하 축적층(26)으로 정공이 주입되기 때문에, MONOS형 트랜지스터의 임계치는 소정치로 수렴해간다.

이 때문에, MONOS형 트랜지스터의 임계치는, 기입 시간을 증대시켜도, 소정치보다도 높은 값이 되는 일은 없고, 항상 소정치보다도 낮은 값으로 되기 때문에, 소위 과기입 현상은, 생기지 않는다.

이와 같이 본 예에 따른 디바이스에서는, 선택 스위칭 소자 및 메모리셀을 MONOS형 트랜지스터로 구성하고, 또한 전하 축적층(26)과 컨트롤 게이트 전극(선택 게이트선 및 컨트롤 게이트선을 포함함 : 27)사이의 전하 축적층과 컨트롤 게이트 전극사이의 절연막(40)에도, 일정한 조건하에서 터널 전류를 흘리도록 하고 있다.

이러한 특징은, 전하 축적층과 컨트롤 게이트 전극사이의 절연막에 전류를 흘리지 않는 종래의 불휘발성 반도체 메모리에는 없는 것이다.

또, 메모리셀의 임계치의 절대치를 포화시켜, 메모리셀의 임계치가 넓은 범위에서 변동되지 않도록 하는 기술은, 예를 들면 T. Bohm, A. Nakamura, H. Aozawa, M. Yamagishi and Y. Komatsu, Extended Abstract of the 1995 International Conference on Solid State Devices and Materials, pp. 890-892(특히, 도 4의 기록/소거 특성을 참조)에 기재되어 있다.

도 52는, 기입/소거 후의 임계치 분포에 관한 것으로, 본 발명과 종래를 비교하여 나타낸 것이다.

종래의 메모리셀은, 통상의 플로팅 게이트형 메모리셀을 대상으로 하고 있다. 이에 대해, 본 발명의 메모리셀 또는 선택 스위칭 소자는, 상술된 바와 같이 전하 축적층과 컨트롤 게이트 전극사이의 전하 축적층과 컨트롤 게이트 전극사

이의 절연막에도 터널 전류가 흐르는 MONOS형 트랜지스터이다.
종래에서는, 점선으로 나타낸 바와 같이, 특히 전하 축적층과 반도체 소자 영역사이의 절연막에 플러스 전하가 트랩됨으로써, 전하 축적층으로부터 p형 웰 영역으로 전자를 방출하는 소거 동작시에, 소위 과소거 현상이 발생한다. 그 결과, 소거 후의 메모리셀의 임계치 분포의 폭 ΔV_{the1} 은, 매우 넓은 범위(2V 3V)가 된다.
한편, 본 발명에서는, 실선으로 나타낸 바와 같이, 전하 축적층(26)으로부터 p형 웰 영역(25)으로 방출되는 전자의 량이 증가해도, 이것을 보상하도록, 컨트롤 게이트 전극(27)으로부터 전하 축적층(26)으로 전자가 주입되기 때문에, 과소거 현 상은 발생하지 않는다.
그 결과, 본 발명에 따르면, 종래에 비교하여, 소거 후의 메모리셀 또는 선택 스위칭 소자의 임계치 분포의 폭 ΔV_{the2} 를 좁힐 수 있다. 구체적으로는, 본 발명에서는, 소거 후의 메모리셀은 선택 스위칭 소자의 임계치 분포의 폭 ΔV_{the2} 는, 1V 이하로 할 수 있다. 또한, 본 발명에서는, 메모리셀 또는 선택 스위칭 소자의 임계치의 변동을 작게 할 수 있기 때문에, 소거 시간을 짧게 하여, 고속의 소거 동작을 실현할 수 있다.
마찬가지로, 기입 동작에 대해서도, 본 발명의 셀 구조에 따르면, 과기입 현상이 생기지 않기 때문에, 기입 검증을 행하지 않고 기입 동작을 행해도, 기입 후의 임계치 분포의 폭을 매우 좁은 범위(예를 들면, 1V이하)에 들어갈 수 있다. 또한, 기입 검증를 행하면, 기입 후의 임계치 분포의 폭을 더욱 좁은 범위로 설정할 수 있다.
따라서, 본 발명에서는, 예를 들면 선택 스위칭 소자의 임계치의 상한을 낮은 값으로 설정할 수 있다. 또한, 판독시나 검증 판독시에, 선택 스위칭 소자의 선택 스위칭 소자의 제어 게이트 전극으로 제공하는 전위를 저하시켜도, 충분히 큰 판독 전류를 얻을 수 있다. 이 때문에, 선택 스위칭 소자의 게이트 절연막(전하 축적층과 반도체 소자 영역사이의 절연막)에 생기는 전압 스트레스를 작게 할 수 있어, 게이트 절연막의 내압(브레이크다운 전압)의 향상이나 게이트 절연막의 피로(열화)의 방지등을 달성할 수 있다.
다음에, 본 발명에 따른 MONO 트랜지스터를 선택 스위칭 소자 S1에 사용한 경우에, 선택 스위칭 소자 S1의 임계치를 설정하는 동작의 흐름에 대하여 설명한다.
또, 이하에서는 선택 스위칭 소자 S1의 임계치를 설정하는 동작에 대하여 설명한다. 본 발명에서는 통상, 선택 스위칭 소자 S1의 임계치를 설정한 후에, 선택 스위칭 소자 S2의 임계치의 설정을 행하고, 이 후 메모리셀에 대하여 데이터의 기입/소거가 실행된다.
선택 스위칭 소자 S2나 메모리셀에 대해서는 이하에 나타내는 수법과 마찬가지의 수법에 의해 임계치의 설정이 가능하다.
그런데, 기입, 소거, 검증의 각 동작은 예를 들면 특개평 08-315590, 특원평 11-198978 등의 문헌에 개시된 바와 같이 공지 기술이기 때문에, 그 상세한 설명에 대해서는 생략한다.
도 53은 1블럭 내의 선택 스위칭 소자 S1의 임계치의 설정 루틴을 나타내고 있다.
임계치의 설정 수순은 SE1 SE5까지의 프로세스로 이루어진다.
SE1은 블록 소거 스텝이다.
블록 소거 스텝은 1 블록 내의 선택 게이트선 SSL에 접속된 복수의 선택 스위칭 소자 S1의 상태를 소거 상태로 하는 것을 목적으로 한다. 선택 스위칭 소자 S1에 대한 소거는 예를 들면 p형 웰 영역(23)에 0V, 선택 게이트선 SSL에 플러스 전위 V_{ppe} 를 제공함으로써 행해진다.
이 블록 소거 스텝에서는 소거 검증을 행할 필요가 없다. 즉, 블록 소거에서는 마이너스의 임계치를 측정하고, 선택 게이트 트렌지스터 S1이 정확하게 소거 상태가 되었는지의 여부를 판정하는 회로가 불필요하기 때문에, 그 분량만큼 회로 면적을 적게 할 수 있다.
여기에서, 본 예에서는 선택 스위칭 소자 S1의 임계치의 설정 방법만을 고려하고 있기 때문에 선택 스위칭 소자 S1만을 소거 상태로 하는 것을 제공하고 있지만, 예를 들면 1블럭 내의 모든 선택 스위칭 소자 S1, S2 및 메모리셀 M0, M1, …, M15를 동시에 소거 상태로 해도 상관없다. 즉, 이 경우에는 1블럭 내의 모든 선택 스위칭 소자 S1, S2 및 메모리셀 M0, M1, …, M15를 소거 상태로 한 후에, 선택 스위칭 소자 S1, 선택 스위칭 소자 S2, 메모리셀 M0, M1, …, M15의 순서대로 각각 기입 동작을 행하고, 그 임계치의 설정을 행한다.
SE1은 예를 들면 1ns 1μs의 범위 내의 시간으로 행해진다.
구체적으로는 우선 선택 블록 내의 선택 게이트선 SSL을 플로팅 상태로 한 후, p형 웰 영역(23)을 소거 전위 V_{ppe} 로 설정한다. 계속해서, 선택 블록 내의 선택 게이트선 SSL의 전위를 0V로 저하시킨다. 또한, 오소거(erase error)를 방지하기 위해서, 비선택 블록 내의 데이터 선택선 WL0, WL1, …, WL15 및 선택 게이트선 SSL, SGL를 플로팅 상태로 한다.
여기에서, 100㎳ 이하의 실용적인 속도로 소거 동작을 종료시키기 위해서는, 소거 전위 V_{ppe} 는 전하 축적층과 반도체 소자 영역 간의 절연막에 1×10^{-4} A/㎠ 이하의 터널 전류룰 흘리기 위해서 충분한 값으로 설정된다. 예를 들면 막두께 t[㎚]의 실리콘 산화막을 전하 축적층과 반도체 소자 영역 간의 절연막(25)에 이용한 경우에서는 소거 V_{ppe} 를 t[V] 6t[V]의 범위 내 값으로 하면 실용적인 소거 속도를 얻을 수 있다.
또한, 소거 전위(소거 펄스) V_{ppe} 의 펄스폭은 1μs 100㎳의 범위 내의 값으로 설정된다. 이 소거 전위 V_{ppe} 를 선택 게이트선 SSL, 선택 게이트선 GSL 및 데이터 선택선 WL0, WL1, …, WL15에 동시에 제공되면 소거 시퀀스의 고속화에 상당히 유효하게 된다.
또, 소거 후에는 소거 블록(선택 블록) 내의 모든 선택 스위칭 소자 및 모든 메모리셀의 임계치가 마이너스가 되며 또한 소거 블록 내의 선택 게이트선(27_{SSL}, 27_{GSL}) 및 컨트롤 게이트선[27(WL0), 27(WL1), …, 27(WL3)]에는 접지 전위가 제공되고 있기 때문에 공통 전압 노드 SL과 데이터 전송선 BL이 서로 도전 상태가 된다.
이 결과 예를 들면 도 52의 실선에 도시한 바와 같은 소거 임계치 분포 즉 임계치가 소정치 이하에는 저하하지 않고 임계치 분포가 얻어진다. 또한 하나의 소거 펄스를 선택 게이트선 SSL에 제공된 후 임계치 분포의 폭 ΔV_{the2} 도 도

52에 도시한 바와 같이 상당히 좁아질 수 있다.
소거 시간으로서는 도 50에서 설명한 바와 같이, 컨트롤 게이트 전극(27)과 전하 축적층(26) 간에 터널 전류가 흐르고, 이 터널 전류가 전하 축적층(26)과 p형 웰 영역(23) 간에 흐르는 터널 전류와 같거나 또는 그 이상이 되기까지의 시간으로 설정한다.
다음에, SE2의 스텝이 실행된다.
이 스텝에서는 선택 블록 내의 선택 게이트선 SSL에 대하여 기입 펄스가 인가된다.
기입 펄스는 p형 웰영역(23)의 전위보다도 큰 전위 예를 들면 p형 웰 영역(23)이 0V인 경우에는 플러스 전위에 설정된다. 구체적으로는 예를 들면 p형 웰 영역(23)의 전위를 0V로 하고 데이터 전송선 BL의 전위를 공통 전압 노드 SL의 전위에 같게 하고, 선택 블록 내의 선택 게이트선 SSL의 전위를 프로그램 전위 V_{pgm} 으로 설정한다.
이 때, 비선택 블록 내의 선택 게이트선 SSL은 프로그램 전위 V_{pgm} 보다도 충분하게 낮은 전위(예를 들면, 0V) 또는 플로팅하게 설정된다. 여기에서 100㎳ 이하의 실용적인 속도로 기입 동작을 종료시키기 위해서는 기입 전위 V_{pgm} 은 전하 축적층과 반도체 소자 영역 간의 절연막에 1×10^{-4} A/㎠ 이상의 터널 전위를 흘리기 위해서 충분한 값으로 설정된다.
예를 들면 막두께 t[㎚]의 실리콘 산화막을 전하 축적층과 반도체 소자 영역 간의 절연막에 이용한 경우에서는 기입 전위 V_{pgm} 은 t[V] 6t[V]의 범위 내의 소정치가 된다. 또한, 기입 전위 V_{pgm} 의 펄스폭은 1㎲ 100㎳의 범위 내의 소정치로 설정된다.
또, 선택 블록 내에서 선택 스위칭 소자에 대한 기입을 실행하고 있는 동안, 오기입을 방지하기 위해서 선택 블록 내의 데이터 선택선 WL0, WL1, …, WL15는 0V 또는 플로팅 상태로 설정된다.
SE2의 스텝에서 드레인측(데이터 전송선측) 선택 스위칭 소자 S1의 임계치 분포의 하한은 0V보다도 높은 값으로 설정된다.
그 결과, 그 이후, 선택 게이트선 SSL로 0V를 제공한 경우에, 선택 스위칭 소자 S1을 차단 상태로 할 수 있다. 즉, 예를 들면 기입 검증에서의 검증 판독 시에 선택 블록 내의 선택 스위칭 소자 S1, 선택 스위칭 소자 S2 또는 메모리셀 M0, M1, …, M15의 데이터를 판독할 수 있다.
또, 선택 스위칭 소자 S1의 임계치 분포의 하한은 0V 이하인 경우에는 공통 전압 노드 SL과 데이터 전송선 BL이 단락하게 되는 블록이 생기기 때문에 예를 들면 기입 검증(SE3)을 실시할 수 없게 된다.
구체적으로는 최초의 1회째의 기입 펄스(최초의 SE2 스텝)에 의해, 선택 스위칭 소자 S1의 임계치 분포의 하한이 0V 이상이 되도록 한다. 이 기입 펄스에 의해 선택 스위칭 소자 S1의 임계치 분포가 설정 임계치 상한과 설정 임계치 하한의 범위 $\Delta0V_{th}$ 로 들어가는 경우에는 즉 선택 스위칭 소자 S1에 대한 임계치의 설정 동 작을 종료해도 된다.
또한, 예를 들면 기입 시간을 길게 해도 선택 스위칭 소자 S1의 임계치 분포의 상한은 설정 임계치 상한을 초래하지 않음과 함께, 임계치 분포의 폭을 좁게 할 수 있다. 이 경우, 기입 시간은 도 51에서 설명한 바와 같이 컨트롤 게이트 전극(27)과 전하 축적층(26) 간에 터널 전류가 흐르며 또한 그 터널 전류가 전하 축적층(26)과 p형 웰 영역(23) 간에 흐르는 터널 전류와 같아지거나 또는 그 이상이 되기까지의 시간으로 한다.
여기에서, 종래에서는 선택 스위칭 소자 S1의 임계치 분포의 하한을 0V 이상으로 하기 위해서 예를 들면 도 52의 설정 임계치 상한과 0V와의 차를 ΔV_{the1} (예를 들면 2V 이상의 값)보다도 크게 설정하는 것이 필요하였다. 왜냐하면, 기본적으로 소거 상태의 임계치 분포가 그대로 시프트하여 기입 상태의 임계치 분포가 되기 때문이다. 이를 위해서, 설정 임계치 상한이 상당히 높아지고, 데이터 판독 시(검증 시를 포함한다)의 소위 패스 전위(선택 블록 내의 비선택 데이터 선택선의 전위)가 높아지는 문제가 있었다.
본 발명에 따르면, 선택 스위칭 소자 및 메모리셀의 소거 상태의 임계치 분포의 폭 ΔV_{the2} 를 상당히 좁게 할 수 있기 때문에 마찬가지로 이 소거 상태의 임계치 분포를 플러스 방향으로 시프트시킴으로써 선택되는 기입 상태의 임계치 분포의 폭 V_{thp} 도 좁게 할 수 있다. 따라서, 설정 임계치 상한과 0V와의 차도 좁게 할 수 있고 예를 들면 1V 이하로 설정할 수 있다.
이와 같이 설정 임계치 상한의 값을 낮게 할 수 있기 때문에 데이터 판독 시(검증 판독 시를 포함한다)의 소위 패스 전위를 낮게 할 수 있고 또한 선택 스위칭 소자 S1의 게이트 절연막에 생기는 스트레스나 막피로의 문제를 없앨 수 있다.
또, 본 발명에서는 더 기입 시간을 길게 해도(기입 펄스의 횟수를 늘려도), 선택 스위칭 소자 S1의 임계치의 상한(설정 임계치의 상한과 설정 임계치의 하한 간에 설치된다)이 변동하지 않기 때문에, 하한이 순서대로 상승하고, 상당히 좁은 임계치 분포(도 52의 사선으로 나타내는 범위)를 얻는 것이 가능해진다.
즉, $\Delta V_{the2} > \Delta V_{th}$ 로 또한 (설정 임계치 상한) -0V$> \Delta V_{the2}$ 의 경우에는 기입 검증 동작을 행함으로써 선택 스위칭 소자 S1의 임계치 분포를 더 좁힐 수 있다. 이 경우, 최초의 1회째의 기입 펄스 인가(SE2 스텝) 후에서의 임계치 분포를 도 52에 도시한 바와 같이 그 임계치 분포의 하한이 0V보다도 높아지도록 하면 된다.
다음에, SE3 스텝에 대하여 설명한다.
SE3 스텝에서는 선택 블록 내의 선택 스위칭 소자 S1에 대한 검증 판독이 행해진다. 즉, 선택 블록 내의 선택 스위칭 소자 S1의 임계치와 설정 임계치 하한을 비교하고, 선택 스위칭 소자 S1의 임계치와 설정 임계치 하한보다도 낮은 경우에는 SE4 스텝에서 기입 불충분하다고 판단된다. 한편, 선택 스위칭 소자 S1의 임계치가 설정 임계치 하한보다도 높은 경우에는 SE4 스텝에서 기입 충분하다고 판단된다.
선택 블록 내의 모든 선택 스위칭 소자 S1에 대하여 기입 충분하다고 판단된 경우에는 임계치 설정 동작을 종료시킨다.
SE3 스텝 즉 검증 판독은 구체적으로는 이하와 같이하여 행해진다.

우선, 데이터 전송선 BL을 V_{read}로 충전한 후 데이터 전송선 BL을 플로팅 상태로 한다. 공통 전압 노드 SL은 0V로 설정된다. V_{read}는 전원 전위 V_{cc}와 0V 간의 전위로 하고, nMOS 감지 증폭기의 감도의 향상을 고려하면 $V_{cc}/2$ 이상의 값으로 설정하는 것이 바람직하다.

V_{read}는 선택 블록 내의 비선택 데이터 선택선에 제공되는 패스 전위이며 설정 임계치 상한보다도 높은 것이 필요하다.

계속해서, 선택 블록 내의 선택 게이트선 SSL로 검증 전위 V_{ref}를 제공한다. V_{ref}는 예를 들면 0V+(설정 임계치 하한)+(마진)으로 설정된다. 마진은 감지 증폭기의 감도에 의존하는 값이 된다. 감지 증폭기의 감도에 의존하는 값(마진)은 어레이 노이즈나 감지 증폭기의 입력 트랜지스터의 임계치의 변동 등을 고려하면 통상 0 0.2V 정도가 된다.

그리고, 선택 스위칭 소자 S1의 임계치가 V_{ref}보다도 낮은 경우에는 선택 스위칭 소자 S1이 온 상태가 되며 데이터 전송선 BL의 전하가 선택 스위칭 소자 S1을 경유하여 공통 전압 노드 SL로 방출되기 때문에, 데이터 전송선 BL의 전위가 저하한다. 한편, 선택 스위칭 소자 S1은 임계치가 V_{ref}보다도 높은 경우에는 선택 스위칭 소자 S1은 오프 상태이며, 선택 스위칭 소자 S1에는 전류가 흐르지 않고 데이터 전송선 BL의 전위는 V_{read}로 유지된다.

이와 같이 선택 블록 내의 선택 스위칭 소자 S1의 임계치의 상태에 따라 데이터 전송선 BL의 전위가 변화한다.

그래서, 데이터 전송선 BL을 감지 증폭기에 전기적으로 접속하고, 감지 증폭기에 의해 이 데이터 전송선 BL의 전위 변화를 검출하면 선택 스위칭 소자 S1의 기입이 충분한지 또는 불충분한지를 판단할 수 있다(SE4 스텝).

또, 선택 블록 내의 적어도 하나의 선택 스위칭 소자 S1의 임계치가 V_{ref}보다도 낮은 경우에는 기입 펄스의 펄스 전압 및 펄스폭의 재설정을 행한 후, 다시 선택 블록 내의 선택 게이트선 SSL에 기입 펄스를 제공하고, 선택 스위칭 소자 S1에 대한 재기입을 실행한다(SE5 스텝).

재기입에 이용하는 기입 펄스는 예를 들면 임계치 시프트량이 ΔV_{th} 이하로 받아들이도록 그 펄스 전압 및 펄스폭이 설정된다. 즉, 재기입에 이용하는 기입 펄스의 펄스 전압 및 펄스폭은 직전에 행한 기입 시의 기입 펄스의 펄스 전압보다도 적고 또한 직전에 행한 기입 시의 기입 펄스의 펄스폭보다도 좁게 설정된다.

이와 같은 기입 펄스의 펄스 전압 및 펄스폭을 바꾸는 시퀀스는 예를 들면 특개평 08-315590에 개시되고 있다.

그리고, SE2 스텝 SE5 스텝까지의 검증 동작을 m회 만큼 반복한 후에는 도 52의 사선부에 도시한 바와 같이, 선택 블록 내의 선택 스위칭 소자 S1의 임계치 분포의 폭은 $\Delta V_{the}/m$ 정도로까지 좁게 할 수 있다. 예를 들면, 선택 스위칭 소 자 S1의 임계치 분포의 폭은 0.5V 이하로 할 수 있다.

이상, 하나의 블록 내의 선택 스위칭 소자 S1의 임계치를 설정하는 경우의 회로 동작에 대하여 설명하였다.

또, 선택 스위칭 소자 S1의 임계치를 설정한 후, 마찬가지의 수법에 의해 하나의 블록 내의 선택 스위칭 소자 S2의 임계치의 설정을 행한다. 이후, 메모리셀 M0, M1, …, M15에 대하여 데이터 기입/소거가 실행된다.

다음에 복수 블록 내의 선택 스위칭 소자 S1의 임계치를 일괄로 설정하는 경우의 회로 동작에 대해서 설명한다.

도 54는 복수 블록 내의 선택 스위칭 소자 S1의 임계치를 일괄로 설정하는 경우의 회로 동작을 나타내고 있다.

우선, SE1' 스텝에서는 복수의 블록 내의 선택 스위칭 소자 S1, S2 및 메모리셀 M0, M1, …, M15에 대하여 소거 동작을 실행한다. 복수의 블록(선택 블록) 내의 선택 게이트선 SSL에는 p형 웰 영역(23)보다도 낮은 전위가 제공된다. 예를 들면, 선택 게이트선 SSL에는 0V가 제공되며 p형 웰 영역(23)에는 플러스 전위가 제공된다. 마찬가지로, 선택 게이트선 GSL 및 컨트롤 게이트선 WL0, WL1, …, WL15에도 0V가 얻어진다.

SE1' 스텝 즉 복수 블록 내의 선택 스위칭 소자 S1, S2 및 메모리셀 M0, M1, …, M15에 대한 소거 동작을 종료하면 이들 선택 스위칭 소자 S1, S2 및 메모리셀 M0, M1, …, M15의 임계치는 모두 마이너스가 되기 때문에 데이터 전송선 BL과 공통 전압 노드 SL이 상당히 도통 상태(단락 상태)가 된다.

도 54의 플로우차트에서는 복수개(n개)의 블록에는 각각 1 n까지의 부호가 붙여져 있는 것으로 한다.

SE2' 스텝에서는 제1 블록 내의 선택 게이트선 SSL에 대한 기입 펄스의 인가가 행해진다. 마찬가지로 제2 블록 내의 선택 게이트선 SSL 제n 블록 내의 선택 게이트선 SSL까지 순서대로 기입 펄스의 인가를 실행한다(SE2" 스텝).

그 결과, 복수의 블록 내 즉 제1 블록 제n 블록의 모든 블록 내의 선택 스위칭 소자 S1의 임계치가 0V 이상인 값으로 설정된다. 여기에서 본 예에서는 블록마다 순서대로 선택 스위칭 소자 S1에 대한 최초의 기입을 행했지만, 이 대신에 모든 블록(제1 제n 블록) 내의 선택 게이트선 SSL에 동시에 기입 펄스를 제공하고, 모든 블록 내의 선택 스위칭 소자 S1에 대하여 한번에 최초의 기입을 행해도 된다. 이 경우, 기입 시간의 단축에 기여할 수 있다.

SE3' 스텝에서는 복수의 블록(제1 제n 블록) 내의 선택 스위칭 소자 S1에 대한 검증 판독이 행해진다.

이 검증 판독은 복수의 블록 내의 모든 선택 스위칭 소자 S1에 대하여 일괄하여 동시에 행할 수 있다. 즉, 모든 데이터 전송선 BL을 프리차지 전위로 설정한 후, 플로팅 상태로 한다. 또한, 복수의 블록 내의 모든 선택 게이트선 SSL에 동시에 V_{ref1}을 제공하고 선택 게이트선 GSL 및 컨트롤 게이트 선 WL0, WL1, …, WL15에 0V를 제공한다.

이 경우, 복수의 블록 내의 선택 스위칭 소자 S1 중 적어도 하나의 임계치가 V_{ref1}에 만족하지 못했을 때는 데이터 전송선 BL의 전하가 그 선택 스위칭 소자 S1을 경유하여 공통 전압 노드 S1에 방전되기 때문에 데이터 전송선 BL의 전위는 저하한다. 또한, 복수의 블록 내의 모든 선택 스위칭 소자 S1의 임계치가 V_{ref1}을 초래하고 있을 때는 데이터 전송선 BL은 프리차지 전위를 유지한다.

즉, 예를 들면 검증 판독 시에 모든 데이터 전송선 BL의 전위에 대하여 앤드(논리곱) 처리를 행하면 복수의 블록 내의 모든 선택 스위칭 소자 S1에 대하여 일괄하여 검증 판정을 행할 수 있다(SE4' 스텝).

또, SE2' SE5' 스텝은 복수의 블록 내의 모든 선택 스위칭 소자 S1의 임계치를 0V를 초래하는 값 이상으로 하는 것을 목적으로 한다. 따라서, 이 스텝에서의 V_{ref1}은 0V를 초래하고 있으면 설정 임계치 하한보다도 낮어져도 상관없다.

그리고, 검증 판독의 결과, 복수 불록 내의 선택 스위칭 소자 S1 중 적어도 하나의 임계치가 V_{ref1} 보다 낮은 경우에는 기입 펄스의 펄스 전압과 펄스폭을 재설정한 후에 재기입이 실행된다(SE4' SE5').

여기에서 선택 스위칭 소자 S1의 임계치가 마이너스인 경우의 셀 유닛 상태에 대하여 설명한다.

도 55는 복수 블록 내의 트랜지스터에 대하여 일괄 소거를 행한 후의 셀 유닛의 등가 회로를 나타내고 있다.

Ma1, Ma2, Mb1, Mb2는 셀 유닛 내의 드레인측(데이터 전송선측) 선택 스위칭 소자 S1을 나타내고 있다. 또한, 선택 스위칭 소자 S2 및 메모리셀 M0, M1, …, M15의 임계치는 모두 마이너스로 설정되어 있다. 따라서, 셀 유닛 내의 셀렉트 게이트 트랜지스터 S2 및 메모리 셀 M0, M1, …, M15는 저항 소자로서 나타낼 수 있다.

그리고, 선택 스위칭 소자 Ma1, Ma2, Mb1, Mb2 중 적어도 하나의 임계치가 마이너스인 경우, 선택 게이트선 SSLa, SSLb를 0V로 설정하면 데이터 전송선 BL1, BL2 중 적어도 하나의 셀 유닛을 경유하여 공통 전압 노드 SL에 단락된다.

또한, 모든 선택 스위칭 소자 Ma1, Ma2, Mb1, Mb2의 임계치가 플러스인 경우, 선택 게이트선 SSLa, SSLb를 0V로 설정해도 데이터 전송선 BL1, BL2가 공통 전압 노드 SL에 단락되지는 않는다. 이 경우에는 도 54의 SE6 스텝 이후에 행해지는 임계치 설정 루틴을 정확하게 행할 수 있다.

이와 같이 SE1' 스텝 SE5' 스텝에 있어서, 복수 블록 내의 모든 선택 스위칭 소자 S1의 임계치를 플러스로 하는 경우는 이 후에 행해지는 임계치 설정 스텝(SE6 SE10)을 정확하게 행하기 때문이다.

또 SE1' 스텝 SE5' 스텝에 의해 복수 블록 내의 모든 선택 스위칭 소자 S1의 임계치 분포가, 설정 임계치 하한과 설정 임계치 상한의 범위 ΔV_{th} 에 받아들이는 경우도 생각된다. 이와 같은 경우에는 SE6 스텝 이후의 스텝은 실행하는 의의가 별로 없기 때문에 SE4' 스텝을 종료한 시점에서 선택 스위칭 소자 S1에 대한 임계치 설정 동작을 종료시켜도 상관없다.

단, 기입 시간(기입 횟수)을 늘리면 선택 스위칭 소자 S1의 임계치 분포의 상한은 변하지 않지만 그 하한이 차례로 상승해가기 때문에, 선택 스위칭 소자 S1의 임계치 분포의 폭을 좁게 한다는 점을 고려하면 SE6 스텝 이후의 스텝을 실행하는 의의는 있다.

이 경우의 기입 시간은 도 51에서 설명한 바와 같이, 컨트롤 게이트 전극(27)과 전하 축적층(26) 간에 터널 전류가 흐르고 이 터널 전류가 전하 축적층(26)과 p형 웰 영역(23) 간에 흐르는 터널 전류와 같거나 또는 그 이상이 되기까지의 시간으로 한다.

여기에서, 종래에서는 비선택 블록 내의 선택 스위칭 소자 S1을 차단시키기 위해서 예를 들면 2V 이상인 ΔV_{the1} (도 52)보다도 설정 임계치 상한과 0V와의 차를 크게 할 필요가 있었다. 또한, 검증 동작을 행하여 선택 스위칭 소자 S1의 임계치를 설정 임계치 하한보다도 높은 값으로 해도 설정 임계치 상한은 낮출 수 없다.

특히, 통계 논리에 따르면 복수 블록 내의 선택 스위칭 소자 S1의 임계치 분포의 폭의 넓이는 단일 블록 내의 선택 스위칭 소자 S1의 임계치 분포의 폭의 넓이보다도 $n^{(1/2)}$ 배만큼 커지기 때문에 더욱 설정 임계치 상한은 높아지게 된다.

그리고, 설정 임계치 상한이 높아지면 예를 들면 판독 시의 V_{read} 를 설정 임계치 상한을 초래하는 값으로 해야만 하기 때문에 V_{read} 의 값이 커지며 게이트 절연막의 막피로나 스트레스의 문제가 발생한다.

이에 대하여 본 발명에 따르면, 소거 후의 트랜지스터의 임계치 분포의 폭 ΔV_{the2} (도 52 참조)가 상당히 적어지기 때문에 설정 임계치 상한과 0V와의 차를 상당히 적은 값으로 할 수 있고(예를 들면 1V 이하), 결과로서 설정 임계치 상한을 낮출 수 있다. 따라서, 게이트 절연막에 생기는 막피로나 스트레스의 문제를 완화할 수 있다.

그런데, 도 52에서 $\Delta V_{the2} > \Delta V_{th}$ 또는 (설정 임계치 상한)-0V$> \Delta V_{the2}$ 의 경우에는 각 블록 내의 선택 스위칭 소자 S1에 대하여 기입 검증 동작을 행함으로써 선택 스위칭 소자 S1의 임계치 분포의 폭을 좁힐 수 있다.

SE6 스텝 SE9 스텝까지의 동작은 도 53에서 설명한 SE2 스텝 SE5 스텝까지의 동작과 마찬가지로 행하면 된다. 따라서, SE6 스텝 SE9 스텝까지의 동작에 대해서는 생략한다.

또, SE6 스텝 SE9 스텝까지의 동작은 제1 블록에 대한 시퀀스이다. 즉, 선택 블록이 n개인 경우에는 제1 블록 제n 블록까지 SE6 스텝 SE9 스텝 까지의 동작과 동일한 동작이 반복하여 행해진다(SE10 스텝).

또한, 1블록에 대하여 SE6 스텝 SE9 스텝까지의 동작을 m회 반복하면 도 52의 사선부에서 도시한 바와 같이 선택 스위칭 소자 S1의 임계치 분포의 폭을 $\Delta V_{the}/m$ 정도에까지 적게 할 수 있다. 구체적으로는 선택 스위칭 소자 S1의 임계치 분포의 폭은 0.3V 이하로 설정할 수 있다.

도 54에 도시한 바와 같은 동작은 블록마다 소거 및 선택 스위칭 소자의 임계치 설정 및 검증을 행하는 수법(1 블록 내의 선택 스위칭 소자의 임계치 설정이 완료한 후에, 다음의 블록 내의 선택 스위칭 소자의 임계치 설정을 행하는 수법)에 비교하여, 고속으로 선택 스위칭 소자 S1의 임계치의 설정을 행하고, 또한 기입/소거 시간도 짧게 할 수 있기 때문에 소비 전력의 삭감 등에 효율적이다.

또, 선택 스위칭 소자 S1, S2에 대한 기입/소거를 행하기 위한 회로의 구체예에 대해서는 예를 들면 특개평 2000-76880에 개시되어 있다.

또한, 선택 게이트선 SSL에 제공하는 전위는 도 53의 플로우차트에 있어서 설명한 전위 관계에 대하여 결정하면 된다. 또한 특개평 2000-76880에 개시된 메모리셀에 대한 기입/소거 동작 시의 전위 관계를 본 발명에 관한 선택 스위칭 소자에 대한 기입/소거 동작 시의 전위 관계로 사용해도 된다.

그런데, 본 예의 전제가 된 디바이스는 전하 축적층(26)이 SiN으로 구성된 MONO 구조를 가지고 있지만, 본 발명의 임계치 설정 수법은 전하 축적층(26)이 SiN 이외의 절연막으로 구성되고 있는 디바이스에도 적용할 수 있다. 즉, 본 발명의 임계치 설정 수법은 컨트롤 게이트 전극과 전하 축적층 간을 흐르는 캐리어에 의해 전하 축적층 내의 전하량이 포화하고 기입 임계치 또는 소거 임계치가 포화하는 것과 같은 구조를 가지고 있으면 된다.

예를 들면, 전하 축적층(26)은 도전성 실리콘(Si)으로 구성할 수 있다. 도 56은 소거 시의 밴드 다이어그램을 나타내고 있고 도 57은 기입 시의 밴드 다이어그램을 나타내고 있다. 이 경우, 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40)의 두께는 예를 들면 1㎚ 이상 20㎚ 이하로 설정된다.

도 56의 소거 시의 밴드 다이어그램에서는 터널 효과에 의해 전하 축적층(26) p형 웰 영역(23)에 이동하는 전자에 있어서, 전하 축적층(26) 내의 마이너스 전하의 량이 감소(또는 플러스 전하의 양이 증가)한다. 그리고, 전하 축적층(26) 내의 마이너스 전하가 일정량 이상으로 감소하면 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40) 내에 생기는 전계가 늘고, 전자가 컨트롤 게이트 전극(27)으로부터 전하 축적층(26)에 주입된다. 이 때문에, 트랜지스터의 임계치는 소거 시간을 늘려도 일정치보다 저하하지는 않고 소위 과소거 현상은 발생하지 않는다.

도 57의 기입 시의 밴드 다이어그램에서는 터널 효과에 의해 p형 웰 영역(23)으로부터 전하 축적층(26)에 이동하는 전자에 있어서, 전하 축적층(26) 내의 마이너스 전하의 량이 증가(또는 플러스 전하의 량이 감소)한다. 그리고, 전하 축적층(26) 내의 마이너스 전하가 일정량 이상으로 증가하면 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40)의 밴드의 기울기가 증대하고 전자가 전하 축적층(26)으로부터 컨트롤 게이트 전극(27)으로 끌어 당긴다. 이를 위해서, 트랜지스터의 임계치는 기입 시간을 늘려도 일정치보다 상승하지 않고 소위 과기입 현상은 발생하지 않는다.

이와 같이, 전하 축적층(26)은 도전성 실리콘으로부터 구성해도 된다. 일반적으로는 전하 축적층(26)은 도전체 예를 들면 불순물(예를 들면 P, As, B 등)을 포함하는 Si, SiGe, Ge라도 되고, 또한 절연체 예를 들면 SiN, 티탄 옥사이드, 탄탈 옥사이드, 알루미나 등이어도 된다.

[제2 예]

도 58은 본 발명의 NAND형 EEPROM의 셀 어레이 구조의 평면도를 나타내고 있다. 도 59는 도 58의 LIX-LIX선에 따른 단면도, 도 60은 도 58의 LX-LX선에 따른 단면도, 도 61은 도 58의 LXI-LXI선에 따른 단면도이다.

또, 도 58 도 61에 도시한 디바이스에 있어서, 도 43 도 46에 도시한 디바이스와 동일한 부분에는 동일한 부호를 붙여서 그 상세한 설명에 대해서는 생략하는 것으로 한다.

본 예의 다비이스의 특징은 상술한 제1 예에 관한 디바이스와 비교하면, 전하 축적층(26)이 열 방향으로 연장되어 있고, 1셀 유닛 내의 선택 스위칭 소자 S1, S2 및 메모리셀 M0, M1, …, M15의 전하 축적층(26)이 일체화되어 있는 점에 있다.

단, 실제로 전하가 축적되는 영역은 전하 축적층(26) 중 컨트롤 게이트 전극[27(WL0), …, 27(WL15)]의 바로 아래의 부분 및 선택 스위칭 소자의 제어 게이트 전극[27(SSL), 27(GSL)]의 바로 아래 부분이기 때문에, 1셀 유닛 내의 트랜지스터의 전하 축적층(26)이 일체화(공유하지 않는다)되어 있는 점은 EEPROM의 동작 상 모든 문제가 없어진다.

선택 스위칭 소자 S1, S2 및 메모리셀 M0, M1, …, M15는 모두 전하 축적층(26)을 갖는 MONOS형 트랜지스터로 구성된다. 본 예에서는 1셀 유닛(45)은 직렬 접속된 16(=2^4)개의 메모리 셀로 이루어지는 NAND 스트링과 이 NAND 스트링의 양단에 하나씩 접속되는 2개의 선택 스위칭 소자 S1, S2로 구성된다.

1셀 유닛(45) 내에 배치된 메모리셀 수는 1개 이상이면 된다. 1셀 유닛(45) 내의 메모리셀 수는 1개인 경우는 특히 3Tr-NAND라고 불리는 특수한 EEPROM이 된다. 1셀 유닛 내의 메모리셀 수는 통상 복수개이지만, n비트 어드레스 신호의 디코드에 의해 1셀 유닛(45) 내의 메모리셀의 선택을 행하는 점을 고려하면 1셀 유닛(45) 내의 메모리셀 수는 2^n개(n은 플러스의 정수)인 것이 바람직하다.

p형 웰 영역(23)은 p형 불순물(예를 들면 붕소)을 포함하고, 그 불순물 농도는 예를 들면 1×10^{14} 1×10^{19} atoms/㎤의 범위 내의 소정치로 설정된다. p형 웰 영역(23) 상에는 게이트 절연막(25, 25_{SSL}, 25_{GSL})이 형성된다. 메모리셀의 게이트 절연막(25)의 두께는 예를 들면 0.5 10㎚의 범위 내의 소정치에 설정된다. 게이트 절연막(25, 25_{SSL}, 25_{GSL})은 예를 들면 실리콘 산화막, 옥시니트라이드막 등의 절연막으로 구성된다.

게이트 절연막(25, 25_{SSL}, 25_{GSL}) 상에는 전하 축적층(26, 26_{SSL}, 26_{GSL})이 형성된다. 전하 축적층(26, 26_{SSL}, 26_{GSL})은 예를 들면 실리콘 질화막으로 구성되며 그 두께는 4㎚ 50㎚의 범위 내의 소정치에 설정된다.

여기에서 본 예에서는 선택 스위칭 소자 S1, S2 바로 하측의 게이트 절연막(25_{SSL}, 25_{GSL})의 두께는 메모리셀 M0, M1, …, M15 바로 하측의 게이트 절연막(25)의 두께보다도 예를 들면 2㎚ 이상 두꺼워지도록 형성된다.

그 이유는 선택 스위칭 소자 S1, S2의 전하 축적층과 반도체 소자 영역 간의 절연막(25_{SSL}, 25_{GSL})에 흐르는 오판독이나 오소거의 원인이 되는 터널 전류를 메모리셀 M0, M1, …, M15의 전하 축적층과 반도체 소자 영역 간의 절연막(25)에 흐르는 전류보다도 작게 하고 EEPROM의 안정 동작을 실현하기 때문이다.

이와 같은 구조를 실현하기 위해서는 예를 들면 미리, 게이트 절연막이 되는 2㎚ 20㎚의 두께의 실리콘 산화막 또는 옥사니트라이드막을 형성하고, 그 후 선택 스위칭 소자 S1, S2가 형성되는 영역 상을 레지스트로 덮고 메모리셀 M0, M1, …, M15가 형성되는 영역의 게이트 절연막을 소거한다. 이 후, 다시 게이트 절연막이 되는 0.5 10㎚의 두께의 실리콘 산화막 또는 옥시 니트라이드막을 형성한다.

이와 같은 게이트 절연막(25, 25_{SSL}, 25_{GSL})의 형성 방법에 따르면, 메모리셀 M0, M1, …, M15의 게이트 절연막(25)의 두께는 0.5 10㎚가 되고, 선택 스위칭 소자 S1, S2의 게이트 절연막(25_{SSL}, 25_{GSL})의 두께는 2.5 30㎚이 된다.

전하 축적층(26, 26_{SSL}, 26_{GSL}) 상에는 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL})이 형성된다. 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL})의 두께는 예를 들면 2㎚ 30㎚로 설정된다. 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL})은 예를 들면 실리콘 산화막, 옥시니트라이드막 등의 절연막으로 구성된다.

전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL}) 상에는 도 전성 폴리실리콘층(41, 41_{SSL}, 41_{GSL})이 형성된다. 도전성 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은 불순물(예를 들면 인, 비소, 붕소 등)을 포함하고, 그 불순물 농도는 1×10^{17} 1×10^{21} atoms/㎤로 설정된다. 도전성 폴리실리콘층(41, 41_{SSL}, 41_{GSL})의 두께는

10㎚ 500㎚ 범위의 소정치로 설정된다.
게이트 절연막(25, 25 SSL , 25 GSL), 전하 축적층(26, 26 SSL , 26 GSL), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 SSL , 40 GSL) 및 도전성 폴리실리콘층(41, 41 SSL , 41 GSL)은 각각 예를 들면 실리콘 산화막으로 이루어지는 소자 분리 절연막(24)에 의해 둘러싸여진 소자 영역[p형 웰 영역(23)] 상에 자기 정합적으로 형성된다. 즉, 게이트 절연막(25, 25 SSL , 25 GSL), 전하 축적층(26, 26 SSL , 26 GSL), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 SSL , 40 GSL) 및 도전성 폴리실리콘층(41, 41 SSL , 41 GSL)의 행 방향의 엣지는 소자 분리 절연막(24)의 행 방향의 엣지에 일치하고 있다.
이와 같은 구조는 예를 들면 게이트 절연막(25, 25 SSL , 25 GSL), 전하 축적층(26, 26 SSL , 26 GSL), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 SSL , 40 GSL) 및 도전성 폴리실리콘층(41, 41 SSL , 41 GSL)을 형성한 후에 이들 행 방향의 엣지를 확정하는 에칭(RIE)을 행하고 계속해서 p형 웰 영역(23)도 에칭하고 p형 웰 영 역(23) 내에 예를 들면 0. 05 0. 5㎛의 깊이를 갖는 트렌치를 형성한다. 그리고, 이 트렌치 내에 절연막을 매립하면 소자 분리 절연막(24)이 형성됨과 함께, 이 소자 분리 절연막(24 ; 또는 소자 영역)에 대하여 자기 정합적으로 게이트 절연막(25, 25 SSL , 25 GSL), 전하 축적층(26, 26 SSL , 26 GSL), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 SSL , 40 GSL) 및 도전성 폴리실리콘층(41, 41 SSL , 41 GSL)이 형성된다.
도전성 폴리실리콘층(41, 41 SSL , 41 GSL) 상에는 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]이 되는 저저항 재료가 형성된다. 이 저저항 재료는 WSi(텅스텐 실리사이드), CoSi 등으로 구성된다. 즉, 메모리셀의 컨트롤 게이트 전극 및 선택 스위칭 소자의 선택 게이트 전극은 모두 도전성 폴리 실리콘층과 저저항 재료의 스택 구조를 가지고 있다.
컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]의 두께는 10㎚ 500㎚로 설정된다.
도전성 폴리실리콘층(41, 41 SSL , 41 GSL), 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]의 열 방향의 엣지는 캡 절연막(48)을 마스크로 한 에칭(RIE)에 의해 형성된다.
이 에칭의 결과, 컨트롤 게이트선[27(WL0), …, 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]은 행 방향으로 일직선으로 연장되게 된다. 또한, 도 전성 폴리실리콘층(41, 41 SSL , 41 GSL)은 소자 분리 절연막(24)에 의해 둘러싸인 소자 영역 내에만 배치되게 된다.
p형 웰 영역(23)과 p형 반도체 기판(21) 간에는 n형 웰 영역(22)이 배치되고 있다. 이에 의해 p형 웰 영역(23)의 전위는 p형 반도체 기판(21)과 독립적으로 설정할 수 있다. 이와 같은 구조는 더블 웰 구조(또는 트윈 웰 구조)라고 불리며, 소거 시에 큰 구동력의 승압 회로가 필요없게 되기 때문에 소비 전력을 억제하는 등의 효과를 얻을 수 있다.
또한, 본 예의 디바이스 구조로는 게이트 절연막(25, 25 SSL , 25 GSL), 전하 축적층(26, 26 SSL , 26 GSL), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 SSL , 40 GSL) 및 도전성 폴리실리콘층(41, 41 SSL , 41 GSL)이 소자 분리 절연막(24 ; 또는 소자 영역)에 대하여 자기 정합적으로 형성되며 또한 소자 분리 절연막(24) 상면이 p형 웰 영역(23)의 표면보다도 충분하게 상부에 형성된다.
이를 위해서 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]이 p형 웰 영역(23)의 표면 근방 또는 그 보다도 하부에 배치되지 않는다. 즉, p형 웰 영역(23)과 소자 분리 절연막(24)의 경계에서의 전계 집중이나 임계치가 낮은 기생 트랜지스터의 발생을 방지할 수 있다.
또한, 본 예에서의 디바이스 구조에 따르면 전계 집중에 기인하는 기입 임계치 저하 현상 소위 사이드 워크 현상이 생기기 어렵기 때문에 고성능 및 고신뢰성의 트랜지스터를 형성할 수 있다.
컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]의 열 방향의 측벽에는 측벽 절연막(43)이 형성된다. 측벽 절연막(43)의 두께는 예를 들면 5㎚ 200㎚로 설정된다. 측벽 절연막(43)은 예를 들면 실리콘 질화막, 실리콘 산화막 등으로 구성된다.
p형 웰 영역(23) 내에는 소스 또는 드레인 전극이 되는 n형 확산층(28, 28 s , 28 d)이 형성된다.
n형 확산층(28) 전하 축적층(26), 도전성 폴리실리콘층(41) 및 컨트롤 게이트선[27(WL0), … 27(WL15)]에 의해 MONOS형 메모리셀 M0, M1, …, M15가 구성된다. 마찬가지로 n형 확산층(28, 28 s , 28 d), 전하 축적층(26 SSL , 26 GSL), 도전성 폴리실리콘층(41 SSL , 41 GSL) 및 선택 게이트선[27(SSL), 27(GSL)]에 의해 MONOS형 선택 스위칭 소자 S1, S2가 구성된다.
MONO형 메모리셀 M0, M1, …, M15의 게이트 길이는 0.01㎛ 0.5㎛의 범위 내의 소정치로 설정된다. 또한, MONOS형 선택 스위칭 소자 S1, S2의 게이트 길이는 메모리셀 M0, M1, …, M15의 게이트 길이보다도 긴 값, 예를 들면 0.02㎛ 1㎛의 범위 내의 소정치로 설정된다. 이와 같이, 채널 길이를 길게 함으로써 블록 선택/비선택 시의 온/오프비를 크게 할 수 있고, 오기입이나 오판독을 방지할 수 있다.
n형 확산층(28)은 예를 들면 인, 비소, 안티몬 등의 불순물을 포함하고, 그 표면 농도는 1×10 17 1×10 21 atoms/㎠의 범위 내의 소정치로 설정된다. n형 확산층(28)의 깊이는 예를 들면 10㎚ 500㎚의 범위 내의 소정치에 설정된다.
n형 확산층(28)을 형성할 때의 이온 주입에서는 n형 불순물을 게이트 절연막(25, 25 SSL , 25 GSL), 전하 축적층(26, 26 SSL , 26 GSL) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 SSL , 40 GSL)을 투과하여 p형 웰 영역(23) 내에 주입된다. n형 확산층(28)은 서로 인접하는 2개의 메모리셀에 공유되며, n형 확산층(28 s , 28 d)은 서로 인접하는 2개의 셀 유닛에 공유되고 있다.
본 예에 관한 디바이스 구조에 따르면 선택 스위칭 소자 S1, S2는 전하 축적층(26)을 구비하고 또한 메모리셀 M0, M1, …, M15와 마찬가지로 MONOS형 트랜지스터로 구성되고 있다. 또한, 선택 스위칭 소자 S1, S2의 선택 게이트선 SSL, GSL이 배치되는 배선층은 메모리셀 M0, M1, …, M15의 컨트롤 게이트선 WL0, WL1, …, WL15가 배치되는

배선층과 동일하다.
또한, 본 예의 디바이스 구조에서는 상술한 제1 예의 디바이스 구조와 달리, 소자 영역 상에서 전하 축적층(26)이 열 방향으로 연장하고 1셀 유닛 내의 트랜지스터의 전하 축적층(26)은 서로 일체화되어 있다. 이 때문에 본 예에서는 전하 축적층(26)은 절연체 예를 들면 SiN, 티탄 옥사이드, 탄탈 옥사이드, 알루미나 등으로 한정된다.
또한 종래의 플로팅 전극을 가지는 EEPROM과는 달리, 전하 축적층(26)이 절 연체로 구성되기 때문에, 서로 인접하는 2개의 트랜지스터(메모리셀 및 선택 스위칭 소자) 간 누설 전류를 방지하기 위한 측벽 절연막(43)은 충분하게 두껍게 형성할 필요가 없다.
즉, 본예의 디바이스 구조에 따르면 측벽 절연막(43)의 두께를 얇게 할 수 있기 때문에 셀 유닛 내의 2개의 트랜지스터의 거리를 좁힐 수 있고, 소자의 고밀도화 및 칩 사이즈의 축소에 기여할 수 있다.
또한, 선택 스위칭 소자 S1, S2의 선택 게이트선[27(SSL), 27(GSL)] 및 메모리셀 M0, M1, …, M15의 컨트롤 게이트선[27(WL0), … 27(WL15)]을 형성할 때 전하 축적층(26, 26_{SSL}, 26_{GSL})의 측벽이 노출하지 않기 때문에 전하 축적층(26, 26_{SSL}, 26_{GSL})의 오염이나 누설 전류를 방지할 수 있고 또한 소스 엣지 또는 드레인 엣지의 전계 집중에 따른 이상 기입이나 이상 소거를 감소시킬 수 있다.
또한, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL})에 대해서는 행 방향의 엣지의 가공만이 행해지며 열 방향의 엣지의 가공은 행해지지 않는다.
즉, 열 방향에 대해서는 폴리 실리콘층(41, 41_{SSL}, 41_{GSL}), 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]만을 가공하면 되고, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL})에 대해서는 가공할 필요는 없다.
이를 위해서 게이트 가공 후에 형성되는 트랜지스터 간의 단차가 적어지며 그 결과, 서로 인접하는 2개의 게이트 전극의 간격을 좁힐 수 있고, 소자의 고밀도화에 기여할 수 있다. 또한 2개의 게이트 전극 간의 홈을 층간 절연막(28)으로 매립해야만 하지만 본 예에 따르면 이 홈의 어스펙트비를 적게 할 수 있기 때문에 2개의 게이트 전극 간의 홈에 완전하게 층간 절연막(28)을 매립할 수 있다.
셀 유닛 내의 가장 드레인측(데이터 전송선측)의 n형 확산층(드레인 : 28_d)은 컨택트 플러그(31_d)를 경유하여 중간층(33_d)에 접속된다. 중간층(33_d)은 컨택트 플러그(32_d)를 경유하여 데이터 전송선(36 ; BL)에 접속된다. 셀 유닛 내의 가장 소스측(공통 전압 노드측)의 n형 확산층(소스 ; 28_s)은 컨택트 플러그(31_s)를 경유하여 공통 전압 노드(33 ; SL)에 접속된다.
데이터 전송선 BL은 예를 들면 텅스텐, 텅스텐 실리사이드, 티탄, 티탄 니트라이드, 알루미늄 등으로 구성된다. 공통 전압 노드(33 ; SL)는 행 방향으로 일직선으로 연장되어 있다. 또한, n형 확산층(28_s)을 행 방향으로 일직선으로 연장하고, 이 n형 확산층(28_s)을 행 방향의 셀 유닛에 공유시키도록 해도 된다.
컨택트 플러그(31_s, 31_d, 32_d)는 예를 들면 n형 불순물 또는 p형 불순물이 도핑된 도전성 폴리실리콘, 텅스텐, 텅스텐 실리사이드, Al, TiN, Ti 등으로 구성된다. 층간 절연막(28)은 예를 들면 SiO_2나 SiN, 폴리이미드 등으로 구성된다.
또, 데이터 전송선(36 : BL) 상에는 예를 들면 W, Al, Cu 등으로 구성되는 상부 배선이 배치된다.
본 예에 따른 디바이스 구조에서도 선택 스위칭 소자 S1, S2에 대한 임계치의 설정은 상술한 제1 예에 있어서 설명한 방법에 의해 실현할 수 있다.
또한, n형 확산층(28) 상에 의존하는 전하 축적층(26)에 트랩된 전자는 도 53 및 도 54에 도시한 플로우차트의 소거 스텝(SE1, SE1')에 의해 p형 웰 영역(23)으로 끌어 당길 수 있기 때문에, n형 확산층(28) 상의 전하 축적층(26)에 전자가 축적되지 않고 셀 유닛 내의 전류 경로의 저항의 증대를 방지할 수 있다.
[제3 예]
도 62는 본 발명의 NAND형 EEPROM의 셀 어레이 구조의 평면도를 나타내고 있다. 도 63은 도 62의 LXIII-LXIII선에 따른 단면도, 도 64는 도 62의 LXIV-LXIV선에 따른 단면도, 도 65는 도 62의 LXV-LXV선에 따른 단면도이다.
또, 도 62 도 65에 도시한 디바이스에 있어서, 도 43 도 46에 도시한 디바이스와 동일한 부분에는 동일한 부호를 붙여서 그 상세한 설명에 대해서는 생략하는 것으로 한다.
본 예의 디바이스의 특징은 상술한 제2 예에 따른 디바이스에 비교하면 전하 축적층(26)이 소자 분리 절연막(24) 상 및 소자 분리 절연막(24)에 둘려싸인 소자 영역 상의 전체에 형성되어 있는 점에 있다.
단지, 실제로 전하가 축적되는 영역은 전하 축적층(26) 중 컨트롤 게이트선[27(WL0), … 27(WL15)]의 바로 하측의 부분 및 선택 게이트선[27(SSL), 27(GSL)]의 바로 하측 부분이기 때문에, 전하 축적층(26)이 p형 웰 영역(메모리셀 어레이 영역 ; 23) 상의 전체에 형성되어 있는 점은 EEPROM의 동작 상, 모든 문제가 되지 않는다.
선택 스위칭 소자 S1, S2 및 메모리셀 M0, M1, …, M15는 모두 전하 축적층(26)을 가지는 MONOS형 트랜지스터로 구성된다. 본 예에서는 1셀 유닛(45)은 직렬 접속된 16(=2^4)개의 메모리셀로 이루어지는 NAND 스트링과 이 NAND 스트링의 양단에 하나씩 접속되는 2개의 선택 스위칭 소자 S1, S2로 구성된다.
1셀 유닛(45) 내에 배치되는 메모리셀 수는 1개 이상이면 된다. 1셀 유닛(45) 내의 메모리셀수는 1개인 경우는 특히, 3Tr-NAND라고 불리는 특수한 EEPROM이 된다. 1셀 유닛 내의 메모리셀 수는 통상, 복수개이지만, n비트 어드레스 신호의 디코드에 의해 1셀 유닛(45) 내의 메모리셀의 선택을 행하는 점을 고려하면 1셀 유닛(45) 내의 메모리셀 수는 2^n개(n은 플러스의 정수)인 것이 바람직하다.
p형 웰 영역(23)은 p형 불순물(예를 들면 붕소)을 포함하고 그 불순물 농도는 예를 들면 1×10^{14} 1×10^{19} atoms/㎤의 범위 내의 소정치에 설정된다. p형 웰 영역(23) 상에는 게이트 절연막(25, 25_{SSL}, 25_{GSL})이 형성된다. 게이트 절연막(25, 25_{SSL}, 25_{GSL})의 두께는 예를 들면 0. 5 10㎚의 범위 내의 소정치에 설정된다. 게이트 절연막(2

5, 25 $_{SSL}$, 25 $_{GSL}$)은 예를 들면 실리콘 산화막, 옥시니트라이드막 등의 절연막으로 구성된다.
게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$) 상 및 소자 분리 절연막(24) 상에는 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)이 형성된다. 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)은 예를 들면 실리콘 질화막으로 구성되며, 그 두께는 4㎚ 50㎚의 범위 내의 소정치에 설정된다.
그래서 본 예에서는 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)이 p형 웰 영역(메모리셀 영역 ; 23) 상의 전체에 형성되지만 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)은 절연체로 구성되기 때문에 EEPROM의 동작 상 모두 문제는 없다.
전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 상에는 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)이 형성된다. 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)의 두께는 예를 들면 2㎚ 30㎚으로 설정된다. 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)은 예를 들면 실리콘 산화막, 옥시니트라이드막 등의 절연막으로 구성된다.
이들 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)은 이하와 같이 해서 형성된다.
우선, p형 웰 영역(23)은 0. 05㎛ 0. 5㎛의 깊이를 갖는 트렌치를 형성한 후, 이 트렌치 내에 소자 분리 절연막(24)을 매립한다. 이 후, 소자 분리 절연막(24)의 표면이 p형 웰 영역(23)의 표면과 거의 같아지기까지, 소자 분리 절연막(24)의 평탄화 처리(에칭, CMP 등)를 행한다. 그리고, 소자 분리 절연막(24)을 둘러싼 소자 영역 상에 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$)을 형성한다.
이 후, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$) 상 및 소자 분리 절연막(24) 상에 전하 축적층(26)이 되는 실리콘 질화막을 형성하고 또한 계속해서 전하 축적층(26) 상에 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40)을 형성한다.
이와 같은 방법에서는 상술한 제1 및 제2 예와는 달리 우선, STI 구조의 소자 분리 절연막(24)이 형성된 후에, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)이 형성된다. 이를 위해서, 소자 분리 절연막(24)을 형성하기 위한 트렌치의 어스펙트비를 적게 할 수 있고 트렌치 내에 완전하게 소자 분리 절연막(24)을 매립하게 되기 때문에 소자 분리 내압의 향상을 도모할 수 있다.
전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$) 상에는 도전성 폴리실리콘층으로 구성되는 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]이 형성된다. 도전성 폴리실리콘층은 불순물(예를 들면 인, 비소, 붕소 등)을 포함하고, 그 불순물 농도는 1×10 ^{17} 1×10 ^{21} atoms/㎤로 설정된다. 도전성 폴리실리콘층의 두께는 10㎚ 500㎚의 범위의 소정치에 설정된다.
또, 본예에서는 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]은 도전성 폴리실리콘층으로 구성하였지만, 이 대신에 예를 들면 도전성 폴리실리콘층과 금속 실리사이드층(예를 들면 WSi, CoSi 등)과의 스택 구조를 가지고 있어도 된다.
컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]의 열 방향의 엣지는 캡 절연막(48)을 마스크로 한 에칭(RIE)에 의해 형성된다. 이 에칭 결과, 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]은 행 방향으로 일직선으로 연장되게 된다.
p형 웰 영역(23)과 p형 반도체 기판(21) 간에는 n형 웰 영역(22)이 배치되고 있다. 이에 의해, p형 웰 영역(23)의 전위는 p형 반도체 기판(21)과 독립적으로 설정할 수 있다. 이와 같은 구조는 더블 웰 구조(또는 트윈 웰 구조)라고 불리고, 소거 시에 큰 구동력의 승압 회로가 필요없게 되기 때문에 소비 전력을 억제하는 등의 효과를 얻을 수 있다.
컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]의 열 방향의 측벽에는 측벽 절연막(43)이 형성된다. 측벽 절연막(43)의 두께는 예를 들면 5㎚ 200㎚로 설정된다. 측벽 절연막(43)은 예를 들면 실리콘 질화막, 실리콘 산화막 등으로 구성된다.
p형 웰 영역(23) 내에는 소스 또는 드레인 전극이 되는 n형 확산층(28, 28 $_{s}$, 28 $_{d}$)이 형성된다.
n형 확산층(28), 전하 축적층(26) 및 컨트롤 게이트선[27(WL0), … 27(WL15)]에 의해 MONOS형 메모리셀 M0, M1, …, M15가 구성된다. 마찬가지로, n형 확산층(28, 28 $_{s}$, 28 $_{d}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 선택 게이트선[27(SSL), 27(GSL)]에 의해 MONOS형 선택 스위칭 소자 S1, S2가 구성된다.
MONOS형 메모리셀 M0, M1, …, M15의 게이트 길이는 0.01㎛ 0.5㎛의 범위 내의 소정치에 설정된다. 또한 MONOS형 선택 스위칭 소자 S1, S2의 게이트 길이는 메모리셀 M0, M1, …, M15의 게이트 길이보다도 긴 값, 예를 들면 0.02㎛ 1㎛의 범위 내의 소정치에 설정된다. 이와 같이, 채널 길이를 길게함으로써 블록 선택/비선택 시의 온/오프비를 크게 할 수 있고 오기입이나 오판독을 방지할 수 있다.
n형 확산층(28)은 예를 들면 인, 비소, 안티몬 등의 불순물을 포함하고 그 표면 농도는 1×10 ^{17} 1×10 ^{21} atoms/㎤의 범위 내의 소정치에 설정된다. n형 확산층(28)의 깊이는 예를 들면 10㎚ 500㎚의 범위 내의 소정치에 설정된다.
n형 확산층(28)을 형성할 때의 이온 주입에서는 n형 불순물은 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)을 투과하여 p형 웰 영역(23) 내에 주입된다. n형 확산층(28)은 서로 인접하는 2개의 메모리셀에 공유되며 n형 확산층(28 $_{s}$, 28 $_{d}$)은 서로 인접하는 2개의 셀 유닛에 공유되고 있다.
본 예에 따른 디바이스 구조에 따르면 선택 스위칭 소자 S1, S2는 전하 축적 층(26)을 가지고, 또한 메모리셀 M0, M1, …, M15와 마찬가지로 MONOS형 트랜지스터로 구성되어 있다. 또한, 선택 스위칭 소자 S1, S2의 선택 게이트선 SSL, GSL이 배치되는 배선층은 메모리셀 M0, M1, …, M15의 컨트롤 게이트선 WL0, WL1, …, WL15가 배치되는 배선층과 동일하다.

또한, 본 예의 디바이스 구조에서는 상술한 제2 예의 디바이스 구조와는 달리, 전하 축적층(26)이 소자 분리 절연막(24) 상 및 소자 분리 절연막(24)에 둘러싸인 소자 영역 상에 배치되며, 모든 셀 유닛 내의 트랜지스터의 전하 축적층(26)이 서로 일체화되어 있다. 이 때문에, 본 예에서도 전하 축적층(26)은 절연체, 예를 들면, SiN, 티탄 옥사이드, 탄탈 옥사이드, 알루미나 등에 한정된다.

또한, 종래의 플로팅 전극을 갖는 EEPROM과는 달리, 전하 축적층(26)이 절연체로 구성되기 때문에, 서로 인접하는 2개의 트랜지스터(메모리 셀 및 선택 스위칭 소자) 간의 누설 전류를 방지하기 위한 측벽 절연막(43)은 충분히 두껍게 형성할 필요가 없다.

즉, 본 예의 디바이스 구조에 따르면, 측벽 절연막(43)의 두께를 얇게 할 수 있기 때문에, 셀 유닛 내의 2개의 트랜지스터의 거리를 좁힐 수 있고, 소자의 고밀도화 및 칩 사이즈의 축소에 기여할 수 있다.

또한, 선택 스위칭 소자 S1, S2의 선택 게이트선[27(SSL), 27(GSL)] 및 메모리 셀 M0, M1, …, M15의 컨트롤 게이트선[27(WL0), … 27(WL15)]을 형성할 때, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)의 측벽이 노출하지 않기 때문에, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)의 오염이나 누설 전류를 방지할 수 있고 또한 소스 엣지 또는 드레인 엣지의 전계 집중에 의한 이상 기입이나 이상 소거를 감소시킬 수 있다.

또한, 본 예에서는, STI 구조의 소자 분리 절연막(24)을 형성한 후에, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)에 형성되기 때문에, 이들 절연막이 소자 분리 절연막(24)을 형성할 때의 열 공정에 노출되지 않는다.

따라서, 프로세스 손상없이 양호한 막질의 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)을 형성할 수 있다.

또한, 본 예에서는 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)은 p형 웰 영역(메모리셀 어레이 영역 ; 23) 상의 전체에 형성되고, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)을 가공하는 프로세스가 존재하지 않기 때문에, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)의 손상의 발생이 없이, 전하 유지 특성의 향상에 기여할 수 있다.

또한, 선택 스위칭 소자 S1, S2의 선택 게이트선[27(SSL), 27(GSL)] 및 메모리 셀 M0, M1, …, M15의 컨트롤 게이트선[27(WL0), … 27(WL15)]에만 대하여 가공하면 좋고, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)에 대해서는 가공할 필요가 없다.

이 때문에, 게이트 가공 후에 형성되는 트랜지스터 간의 단차가 작아지며, 그 결과, 서로 인접하는 2개의 게이트 전극의 간격을 좁힐 수 있고, 소자의 고밀도화에 기여할 수 있다. 또한, 2개의 게이트 전극 간의 홈을 층간 절연막(28)으로 매립하지 않으면 안되지만, 본 예에 따르면, 이 홈의 어스펙트비를 작게 할 수 있기 때문에, 2개의 게이트 전극 간의 홈에 완전히 층간 절연막(28)을 매립할 수 있다.

셀 유닛 내의 가장 드레인측(데이터 전송선측)의 n형 확산층(드레인 ; 28 $_{d}$)은 컨택트 플러그(31 $_{d}$)를 경유하여 중간층(33 $_{d}$)에 접속된다. 중간층(33 $_{d}$)은 컨택트 플러그(32 $_{d}$)를 경유하여 데이터 전송선(36 ; BL)에 접속된다. 셀 유닛 내의 가장 소스측(공통 전압 노드측)의 n형 확산층(소스 ; 28 $_{s}$)은 컨택트 플러그(31s)를 경유하여 공통 전압 노드(33 ; SL)에 접속된다.

데이터 전송선 BL은 예를 들면, 텅스텐, 텅스텐 실리사이드, 티탄, 티탄니트라이드, 알루미늄 등으로 구성된다. 공통 전압 노드(33 ; SL)는 행 방향으로 일직선으로 연장되고 있다. 또, n형 확산층(28 $_{s}$)를 행 방향으로 일직선으로 연장시켜서, 이 n형 확산층(28 $_{s}$)을 행 방향의 셀 유닛에 공유시키도록 해도 된다.

컨택트 플러그(31 $_{s}$, 31 $_{d}$, 32 $_{d}$)는 예를 들면, n형 불순물 또는 p형 불순물이 도핑된 도전성 폴리 실리콘, 텅스텐, 텅스텐 실리사이드, Al, TiN, Ti 등으로 구성 된다. 층간 절연막(28)은 예를 들면, SiO $_{2}$ 나 SiN 등의 절연막으로 구성된다. 보호막(패시베이션막 ; 37)은 예를 들면, SiO $_{2}$, SiN, 폴리이미드 등으로 구성된다.

또, 데이터 전송선(36 : BL) 상에는 예를 들면, W, Al, Cu 등으로 구성되는 상부 배선이 배치된다.

본 예에 따른 디바이스 구조에서도 선택 스위칭 소자 S1, S2에 대한 임계치의 설정은 상술한 제1 예에 있어서 설명한 방법에 의해 실현할 수 있다.

또한, n형 확산층(28) 상에 존재하는 전하 축적층(26)에 트랩된 전자는 도 53 및 도 54에 도시한 플로우차트의 소거 스텝(SE1, SE1')에 의해 P형 웰 영역(23)으로 끌어당길 수 있기 때문에, n형 확산층(28) 상의 전하 축적층(26)에 전자가 축적되지는 않고 셀 유닛 내의 전류 경로의 저항의 증대를 방지할 수 있다.

[제4 예]

도 66은 본 발명의 AND형 EEPROM의 셀 어레이 구조의 평면도를 나타내고 있다. 도 67은 도 66의 LXVII-LXVII선에 따른 단면도, 도 68은 도 66의 LXVIII-LXVIII선에 따른 단면도이다. 또한, 도 69는 도 66 내지 도 68에 도시한 디바이스의 l셀 유닛분의 등가 회로를 나타내고 있다.

본 예의 디바이스 구조는 상술한 제1 예에 따른 NAND 셀 구조의 메모리 셀 어레이를 AND셀 구조로 변경한 것이라고 생각할 수 있다.

복수개(본 예에서는, 16개)의 메모리 셀 M0, M1, …, M15는 노드 A와 노드 B 간에 병렬로 접속된다. 노드 A는 선택 스위칭 소자 S1을 경유하여 데이터 전송선 BL에 접속된다. 또한, 노드 B는 선택 스위칭 소자 S2를 경유하여 공통 전압 노드 SL에 접속된다. 메모리 셀 M0, M1, …, M15 및 선택 스위칭 소자 S1, S2는 모두 p형 웰 영역(23) 상에 형성된다.

메모리 셀 M0, M1, …, M15의 컨트롤 게이트 전극은, 컨트롤 게이트선(데이터 선택선) WL0, WL1, …, WL15에 접속된다. 컨트롤 게이트선 WL0, WL1, …, WL15는 행 방향으로 연장되며 1 블록 내의 복수의 셀 유닛(45)에 접속된다.

선택 스위칭 소자 S1, S2의 선택 스위칭 소자의 제어 게이트 전극은 선택 게이트선 SSL, GSL에 접속된다. 선택 게이트선 SSL, GSL은 행 방향으로 연장되며, 1블록 내의 복수의 셀 유닛(45)에 접속된다. 선택 게이트선 SSL, GSL은 블록의 선택을 행하고, 선택된 블록 내의 셀 유닛(45)을 데이터 전송선 BL에 전기적으로 접속하는 기능을 갖는다.

본 예에서는 선택 스위칭 소자 S1, S2는 전하 축적층(26_{SSL}, 26_{GSL})을 가지고 있고 선택 스위칭 소자 S1, S2의 디바이스 구조는 메모리셀 M0, M1, …, M15의 디바이스 구조와 실질적으로 동일해지고 있다. 또한, 선택 스위칭 소자 S1, S2의 선택 게이트선 SSL, GSL이 배치되는 배선층은 메모리 셀 M0, M1, …, M15의 컨트롤 게이트선 WL0, WL1, …, WL15가 배치되는 배선층과 동일해지고 있다.

또, 본 예에서는 1 블록 내의 셀 유닛(45)에 접속되는 선택 게이트선의 수는 2개지만 적어도 1개 존재하면 만족한다. 또한, 소자의 고밀도화를 고려하면 선택 게이트선 SSL, GSL은 컨트롤 게이트선(데이터 선택선) WL0, WL1, …, WL15로 평행 하게 배치하는 것이 바람직하다.

본 예에서는 1셀 유닛(45) 내에는 병렬 접속된 16(=2^4)개의 메모리셀이 배치되어 있지만, 1셀 유닛(45) 내에 배치되는 메모리 셀수는 1개 이상이면 좋다. 단지, n 비트 어드레스 신호에 의해 1셀 유닛(45) 내의 메모리셀 M0, M1, …, M15를 선택하는 것을 고려하면, 1셀 유닛(45) 내에는 2^n개(n은 플러스 정수)의 메모리셀을 배치하는 것이 바람직하다.

다음에, 도 66 내지 도 68에 도시하는 반도체 메모리의 디바이스 구조에 대하여 구체적으로 설명한다.

p형 실리콘 기판(21) 내에는 n형 웰 영역(n형 실리콘 영역 ; 22)이 형성되고 n형 웰 영역(22) 내에는 p형 웰 영역(p형 실리콘 영역 ; 23)이 형성된다. 이러한 웰 구조는 더블 웰 구조 또는 트윈 웰 구조라고 불린다.

p형 웰 영역(23)은 p형 불순물(예를 들면, 붕소)를 포함하고 있고, 그 불순물 농도는 1×10^{14} 1×10^{19} atoms/㎤의 범위 내의 소정치로 설정된다. p형 웰 영역(23) 상에는 예를 들면, 0.5 10㎚의 두께를 갖는 게이트 절연막(25, 25_{SSL}, 25_{GSL})이 형성된다. 게이트 절연막(25, 25_{SSL}, 25_{GSL})은 실리콘 산화막 또는 옥시니트라이드막으로 구성된다.

게이트 절연막(25, 25_{SSL}, 25_{GSL}) 상에는 예를 들면, 4㎚ 50㎚의 두께를 갖는 전하 축적층(26, 26_{SSL}, 26_{GSL})이 형성된다. 본 예에서는 전하 축적층(26, 26_{SSL}, 26_{GSL})은 실리콘 질화막으로 구성된다.

전하 축적층(26, 26_{SSL}, 26_{GSL}) 상에는 예를 들면, 2㎚ 30㎚의 두께를 갖는 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL})이 형성된다. 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL})은 실리콘 산화막 또는 옥시 니트라이드막으로 구성된다.

전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL}) 상에는 n형 불순물(예를 들면, 인, 비소) 또는 p형 불순물(예를 들면, 붕소)을 포함하고, 그 불순물 농도가 1×10^{17} 1×10^{21} atoms/㎤의 범위 내의 소정치로 설정된 폴리실리콘층(41, 41_{SSL}, 41_{GSL})이 형성된다. 도전성 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은 예를 들면, 10㎚ 500㎚의 두께로 형성된다.

게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL}) 및 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은 실리콘 산화막으로 이루어지는 소자 분리 절연막(24)에 둘러싸인 소자 영역(p형 실리콘 영역) 상에, 소자 영역[또는 소자 분리 절연막(24)]에 대하여 자기 정합적으로 형성된다.

즉, 본 예에서는 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL}) 및 도전성 폴리실리콘층(41, 41_{SSL}, 41_{GSL})을 형성한 후에, 이들을 가공(에칭)하고, 이들의 행 방향의 엣지부를 형성한다(이 시점에서는 열 방향의 엣지부를 형성하기 위한 가공은 행하고 있지 않다).

이 에칭(RIE)에서는 예를 들면, p형 웰 영역(23)도 에칭하고, p형 웰 영역(23) 내에는 그 표면에서부터 예를 들면, 0.05 0.5㎛의 깊이를 갖는 트렌치를 형성한다. 그리고, 이 트렌치 내에 소자 분리 절연막(24)을 매립하고 또한 소자 분리 절연막(24)에 대하여 CMP 또는 에치백을 행하여, 소자 영역 및 소자 분리 영역을 구획한다.

이와 같이, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL}) 및 도전성 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은 실리콘 산화막으로 이루어지는 소자 분리 절연막(24)에 둘러싸인 소자 영역 상에 소자 영역 또는 소자 분리 영역에 대하여 자기 정합적으로 형성된다. 또한, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL}) 및 폴리실리콘층(41, 41_{SSL}, 41_{GSL})은 표면이 평탄한 p형 웰 영역(23) 상에 형성되기 때문에, 메모리셀 구조의 균일성이 향상되고, 메모리 셀의 특성을 갖출 수 있다.

또한, 폴리 실리콘층(41) 상에는 행 방향으로 연장되고, 행 방향으로 배치되 는 메모리 셀 M0, M1, …, M15의 폴리실리콘층(41)을 서로 전기적으로 접속하는 컨트롤 게이트선[27(WL0), … 27(WL15)]이 형성된다. 컨트롤 게이트선[27(WL0), … 27(WL15)]은 저저항 재료, 예를 들면, WSi(텅스텐 실리사이드), NiSi, MoSi, TiSi, CoSi 등의 금속 실리사이드로 구성된다.

마찬가지로, 폴리실리콘층(41_{SSL}, 41_{GSL}) 상에는 행 방향으로 연장되어, 행 방향으로 배치되는 선택 스위칭 소자 S1, S2의 폴리실리콘층(41_{SSL}, 41_{GSL})을 서로 전기적으로 접속하는 선택 게이트선[27(SSL), 27(GSL)]이 형성된다. 선택 게이트선[27(SSL), 27(GSL)]은 저저항 재료, 예를 들면, WSi(텅스텐 실리사이드), NiSi, MoSi, TiSi, CoSi 등의 금속 실리사이드로 구성된다.

즉, 본 예에서는 메모리셀의 컨트롤 게이트 전극 및 선택 스위칭 소자의 제어 전극은 모두 불순물 농도가 1×10^{17} 1×10^{21} atoms/㎤의 폴리 실리콘층(41)과, WSi(텅스텐 실리사이드), NiSi, MoSi, TiSi, CoSi 등의 금속 실리사이드와의 스택 구조로 되어 있다.

또, 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]의 두께는 예를 들면 10㎚ 500㎚로 설정된다. 또한, 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]은 행 방향으로 배치되는 복수의 셀 유닛으로 이루어지는 1블록의 행 방향의 단부에서 단부까지 연장되고 있다.

컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)] 상에는 게이트 가공 시의 마스크가 되는 캡 절연막(48)이 형성된다.

이 캡 절연막(48)을 마스크로 하여, 게이트 절연막(25, 25_{SSL}, 25_{GSL}), 전하 축적층(26, 26_{SSL}, 26_{GSL}), 전하 축적층과 컨트롤 게이트 전극 간의 절연막(40, 40_{SSL}, 40_{GSL}), 폴리실리콘층(41, 41_{SSL}, 41_{GSL}) 및 제어선[컨트롤 게이트선 및 선택 게이트선 ; 27[(WL0), …, 27(WL15), 27(SSL), 27(GSL)]을 에칭하면, 이들의 열 방향의 엣지부가 형성된다.

그리고, MONOS형 EEPROM셀(메모리셀)은 n형 확산층(28), 전하 축적층(26), 폴리 실리콘층(41) 및 컨트롤 게이트선[27(WL0), … 27(WL15)]에 의해 구성된다. 또, 선택 스위칭 소자도 n형 확산층(28, 28_s, 28_d), 전하 축적층(26_{SSL}, 26_{GSL}), 폴리실리콘층(41_{SSL}, 41_{GSL}) 및 선택 게이트선[27(SSL), 27(GSL)]에 의해 구성된다.

MONOS형 EEPROM셀의 게이트 길이는 0.01㎛ 0.5㎛의 범위 내의 소정치로 설정된다. n형 확산층(28, 28_s, 28_d)은 n형 불순물(예를 들면, 인, 비소, 안티몬 등)을 포함하고, 그 표면 농도는 1×10^{17} 1×10^{21} atoms/㎤의 범위 내의 소정치로 설정된다. 또한, n형 확산층(28, 28_s, 28_d)의 깊이는 예를 들면, 10㎚ 500㎚의 범위 내의 소정치로 설정된다.

n형 확산층(소스/드레인 ; 28)은 병렬 접속된 여러개(본 예에서는, 16개)의 메모리셀에 의해 공유되어, 그 결과, 복수의 병렬 접속된 메모리셀로 이루어지는 AND셀 구조가 실현된다. 또한, n형 확산층(28_s, 28_d)은 열 방향으로 서로 인접하는 2개의 셀 유닛에 의해 공유된다.

선택 스위칭 소자의 게이트 길이는 MONOS형 EEPROM셀(메모리셀)의 게이트 길이보다도 길어지도록 설정된다. 예를 들면, 선택 스위칭 소자의 게이트 길이는 0.02㎛ 1㎛의 범위 내의 소정치로 설정된다. 이와 같이, 선택 스위칭 소자의 게이트 길이를 메모리셀의 게이트 길이보다도 길게 함으로써, 블록 선택/비선택 시의 온/오프비를 충분하게 크게할 수 있기 때문에 오기입이나 오판독을 방지할 수 있다.

본 예에 따른 디바이스 구조의 특징은 선택 스위칭 소자와 메모리셀이 모두 MONOS형 MOSFET로 구성되어 있는 점에 있다. 또한, 본 예에 따른 디바이스 구조의 특징은 선택 스위칭 소자의 선택 게이트선[27(SSL), 27(GSL)]이 MONOS형 EEPROM셀(메모리셀)의 컨트롤 게이트선[27(WL0), … 27(WL15)]과 동일 층에 형성되어 있는 점에 있다.

본 예에서는 메모리셀의 절연막(25) 및 전하 축적층(26)의 두께는 각각 선택 스위칭 소자의 절연막(25_{SSL}, 25_{GSL}) 및 전하 축적층(26_{SSL}, 26_{GSL})의 두께와 실질적으로 동일하게 하고 있다. 즉, 메모리셀과 선택 스위칭 소자에서 동시에 게이트 절연막(25, 25_{SSL}, 25_{GSL}) 및 전하 축적층(26, 26_{SSL}, 26_{GSL})을 형성할 수 있기 때문에, 제조 공정이 짧아 프로세스 비용을 내릴 수 있다.

또한, 열 방향으로 서로 인접하는 2개의 MOSFET(메모리셀 및 선택 스위칭 소 자를 포함한다) 간에는 전하 축적층(26, 26_{SSL}, 26_{GSL})이 형성되어 있지 않다. 이 때문에, 열 방향으로 서로 인접하는 2개의 MOSFET 간의 절연막에 전자가 축적되지 않는다.

셀 유닛 내의 가장 데이터 전송선측의 n형 확산층(드레인 전극 ; 28_d)은 데이터 전송선 BL에 접속된다. 데이터 전송선 BL은 예를 들면, 불순물을 포함하는 도전성 폴리 실리콘, 텅스텐, 텅스텐 실리사이드, 티탄, 티탄니트라이드, 알루미늄 등으로 구성된다. 셀 유닛 내의 가장 공통 전압 노드측의 n형 확산층(소스 전극 ; 28_s)은 공통 전압 노드에 접속된다.

메모리셀 및 선택 스위칭 소자는 층간 절연막(28)에 의해서 덮어지고 있다. 데이터 전송선(36 : BL)은 예를 들면, 다마신 프로세스에 의해, 층간 절연막(28)에 설치된 배선홈 내에 형성된다. 층간 절연막(28)은 예를 들면, SiO_2 나 SiN 등으로 구성된다.

데이터 전송선(36 ; BL) 상에는 예를 들면, W, Al, Cu 등의 금속으로 구성되는 상부 배선이 형성된다. 그리고, 데이터 전송선(36 : BL) 및 상부 배선은 각각 예를 들면, SiO_2, SiN, 폴리이미드 등의 절연막으로 구성되는 보호막(패시베이션막 ; 37)으로 덮어진다.

또, 이러한 디바이스 구조에 있어서, p형 웰 영역(23)과 p형 반도체 기판(21) 간에는 n형 웰 영역(22)이 배치되어 있다. 이 때문에, p형 웰 영역(23) 의 전위는 p형 반도체 기판(21)의 전위와는 독립적으로 설정할 수 있다. 그 결과, 예를 들면, 소거 시에 승압 회로(부스터)의 소비 전력을 줄일 수 있다.

본 예에서는 폴리 실리콘층(41, 41_{SSL}, 41_{GSL})의 행 방향의 엣지부를 형성하고 또한 p형 웰 영역(23) 내에 트렌치를 형성하고, 이 트렌치 내에 소자 분리 절연막(24)을 매립한 후에 행 방향으로 연장되는 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]을 형성하고 있다.

따라서, 도 67 및 도 68에 도시한 바와 같이, 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]은 항상 p형 웰 영역(23)의 상부에 형성되며 p형 웰 영역(23)의 근방 또는 하부에 형성되지는 않는다.

즉 본 예에 관한 디바이스 구조에서는 p형 웰 영역(23)과 소자 분리 절연막(24)의 경계에 있어서, 전계 집중이 발생하기 어렵고, 또한 임계치가 낮은 기생 트랜지스터도 발생하기 어렵게 되어 있다.

본 예에서는, AND셀 구조를 채용하고 있기 때문에, 메모리셀 M0, M1, … M15의 직렬 저항을 작고, 또한, 일정하게 할 수 있는데, 예를 들면, 메모리셀에 기억된 데이터를 다치화(multi-level)한 경우에, 메모리셀의 임계치를 안정시키기에 적합하다.

본 예에 따른, 디바이스 구조에 있어서도 상술된 제1예와 마찬가지로, 선택 스위칭 소자 S1, S2의 임계치의 설정을 행할 수 있다. 임계치의 설정시에 있어서 AND셀 구조를 채용한 경우의 동작의 특징은 판독 동작시에, 선택 블럭 내의 비선택 메모리셀을 오프 상태로 한다는 점에 있다.

즉, NAND셀 구조에서는 판독 동작시, 선택 블럭 내의 비선택 메모리셀은 오프 상태로 된다. 이 점 이외의 동작은, AND셀 구조를 채용한 경우와 NAND셀 구조를 채용한 경우에 동일해진다. 따라서 AND셀 구조를 채용한 경우에도, 예를 들면, 도 53 및 도 54에 도시한 플로우차트에 의해, 선택 스위칭 소자 S1, S2의 임계치의 설정이 가능하다.

또한 본 예에 있어서는 메모리셀 M0, M1, … M15 사이에는, 전하 축적층(26)이 배치되어 있지 않다. 따라서 전하 축적층(26)은 도전체, 예를 들면, P, As 또는 B가 도핑된 Si, SiGe, Ge도 좋고, SiN 이외의 절연막, 예를 들면, 티탄옥사이드, 탄탈옥사이드, 알루미나등도 좋다.

[제5 예]

도 70은, 본 발명의 AND형 EEPROM의 셀 어레이 구조의 평면도를 나타내고 있다. 도 71은, 도 70의 LXXI-LXXI선에 따른 단면도, 도 72는 도 70의 LXXII-LXXII선에 따른 단면도이다. 도 70 내지 도 72의 디바이스의 등가 회로는 도 69에 도시하도록 한다.

또한, 도 70 내지 도 72에 도시한 디바이스에 있어서 도 66 내지 도 68에 도시한 디바이스와 동일한 부분에는 동일한 부호를 붙여둔다.

본 예의 디바이스의 특징은, 상술된 제4예에 관한 디바이스에 비교하면, 전하축적층(26, 26 $_{SSL,}$ 26 $_{GSL}$)이 소자 분리 절연막(24) 상 및 소자 분리 절연막(24)에 둘러싸인 소자 영역 상의 전체에 형성되어 있다는 점에 있다.

복수개(본 예에서는 16개)의 메모리셀 M0, M1, … M15는 노드 A와 노드 B 사이에 병렬로 접속되는다. 노드A는 선택 스위칭 소자 S1을 경유하여 데이터 전송선 BL에 접속되는다. 또 노드 B는 선택 스위칭 소자 S2를 경유해서 소스선 SL에 접속되는다. 메모리셀 M0, M1, … M15 및 선택 스위칭 소자S1, S2는 모두 p형 웰 영역(23)상에 형성된다.

메모리셀 M0, M1, … M15의 컨트롤 게이트 전극은 컨트롤 게이트 선(데이터 선택선, 즉 데이터 전송선) WL0, WL1, … WL15에 접속되는다. 컨트롤 게이트선 WL0, WL1, … WL15는 행 방향으로 연장되어 1블럭 내의 복수의 셀 유닛에 접속된다.

선택 스위칭 소자 S1, S2의 선택 스위칭 소자의 제어 게이트 전극은, 선택 게이트선 SSL, GSL에 접속된다. 선택 게이트선 SSL, GSL은 행 방향으로 연장되어 1블럭 내의 복수의 셀 유닛에 접속된다. 선택 게이트선 SSL, GSL은 블럭의 선택을 행하고, 선택되어진 블록 내의 셀 유닛을 데이터 전송선 BL에 상기적으로 접속하는 기능을 가진다.

본 예에서는 선택 스위칭 소자 S1, S2는, 전하 축적층(26 $_{SSL}$, 26 $_{GSL}$)을 가지고, 선택 스위칭 소자 S1, S2의 디바이스 구조는 메모리셀 M0, M1, … M15의 디바이스 구조와 실질적으로 동일하게 되어 있다. 또한, 선택 스위칭 소자 S1, S2의 선택 게이트선 SSL, GSL이 배치된 배선층은 메모리셀 M0, M1 … M15의 컨드롤 게이 트선 WL0, WL1,… WL15가 배치된 배선층과 동일하게 되어 있다.

또한, 본 예에서는, 1블록 내의 셀 유닛(45)에 접속되는 선택 게이트선의 수는, 2개이지만, 적어도 1개만 존재해도 충분하다. 또한, 소자의 고밀도화를 고려하면 선택 게이트선 SSL, GSL은 컨트롤 게이트선(데이터 전송선) WL0, WL1, … WL15에 평행하게 배치하는 것이 바람직하다.

본 예에서는, 1셀 유닛(45) 내에는 병렬 접속되는 16(=2 ^{4})개의 메모리셀이 배치되어 있지만, 1셀 유닛(45) 내에 배치된 메모리셀 수는 1개 이상이면 된다. 다만, n비트 어드레스 신호에 의해 1셀 유닛(45) 내의 메모리셀 M0, M1, … M15를 선택하는 것을 고려하면, 1셀 유닛(45) 내에는, 2 ^{n} 개(n은 플러스의 정수)의 메모리셀을 배치하는 것이 바람직하다.

다음에, 도 70 내지 도 72에 도시된 반도체 메모리의 디바이스 구조에 대해 구체적으로 설명한다.

p형 실리콘 기판(21) 내에는, n형 웰 영역(n형 실리콘 영역 ; 22)이 형성되고, n형 웰 영역(22) 내에는, p형 웰 영역(p형 실리콘 영역 ; 23)이 형성된다. 이와 같은 웰 구조는, 더블 웰 구조 또는 트윈 웰 구조라 불린다.

p형 웰 영역(23)은, p형 불순물(예를 들면, 붕소)을 포함하고, 그 불순물 농도는, 1×10 ^{14} 1×10 ^{19} atoms/㎤의 범위 내의 소정치로 설정된다. p형 웰 영역(23)상에는, 예를 들면, 0.5 10nm의 두께를 가진 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$)이 형성된다. 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$)은, 실리콘 산화막 또는 옥시니트라이드막으로 구성된다.

게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$)상에는, 예를 들면, 4nm 50nm의 두께를 가진 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)이 형성된다. 본 예에서는, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)은, 실리콘 질화막으로 구성된다.

전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)상에는, 2nm 30nm의 두께를 가진 전하 축적층과 컨트롤 게이트 전극 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)이 형성된다. 전하 축적층과 컨트롤 게이트 전극 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)은 실리콘 산화막 또는 옥시니트라이드막으로 형성된다.

본 예에서는, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)은, p형 웰 영역(메모리셀 어레이 영역 ; 23)상의 전체에 형성된다.

여기에서, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)은, 절연체로 구성되기 때문에, 전하축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)이 p형 웰 영역(메모리셀 어레이 영역 ; 23)상의 전체에 형성되어,도 EEPROM의 동작상, 전혀 문제는 없다.

이들 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극과의 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)은, 이하와 같이 함으로써 형성된다.

우선, p형 웰 영역(23)에, 0.05 0.5㎛의 깊이를 가진 트렌치를 형성한 후, 이 트렌치 내에 소자 분리 절연막(24)을 매립한다. 그 후, 소자 분리 절연막(24)의 표면이 p형 웰 영역(23)의 표면과 거의 동일하게 될 때까지, 소자 분리 절연막(24)의 평탄화 처리(에치백, CMP등)를 행한다. 그리고, 층간 절연막(46)을 형성한 후, 소자 분리 절연막(24)에 둘러싸인 소자 영역상에, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$)을 형성한다.

그 후, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$) 상 및 층간 절연막(46) 상에, 전하 축적층(26)이 된 실리콘 질화막을 형성하고, 또 계속해서 전하 축적층(26) 상에 전하 축적층과 컨트롤 게이트 사이에 절연막(40)을 형성한다.

이와 같은 방법으로는, 우선, STI구조의 소자 분리 절연막(24)이 형성되는 후에, 게이트 절연막(25, 25 $_{SSL}$,25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극과의 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)이 형성된다. 그 때문에, 소자 분리 절연막(24)을 형성하기 위한 트렌치의 어스펙트비를 작게 할 수 있고, 트렌치 내에 완전하게 소자 분리 절연막(24)을 매립하기 위해, 소자 분리 내압의 향상을 도모할 수 있다.

전하 축적층과 컨트롤 게이트 전극 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)상에는, 예를 들면, 폴리실리콘층으로 이루어지는 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]이 형성된다.

이 경우, 폴리실리콘층은, n형 불순물(예를 들면, 인, 비소) 또는 p형 불순물(예를 들면, 붕소)을 포함하고, 그 불순물 농도가 1×10 ^{17} 1×10 ^{21} atoms/㎤의 범위 내의 소정치로 설정된다. 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선 [27(SSL), 27(GSL)]은, 예를 들면 10㎚ 500㎚의 두께로 형성된다.

컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]은, 폴리실리콘층이 아니고, 예를 들면 WSi(텅스텐실리사이드), NiSi, MoSi, TiSi, CoSi등의 금속 실리사이드로 구성될 수도 있다. 또한, 컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27(GSL)]은, 폴리실리콘과 금속 실리사이드의 적층 구조로 구성되어 있어도 좋다.

컨트롤 게이트선[27(WL0), … 27(WL15)] 및 선택 게이트선[27(SSL), 27 (GSL)] 상에는, 게이트 가공시의 마스크로 되는 캡 절연막(48)이 형성된다.

이 캡 절연막(48)을 마스크로 해서, 컨트롤 게이트선[27(WL0),… 27(WL15)]및 선택 게이트선[27(SSL), 27(GSL)]을 에칭하면 이들의 열 방향의 엣지부가 형성된다.

그리고, MONOS형 EEPROM셀(메모리셀)은 n형 확장층(28), 전하 축적층 (26)및 컨트롤 게이트선[27(WL0),… 27(WL15)]에 의해 구성된다. 또, 선택 스위칭 소자도, n형 확장층(28, 28 $_{s}$, 28 $_{d}$), 전하 축적층(26 $_{SSL}$ 26 $_{GSL}$) 및 선택 게이트선 [27(SSL), 27(GSL)]에 의해 구성된다.

MONOS형 EEPROM셀의 게이트 길이는, 0.01㎛ 0.5㎛의 범위 내의 소정치로 설정된다. n형 확산층(28, 28 $_{s}$, 28 $_{d}$)은, n형 불순물(예를 들면, 인, 비소, 안티몬 등)을 포함하고, 그 표면 농도는, 1×10 ^{17} 내지 1×10 ^{21} atoms/㎤의 범위 내의 소정치로 설정된다. 또한, n형 확산층(28, 28 $_{s}$, 28 $_{d}$)의 깊이는, 예를 들면, 10㎚ 500㎚의 범위 내의 소정치로 설정된다.

n형 확산층(소스/드레인 ; 28)은, 병렬 접속되는 복수개(본 예에서는 16개) 의 메모리셀에 의해 공유되는데, 그 결과, 복수의 병렬 접속되는 메모리셀로 이루어진 AND 셀 구조가 실현된다. 또한, n형 확산층(28 $_{s}$, 28 $_{d}$)은 열 방향으로 상호 인접하는 두개의 셀 유닛에 의해 공유된다.

선택 스위칭 소자의 게이트 길이는, MONOS형 EEPROM셀(메모리셀)의 게이트 길이보다도 길어 지도록 설정된다. 예를 들면, 선택 스위칭 소자의 게이트 길이는, 0.02㎛ 1㎛의 범위 내의 소정치로 설정된다. 이와 같이 선택 스위칭 소자의 게이트의 길이를 메모리셀의 게이트 길이보다도 길게 함으로써, 블록 선택/비선택시의 온/오프비를 충분히 크게 할 수 있기 때문에, 오기입과 오판독을 방지할 수 있다.

본 예에 따른 디바이스 구조의 특징은, 선택 스위칭 소자와 메모리셀이, 모두, MONOS형 MOSFET로 구성되어 있는 점이다. 또한 본 예에 따른 디바이스 구조의 특징은, 선택 스위칭 소자의 선택 게이트선[27(SSL), 27(GSL)]이 MONOS형 EEPROM셀(메모리셀)의 컨트롤 게이트선[27(WL0), … 27(WL15)]과 동일한 층에 형성되어 있다는 점이다.

본 예에서는 메모리셀의 게이트 절연막(25) 및 전하 축적층(26)의 두께는, 각각 선택 스위칭 소자의 게이트 절연막(25 $_{SSL}$, 25 $_{GSL}$) 및 전하 축적층(26 $_{SSL}$, 26 $_{GSL}$)의 두께와 실질적으로 동일하게 되어 있다. 즉, 메모리셀과 선택 스위칭 소자에 있어서, 동시에, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$) 및 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)을 형성할 수 있기 때문에, 제조 공정이 짧고, 프로세스 비용을 줄일 수 있다.

또한 n형 확산층(28)상에는, 충분히 두꺼운 층간 절연막(46)이 형성된다. 셀 유닛 내의 데이터 전송선측의 n형 확산층(드레인 전극 ; 28 $_{d}$)은, 데이터 전송선 BL에 접속된다. 데이터 전송선 BL은, 예를 들면, 불순물을 포함한 도전성 폴리실리콘, 텅스텐, 텅스텐실리사이드, 티탄, 티탄니트라이드, 알루미늄등으로 구성된다. 셀 유닛 내의 공통 전압 노드측의 n형 확산층(소스 전극 ; 28 $_{s}$)은 공통 전압 노드에 접속된다.

메모리셀 및 선택 스위칭 소자는 층간 절연막(28)에 의해 피복되어 있다. 데이터 전송선[36(BL)], 예를 들면, 다마신 프로세스에 의해, 층간 절연막(28)에 설치된 배선 홈내에 형성되는다. 층간 절연막(28)은, 예를 들면, SiO $_{2,}$ 나 SiN 등으로 구성된다.

데이터 전송선[36(BL)]상에는, 예를 들면, W, Al, Cu등의 금속으로 구성되는 상부 배선이 형성된다. 그리고, 데이터 전송선[36(BL)] 및 상부 배선은, 각각 예를 들면, SiO $_{2}$, SiN, 폴리이미드 등의 절연막으로 구성되는 보호막(패시베이션막 ; 37)로 피복된다.

또한, 이와 같은 디바이스 구조에 있어서, p형 웰 영역(23)과 p형 반도체 기판(21) 사이에는, n형 웰 영역(22)이 배치되어 있다. 그 때문에, p형 웰 영역(23)의 전위는, p형 반도체 기판(21)의 전위와는 독립적으로 설정할 수 있다. 그 결과, 예를 들면, 소거시에, 승압 회로(부스터)의 소비 전력을 줄일 수 있다.

본 예의 드바이스 구조에서는, 전하 축적층(26)이 소자 분리 절연막(24)상 및 소자 분리 절연막(24)에 둘러싸인 소자 영역상에 배치되고, 모두 셀 유닛 내의 트랜지스터의 전하 축적층(26)이, 상호 일체화되어 있다. 그 때문에, 본 예에 있어서는, 전하 축적층(26)은, 절연체, 예를 들면, SiN, 티탄옥사이드, 탄탈옥사이드, 알루미나등으로 한정된다.

또한, 종래의 플로팅 전극을 가진 EEPROM과는 달리, 전하 축적층(26)이 절연체로 구성되기 때문에, 상호 인접하는 2개의 트랜지스터(메모리셀 및 선택 스위칭 소자)의 사이의 누설 전류를 방지하기 위한 측벽 절연막(43)은, 충분히 두껍게 형성할 필요가 없다.

즉, 본 예의 디바이스 구조에 의하면, 측벽 절연막(43)의 두께를 얇게 할 수 있기 때문에, 셀 유닛 내의 2개의 트랜지스터의 거리를 좁힐 수 있어, 소자의 고밀도화 및 칩 사이즈의 축소에 공헌할 수 있다.

또한, 선택 스위칭 소자 S1, S2의 선택 게이트선[27(SSL), 27(GSL)] 및 메모리셀 M0, M1, … M15의 컨트롤 게이트선[27(WL0), … 27(WL15)]을 형성할 때에 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)의 측벽이 노출되지 않기 때문에, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)의 오염과 누출을 방지할 수 있고, 또한, 소스 엣지 또는 드레인 엣지의 전계 집중에 의한 이상 기입 및 이상 소거를 감소시킬 수 있다.
또한, 본 예에서는, STI구조의 소자 분리 절연막(24)을 형성한 후, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(절연막 ; 26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극과의 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)이 형성되기 때문에, 이들 절연막이, 소자 분리 절연막(24)을 형성할 때의 열공정으로 노출되는 일은 없다.
따라서, 프로세스 손상없이 양호한 막질의 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$),전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극과의 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)을 형성할 수 있다.
또한, 본 예에서는, 전하 축적층(26,26 $_{SSL}$, 26 $_{GSL}$)은, p형 웰 영역(메모리셀 어레이 영역 ; 23)상의 전체에 형성되고, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)을 가공한 프로세스가 존재하지 않기 때문에, 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$)의 손상의 발생이 없고, 전하 유지 특성의 향상에 공헌할 수 있다.
또한, 선택 스위칭 소자 S1, S2의 선택 게이트선[27(SSL), 27(GSL)] 및 메모 리셀 M0, M1,… M15의 컨트롤 게이트선[27(WL0) … 27(WL15)]에 대해서만 가공하면 되고, 게이트 절연막(25, 25 $_{SSL}$, 25 $_{GSL}$), 전하 축적층(26, 26 $_{SSL}$, 26 $_{GSL}$) 및 전하 축적층과 컨트롤 게이트 전극과의 사이의 절연막(40, 40 $_{SSL}$, 40 $_{GSL}$)에 대해서는 가공할 필요가 없다.
그 때문에, 게이트 가공 후에 형성되는 트랜지스터 사이의 단차가 작아지고, 그 결과, 상호 인접하는 2개의 게이트 전극의 홈을 좁힐 수 있고, 소자의 고밀도화에 공헌할 수 있다. 또한, 2개의 게이트 전극 사이의 홈의 층간 절연막(28)로 매립해야하지만, 본 예에 따르면, 그 간격의 어스펙트비를 작게 할 수 있기 때문에, 2개의 게이트 전극간의 홈에 완전하게 층간 절연막(28)을 매립할 수 있다.
또한, 본 예에서는, AND셀 구조를 채용하고 있기 때문에, 메모리셀 M0, M1 … M15의 직렬 저항을 작게 또한 일정하게 할 수 있고, 예를 들면, 메모리셀에 기억된 데이터를 다치화(multi-level)한 경우에, 메모리셀의 임계치를 안정시키기에 적합하다.
본 예에 따른 디바이스 구조에 있어서도, 상술된 제1예와 마찬가지로, 선택 스위칭 소자 S1, S2의 임계치의 설정을 행할 수 있다. 임계치의 설정시에 있어서, AND셀 구조를 채용한 경우의 동작의 특징은 판독 동작시, 선택 블록 내의 비선택 메모리셀을 오프 상태로 한다는 점이다.
즉, NAND셀 구조에서는, 판독 동작시, 선택 블록 내의 비선택 메모리셀은 온 상태가 된다. 이 이외의 동작은, AND셀 구조를 채용한 경우와 NAND셀 구조를 채용 한 경우에 동일해진다. 또한, AND셀 구조를 채용한 경우에도, 예를 들면, 도 53 및 도 54에 도시한 플로우차트에 의해, 선택 스위칭 소자 S1, S2의 임계치의 설정이 가능하다.
[기타]
이상의 모든 예에 관해서, 선택 스위칭 소자 S1, S2의 선택 게이트선 SSL, GSL과 메모리셀 M0, M1, … M15의 컨트롤 게이트선 WL0, WL1, … WL15는, 동일한 배선층 내에 형성되기 때문에, 선택 게이트선 WL0, W1, … WL15의 배선 저항을 모두 낮게 설정할 수 있다.
즉, 선택 게이트선 SSL, GSL 및 컨트롤 게이트선 WL0, WL1, …WL15에 대해, 폴리사이드 프로세스나 살리사이드 프로세스등의 게이트 배선의 저항치를 낮추는 프로세스를 채용할 수 있음과 함께 선택 게이트선 SSL, GSL 및 컨트롤 게이트선 WL0, WL1, … WL15를 동시에 형성할 수 있기 때문에, 제조 스텝수의 삭감에 의한 비용의 저감을 도모할 수 있다.
또한, 선택 게이트선 SSL, GSL 및 컨트롤 게이트선 WL0, WL1, … WL15는, 1회의 PEP(photo Engraving Process) 및 RIE에 의해 패터닝할 수 있기 때문에, 리소그래피시의 선택 게이트선 SSL, GSL과 컨트롤 게이트선 WL0, WL1, … WL15의 위치 어긋남의 문제도 발생하지 않는다.
또한, 선택 게이트선 SSL, GSL의 저저항화를 위해, 선택 게이트선 SSL, GSL상의 소위 저저항의 배면 서브 와이어가 필요없기 때문에, 배선층의 수를 감소 시킬수 있다. 또한, 선택 게이트선 SSL, GSL과 배면 서브 와이어의 컨택트부(분로 부분)도 불필요하기 때문에, 칩 면적을 삭감시킬 수 있고, 또한, 컨택트 불량과 단선 불량의 문제도 없앨 수 있다.
또한, 플로팅 전극이 아니고, 예를 들면, 절연체로 구성되는 전하 축적층(26)을 이용하고 있기 때문에, 소위 슬릿 작성 프로세스등이 불필요하여, 프로세스의 간단화를 실현 할 수 있다. 또한, 선택 스위칭 소자의 제조 프로세스와 메모리셀의 제조 프로세스를 완전히 공통화할 수 있다.
또한, 선택 게이트선 SSL, GSL과 배면 서브 와이어의 컨택트부(분로 부분)가 불필요하기 때문에, 예를 들면, 데이터 전송선/공통 전압 노드 컨택트부를 삽입하는 2개의 선택 게이트선 SSL, GSL의 간격은, 메모리셀의 컨트롤 게이트선 WL0, WL1, … WL15의 간격으로 동일하게 할 수 있다.
또, 본 발명은 상술된 5개의 예에 한정되지 않는다.
예를 들면, 소자 분리 절연막(25)을 포함한 절연막의 형성 방법에 대해서는, 실리콘(Si)을, 실리콘 산화막이나 실리콘 질화막으로 변환하는 방법 외에, 산소 이온을 실리콘 내로 주입하는 방법이나 퇴적된 실리콘을 산화하는 방법등을 이용할 수도 있다.
또한, 전하 축적층(26)은, TiO_2 , Al_2O_3 , 탄탈산화막, 티탄산스트론튬, 티탄산 발륨, 티탄산질코늄연, 또는 이들의 적층막을 이용해도 좋다.
또한, 상술된 각 예에서는, p형 반도체 기판(실리콘 기판 ; 21)을 채용했지만, 그것 대신에 예를 들면, n형 실리콘 기판, SOI(Silicon On Insulator)기판, 실 리콘을 포함한 단결정 반도체 기판(SiGe 혼정 기판, SiGeC 혼정 기판등)을 채용해도 좋다.

또, 메모리셀 M0, M1, … M15 및 선택 스위칭 소자 S1, S2는, p형 웰 영역(23) 내에 형성되는 n채널 트랜지스터로 구성되어 있지만, 그 대신에 n형 웰 영역(n형 반도체 기판도 좋다) 내에 형성되는 p채널 트랜지스터로 형성되어도 좋다. 이 경우, 상술된 각 예에서는, n형을 p형으로 치환하고, p형을 n형으로 치환하면 된다.
메모리셀의 컨트롤 게이트 전극 및 선택 스위칭 소자의 선택 스위칭 소자의 제어 게이트 전극은, Si 반도체, SiGe 혼정 또는 SiGeC 혼정으로 구성되어도 좋고, 또한, TiSi, NiSi, CoSi, TaSi, WSi, MoSi 등의 실리사이드(또는 폴리사이드)로 구성되어도 좋으며, 또한, Ti, Al, Cu, TiN, W 등의 금속으로 구성되어도 좋고, 또한, 다결정 재료로 구성되어도 좋고, 또, 이들의 적층 구조로 구성되어도 좋다.
또한, 메모리셀의 컨트롤 게이트 전극 및 선택 스위칭 소자의 선택 스위칭 소자의 제어 게이트 전극은, 비정질 Si, 비정질 SiGe 혼정 혹은 비정질 SiGe 혼정, 또는, 이들의 적층 구조로 구성되어도 좋다. 메모리셀 M0, M1, … M15 및 선택 스위칭 소자 S1, S2의 전하 축적층(26, 26_{SSL}, 26_{GSL})은, 복수의 도트 형태의 부재의 집합으로 구성되어 있어도 좋다.
그 외, 본 발명은 그 요지를 일탈하지 않는 범위에서, 여러 가지로 변형하여 실시할 수 있다.

발명의 효과

이상, 설명된 바와 같이 본 발명의 반도체 메모리에 의하면, 선택 스위칭 소자 S1, S2의 선택 게이트선 SSL, GSL과 메모리셀 M0, M1, … M15의 컨트롤 게이트선 WL0, WL1, … WL15는, 동일한 배선층 내에 형성할 수 있고, 선택 게이트선 SSL, GSL 및 컨트롤 게이트선 WL0, WL1, … WL15의 배선 저항을 동시에 저하 시킬 수 있다.
즉, 선택 게이트선 SSL, GSL 및 컨트롤 게이트선 WL0, WL1, … WL15에 대해, 폴리사이드 프로세스나 살리사이드 프로세스등의 게이트 배선의 저저항 프로세스를 공통으로 이용할 수 있어, 배선 저항의 저하와 함께 제조 스텝수의 삭감을 실현할 수 있다.
또한, 선택 게이트선 SSL, GSL과 컨트롤 게이트선 WL0, WL1, … WL15는, 1회의 리소그래피에 의해 형성되는 마스크를 이용해서 동시에 가공할 수 있기 때문에 선택 게이트선(SSL,GSL)과 컨트롤 게이트선 WL0, WL1, … WL15의 위치 어긋남의 문제가 없고, 칩 면적이 증대하지도 않는다.
또한, 선택 게이트선 SSL, GSL의 저저항화를 위해, 선택 게이트선 SSL, GSL상에 소위 저저항의 배면 서브 와이어가 필요없기 때문에, 배선층의 수를 감소시킬 수 있다. 또한, 선택 게이트선 SSL, GSL과 배면 서브 와이어의 컨택트부(분로 부분)도 불필요하기 때문에, 칩 면적을 삭감할 수 있고, 또한, 컨택트 불량과 단선 불량의 문제도 없앨 수 있다.
또, 플로팅 전극이 아니라, 예를 들면, 절연체로 구성되는 전하 축적층(26) 을 이용하고 있기 때문에, 소위 슬릿 작성 프로세스 등이 불필요하여, 프로세스의 간략화를 실현할 수 있다. 또한, 선택 스위칭 소자의 제조 프로세스와 메모리셀의 제조 프로세스를 완전히 공통화할 수 있다.
또한, 선택 게이트선 SSL,GSL과 배면 서브 와이어의 컨택트부(분로 부분)가 불필요하기 때문에, 예를 들면, 데이터 전송선/공통 전압 노드 컨택트부를 삽입하는 2개의 선택 게이트선 SSL, GSL의 간격은, 메모리셀의 컨트롤 게이트선 WL0, WL1, … WL15의 간격으로 동일하게 할 수 있다.
(3) 부가적인 이점과 변형예들이 상기 기술분야에 숙련된 사람들에게는 나타날 것이다. 따라서 보다 넓은 측면에 있어서 본 발명은 상기 기술된 특별한 분야와 실시예들에만 한정되지 않는다. 결국 다양한 변형예들이 부가적인 청구항들과 그들의 동등물들에 의해 정의된 일반적인 발명개념의 핵심이나 범위를 벗어나지 않고 만들어질수 있다.

(57) 청구의 범위

청구항 1.
반도체 메모리에 있어서,
제1단 및 제2단을 구비하고, 상기 제1 및 2단 사이에 직렬 접속되는 복수의 트랜지스터로 구성되는 셀 유닛;
상기 셀 유닛의 제1단에 접속되는 데이터 전송선; 및
상기 셀 유닛의 제2단에 접속되는 공통 전압 노드를 포함하며,
각 트랜지스터는, 실질적으로 동일 구조를 가짐과 동시에, 데이터를 불휘발성으로 기억하는 기능을 가지며, 상기 복수의 트랜지스터 중, 상기 데이터 전송선에 가장 가까운 1개의 트랜지스터와 상기 공통 전압 노드에 가장 가까운 1개의 트랜지스터는, 선택 게이트 트랜지스터로서 이용되고, 상기 선택 게이트 트랜지스터로서 이용되는 트랜지스터 이외의 트랜지스터는 메모리셀로서 이용되는 것을 특징으로 하는 반도체 메모리.

청구항 2.
제1항에 있어서,
상기 선택 게이트 트랜지스터로서 이용되는 트랜지스터는, 항상 소거 상태 또는 기입 상태로 설정되어 있는 것을 특징으로 하는 반도체 메모리.

청구항 3.
제1항에 있어서,
상기 복수의 트랜지스터의 전부를 소거 상태로 설정한 후, 상기 선택 게이트 트랜지스터로서 이용되는 트랜지스터를 기입 상태로 설정하는 것을 특징으로 하는 반도체 메모리.

청구항 4.
제3항에 있어서,

상기 선택 게이트 트랜지스터로서 이용되는 트랜지스터를 기입 상태로 설정한 후, 상기 메모리셀로서 이용되는 트랜지스터에 대해, 데이터 프로그램을 실행하는 것을 특징으로 하는 반도체 메모리.

청구항 5.

제1항에 있어서,
상기 복수의 트랜지스터의 전부를 소거 상태로 설정한 후, 상기 메모리셀로서 이용되는 트랜지스터에 대해, 데이터 프로그램을 실행하는 것을 특징으로 하는 반도체 메모리.

청구항 6.

반도체 메모리에 있어서,
제1단 및 제2단을 구비하고, 상기 제1 및 2단의 사이에 직렬 접속되고 실질적으로 동일 구조를 갖는 복수의 MFSFET로 구성되는 셀 유닛;
상기 셀 유닛의 제1단에 접속되는 데이터 전송선; 및
상기 셀 유닛의 제2단에 접속되는 공통 전압 노드를 포함하며,
상기 복수의 MFSFET 중, 상기 데이터 전송선과 가장 가까운 1개의 MFSFET와 상기 공통 전압 노드에 가장 가까운 1개의 MFSFET는, 선택 게이트 트랜지스터로서 이용되고, 상기 선택 게이트 트랜지스터로서 이용되는 MFSFET 이외의 MFSFET는 메모리셀로서 이용되는 것을 특징으로 하는 반도체 메모리.

청구항 7.

제6항에 있어서,
상기 선택 게이트 트랜지스터로서 이용되는 MFSFET는, 항상 소거 상태 또는 기입 상태로 설정되어 있는 것을 특징으로 하는 반도체 메모리.

청구항 8.

제6항에 있어서,
상기 복수의 MFSFET의 전부를 소거 상태로 설정한 후, 상기 선택 게이트 트랜지스터로서 이용되는 MFSFET를 기입 상태로 설정하는 것을 특징으로 하는 반도체 메모리.

청구항 9.

제8항에 있어서,
상기 선택 게이트 트랜지스터로서 이용되는 MFSFET를 기입 상태로 설정한 후, 상기 메모리셀로서 이용되는 MFSFET에 대해, 데이터 프로그램을 실행하는 것을 특징으로 하는 반도체 메모리.

청구항 10.

제6항에 있어서,
상기 복수의 MFSFET의 전부를 소거 상태로 설정한 후, 상기 메모리셀로서 이용되는 MFSFET에 대해, 데이터 프로그램을 실행하는 것을 특징으로 하는 반도체 메모리.

청구항 11.

제6항에 있어서,
상기 메모리셀로서 이용되는 MFSFET의 게이트 전극에 저전위를 제공하고, 상기 메모리셀로서 이용되는 MFSFET 중, 비선택된 MFSFET의 게이트 전극을 플로팅 상태로 설정하고, 상기 복수의 MFSFET가 형성되는 반도체 기판에 고전위를 제공하고, 상기 메모리셀로서 이용되는 MFSFET 중 선택된 MFSFET에 대해 데이터 소거 동작을 실행하는 것을 특징으로 하는 반도체 메모리.

청구항 12.

제6항에 있어서,
상기 데이터 전송선에 소정 전위를 제공하여, 상기 메모리셀로서 이용되는 MFSFET의 채널을 초기 전위로 충전한 후, 상기 메모리셀로서 이용되는 MFSFET의 채널을 플로팅 상태로 설정하고, 상기 메모리셀로서 이용되는 MFSFET의 게이트 전극에 프로그램 전위 또는 전송 전위를 제공하고, 상기 메모리셀로서 이용되는 MFSFET 중, 선택된 MFSFET에 대해 데이터 프로그램을 실행하는 것을 특징으로 하는 반도체 메모리.

청구항 13.

제6항에 있어서,
상기 데이터 전송선에 접지 전위를 제공하여, 상기 메모리셀로서 이용되는 MFSFET의 채널을 접지 전위로 설정하고, 그 후, 상기 메모리셀로서 이용되는 MFSFET의 게이트 전극에 프로그램 전위 또는 전송 전위를 제공하고, 상기 메모리셀로서 이용되는 MFSFET 중, 선택된 MFSFET에 대해 데이터 프로그램을 실행하는 것을 특징으로 하는 반도체 메모리.

청구항 14.

반도체 메모리에 있어서,
반도체 영역상에 형성되고, 제1 노드와 제2 노드 사이에 직렬 또는 병렬로 접속되는 복수개의 메모리셀; 및
상기 반도체 영역 상에 형성되고, 상기 제1 노드와 제3 노드 사이에 접속되는 선택 스위칭 소자를 포함하며,
상기 복수개의 메모리셀과 상기 선택 스위칭 소자 각각은, 전하 축적층을 구비하고, 상기 복수개의 메모리셀 각각의 전하 축적층은 상기 선택 스위칭 소자의 전하 축적층과 동일한 재료로 이루어지고 상기 선택 스위칭 소자의 전하 축적층과 동일한 두께를 갖는 것을 특징으로 하는 반도체 메모리.

청구항 15.

제14항에 있어서,

상기 복수개의 메모리셀의 각각은, 컨트롤 게이트 전극을 구비하고, 상기 선택 스위칭 소자는, 상기 컨트롤 게이트 전극과 동일한 구조를 갖는 선택 게이트 전극을 구비하고, 상기 컨트롤 게이트 전극과 상기 선택 게이트 전극은 동일 배선층에 배치되는 것을 특징으로 하는 반도체 메모리.

청구항 16.

제14항에 있어서,

상기 복수개의 메모리셀 각각의 전하 축적층과 상기 선택 스위칭 소자의 전하 축적층은 상호 분리되어 있고, 상기 전하 축적층은, 불순물이 첨가된 Si, SiGe 및 Ge를 포함하는 도전체, 및 SiN, 티탄옥사이드, 탄탈옥사이드 및 알루미나를 포함하는 절연체로 이루어지는 군으로부터 선택된 재료를 포함하는 것을 특징으로 하는 반도체 메모리.

청구항 17.

제16항에 있어서,

상기 복수개의 메모리셀과 상기 선택 스위칭 소자가 배치되는 소자 영역을 둘러싸는 소자 분리 절연막을 더 포함하고,

상기 복수개의 메모리셀의 전하 축적층 및 상기 선택 스위칭 소자의 전하 축적층은, 상기 소자 영역 상에만 배치되는 것을 특징으로 하는 반도체 메모리.

청구항 18.

제16항에 있어서,

상기 복수개의 메모리셀 및 상기 선택 스위칭 소자 각각은 게이트 절연막을 구비하고, 상기 선택 스위칭 소자의 게이트 절연막은 상기 복수개의 메모리셀 각각의 게이트 절연막보다 두꺼운 것을 특징으로 하는 반도체 메모리.

청구항 19.

제14항에 있어서,

상기 복수의 메모리셀 각각의 전하 축적층 및 상기 선택 스위칭 소자의 전하 축적층은 서로 결합되어 있고, 상기 전하 축적층은, SiN, 티탄옥사이드, 탄탈옥사이드 및 알루미나를 포함하는 절연체로 이루어지는 군으로부터 선택된 하나의 재료를 포함하는 것을 특징으로 하는 반도체 메모리.

청구항 20.

제19항에 있어서,

상기 복수개의 메모리셀과 상기 선택 스위칭 소자가 배치되는 소자 영역을 둘러싸는 소자 분리 절연막을 더 포함하고,

상기 복수개의 메모리셀의 전하 축적층 및 상기 선택 스위칭 소자의 전하 축적층은, 상기 소자 영역 상에만 배치되는 것을 특징으로 하는 반도체 메모리.

청구항 21.

제19항에 있어서,

상기 복수개의 메모리셀과 상기 선택 스위칭 소자가 배치되는 소자 영역을 둘러싸는 소자 분리 절연막을 더 포함하고,

상기 복수개의 메모리셀의 전하 축적층 및 상기 선택 스위칭 소자의 전하 축적층은, 상기 소자 영역 상 상기 소자 분리 절연막 상에 각각 배치되는 것을 특징으로 하는 반도체 메모리.

청구항 22.

제19항에 있어서,

상기 복수개의 메모리셀 및 상기 선택 스위칭 소자 각각은 게이트 절연막을 구비하고, 상기 선택 스위칭 소자의 게이트 절연막은 상기 복수개의 메모리셀 각각의 게이트 절연막보다 두꺼운 것을 특징으로 하는 반도체 메모리.

청구항 23.

제14항에 있어서,

상기 선택 스위칭 소자는 선택 게이트 전극 및 이 선택 게이트 전극과 상기 선택 스위칭 소자의 전하 축적층과의 사이에 배치된 블록 절연막을 구비하고, 상기 선택 스위칭 소자에 대한 기입/소거 동작시에 상기 블록 절연막에 흐르는 전류는 상기 선택 스위칭 소자의 전하 축적층과 상기 반도체 영역 사이의 게이트 절연막에 흐르는 전류보다 큰 것을 특징으로 하는 반도체 메모리.

청구항 24.

제14항에 있어서,

상기 선택 스위칭 소자의 임계 전압은, 소거 동작에 있어서, 소정의 값에 수렴하는 방향으로 변화하는 것을 특징으로 하는 반도체 메모리.

청구항 25.

제14항에 있어서,

상기 선택 스위칭 소자의 임계 전압은, 기입 동작에 있어서, 소정의 값에 수렴하는 방향으로 변화하는 것을 특징으로 하는 반도체 메모리.

청구항 26.

제14항에 있어서,

상기 복수개의 메모리셀 및 상기 선택 스위칭 소자는, 제1 도전형 웰 영역 내에 배치되는 제2 도전형 전계 효과 트랜지스터를 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리.

청구항 27.

제14항에 있어서,
상기 선택 스위칭 소자는 상기 전하 축적층 위에 형성된 선택 게이트 전극을 구비하고, 상기 반도체 영역의 전위는 상기 선택 게이트 전극의 전위보다 더 플러스의 값을 갖는 것을 특징으로 하는 반도체 메모리.

청구항 28.
제14항에 있어서,
상기 복수개의 메모리셀 및 상기 선택 스위칭 소자는 각각 게이트 전극을 구비하고, 이 게이트 전극은 상기 전하 축적층 상에 형성된 절연막 상에 구비되고, 데이터 전송선과 직교하는 방향으로 연장하여, 상기 제3 노드에 접속되는 것을 특징으로 하는 반도체 메모리.

청구항 29.
삭제

청구항 30.
삭제

청구항 31.
삭제

청구항 32.
삭제

청구항 33.
삭제

청구항 34.
삭제

청구항 35.
전하 축적층을 갖는 선택 게이트 트랜지스터 및 전하 축적층을 갖는 복수개의 메모리셀을 포함하는 반도체 메모리의 임계 전압 설정 방법에 있어서,
소거 동작에 의해, 상기 선택 게이트 트랜지스터의 임계 전압 및 상기 메모리셀의 임계 전압을 모두 마이너스로 설정하는 단계;
기입 동작에 의해, 상기 선택 게이트 트랜지스터의 임계 전압을 플러스로 설정하는 단계;
상기 선택 게이트 트랜지스터의 임계 전압이 플러스로 되었는지의 여부를 검증하는 단계;
상기 선택 게이트 트랜지스터의 임계 전압이 플러스로 되어 있지 않은 경우에는, 재기입 동작을 행하는 단계;
상기 선택 게이트 트랜지스터의 임계 전압을 플러스로 설정한 후, 상기 선택 게이트 트랜지스터의 임계 전압을 설정 범위 내에 들도록 하기 위한 기입 동작을 행하는 단계;
상기 선택 게이트 트랜지스터의 임계 전압이 상기 설정 범위 내에 드는지의 여부를 검증하는 단계; 및
상기 선택 게이트 트랜지스터의 임계 전압이 상기 설정 범위 내에 들지 않은 경우에는, 상기 재기입 동작을 행하는 단계
를 포함하는 것을 특징으로 하는 반도체 메모리의 임계 전압 설정 방법.

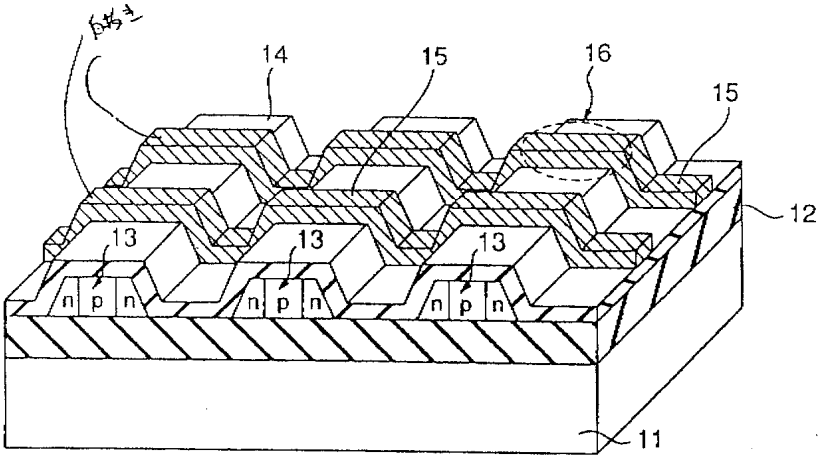
청구항 36.
제35항에 있어서,
상기 선택 게이트 트랜지스터의 임계 전압은, 상기 소거 동작에 있어서 제1의 값보다도 작게 되지 않고, 또한, 상기 기입 동작에 있어서 제2의 값보다도 크게 되지 않는 것을 특징으로 하는 반도체 메모리의 임계 전압 설정 방법.

청구항 37.
제36항에 있어서,
상기 선택 게이트 트랜지스터의 임계 전압은, 상기 재기입 동작에 의해 상기 제2의 값에 수렴하는 것을 특징으로 하는 반도체 메모리의 임계 전압 설정 방법.

도면

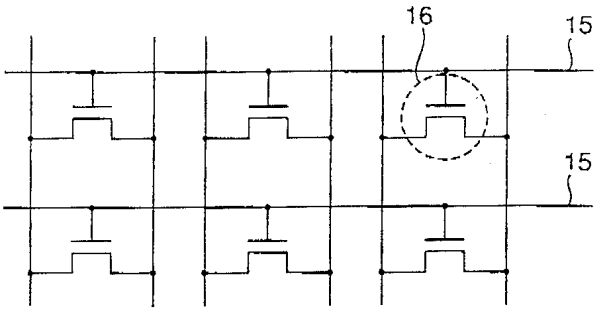
도면1

(종래 기술)



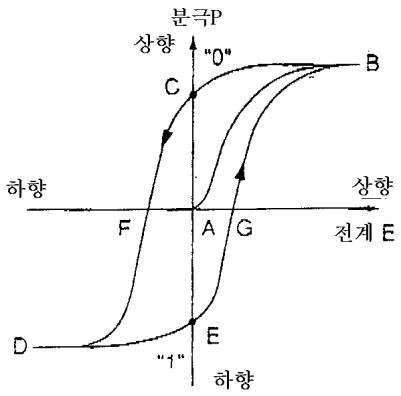
도면2

(종래 기술)



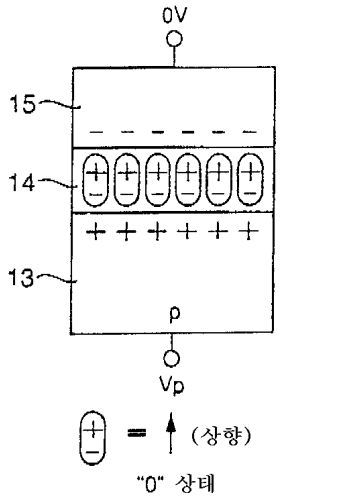
도면3

(종래 기술)



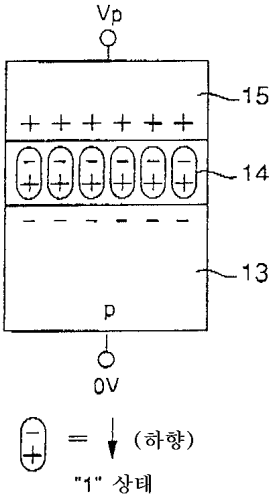
도면4

(종래 기술)



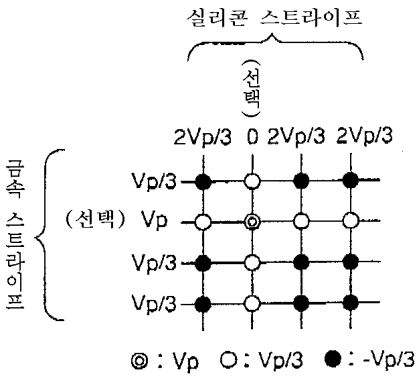
도면5

(종래 기술)



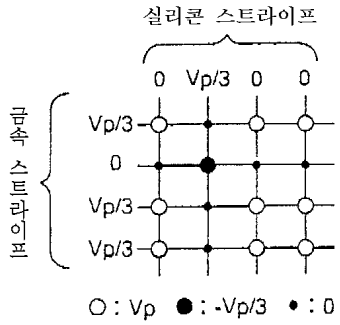
도면6

(종래 기술)



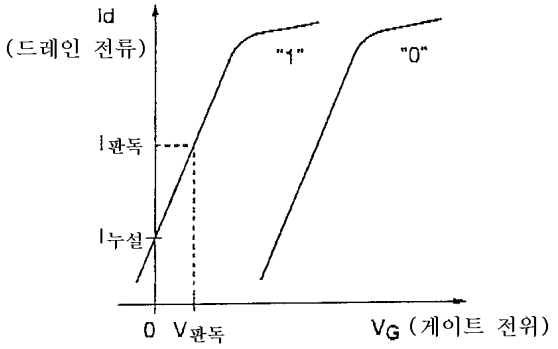
도면7

(종래 기술)



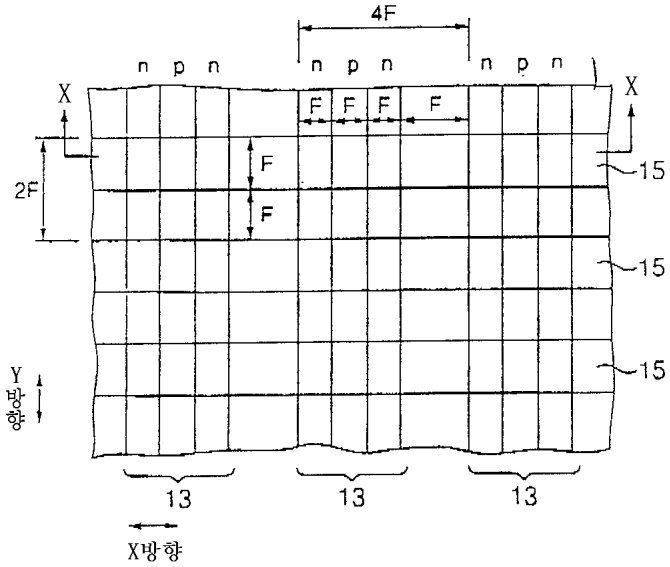
도면8

(종래 기술)



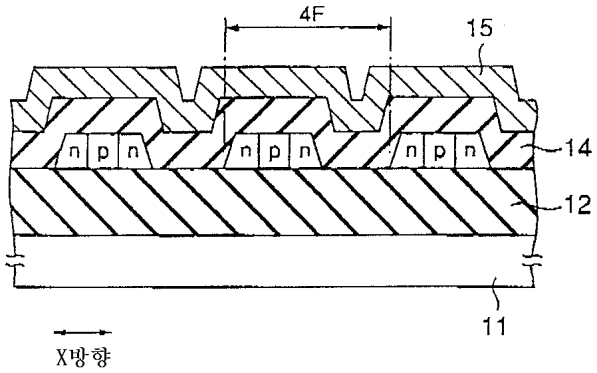
도면9

(종래 기술)

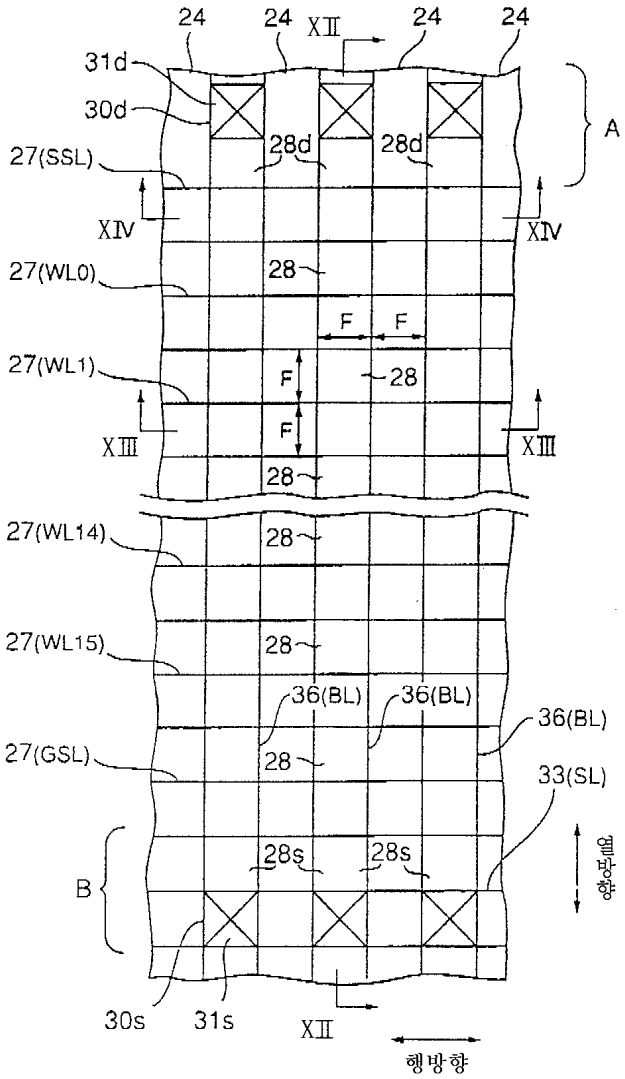


도면10

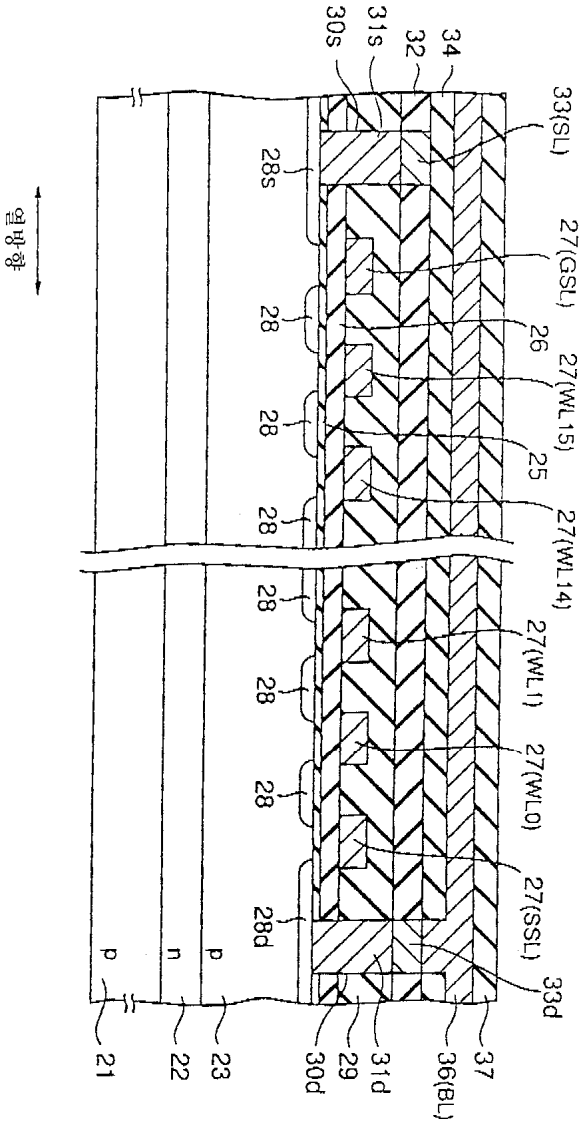
(종래 기술)



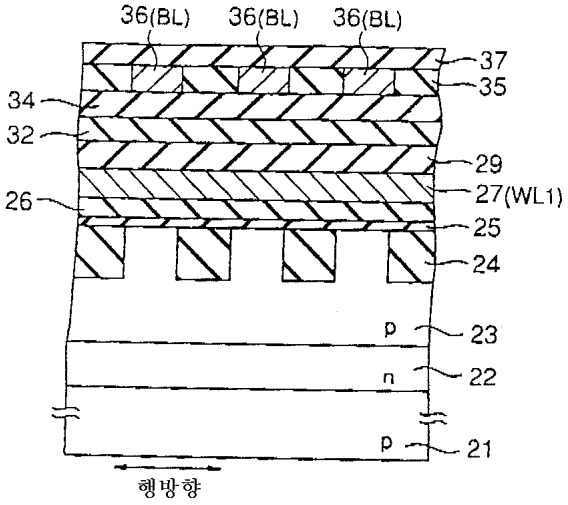
도면11



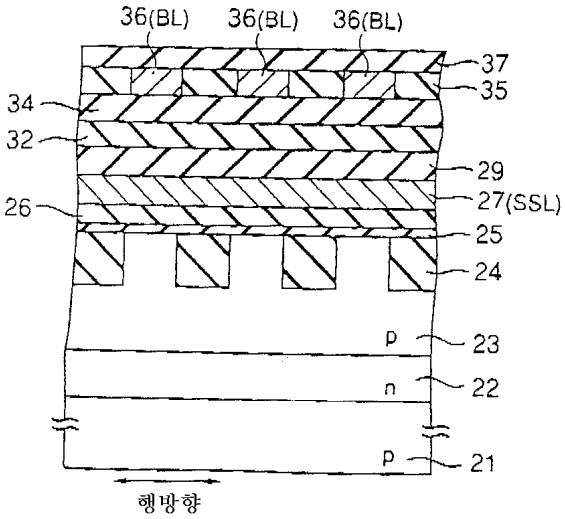
도면12


30s
31s
32
34
33(SL)
28s
27(GSL)
28
26
27(WL15)
28
25
28
27(WL14)
28
27(WL1)
28
27(WL0)
28
27(SSL)
28d
33d
열방향
p
n
p
21
22
23
30d
29
31d
36(BL)
37

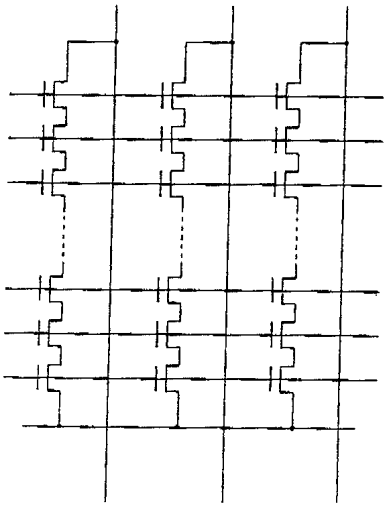
도면13


36(BL)
36(BL)
36(BL)
37
35
34
32
29
26
27(WL1)
25
24
p
23
n
22
p
21
행방향

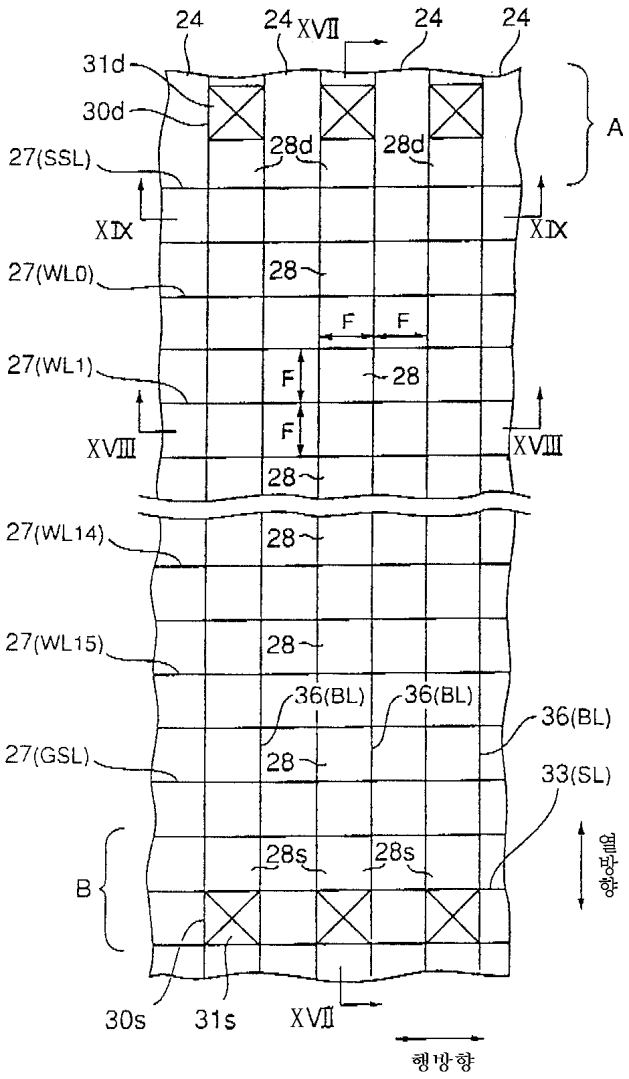
도면14



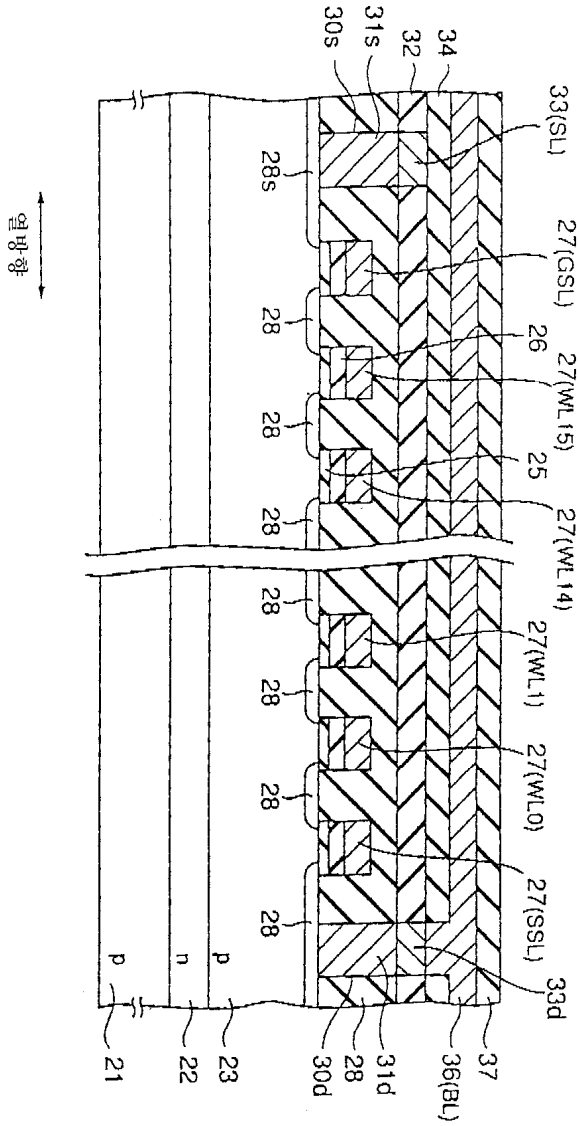
도면15



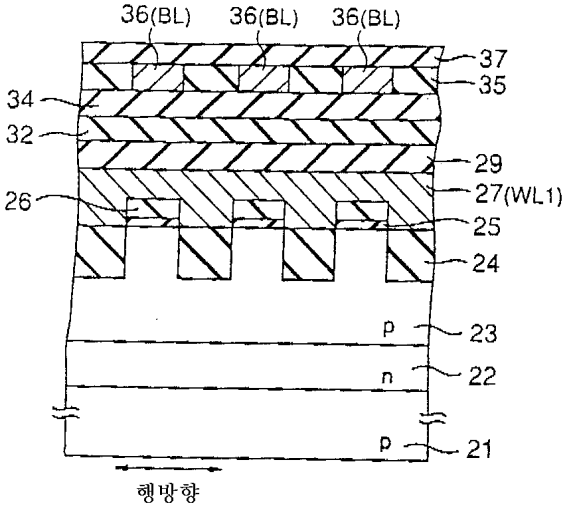
도면16


24
24
XVII
24
24
31d
30d
27(SSL)
28d
28d
A
XIX
XIX
27(WL0)
28
F
F
27(WL1)
F
28
F
XVIII
XVIII
28
27(WL14)
28
27(WL15)
28
36(BL)
36(BL)
36(BL)
27(GSL)
28
33(SL)
28s
28s
B
열방향
30s
31s
XVII
행방향

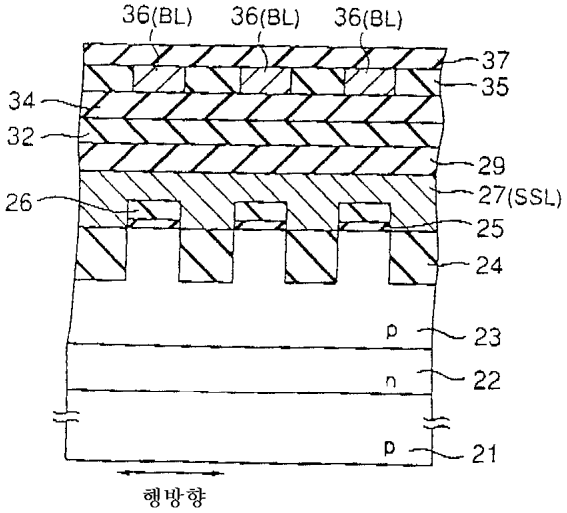
도면17


30s
31s
32
34
33(SL)
28s
27(GSL)
28
26
27(WL15)
28
25
28
27(WL14)
28
27(WL1)
28
27(WL0)
28
27(SSL)
33d
열방향
p
n
p
21
22
23
30d
28
31d
36(BL)
37

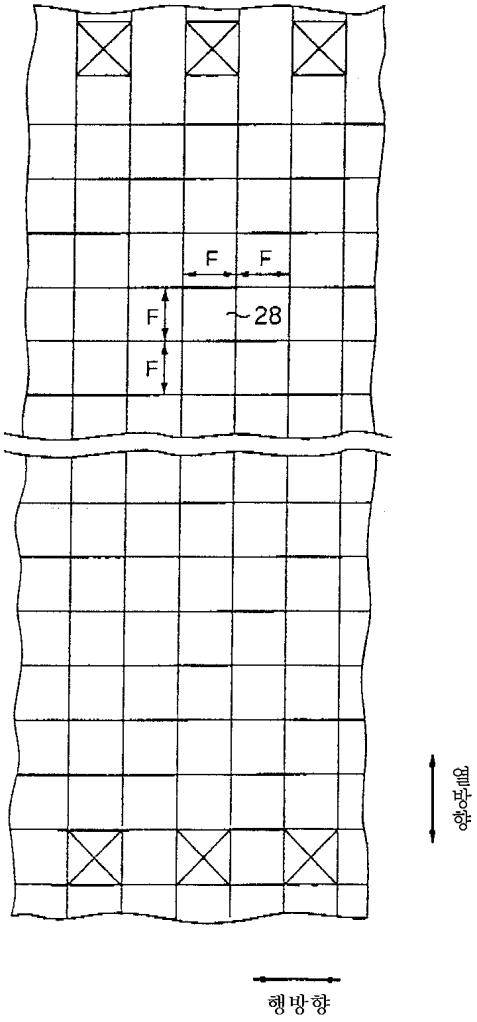
도면18


36(BL)
36(BL)
36(BL)
37
35
34
32
29
26
27(WL1)
25
24
p
23
n
22
p
21
행방향

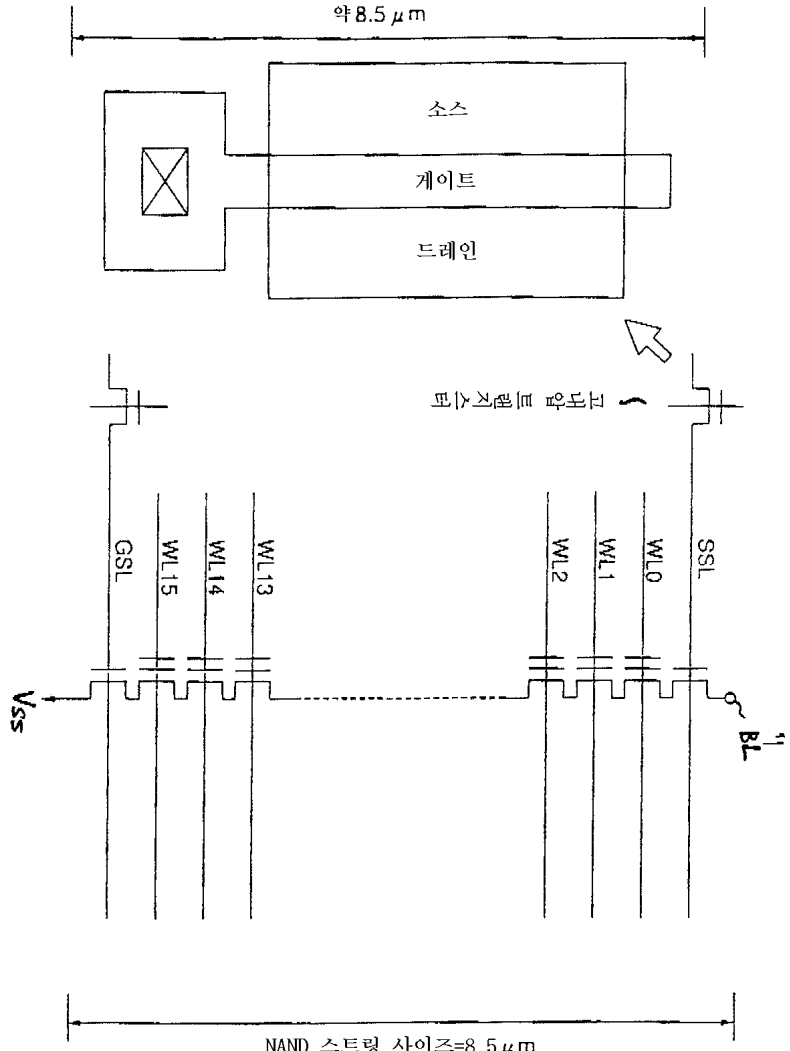
도면19


36(BL)
36(BL)
36(BL)
37
35
34
32
29
27(SSL)
26
25
24
p
23
n
22
p
21
행방향

도면20

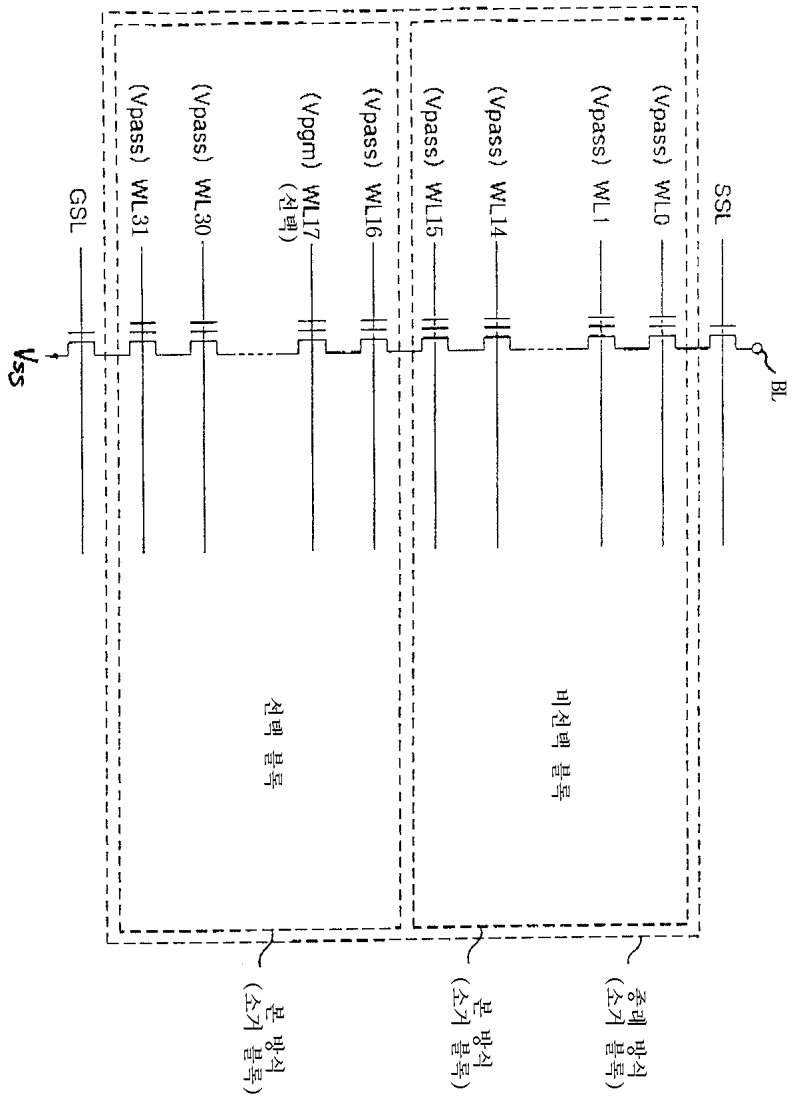

F
F
F
28
F
열방향
행방향

도면21

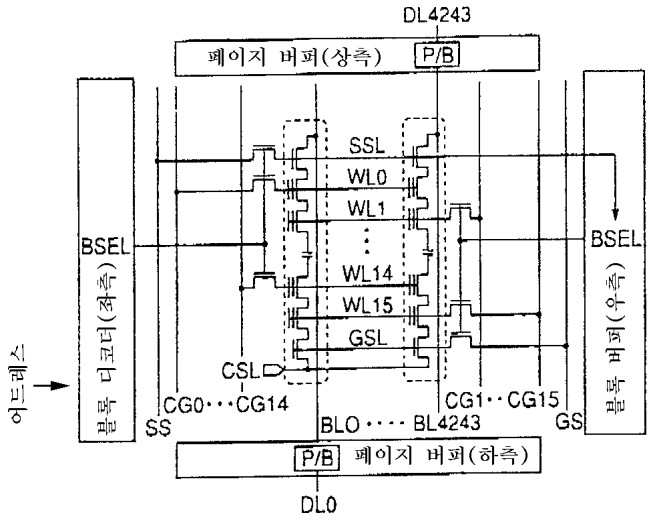


NAND 스트링 사이즈=8.5㎛
(0.25㎛ 룰로 설정된 256메가비트
NAND형 플래시 EEPROM의 경우)

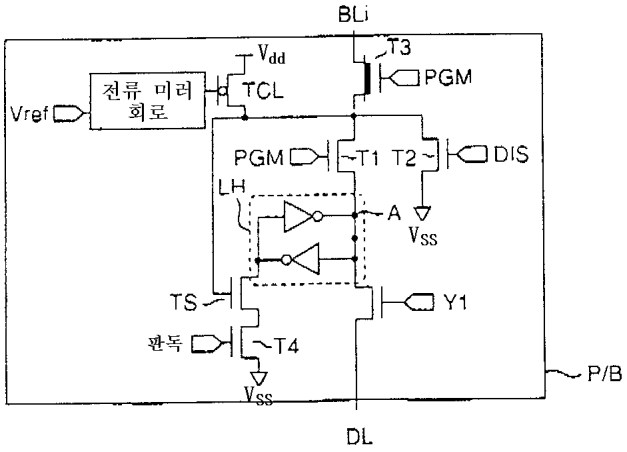
도면22


GSL
(Vpass) WL31
(Vpass) WL30
(Vpgm) WL17 (선택)
(Vpass) WL16
(Vpass) WL15
(Vpass) WL14
(Vpass) WL1
(Vpass) WL0
SSL
Vss
BL
선택 블록
비선택 블록
본 방식 (소거 블록)
본 방식 (소거 블록)
중래 방식 (소거 블록)

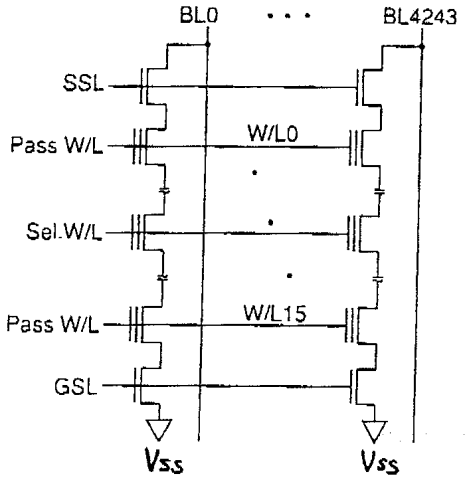
도면23


DL4243
페이지 버퍼(상측)
P/B
SSL
WL0
WL1
WL14
WL15
GSL
BSEL
BSEL
CSL
CG0···CG14
CG1··CG15
SS
GS
BL0 ···· BL4243
P/B
페이지 버퍼(하측)
DL0

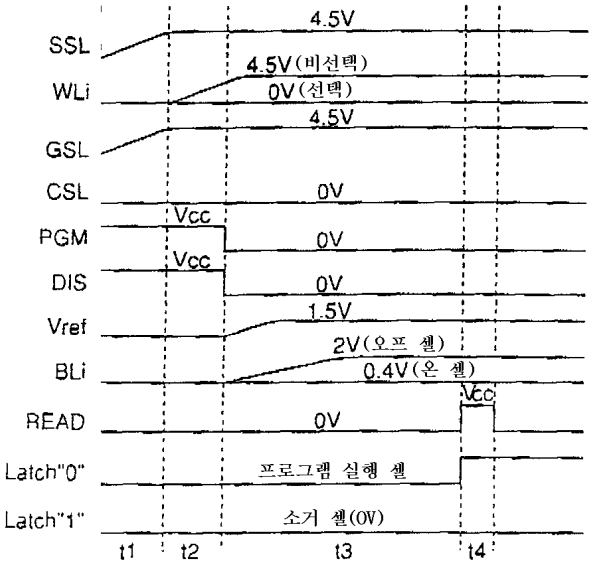
도면24



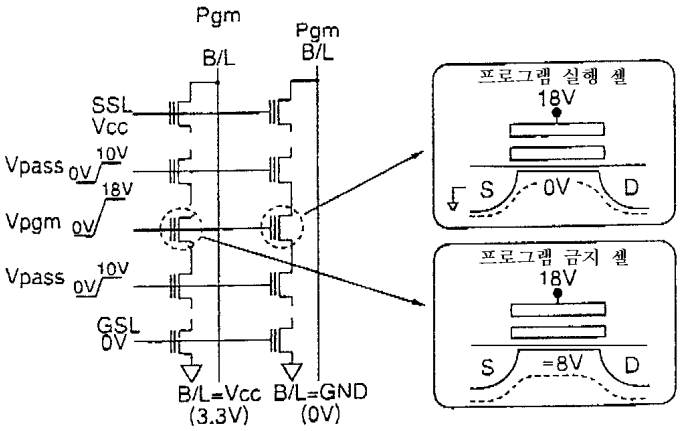
도면25



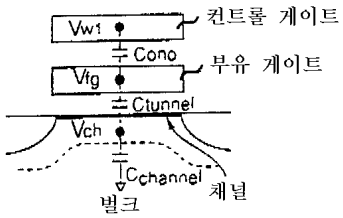
도면26



도면27

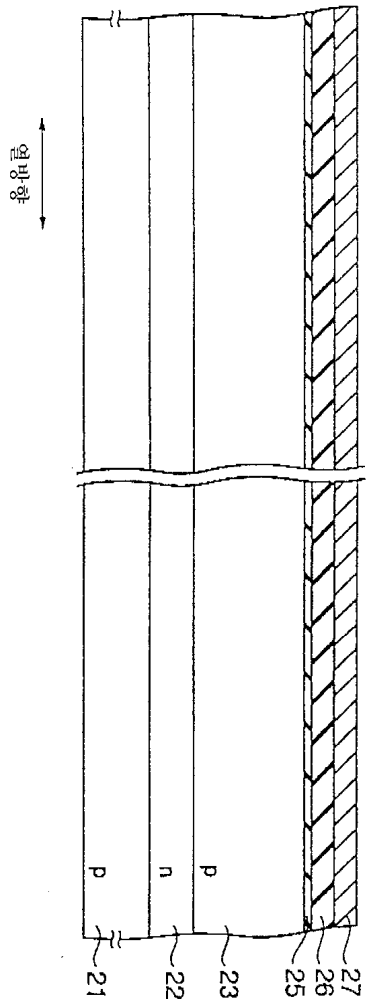


도면28

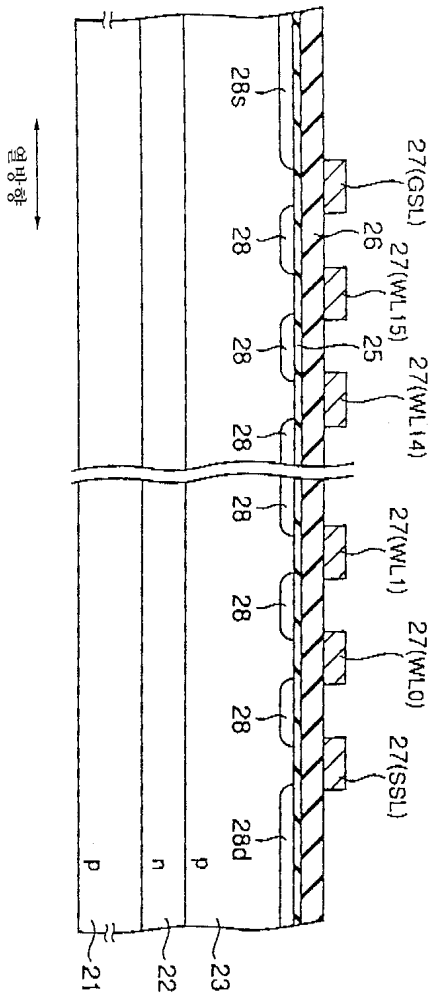


Cono:컨트롤 게이트와 부유 게이트 사이의 용량
Ctunnel:부유 게이트와 채널 사이의 용량
Cchannel:채널과 벌크 사이의 총용량

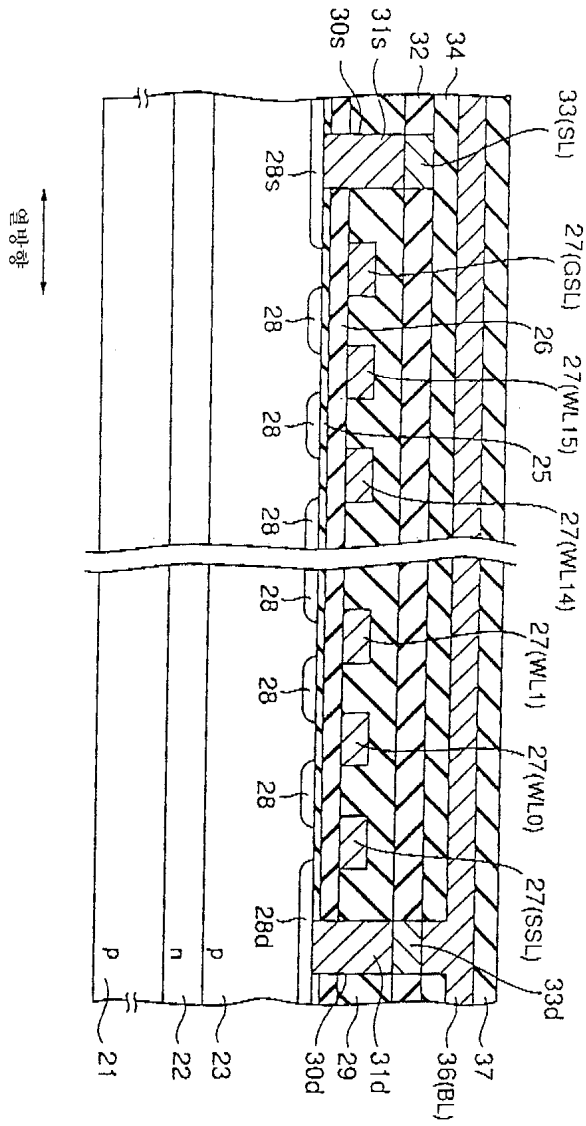
도면29



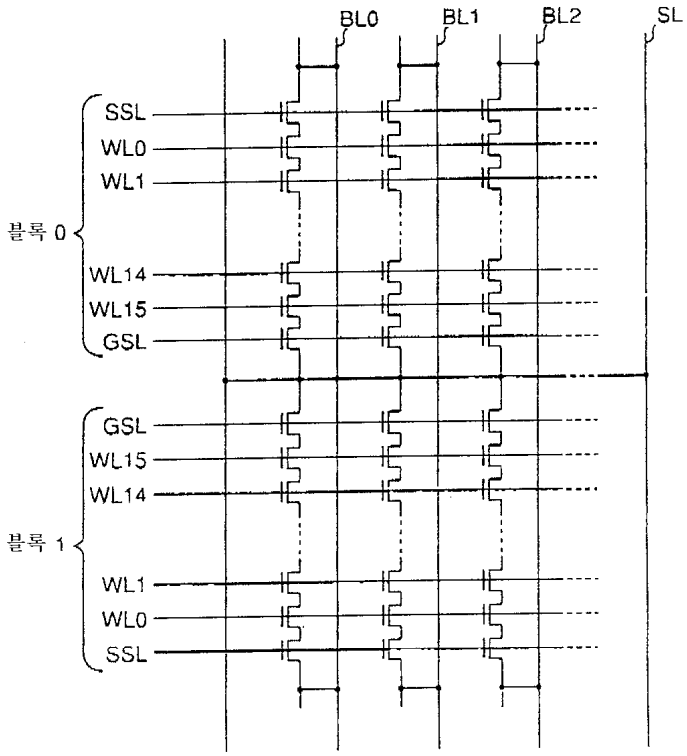
도면30


열방향
28s
27(GSL)
26
28
27(WL15)
25
28
27(WL14)
28
28
27(WL1)
28
27(WL0)
28
27(SSL)
28d
p
n
p
21
22
23

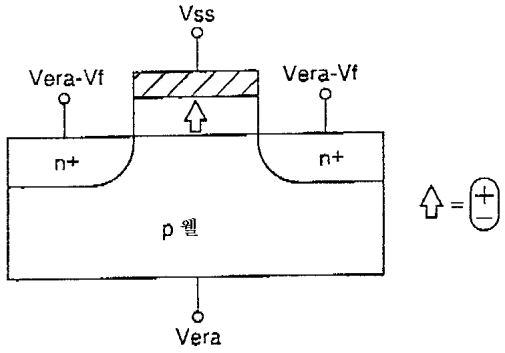
도면31


열방향
30s
31s
32
34
33(SL)
28s
27(GSL)
28
26
27(WL15)
28
25
28
27(WL14)
28
27(WL1)
28
27(WL0)
28
27(SSL)
28d
33d
p
n
p
21
22
23
30d
29
31d
36(BL)
37

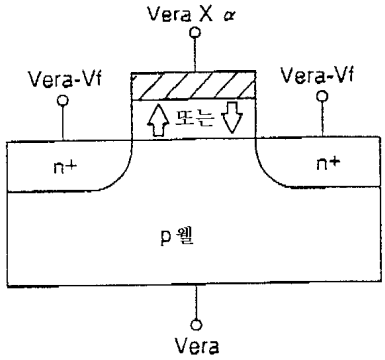
도면32



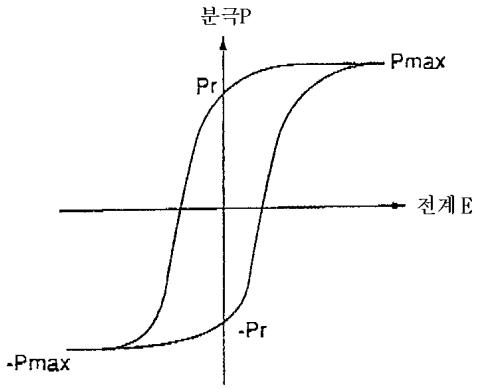
도면33



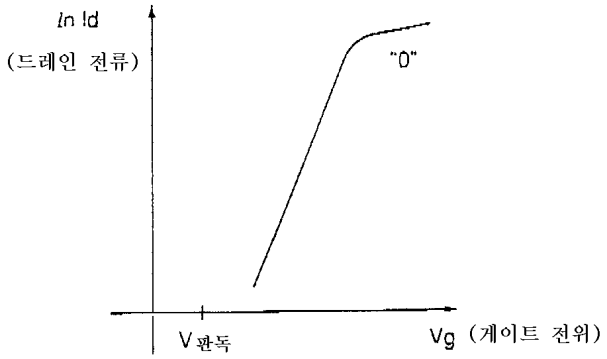
도면34



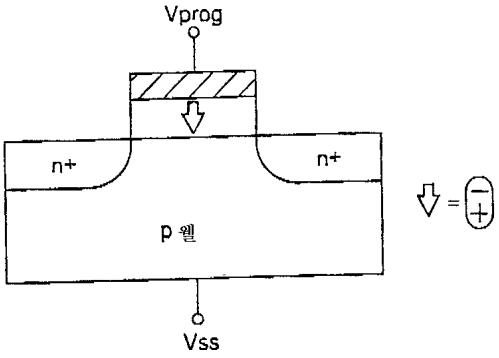
도면35



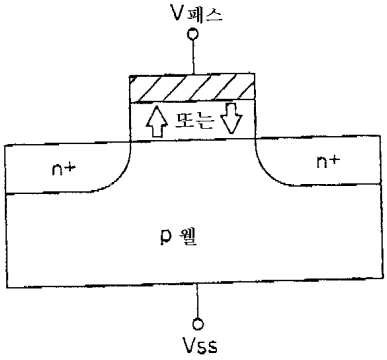
도면36



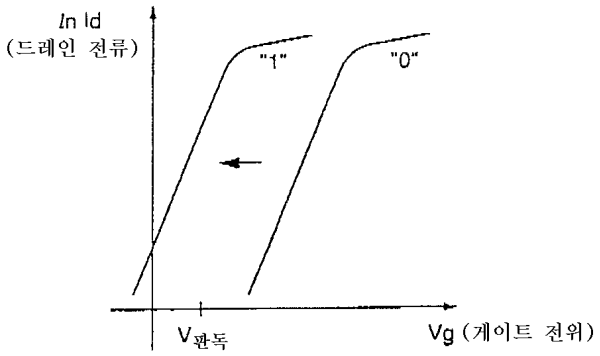
도면37



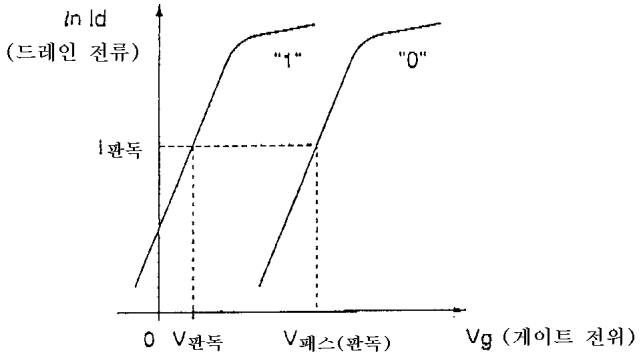
도면38



도면39

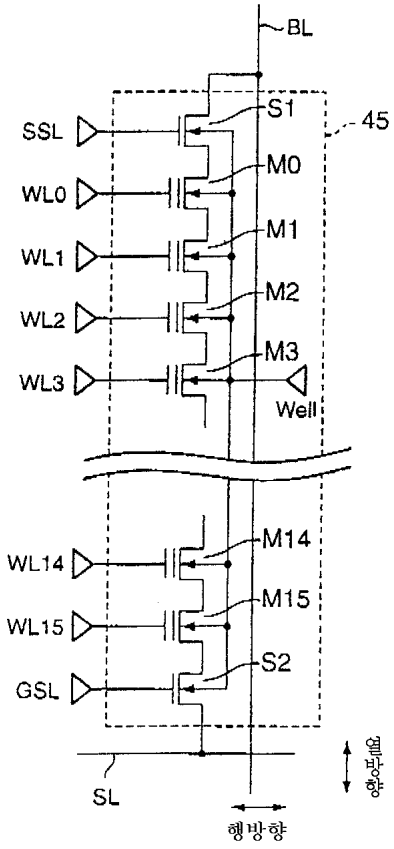


도면40



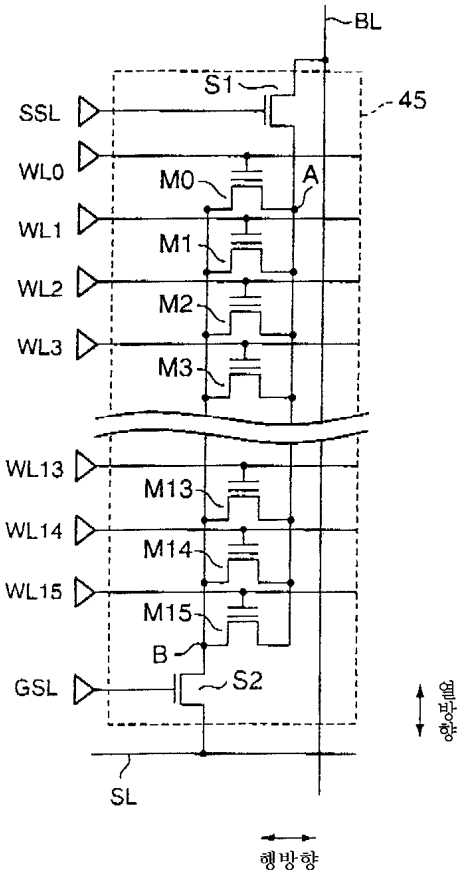
도면41

(종래 기술)

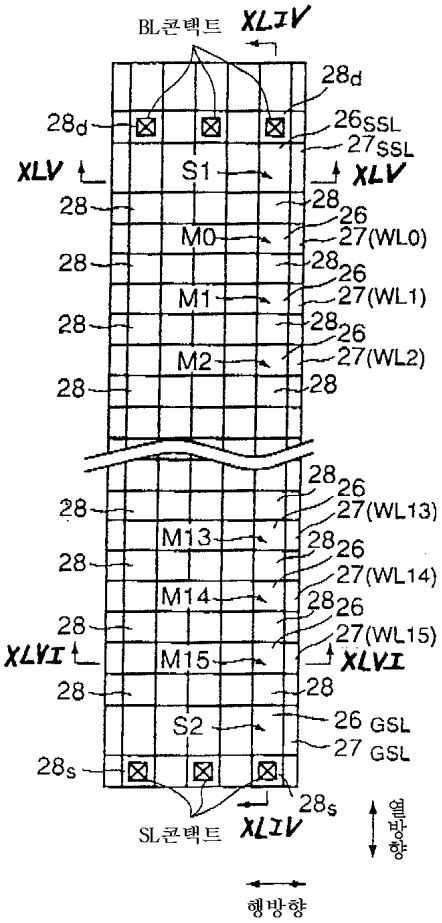


도면42

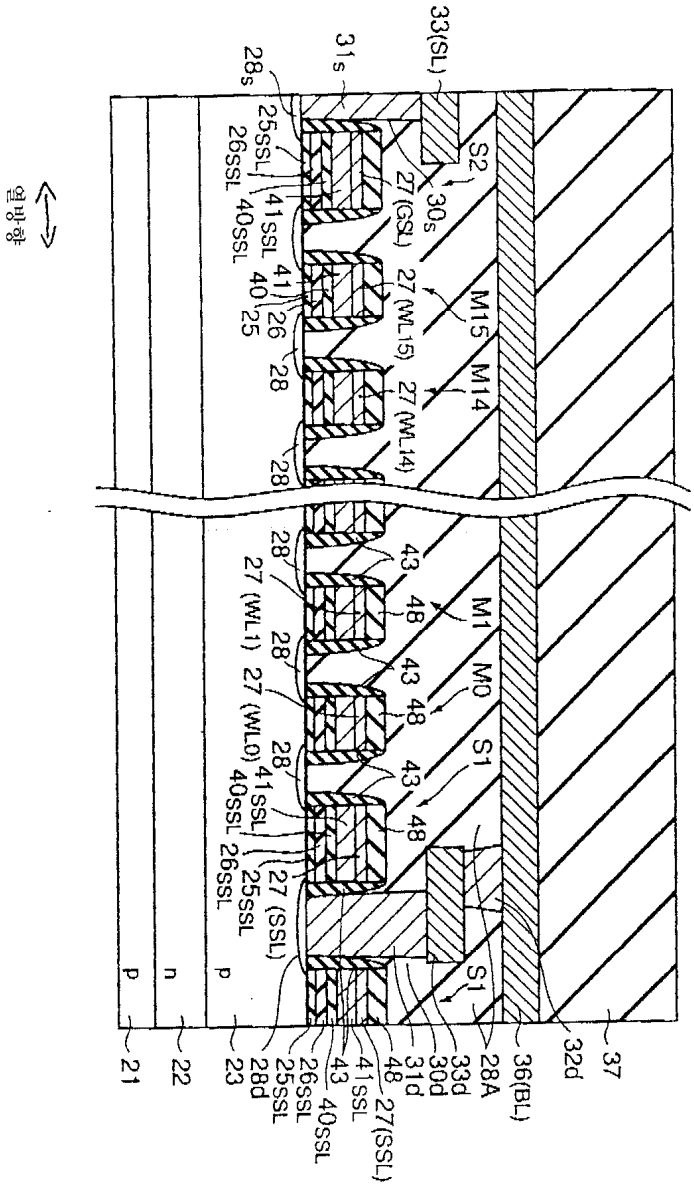
(종래 기술)


BL
S1
45
SSL
WL0
M0
A
WL1
M1
WL2
M2
WL3
M3
WL13
M13
WL14
M14
WL15
M15
B
GSL
S2
SL
열방향
행방향

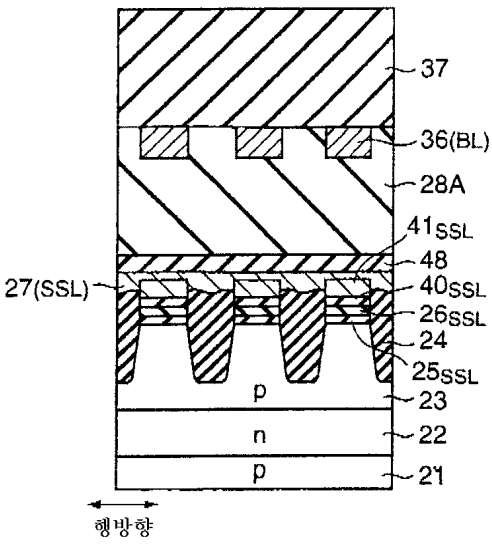
도면43


BL콘택트
XLIV
28d
26SSL
27SSL
XLV
S1
XLV
28
26
M0
27(WL0)
M1
27(WL1)
M2
27(WL2)
M13
27(WL13)
M14
27(WL14)
M15
27(WL15)
XLVI
XLVI
S2
26 GSL
27 GSL
28s
SL콘택트
XLIV
열방향
행방향

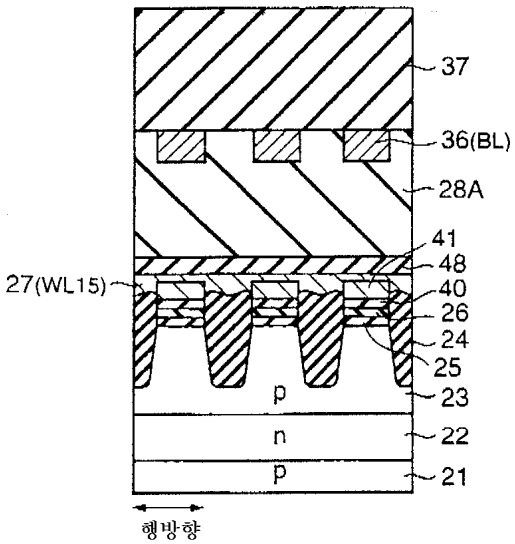
도면44


33(SL)
31s
28s
25SSL
26SSL
41SSL
40SSL
41
40
26
25
28
S2
30s
27(GSL)
27(WL15)
M15
M14
27(WL14)
28
43
48
M1
M0
S1
27(WL1)
27(WL0)
27(SSL)
p
n
21
22
23
28d
31d
30d
33d
28A
36(BL)
32d
37
열방향

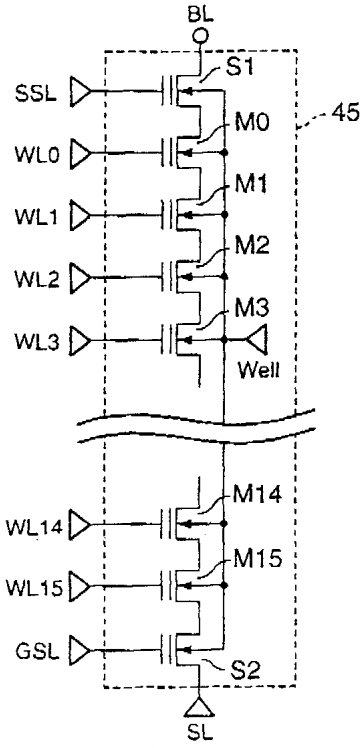
도면45


37
36(BL)
28A
41SSL
48
40SSL
26SSL
24
25SSL
27(SSL)
p
23
n
22
p
21
행방향

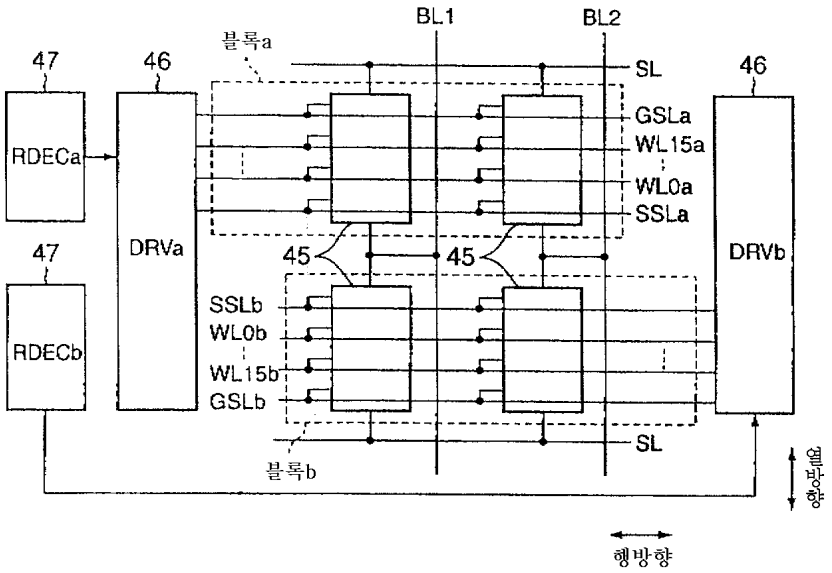
도면46


37
36(BL)
28A
41
48
27(WL15)
40
26
24
25
p
23
n
22
p
21
행방향

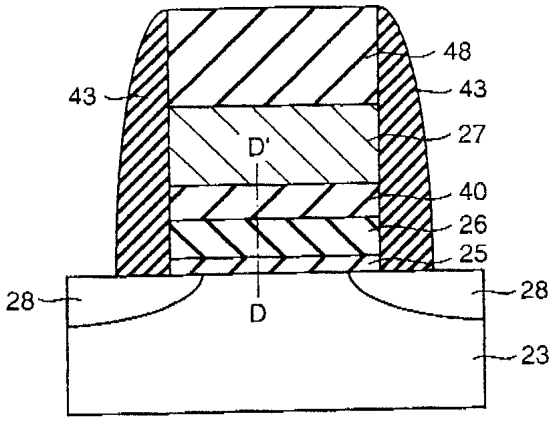
도면47


BL
S1
SSL
M0
45
WL0
M1
WL1
M2
WL2
M3
WL3
Well
M14
WL14
M15
WL15
GSL
S2
SL

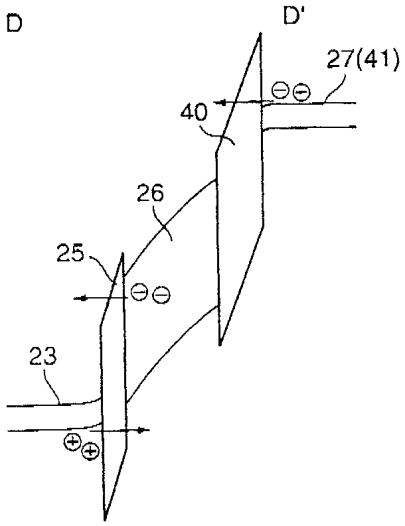
도면48



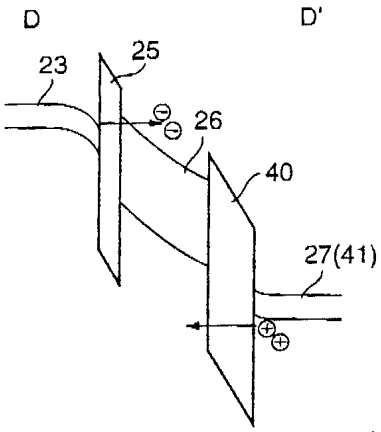
도면49



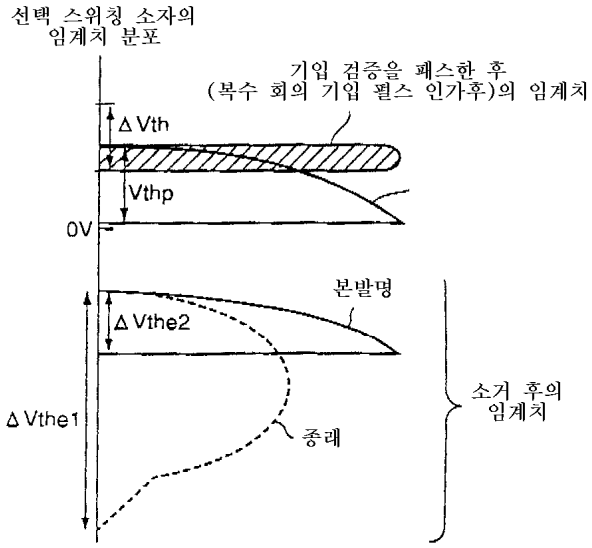
도면50



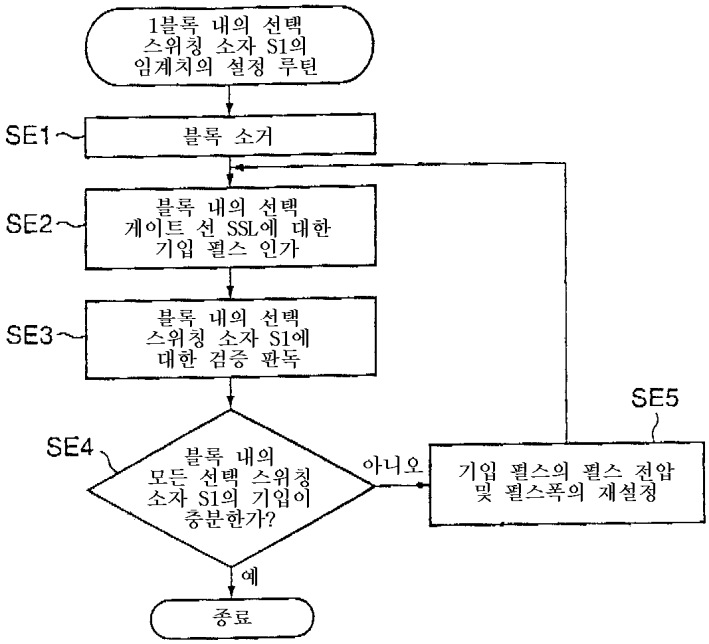
도면51



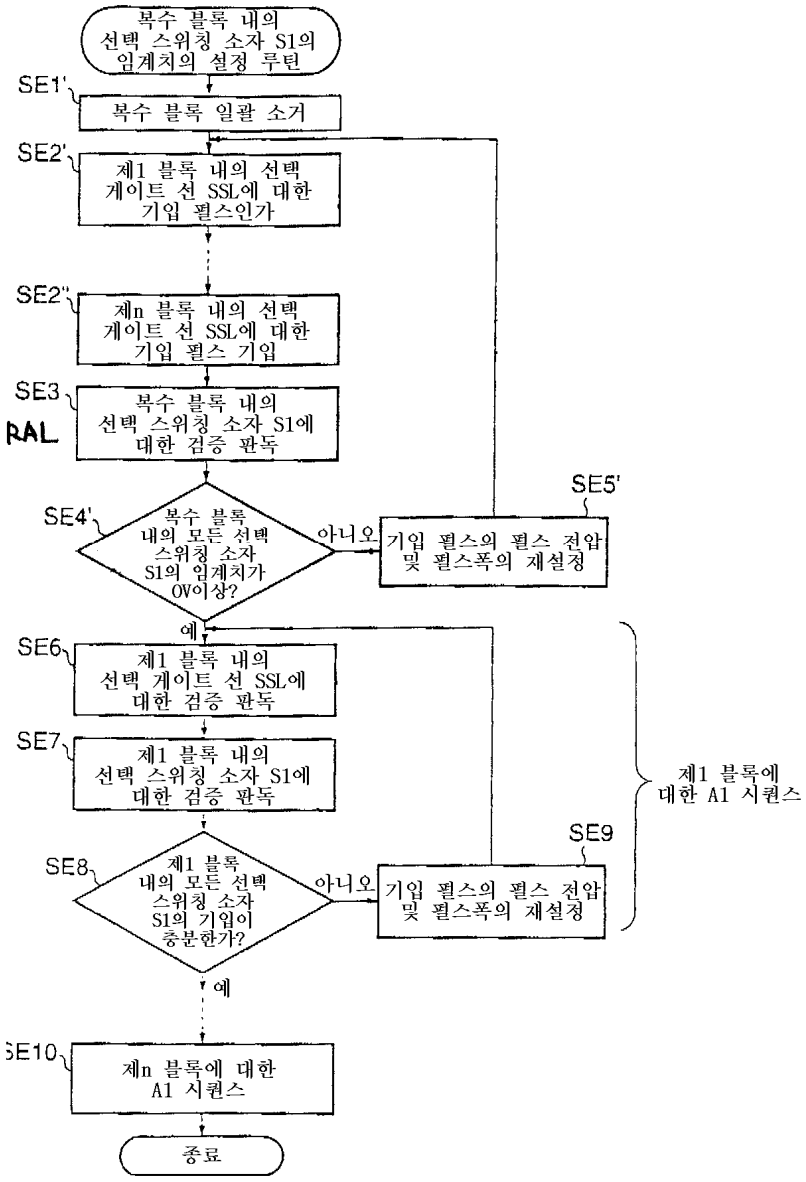
도면52



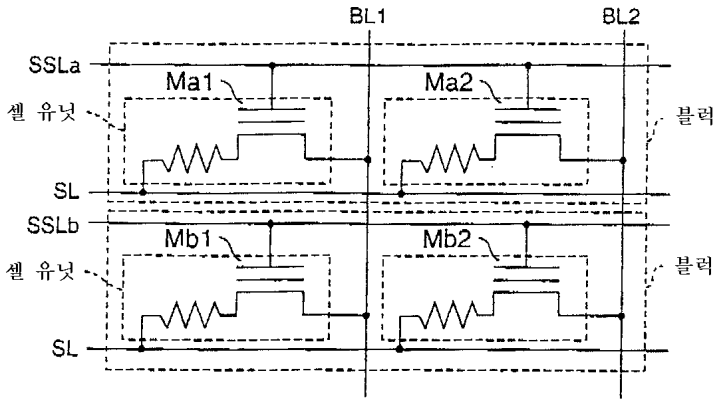
도면53



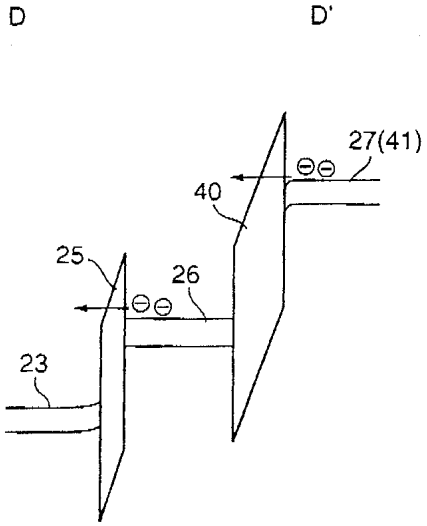
도면54


복수 블록 내의 선택 스위칭 소자 S1의 임계치의 설정 루틴
SE1'
복수 블록 일괄 소거
SE2'
제1 블록 내의 선택 게이트 선 SSL에 대한 기입 펄스인가
SE2"
제n 블록 내의 선택 게이트 선 SSL에 대한 기입 펄스 기입
SE3
RAL
복수 블록 내의 선택 스위칭 소자 S1에 대한 검증 판독
SE4'
복수 블록 내의 모든 선택 스위칭 소자 S1의 임계치가 0V이상?
아니오
SE5'
기입 펄스의 펄스 전압 및 펄스폭의 재설정
예
SE6
제1 블록 내의 선택 게이트 선 SSL에 대한 검증 판독
SE7
제1 블록 내의 선택 스위칭 소자 S1에 대한 검증 판독
SE8
제1 블록 내의 모든 선택 스위칭 소자 S1의 기입이 충분한가?
아니오
SE9
기입 펄스의 펄스 전압 및 펄스폭의 재설정
예
제1 블록에 대한 A1 시퀀스
SE10
제n 블록에 대한 A1 시퀀스
종료

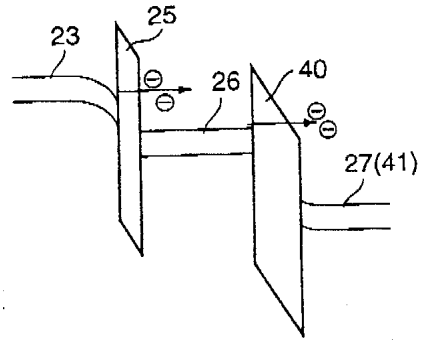
도면55


BL1
BL2
SSLa
Ma1
Ma2
셀 유닛
블럭
SL
SSLb
Mb1
Mb2
셀 유닛
블럭
SL

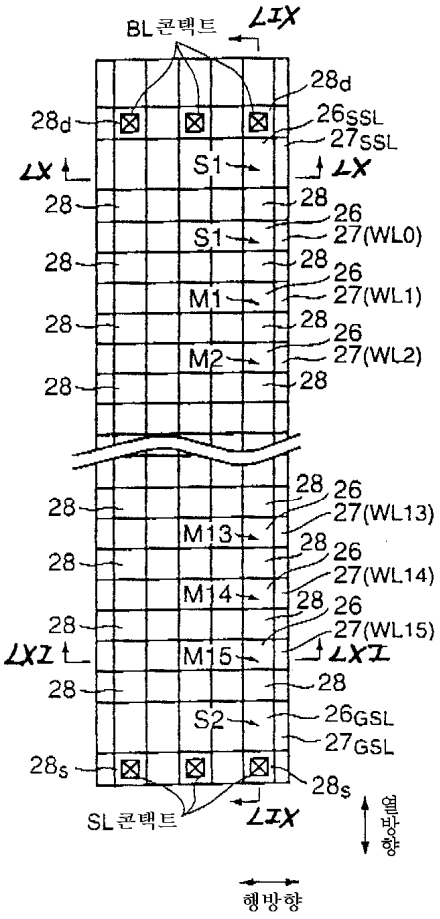
도면56



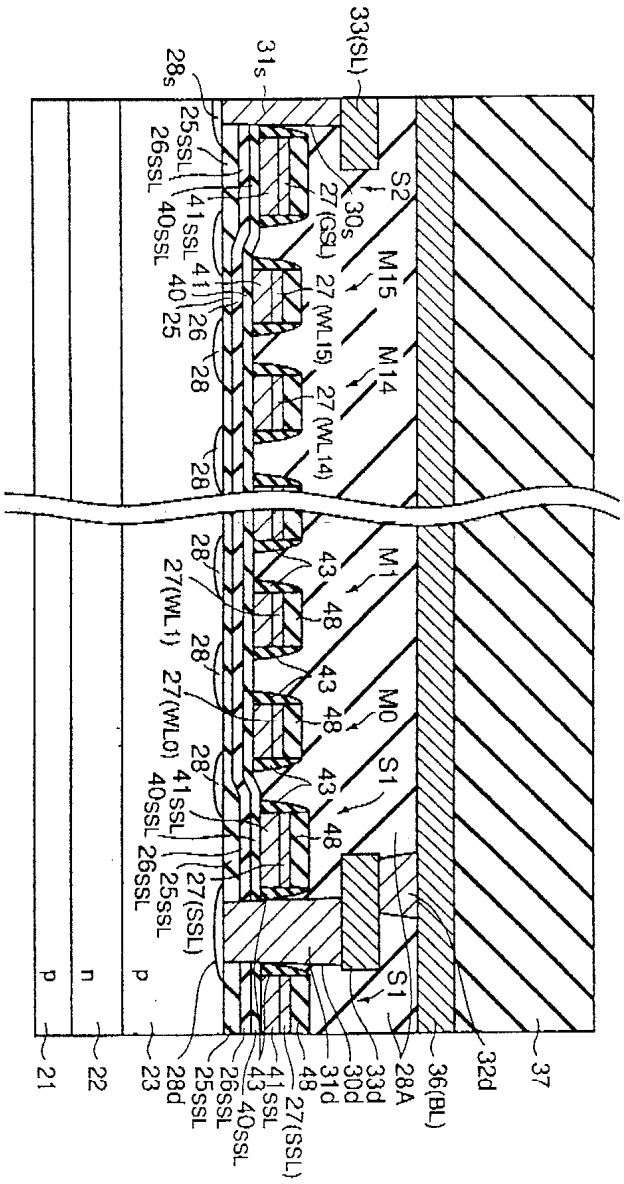
도면57



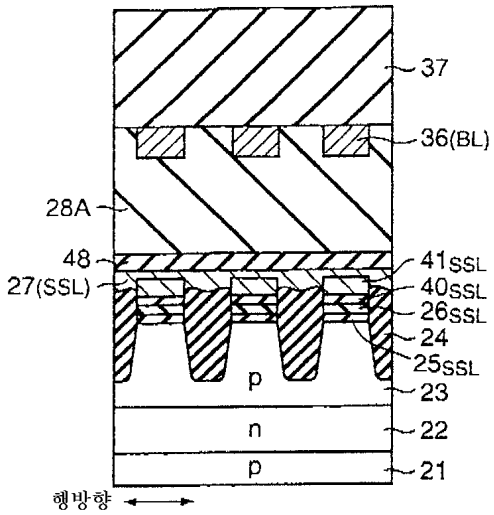
도면58


BL콘택트
ㄴIX
28d
26SSL
27SSL
S1
ㄴX
28
26
27(WL0)
M1
27(WL1)
M2
27(WL2)
M13
27(WL13)
M14
27(WL14)
M15
27(WL15)
ㄴXI
S2
26GSL
27GSL
28s
SL콘택트
열방향
행방향

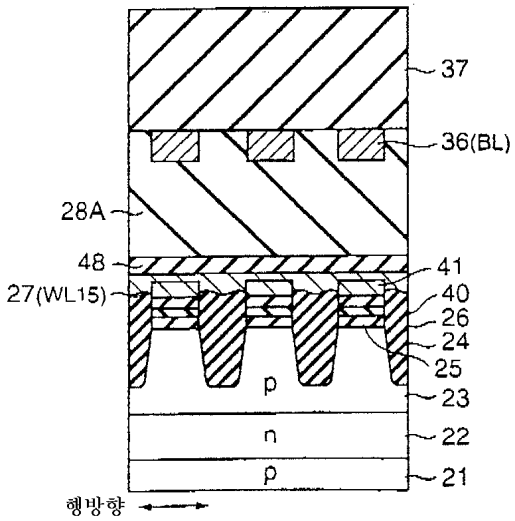
도면59


33(SL)
31s
28s
25SSL
26SSL
40SSL
41SSL
27(GSL)
30s
S2
M15
27(WL15)
M14
27(WL14)
M1
27(WL1)
M0
27(WL0)
S1
43
48
27(SSL)
p
n
21
22
23
28d
31d
30d
33d
28A
36(BL)
32d
37

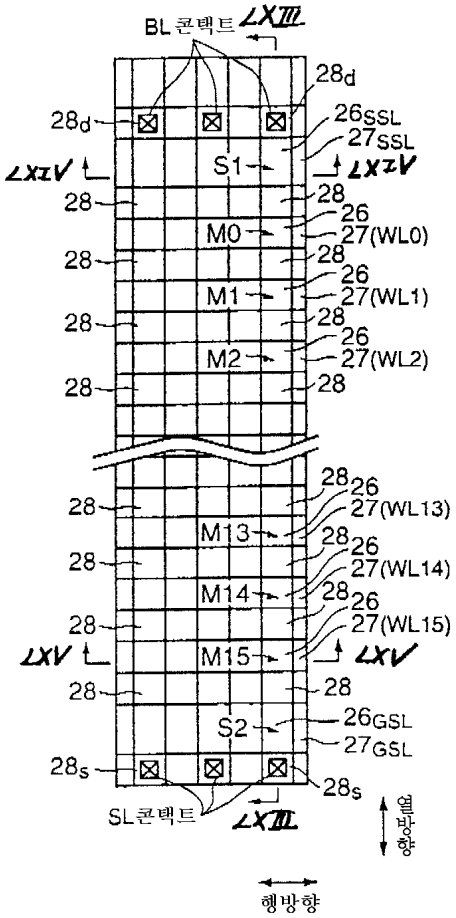
도면60


37
36(BL)
28A
48
27(SSL)
41SSL
40SSL
26SSL
24
25SSL
p
23
n
22
p
21
행방향

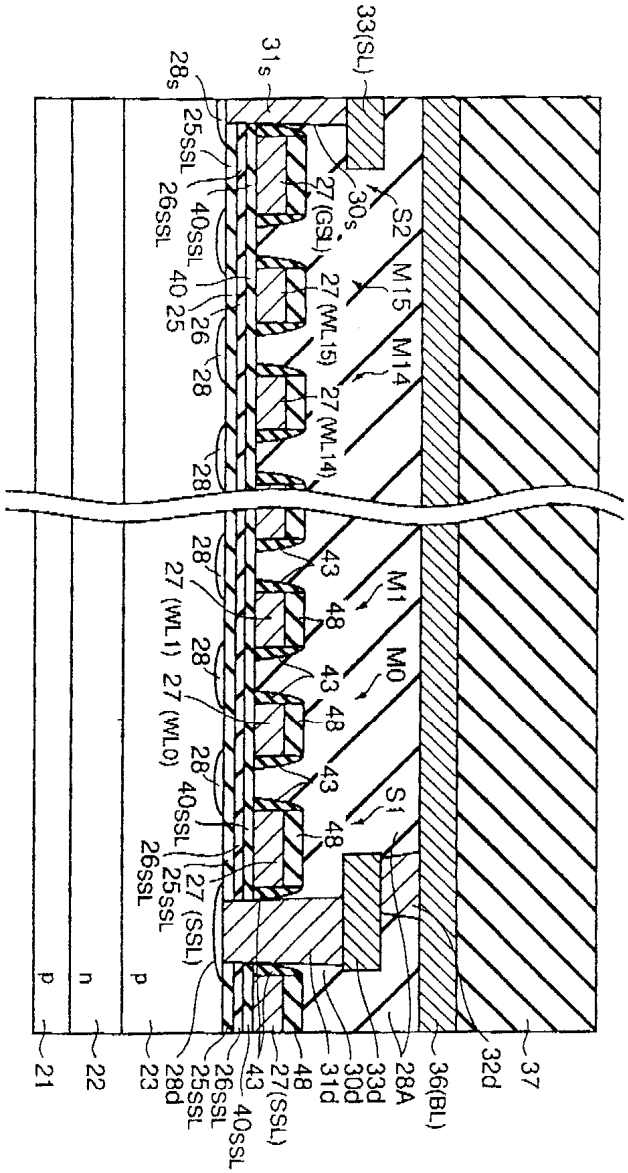
도면61


37
36(BL)
28A
48
41
27(WL15)
40
26
24
25
p
23
n
22
p
21
행방향

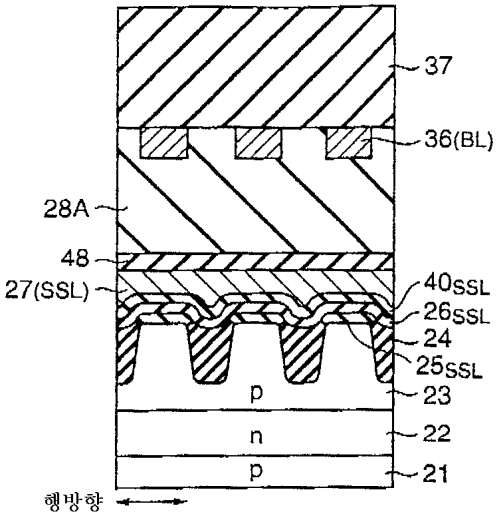
도면62


BL콘택트
XIII
28d
26SSL
27SSL
S1
XIV
XIV
28
M0
26
27(WL0)
M1
27(WL1)
M2
27(WL2)
M13
27(WL13)
M14
27(WL14)
M15
27(WL15)
XV
XV
S2
26GSL
27GSL
28s
SL콘택트
XIII
열방향
행방향

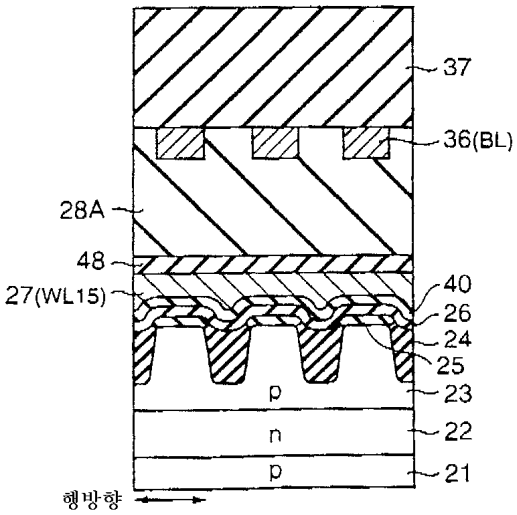
도면63


33(SL)
31s
28s
25SSL
26SSL
40SSL
40
25
26
28
27 (GSL)
30s
27 (WL15)
27 (WL14)
S2
M15
M14
M1
M0
S1
43
48
27 (WL1)
27 (WL0)
27 (SSL)
p
n
p
21
22
23
28d
25SSL
26SSL
40SSL
43
27(SSL)
48
31d
30d
33d
28A
36(BL)
32d
37

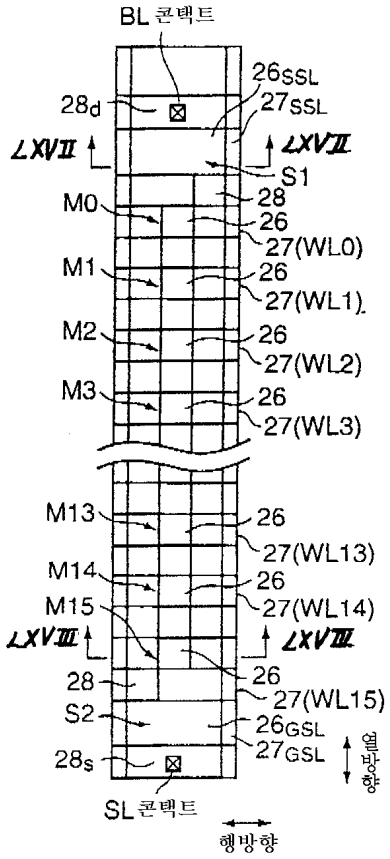
도면64


37
36(BL)
28A
48
27(SSL)
40SSL
26SSL
24
25SSL
23
22
21
p
n
p
행방향

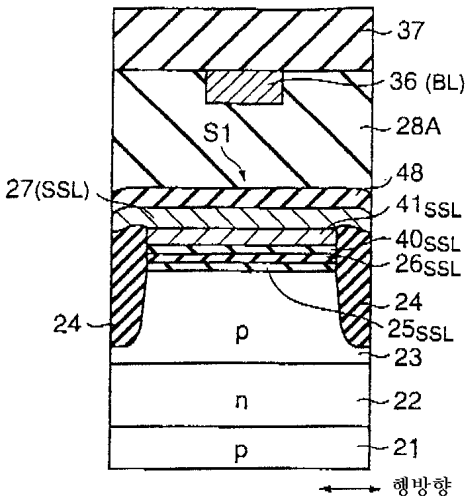
도면65


37
36(BL)
28A
48
27(WL15)
40
26
24
25
23
22
21
p
n
p
행방향

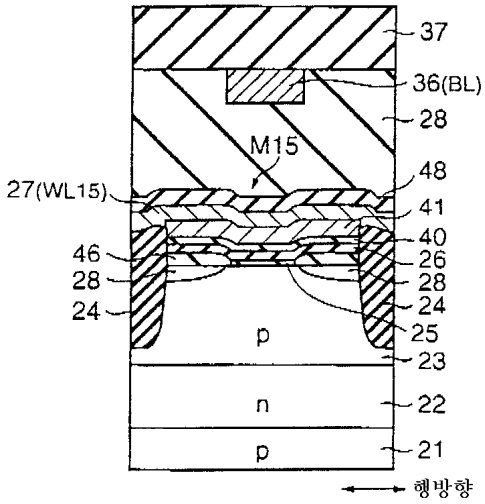
도면66


BL 콘택트
26SSL
27SSL
28d
XVII
XVII
S1
M0
28
26
27(WL0)
M1
26
27(WL1)
M2
26
27(WL2)
M3
26
27(WL3)
M13
26
27(WL13)
M14
26
27(WL14)
M15
XVIII
XVIII
26
27(WL15)
28
S2
26GSL
27GSL
28s
열방향
SL 콘택트
행방향

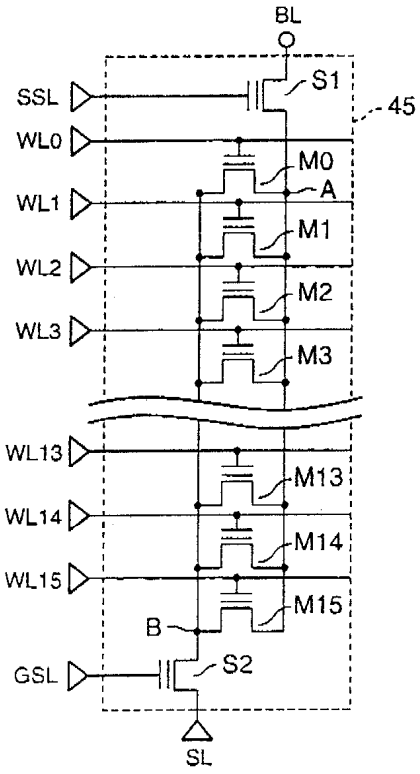
도면67


37
36 (BL)
28A
S1
48
27(SSL)
41SSL
40SSL
26SSL
24
24
25SSL
p
23
n
22
p
21
행방향

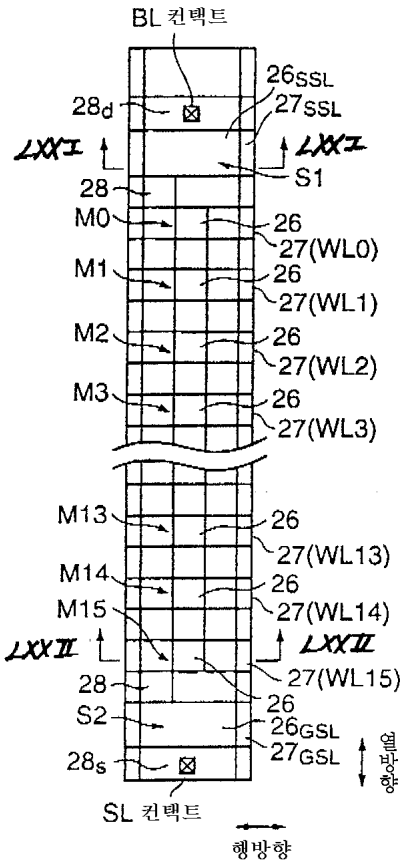
도면68


37
36(BL)
28
M15
48
27(WL15)
41
40
46
26
28
28
24
24
25
p
23
n
22
p
21
행방향

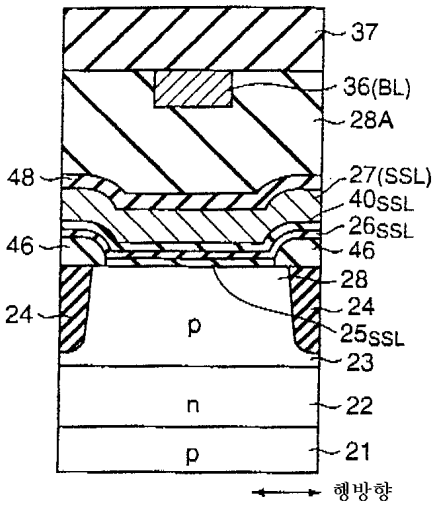
도면69


BL
SSL
S1
45
WL0
M0
A
WL1
M1
WL2
M2
WL3
M3
WL13
M13
WL14
M14
WL15
M15
B
GSL
S2
SL

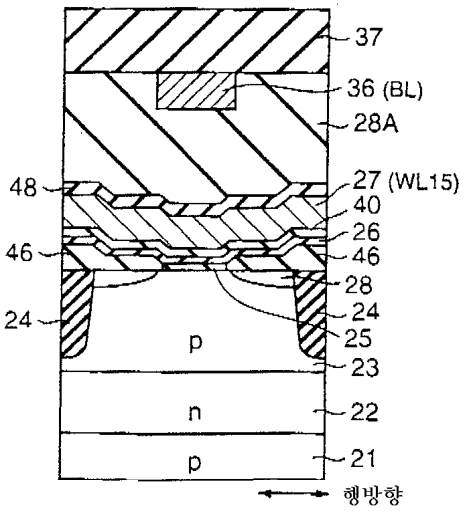
도면70


BL 컨택트
26SSL
28d
27SSL
ⅩⅩⅠ
ⅩⅩⅠ
S1
28
M0
26
27(WL0)
M1
26
27(WL1)
M2
26
27(WL2)
M3
26
27(WL3)
M13
26
27(WL13)
M14
26
27(WL14)
M15
ⅩⅩⅡ
ⅩⅩⅡ
27(WL15)
28
26
S2
26GSL
28s
27GSL
열방향
SL 컨택트
행방향

도면71


37
36(BL)
28A
48
27(SSL)
40SSL
26SSL
46
46
28
24
24
p
25SSL
23
n
22
p
21
행방향

도면72


37
36 (BL)
28A
48
27 (WL15)
40
26
46
46
28
24
24
p
25
23
n
22
p
21
행방향