



Patent dodatkowy
do patentu _____

Zgłoszono: 10.03.73 (P. 161204)

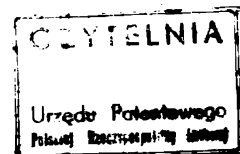
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.04.75

Opis patentowy opublikowano: 30.06.1977

MKP G06f 3/05

Int. Cl.² G06F 3/05



Twórca wynalazku: Irena Dubasiewicz-Tóth, Antoni Szczypa

Uprawniony z patentu: Politechnika Gdańska, Gdańsk-Wrzeszcz (Polska)

Adaptacyjny układ logiki do automatycznych urządzeń pomiarowo-kontrolnych

1

Przedmiotem wynalazku jest adaptacyjny układ logiki do automatycznych urządzeń pomiarowo-kontrolnych, realizujący adaptacyjny algorytm kontroli 5 strefowej.

Układ ten służy do kontroli i klasyfikacji tolerancji wykonania elementów i podzespołów elektronicznych produkowanych masowo, jak również do automatycznej kontroli wielkości nieelektrycznych, szczególnie przy automatycznej kontroli procentowego odchylenia od założonych wartości parametrów procesu technologicznego.

W dotychczas stosowanych automatycznych urządzeniach pomiarowo-kontrolnych stosowane są dwie metody, a mianowicie pomiar równoległy lub szeregowy.

Pomiar równoległy polega na podaniu napięcia mierzonego, z układu pomiarowego bądź przetwornika, na wejścia n komparatorów. Wyniki porównań podawane są z komparatorów równoległe, tj. jednocześnie na deszyfrator układu logicznego. Taki układ logiczny nie posiada zamkniętej pętli sprzężenia zwrotnego obejmującej układ pomiarowy i komparatory.

W urządzeniach wykorzystujących metodę szeregową stosuje się jeden komparator n -progowy. W komparatorze tym następuje porównanie wartości badanej z każdym z tych progów kolejno, rozpoczynając od krańcowego.

Wadą urządzeń stosujących metodę równoległą jest konieczność stosowania dużej ilości kompara-

2

torów, przed którymi stawia się wysokie wymagania metrologiczne, a mianowicie wymaga się dużej dokładności porównania, małego dryftu termicznego, stabilności progów oraz odporności na zakłócenia.

Wadą urządzeń stosujących metodę szeregową jest długi czas pomiaru, wynikający z faktu, że ilość taktów pomiarowych jest zawsze stała i dla kontroli 5 strefowej wynosi 4, niezależnie od jakości badanej wielkości oraz trudność wykonania komparatora, który jednakowo dobrze współpracuje z każdym z progów porównania.

Celem wynalazku jest opracowanie układu realizującego kontrolę 5 strefową, który nie będzie posiadał przedstawionych wyżej niedogodności.

Cel ten został osiągnięty przez zastosowanie układu bramek wejściowych sterujących czterema członami bistabilnymi, przy czym pierwszym i trzecim członem bistabilnym steruje on bezpośrednio, zaś drugim za pośrednictwem pierwszego a czwartym poprzez trzeci oraz dodatkowo przez układ iloczynu logicznego.

Układ bramek wejściowych jest kluczowany z układu pomiarowego, zegara i układów sum logicznych sterujących ponadto układem pomiarowym, układami dalszej obróbki informacji i wejściami kasującymi czterech członów bistabilnych. Stany członów bistabilnych podawane są na deszyfrator połączony z układami sum logicznych, koderem, układem iloczynu logicznego oraz po-

przez układ sterowania i zbiór granic tolerancji z układem pomiarowym. Ponadto wyjście kodera jest połączone z układami dalszej obróbki informacji.

Układ logiki według wynalazku zapewnia przeprowadzenie kontroli 5 strefowej z dużą szybkością w porównaniu z układem stosującym metodę szeregową. Kontrola wielkości obejmuje 2 lub 3 takty porównania, ponieważ rozpoczyna się od dolnej granicy tolerancji i w zależności od jego wyniku wybierana jest najkrótsza droga do rezultatu końcowego, gdyż układ logiczny steruje zwrotnie układem wyboru tolerancji.

W układzie logiki można zastosować znacznie prostszy układ pomiarowy zawierający jeden komparator o jednym progu.

Zaletą rozwiązania jest duża niezawodność i jednoznaczność kontroli z dużą dokładnością, jak również łatwość jego realizacji w technice układów scalonych, co daje dodatkowo dużą odporność na zakłócenia, stabilność temperaturową, a także zapewnienie jego miniaturyzację.

Przedmiot wynalazku pokazany jest w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia oś liczbowa z naniesionymi granicami i strefami tolerancji oraz graf obrazujący adaptacyjny algorytm kontroli 5-cio strefowej, zaś fig. 2 przedstawia układ logiczny realizujący adaptacyjny algorytm kontroli 5-cio strefowej.

Zastosowane na fig. 1 symbole **A**, **B**, **C**, **D** oznaczają przyjęte granice tolerancji, wyrażone w procentach, symbole **I**, **II**, **III**, **IV**, **V** oznaczają odpowiednie przedziały tolerancji, X_N oznacza wartość nominalną wielkości badanej **X**, X_A , X_B , X_C , X_D oznaczają wartości wzorcowe różniące się od wartości nominalnej X_N wielkości badanej **X** odpowiednio o $-A\%$, $-B\%$, $C\%$, $D\%$.

Adaptacyjna kontrola 5-cio strefowa polega na tym, że w pierwszym takcie kontroli następuje porównanie wartości badanej **X** z wartością wzorcową X_B , różniącą się od wartości nominalnej X_N wielkości badanej o $-B\%$.

W zależności od tego, czy wartość badana znajduje się powyżej, czy poniżej progu tolerancji $-B\%$ nastąpi porównanie jej z wartością wzorcową X_A albo X_C i następnie z X_D w kolejności przedstawionej przy pomocy grafu z fig. 1.

Kontrola wielkości obejmuje 2 lub 3 takty porównania w zależności od tego, w której strefie tolerancji mieści się badana wielkość.

Układ logiczny 1, realizujący adaptacyjny algorytm kontroli 5-cio strefowej, współpracuje z układem sterowania 2, który załącza określoną granicę porównania ze zbioru granic tolerancji 3 do układu pomiarowego 4.

W układzie pomiarowym 4 następuje porównanie wartości badanej **X** z jej granicami tolerancji $-A\%$, $-B\%$, $C\%$, $D\%$. Wynik porównania podawany jest na układ bramek wejściowych 5. W momencie otwarcia, przy pomocy układów sum logicznych 6 i bramek wejściowych 5 impulsy z zegara 7 podają wynik porównania na wejście pierwszego i trzeciego członu bistabilnego 8 oraz 10, a także na wejście iloczynu logicznego 12, kluczowanego z deszyfratora 13. Pierwszy człon bistabilny 8 steruje drugim członem bistabilnym 9, zaś

trzeci człon bistabilny 10 czwartym członem bistabilnym 11. Stany członów bistabilnych 8, 9, 10, 11 podawane są na deszyfrator 13.

Deszyfrator 13 podaje impuls logiczny na jedno z wejść Z_A , Z_C albo Z_D układu sterowania 2. Wyniki kontroli, tj. zakwalifikowania do stref **I**, **II**, **III**, **IV** albo **V** podawane są z deszyfratora 13 na układy sum logicznych 6.

Układy sum logicznych 6 sterowane równocześnie z zegara 7 kluczują bramki wejściowe 5, sterując układami dalszej obróbki 14, układem pomiarowym 4 oraz powodują kasowanie stanów członów bistabilnych 8, 9, 10, 11.

Określony w deszyfratorze 13 wynik kontroli jest podawany jednocześnie na koder 15. Na koder 15 nie jest podawany wynik zakwalifikowania badanej wielkości do strefy **III**, oznaczającej, że wielkość ta mieści się w założonych granicach tolerancji. Sygnały z kodera 15 podawane są do wejść układów dalszej obróbki 14.

Kontrola badanej wielkości rozpoczyna się po uprzednim skasowaniu stanów członów bistabilnych 8, 9, 10, 11 układu logiki 1. W pierwszym takcie kontroli następuje porównanie, w układzie pomiarowym 4, wartości badanej **X** z wartością X_B , różniącą się od wartości nominalnej X_N wielkości badanej o $-B\%$.

Wynik porównania podawany jest w postaci logicznej 10, gdy $X \leq X_B$ albo 01, gdy $X > X_B$ do układu logiki 1 przez układ bramek wejściowych 5, co powoduje, że człony bistabilne 8, 9, 10, 11 zostaną wprowadzone w taki stan, że za pośrednictwem deszyfratora 13 na wejście Z_A albo Z_C układu sterowania tolerancji 2 zostanie doprowadzony stan logiczny powodujący podłączenie następnej tolerancji.

Układ logiki 1 jest tak zaprojektowany, że w przypadku, gdy $X \leq X_B$ wyróżniony stan logiczny pojawi się na wyjściu Z_A deszyfratora 13. Spowoduje to włączenie tolerancji $A\%$ ze zbioru granic tolerancji 3 przy pomocy układu sterowania 2.

W przypadku, gdy $X > X_B$, wyróżniony stan pojawi się na wyjściu Z_C deszyfratora 13 i spowoduje podłączenie tolerancji $C\%$.

Od tego momentu rozpoczyna się drugi takt kontroli, a mianowicie porównanie wielkości badanej z dolną granicą awaryjną $-A\%$ albo z górną granicą tolerancji $C\%$.

W przypadku, gdy nastąpiło porównanie wartości badanej **X** z wartością X_A , różniącą się od wartości nominalnej X_N o $-A\%$, wynik porównania w postaci logicznej, wynoszący 10, jeżeli $X \leq X_A$ albo 01, jeżeli $X > X_A$, pojawi się na wyjściach bramek wejściowych 5 i spowoduje ustawienie członów bistabilnych 8, 9, 10, 11 w taki stan, że na wyjściu Y_I , gdy $X \leq X_A$, albo na wyjściu Y_{II} , gdy $X > X_A$, deszyfratora 13 pojawi się wyróżniony stan logiczny. Układ logiki 1 podejmie decyzję o zakwalifikowaniu badanej wartości **X** do przedziału tolerancji **I**, gdy wyróżniony stan pojawi się na wyjściu Y_I , albo do przedziału tolerancji **II**, gdy wyróżniony stan pojawi się na wyjściu Y_{II} deszyfratora 13.

Po podaniu wyniku kontroli poprzez układy sum logicznych 6 oraz koder 15 do układów dalszej obróbki 14 układy sum logicznych 6 powodują ska-

sowanie stanów członów bistabilnych 8, 9, 10, 11 układu logiki 1. Impuls końca kontroli z układów sum logicznych 6 podawany jest do układu pomiarowego 4 informując o zakończeniu cyklu pomiarowego. Układ logiki 1 oraz układ pomiarowy 4 są gotowe do rozpoczęcia kontroli następnej wielkości.

W przypadku, gdy w drugim takcie kontroli nastąpiło porównanie badanej wartości X z wartością X_C , różniącą się od wartości nominalnej X_N o $C\%$ i w wyniku porównania otrzyma się $X \leq X_C$, to wynik porównania w postaci logicznej 10 podawany jest z wyjść bramek wejściowych 5 na pierwszy i trzeci człon bistabilny 8 i 10 oraz przez iloczyn logiczny 12 na czwarty człon bistabilny 11. Iloczyn logiczny 12 jest niezbędny dla jednoznacznego rozróżnienia stref II i III.

Człony bistabilne 8, 9, 10, 11 zostaną wprowadzone w taki stan, że wyróżniony stan logiczny pojawi się na wyjściu Y_{III} deszyfratora 13. Badana wielkość zostanie zakwalifikowana do przedziału tolerancji III. W tym przypadku wynik kontroli nie jest podany na koder 15. Nastąpi zakończenie cyklu pomiarowego i przygotowanie do rozpoczęcia kontroli następnej wielkości.

Jeżeli w drugim takcie kontroli wartości X zostanie uzyskany wynik $X > X_C$, to członów bistabilne 8, 9, 10, 11 zostaną wprowadzone w taki stan, że na wyjściu Z_D deszyfratora 13 pojawi się wyróżniony stan logiczny, co powoduje podłączenie, przy pomocy układu sterowania 2, tolerancji $D\%$ ze zbioru tolerancji 3. W konsekwencji, w trzecim takcie kontroli wartości X , następuje porównanie,

w układzie pomiarowym 4, wartości X z wartością X_D różniącą się od wartości nominalnej X_N o $D\%$.

Wynik zostaje podany w postaci logicznej, na wejście układu logiki 1, który podejmuje decyzję o zakwalifikowaniu badanej wartości X do przedziału tolerancji IV, gdy $X \leq X_D$, albo do przedziału tolerancji V, gdy $X > X_D$, oraz o zakończeniu cyklu pomiarowego, co spowoduje automatyczne stosowanie członów bistabilnych 8, 9, 10, 11. Układ logiki 1 i układ pomiarowy 4 są przygotowane do kontroli następnej wielkości.

Zastrzeżenie patentowe

Adaptacyjny układ logiki do automatycznych urządzeń pomiarowo-kontrolnych, **znamienny tym**, że zawiera układ bramek wejściowych (5), połączony z członem bistabilnym (8) i iloczynem logicznym (12), członem bistabilnym (10) układem pomiarowym (4) zegarem (7) oraz układami sum logicznych (6) sterującymi układem pomiarowym (4), układami dalszej obróbki (14), wejściami kasującymi członów bistabilnych (8, 9, 10, 11), których stany są podawane na deszyfrator (13) połączony z układami sum logicznych (6), koderem (15), układem iloczynu logicznego (12) oraz poprzez układ sterowania (2) i zbiór granic tolerancji (3) z układem pomiarowym (4), przy czym drugi człon bistabilny (9) jest sterowany przez pierwszy człon bistabilny (8), a czwarty człon bistabilny (11) przez trzeci człon bistabilny (10) oraz przez układ iloczynu logicznego (12), ponadto wyjście kodera (15) jest połączone z układami dalszej obróbki (14).

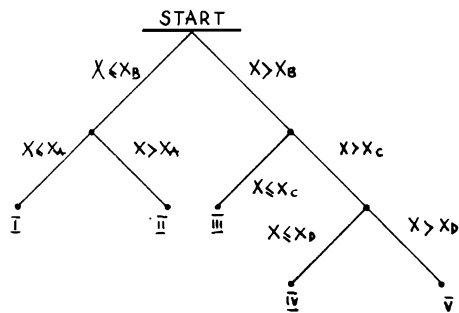
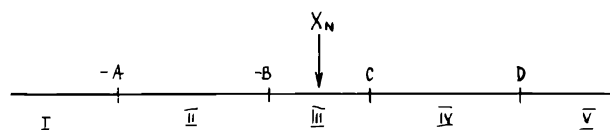


Fig. 1.

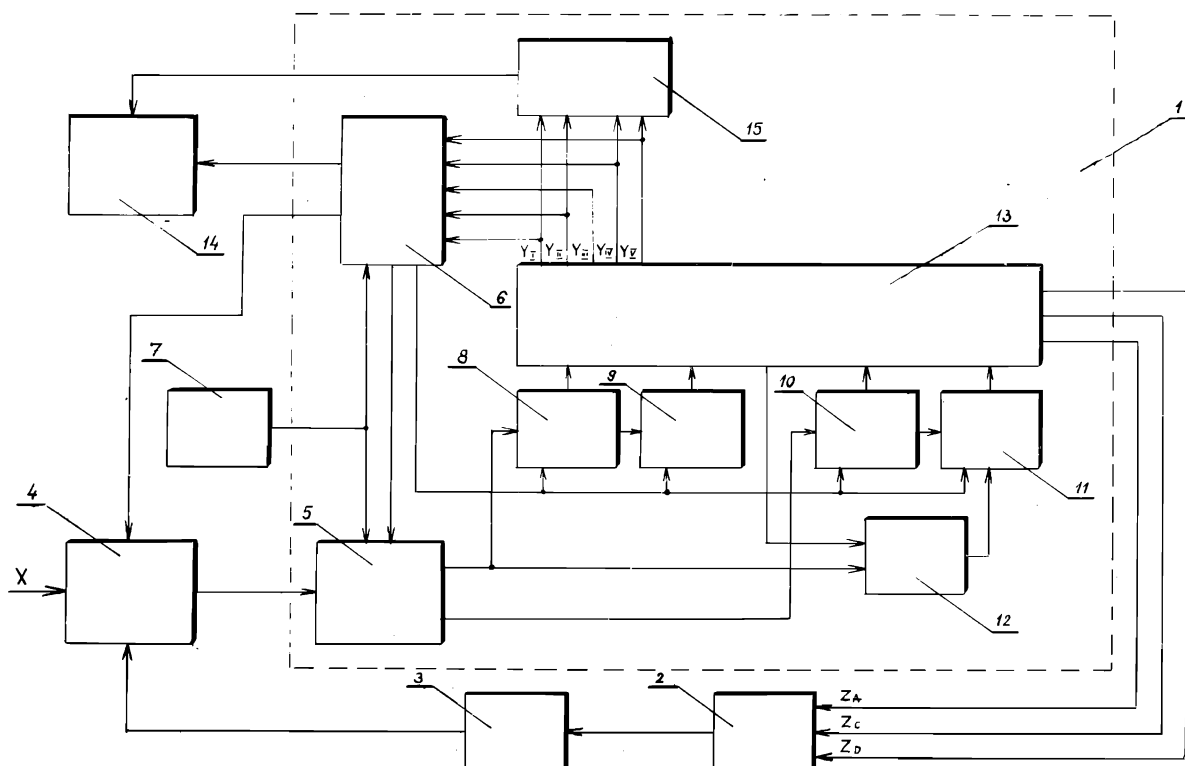


Fig. 2.