

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 9 日 (09.12.2004)

PCT

(10) 国際公開番号
WO 2004/107440 A1

(51) 国際特許分類⁷: **H01L 25/065**, 25/07, 25/18

(21) 国際出願番号: PCT/JP2004/007377

(22) 国際出願日: 2004 年 5 月 28 日 (28.05.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-150834 2003 年 5 月 28 日 (28.05.2003) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP];
〒5458522 大阪府大阪市阿倍野区長池町 2 2 番

2 2 号 Osaka (JP). 株式会社東芝 (TOSHIBA CORPORATION) [JP/JP]; 〒1058001 東京都港区芝浦 1 丁目 1-1 Tokyo (JP). 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORPORATION) [JP/JP]; 〒1006334 東京都千代田区丸の内 2 丁目 4-1 Tokyo (JP).

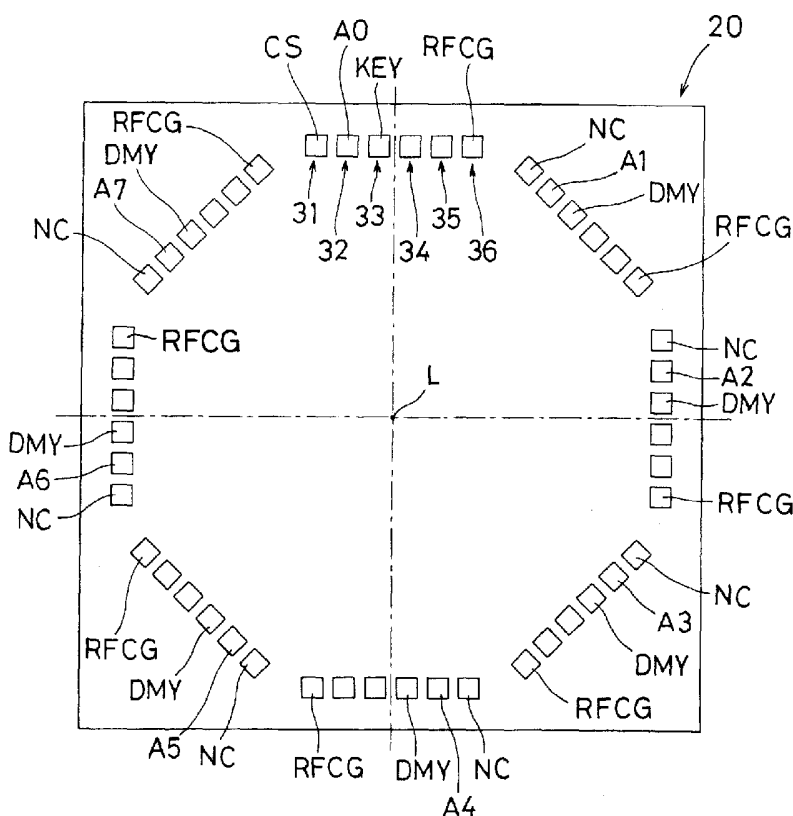
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐藤 知稔 (SATO, Tomotoshi) [JP/JP]; 〒5180435 三重県名張市つつじヶ丘北 5 番町 1 4 7 番地 Mie (JP). 根本義彦 (NEMOTO, Yoshihiko) [JP/JP]; 〒1006334 東京都千代田区丸の内 2 丁目 4-1 株式会社ルネサステクノロジ内 Tokyo (JP). 高橋 健司 (TAKAHASHI, Kenji) [JP/JP]; 〒3050031 茨城県つくば市吾妻 4 丁目 1 7-4 ドミユールつくば 4 0 1 Ibaraki (JP). 秋山雪治 (AKIYAMA, Yukiharu) [JP/JP]; 〒1878588 東京

[続葉有]

(54) Title: ELECTRONIC PARTS, MODULE, MODULE ASSEMBLING METHOD, IDENTIFICATION METHOD, AND ENVIRONMENT SETTING METHOD

(54) 発明の名称: 電子部品およびモジュールならびにモジュールの組み立て方法、識別方法および環境設定方法



(57) Abstract: It is possible to provide electronic parts for assembling a module by superimposing a plurality of layers with identical configuration. Each terminal of each terminal groups (31 to 36) is formed to be rotationally symmetric with a predetermined number of settings or symmetric with respect to the plane containing the rotational symmetry and the symmetric axis line. Each of the terminals (A0 to A7, RFCG) of common connection terminal groups (32, 36) has a connection portion formed on the surface section of both sides of the superimposing direction. Among the terminals of individual connection terminal groups (31, 33), a particular terminal CS;KEY has a connection portion formed at least on one of the sides of the superimposing direction of the surface section while the remaining associated terminal NC;DMY has a connection portion formed on the surface section of both sides of the superimposing direction. Such an electronic part (20) can be shifted by the angle obtained by dividing 360 degrees by the predetermined number of settings or added and reversed so as to be superimposed, thereby preferably assembling a module.

[続葉有]

WO 2004/107440 A1



都小平市上水本町 5 丁目 2 0 番 1 号 株式会社ルネ
サステクノロジ内 Tokyo (JP).

(74) 代理人: 西教 圭一郎, 外(SAIKYO, Keiichiro et al.);
〒5410051 大阪府大阪市中央区備後町 3 丁目 2 番 6 号
敷島ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約: 本発明の目的は、同一の構成で、複数層に積層してモジュールを組み立てることができる電子部品を
提供することである。各端子群 3 1 ~ 3 6 の各端子は、予め定める設定回数の回転対称に、または前記回転対称か
つ対称軸線を含む面に対称に形成されている。共通接続端子群 3 2, 3 6 の各端子 A 0 ~ A 7, R F C G は、積層
方向両側の表面部に接続部が形成されている。個別接続端子群 3 1, 3 3 の各端子のうち、1 つの特定端子 C S ;
K E Y は、積層方向両側の表面部のうち少なくともいずれか一方に接続部が形成され、残余の関連端子 N C ; D M Y
は、積層方向両側の表面部に接続部が形成されている。このような電子部品 2 0 は、3 6 0 度を前記設定回数で除
した角度ずつ相互にずらして、または加えて反転させて積層することによって、同一の電子部品 2 0 を用いて、モ
ジュールを好適に組み立てることができる。

明 細 書

電子部品およびモジュールならびにモジュールの組み立て方法、識別方法および環境設定方法

技術分野

[0001] 本発明は、電子部品、複数の電子部品を積層して組み立てられるモジュール、そのモジュールを組み立てる方法、組み立てられたモジュールを識別する方法、および組み立てられたモジュールの動作環境を設定する方法に関する。

背景技術

[0002] 図23は、第1の従来技術のモジュール1を示す斜視図である。大規模集積回路(LSI)2の高密度実装を実現するために、LSI2を積層してモジュール1を形成している。モジュール1は、LSI2がテープキャリア3に搭載されてテープキャリアパッケージ(TCP)4が構成され、これらTCP4が積層されて形成されている。このモジュール1では、テープキャリア3の構成によって、各LSI2を識別できるように構成されている。

各LSI2は、LSIを選択して指定する情報を入力するためのチップ側選択端子5と、実行すべき処理動作に関連する情報を入出力するためのチップ側一般端子6とを有し、図示しない回路基板から、チップ側一般端子6に処理動作の指令が与えられるとともに、チップ側選択端子5に処理動作を実行するLSI2を指定する情報が与えられ、指定されたLSI2が、処理動作を実行するように構成されている。

各LSI2のチップ側選択端子5は、テープキャリア3に形成される配線7を介して、回路基板に形成される基板側選択端子8に、個別に接続される。また各LSI2のチップ側一般端子6は、テープキャリア3に形成される配線9を介して、回路基板に形成される基板側一般端子10に、共通に接続される。チップ側選択端子5を基板側選択端子8に個別に接続するために、回路基板にはLSIの個数と同数の基板側選択端子8a〜8c(総称するときは、符号8)が形成され、配線7が各基板側選択端子8a〜8cのいずれとも接続可能な配線部分を有する冗長なパターンに形成されており、必要な配線部分だけを残して、不要な部分を切断除去することで、各チップ側選択端子5が、各基板側選択端子8a〜8cのいずれかに個別に接続される。このようにして、回路基

板から各LSI2を個別に指定することができる(たとえば特開平2-290048号公報参照)。

図24は、第2の従来技術における基板と下段チップとの接続構造を示す斜視図である。図25は、第2の従来技術における基板と中段チップとの接続構造を示す斜視図である。図26は、第2の従来技術における基板と上段チップとの接続構造を示す斜視図である。図24～図26には、理解を容易にするために、LSIに貫通して形成される端子と、この端子とLSI内部の回路までの配線のみを図示し、LSIにおける他の構成、たとえば層間絶縁膜などは図示しない。

第1の従来技術のように、TCPを用いる場合には、テープキャリア3による信号遅延によってLSIの性能が十分発揮できない問題点があり、これを解決して、LSIの高速高機能化を図ることができる第2の従来技術として、LSIに表裏を貫通する端子を設けて、テープキャリアを用いることなく、ウエハ状態またはチップ状態で積層し、モジュール化する技術が知られている。この第2の従来技術においても、積層される各LSIを第1の従来技術と同様に回路基板から指定できるように構成しなければならない。

各LSIには、内部回路に接続されるチップ側接続端子に相当するコンタクト部14が形成されている。各LSIには、LSIの個数と同数の接続端子15a～15cが、LSIを厚み方向に貫通して形成されている。各接続端子15a～15cは、各LSIを回路基板に個別に接続するための端子であり、回路基板に形成されるLSIの個数と同数の基板側接続端子に接続されている。各LSIのコンタクト部14は、LSIに設けられる各配線16a～16cによって、相互に異なる接続端子15a～15cに接続され、これによって各LSIのコンタクト部14が、各基板側選択端子に個別に接続される。

さらに第3の従来技術として、複数のセグメントを積層する技術が知られている。この技術では、各セグメントの端子を、導電性を有する接着剤によって、各端子同士を電氣的に接続するとともに、各セグメントを機械的に接続している(たとえば特表2001-514449号公報参照)。

さらに第4の従来技術として、保護ダイオードを切り離して積層された一体化されたチップの容量性を負荷を低減する技術に利用される、ロジックデバイスへのメモリ

チップの積層構造が知られている。この第4の従来技術では、2つの積層構造が利用されており、1つ目の積層構造は、メモリチップを指定するための端子を、各段毎、すなわちメモリチップ毎に異なる構成とし、各メモリチップを制御できるように構成されている。2つ目の積層構造は、各メモリチップが厚み方向と垂直な方向へ、メモリチップの一縁辺に沿ってずれた状態で積層される(たとえば米国特許第6141245号公報参照)。

第2の従来技術は、第1の従来技術の課題を解決することができるが、LSIを同一の姿勢に配置して積層しているので、前述のようにコンタクト部14と各接続端子15a〜15cとを個別に接続する配線16a〜16cが必要になる。これら配線16a〜16cは、各LSIに形成しておかなければならず、ことなる構成のチップになってしまう。したがって製造プロセスにおいて、別チップとして作成する必要がある。

異種のチップを積層する場合においては、元来、異なる構成のチップであるので問題はないが、たとえばメモリチップを多数積層して大容量メモリを実現する場合などにおいては、積層しなければ同一構成のメモリチップでよいにも拘わらず、積層するがゆえに、前述のように別チップとして、積層する数だけ構成の異なるチップとして作成する必要があり、極めて余分な手間が必要になる。

このような課題は、第1および第3の従来技術、第4の従来技術の1つ目の積層構造においても解決することができない。

また第4の従来技術の2つ目の積層構造では、各メモリチップを同一の形状に形成すればよいが、各メモリチップのずらされる方向に延びる縁辺(少なくとも2辺)に並ぶ端子は、メモリチップを指定するための端子としてしか用いることができず、各メモリチップにバス接続、すなわち共通に接続するための端子は、前記各メモリチップのずらされる方向とは異なる方向に延びる縁辺(最大2辺)を利用して設けなければならない。したがって設けることができる端子数の制限によってバス幅に制約を受ける。

発明の開示

[0003] 本発明の目的は、同一の構成で、複数層に積層してバス幅の制約の少ないモジュールを組み立てることができる電子部品を提供するとともに、この電子部品を用いたモジュールならびにモジュールの組立て方法、識別方法および環境設定方法を提

供することである。

本発明は、内部回路を有し、複数層に積層してモジュールを組み立てるための電子部品であって、

共通接続端子群と、個別接続端子群とを有し、

共通接続端子群は、予め定める設定回数の回転対称性を有して配置され、内部回路に接続される複数の端子を有し、共通接続端子群の各端子は、積層される他の電子部品における端子と共通にモジュール外の部品に接続すべき端子であり、積層方向両側の表面部に、他の電子部品の共通接続端子群が有する端子と接続するための接続部が形成され、

個別接続端子群は、前記設定回数の回転対称性を有して配置され、少なくとも1つの特定端子および残余の関連端子を備える複数の端子を有し、特定端子が内部回路に接続され、特定端子は、積層される他の電子部品における特定端子とは個別にモジュール外の部品に接続すべき端子であり、積層方向両側の表面部の少なくともいずれか一方に、他の電子部品の個別接続端子群が有する端子と接続するための接続部が形成され、関連端子は、積層される他の電子部品における特定端子に関連して設けられる端子であり、積層方向両側の表面部に、他の電子部品の個別接続端子群が有する端子と接続するための接続部が形成されることを特徴とする電子部品である。

本発明に従えば、共通接続端子群の各端子は、予め定める設定回数の回転対称に形成されているとともに、積層方向両側の表面部に接続部が形成されている。また個別接続端子群の各端子は、予め定める設定回数の回転対称に形成され、そのうちの少なくとも1つの特定端子は、積層方向両側の表面部のうち少なくともいずれか一方に接続部が形成され、残余の関連端子は、積層方向両側の表面部に接続部が形成されている。

このように対称配置に端子が形成される電子部品は、360度を前記設定回数で除した角度ずつ相互にずらして積層することによって、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。これによって

複数の電子部品を積層してモジュールを組み立てるにあたって、異なる構成の電子部品を用意しなくても、同一構成の電子部品を用いことができる。したがって積層してモジュールを組み立てるための電子部品の製造の手間を少なくし、電子部品を容易に製造することができる。

さらに共通接続端子の数が制限を受けにくく、バス幅などと呼ばれる共通接続端子を用いて単位時間あたりに送受信可能なデータ量の制約を可及的に少なくすることができる。しかもモジュールは、積層方向に垂直な平面に投影したときの外形寸法を、各電子部品の外形寸法とほぼ同一の小さい寸法とすることができる。

また本発明は、複数の電子部品を積層するにあたって、各電子部品が、積層方向一方側の表面部を一方向に向けて積層されることを特徴とする。

本発明に従えば、層数が前記設定回数以下のモジュールを容易に形成することができる。

また本発明は、共通電極端子群および個別接続端子群に設けられる各端子は、前記設定回数の回転対称性に加えて、回転対称中心を通る対称線に関して線対称性を有して配置され、

複数の電子部品を積層するにあたって、少なくとも1つの電子部品が、積層方向一方側の表面部を一方向に向け、残余の電子部品が、積層方向他方側の表面部を一方向に向けて積層されることを特徴とする。

本発明に従えば、共通電極端子群および個別接続端子群に設けられる各端子が、回転対称中心を通る対称線に関して線対称性を有しており、電子部品は、積層方向に関して反転させて積層することもでき、この状態であっても、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。したがって層数が前記設定回数の2倍以下のモジュールを容易に形成することができる。

また本発明は、複数の電子部品を積層するにあたって、2つの電子部品の主面同士を対向させ、前記対向させた電子部品ペアがさらに複数積層されることを特徴とする。

本発明に従えば、2つの電子部品の主面を対向させ、つまり積層方向一方側の表面部を互いに対向させて形成される電子部品ペアを、360度を前記設定回数で除した角度ずつ相互にずらして積層することによって、層数が前記設定回数の2倍以下のモジュールを容易に形成することができる。

また本発明は、特定端子は、積層方向両側の表面部のいずれか一方にだけ、他の電子部品の個別接続端子群が有する端子と接続するための接続部が形成されることを特徴とする。

本発明に従えば、特定端子は、積層方向両側の表面部のいずれか一方にだけ接続部が形成されており、モジュール外の部品に接続される部分を少なくすることができる。これによってモジュール外の部品からモジュールを駆動するにあたってモジュールの負荷を小さくすることができ、モジュールの高速高機能化に寄与することができる。

また本発明は、外形形状が、前記設定回数と同一の角数の正多角形であることを特徴とする。

本発明に従えば、外形形状が、前記設定回数と同一の角数の正多角形であるので、電子部品を積層した場合に、周縁部を揃えて積層することができる。これによってモジュールを配置するために必要な占有空間を可及的に小さくすることができる。

また本発明は、個別接続端子群は、特定端子が、モジュール外の部品からの出力要求に対して、有効を表す情報を出力する内部回路に接続され、関連端子が、モジュール外の部品からの出力要求に対して、モジュール外の部品において有効を表す情報よりも優先される無効を表す情報を出力する状態と、関連端子に対して非干渉の状態とに切り換えられる内部回路に接続される姿勢情報出力端子群を含むことを特徴とする。

本発明に従えば、個別接続端子群の1つとして姿勢情報出力端子群を有しており、この姿勢情報出力端子群の関連端子を切り換えながら、各端子にモジュール外の部品からの出力要求に対して、各特定端子から有効を表す情報を出力することによって、モジュール外の部品に、各電子部品の特定端子の位置の情報を与えることができる。これによってモジュール外の部品に、各電子部品の姿勢を表す情報を与えるこ

とができる。

また本発明は、各電子部品は、モジュール外の部品から与えられる設定指令に基づいて、各電子部品の積層状態に対応する動作環境を設定する内部回路を有し、共通接続端子群は、各電子部品に積層状態に対応する動作環境を設定する指令である設定指令が、モジュール外の部品から与えられる指令入力端子を備える指令入力端子群を含むことを特徴とする。

本発明に従えば、積層状態に対応する動作環境を設定する内部回路を有するとともに、共通接続端子群の1つとして指令入力端子群を有している。指令入力端子群に、モジュール外の部品から設定指令が与えられると、内部回路によって、積層状態に対応する動作環境が設定される。これによって複数の電子部品を積層してモジュールを形成した後、設定指令を与えて動作環境を設定することができ、好適に動作する利便性の高いモジュールを組み立てることができる。

また本発明は、各電子部品を積層するにあたって位置決めに用いるアライメントマークが、前記端子の対称性と同一の対称性を有して配置されていることを特徴とする。

本発明に従えば、各電子部品を積層するにあたって位置決めに用いるアライメントマークが、前記対称性を有して配置されている。これによってモジュール外の部品に少なくとも1つのアライメントマークがあれば、各電子部品を、360度を前記設定回数で除した角度ずつ相互にずらした位置に位置決めすることができる。

また本発明は、電子部品は、半導体基板の少なくとも1主面部に内部回路が形成され、主面部から反対面に達する導電路によって前記共通接続端子群および個別接続端子群の各端子が形成される半導体素子であることを特徴とする。

本発明に従えば、前記半導体素子を複数積層して好適なモジュールを得ることができる。

また本発明は、前記複数の電子部品が積層されて形成されることを特徴とするモジュールである。

本発明に従えば、同一構成の複数の電子部品が積層されてモジュールが形成され、好適なモジュールを容易に得ることができる。

また本発明は、前記複数の電子部品を積層してモジュールを組み立てる方法であって、

各電子部品を、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層し、

積層方向に隣接する電子部品の端子の接続部同士を接続することを特徴とするモジュールの組み立て方法である。

本発明に従えば、複数の電子部品を、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層し、積層方向に隣接する電子部品の端子の接続部同士を接続する。これによって、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。このような高密度実装可能なモジュールを容易に組み立てることができる。

また本発明は、前記複数の電子部品を基板に積層してモジュールを組み立てる方法であって、

各電子部品を、基板に形成されるアライメントマークと、各電子部品に形成されるアライメントマークとの位置関係に基づいて、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層し、

積層方向に隣接する電子部品の端子の接続部同士を接続することを特徴とするモジュールの組み立て方法である。

本発明に従えば、複数の電子部品を、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層し、積層方向に隣接する電子部品の端子の接続部同士を接続する。これによって、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。このような高密度実装可能なモジュールを容易に組み立てることができる。

さらに電子部品には、端子の対称性と同一の対称性を有するアライメントマークが形成されており、基板に形成されるアライメントマークを用いて、位置決めすることができる。この位置決めにあたって、基板のアライメントマークは、少なくとも1つあれば

よい。電子部品は、基板に比べて高精度に形成され、アライメントマークも、電子部品のアライメントマークは、基板のアライメントマークに比べて高精度に形成される。電子部品のアライメントマークを前述のように対称性を有して形成することによって、精度の高い電子部品のアライメントマークをできるだけ利用して位置決めすることができ、高い精度で位置決めすることができ、高精度なモジュールを組み立てることができる。

また本発明は、電子部品は、半導体基板の少なくとも1主面部に内部回路が形成され、主面部から反対面に達する導電路によって前記共通接続端子群および個別接続端子群の各端子が形成される半導体素子であることを特徴とする。

本発明に従えば、前記半導体素子を複数積層して好適なモジュールを組み立てることができる。

また本発明は、前記複数の電子部品が、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層され、積層方向に隣接する電子部品の端子の接続部同士が接続されて組み立てられるモジュールを識別する方法であって、

各電子部品の姿勢情報端子群の各端子に出力要求を与えることによって、出力される有効および無効を表す情報に基づいて、各電子部品毎に姿勢情報端子群における特定端子の位置を検出して各電子部品の姿勢を検出し、各電子部品の積層状態によってモジュールを識別することを特徴とするモジュールの識別方法である。

本発明に従えば、姿勢情報端子群を有する複数の電子部品が積層されて組み立てられるモジュールに対して、姿勢情報端子群の各端子に出力要求を与える。これによって各電子部品の姿勢情報端子群における特定端子から有効を表す情報を得ることができ、その特定端子の位置を検出することができる。これによってモジュールにおける各電子部品の姿勢を検出することができ、モジュールにおける電子部品の配置構成を検出することができる。したがってこの配置構成の差異に基づいてモジュールを識別することができる。

また本発明は、電子部品は、半導体基板の少なくとも1主面部に内部回路が形成され、主面部から反対面に達する導電路によって前記共通接続端子群および個別接

続端子群の各端子が形成される半導体素子であることを特徴とする。

本発明に従えば、前記半導体素子が複数積層されて組み立てられるモジュールを好適に識別することができる。

また本発明は、前記複数の電子部品が、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層され、積層方向に隣接する電子部品の端子の接続部同士が接続されて組み立てられるモジュールの動作環境を設定する方法であって、

指令入力端子群に、設定指令を与えて、各電子部品に積層状態に対応する動作環境を設定することを特徴とするモジュールの環境設定方法である。

本発明に従えば、指令入力端子群を有する複数の電子部品が積層されて組み立てられるモジュールに対して、指令入力端子群の各端子に設定指令を与える。各電子部品は、設定指令が与えられると、その設定指令に応答して動作環境を設定する。これによって各電子部品に動作環境を設定することができる。

また本発明は、電子部品は、半導体基板の少なくとも1主面部に内部回路が形成され、主面部から反対面に達する導電路によって前記共通接続端子群および個別接続端子群の各端子が形成される半導体素子であることを特徴とする。

本発明に従えば、前記半導体素子が複数積層されて組み立てられるモジュールに対して、各半導体素子に動作環境を設定することができ、好適なモジュールを得ることができる。

図面の簡単な説明

[0004] 本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

図1は、本発明の実施の一形態のメモリチップ20を示す正面図である。

図2は、メモリチップ20を用いて組み立てられるメモリモジュール21を示す斜視図である。

図3は、隣接するチップ20間の端子の接続状態の一例を模式的に示す断面図である。

図4は、隣接するチップ20間の端子の接続状態の他の例を模式的に示す断面図

である。

図5は、チップ20に動作環境の設定方法を説明するための図である。

図6は、チップ20における動作環境を設定するための回路部分50を示す回路図である。

図7は、端子を形成する手順の一例を示す断面図である。

図8は、アライメントマーク60a〜60hの配置について説明するためのチップ20の正面図である。

図9は、アライメントマーク60a〜60hを利用してチップ20を積層する方法を説明するための図である。

図10は、本発明の実施の他の形態のチップ120を示す正面図である。

図11は、チップ120を積層して組み立てられるモジュール121を示す斜視図である。

図12は、本発明の実施のさらに他の形態のチップ220を示す正面図である。

図13は、本発明の実施のさらに他の形態のチップ320を示す正面図である。

図14は、チップ320を積層して組み立てられるモジュール321を示す斜視図である。

図15は、隣接するチップ320間の端子の接続状態の一例を模式的に示す断面図である。

図16は、隣接するチップ320間の端子の接続状態の他の例を模式的に示す断面図である。

図17は、隣接するチップ320間の端子の接続状態の他の例を模式的に示す断面図である。

図18は、アライメントマーク360a〜360dの配置について説明するためのチップ320の正面図である。

図19は、アライメントマーク360a〜360dを利用してチップ20を積層する方法を説明するための図である。

図20は、本発明の実施のさらに他の形態のチップ420を示す正面図である。

図21は、本発明の実施のさらに他の形態のメモリパッケージ520を示す斜視図で

ある。

図22は、メモリパッケージ550を積層したモジュールを示す断面図である。

図23は、第1の従来技術のモジュール1を示す斜視図である。

図24は、第2の従来技術における基板と下段チップとの接続構造を示す斜視図である。

図25は、第2の従来技術における基板と中段チップとの接続構造を示す斜視図である。

図26は、第2の従来技術における基板と上段チップとの接続構造を示す斜視図である。

発明を実施するための最良の形態

[0005] 以下図面を参考にして本発明の好適な実施例を詳細に説明する。

図1は、本発明の実施の一形態のメモリチップ20を示す正面図である。図2は、メモリチップ20を用いて組み立てられるメモリモジュール21を基板22に搭載した状態で示す斜視図である。電子部品であるメモリチップ(以下「チップ」という場合がある)20は、高密度実装を実現するために、複数のチップ20を積層して、高容量かつ小形のメモリモジュール(以下「モジュール」という場合がある)21を組み立てるために用いられる。

チップ20は、板状に形成され、厚み方向に垂直な外形形状が正四角形状である。チップ20は、半導体素子であり、半導体基板の少なくとも予め定める厚み方向一方側の表面部である主面部に内部回路(図示せず)が形成されて構成される。チップ20の主面は、前記半導体基板の予め定める厚み方向一方側の一表面である。このチップ20は、厚み方向を積層方向として、複数のチップ20が、基板22上に複数層に積層され、モジュール21が基板22に実装される。基板22は、モジュール外の部品に相当する。図1には、チップ20を厚み方向に見て示す。基板22は、モジュール21の各チップ20の端子に接続される端子を有していれば、プリント配線板に代表される通常の回路基板でもよいし、端子ピッチを変換するためのいわゆるインターポーザ基板でもよい。

チップ20は、複数、本実施の形態では、6つの端子群31〜36を有する。各端子群

31〜36は、複数の端子をそれぞれ有しており、各端子群31〜36の各端子は、厚み方向に平行な回転対称中心軸線(以下「対称軸線」という場合がある)Lまわりの予め定める設定回数の回転対称性を有する位置に、N回対称(Nは2以上の整数)に配置されて形成されている。本実施の形態では、設定回数は8回であり、各端子群31〜36は、設定回数の自然数倍の個数の端子をそれぞれ有し、これらの各端子が8回の回転対称性を有する位置に、さらに具体的には、対称軸線Lまわりの略周方向に並ぶペリフェラル状に配置される。対称軸線Lは、チップ20の中心軸線と一致していてもよいし、一致していなくてもよい。各端子群の端子は、前記主面部から厚み方向他表面である反対面に達する導回路によって形成される。導回路は、導電性材料によって形成される。

各端子群31〜36は、たとえばチップ指定端子群31、主情報入出力端子群32、姿勢情報出力端子群33および指令入力端子群36を含む。チップ指定端子群31は、チップ20を選択的に指定するための端子群である。主情報入出力端子群32は、チップ20に記憶される情報を入出力するための端子群である。姿勢情報出力端子群33は、チップ20の姿勢情報を出力するための端子群である。指令入力端子群36は、チップ20に動作環境を設定する指令である設定指令を入力するための端子群である。残余の端子群34, 35は、その他の目的に用いられる端子群であってもよく、たとえば駆動電力を入力するための端子群であってもよい。

チップ指定端子群31は、設定回数の1倍(設定回数と同一)である8個の端子であって、1つのチップ指定端子CSと、残余7個の無接続端子NCとの計8個の端子を有する。チップ指定端子CSは、特定端子であり、チップ20に設けられる内部回路(図示せず)に接続されている。無接続端子NCは、関連端子であり、内部回路に対して非接続であり、同一の構成の端子である。

主情報入出力端子群32は、設定回数の1倍である8個の主情報端子A0〜A7を有している。各主情報端子A0〜A7は、内部回路の相互に異なる回路部分に個別に接続されるが、各回路部分が等価な回路部分であり、各主情報端子A0〜A7は、等価な端子である。

姿勢情報出力端子群33は、設定回数の1倍である8個の端子であって、1つの基

準端子KEYと、残余7個のダミー端子DMYとの計8個の端子を有する。基準端子KEYは、特定端子であり、チップ20に設けられる内部回路に接続されている。ダミー端子DMYは、関連端子であり、内部回路における同一回路部分に共通に接続される同一の構成の端子である。

指令入力端子群36は、設定回数の1倍である8個の指令端子RFCGを有している。各指令端子RFCGは、内部回路における同一回路部分に共通に接続される同一構成の端子である。

残余の端子群34, 35の各端子に関する詳細な説明は、省略する。

このような各端子群31〜36は、共通接続端子群と、個別接続端子群とに分類される。チップ指定端子群31および姿勢情報出力端子群33は、個別接続端子群であり、主情報入出力端子群32および指令入力端子群36は、共通接続端子群である。残余の端子群34, 35は、その構成に基づいて、共通接続端子群および個別接続端子群のいずれかに分類される。たとえば端子群34が、駆動電力を入力するための端子群である場合には、共通接続端子群である。

このような端子が形成される複数のチップ20が、360度を設定回数で除した角度（以下「設定角度」という場合がある；図1および図2の例では8で除した45度）ずつ、前記軸線Lまわりに、相互に姿勢をずらして積層される。ここで「相互に設定角度ずつずらす」とは、積層される複数のチップ20のうちの任意の2つが、相互に設定角度の自然数倍の角度ずれていることを意味し、隣接するチップ同士が設定角度ずつずれている必要はない。したがって各チップ20は、同一姿勢のチップ20が存在しないように積層される。また積層数は、設定回数以下であればよく、本実施の形態では設定回数と同数の8層であり、8個のチップ20を用いて8層のモジュール21が構成される。

図3は、隣接するチップ20間の端子の接続状態の一例を模式的に示す断面図である。図3には、チップ指定端子群31および主情報入出力端子群32の2つの端子群を例に挙げて示す。また図3では、理解を容易にするために、2つのチップに関して、チップ指定端子群31の各端子CS, NCを右側に並べて示し、主情報入出力端子群32の各端子A0〜A7を左側に並べて示す。

各端子群31〜36の各端子は、チップ20の厚み方向一方側の表面部に、端子基部が形成されている。各チップ20を積層するにあたって、各チップ20は、端子基部が形成される厚み方向一方側の表面部を一方向に向けて、具体的には端子基部を基板22と反対側に向けるフェースアップの状態で、積層される。チップ指定端子群31の各端子CS、NCおよび主情報入出力端子群32の各端子A0〜A7も、チップ20の厚み方向一方側の表面部に、端子基部40、41が形成されている。

チップ指定端子CSは、端子基部40に連なり、チップ20を貫通して厚み方向他方側の表面部に接続部43が形成される。チップ指定端子CSには、厚み方向一方側に、接続部が形成されていても形成されていなくてもよいが、本実施の形態では形成されていない。このようにチップ指定端子CSには、厚み方向両側の表面部のうち少なくともいずれか一方だけ、具体的には、基板22側の表面部にだけ接続部が形成されている。無接続端子NCは、端子基部40に連なり、厚み方向一方側の端部に、端子基部から厚み方向一方へ突出するバンプ状の接続部42が形成されるとともに、チップ20を貫通して厚み方向他方側の表面部に接続部43が形成される。

このような構成によって、最も基板22側に配置されるチップ20のチップ指定端子CSは、基板22に形成されるチップ20を指定するための基板側指定端子(図示せず)に直接接続され、残余のチップ20のチップ指定端子CSは、基板22側に配置されるチップ20の無接続端子NCを介して基板側指定端子に接続される。このようにして各チップ指定端子CSは、基板側指定端子に個別に接続される。チップ指定端子群31は、基板22によるチップ20の指定のために用いられる端子群であり、前述のような構成によって基板22から、各チップ20を指定するための情報を与えることができる。

またチップ指定端子CSは、基板22と反対側へのチップ20に対する接続部を有していない。このような構成によって、基板22の基板側指定端子に対する接続を必要最小限に抑え、基板22からみたモジュール21の負荷が小さくなり、円滑な処理が可能な好適なモジュール21を実現することができる。本実施の形態ではフェースアップの状態であるが、本発明の他の実施の形態として、各チップ20が、端子基部を基板22側に向けるフェースダウンの状態で積層されてもよく、この場合、チップ指定端子CSに、チップ20を貫通する厚み方向他方側の接続部を設けずに、バンプ状の厚み

方向一方側の接続部だけを形成するようにして、モジュール21の負荷を小さくできる効果を同様に達成することができる。

各主情報端子A0〜A7は、アドレス線などとも呼ばれる端子であり、端子基部41に連なり、厚み方向一方側の端部に、端子基部から厚み方向一方へ突出するバンプ状の接続部44が形成されるとともに、チップ20を貫通して厚み方向他方側の表面部に接続部45が形成される。最も基板22側に配置されるチップ20の各主情報端子A0〜A7は、基板22に形成される主情報を入出力するための基板側情報端子に直接接続され、残余のチップ20の各主情報端子A0〜A7は、基板22側に配置されるチップ20の各主情報端子A0〜A7を介して基板側情報端子に接続される。

このようにして各主情報端子A0〜A7は、基板側情報端子に共通に接続される。主情報端子群32は、チップ20に記憶すべき情報を与え、またはチップ20に記憶される情報を読み出すために、これら情報を入出力するための端子群であり、基板22によって、各チップ20に情報を記憶させ、またはチップ20から情報を読み出すことができる。

各主情報端子A0〜A7は、順番がそれぞれ入れ替わっても、記憶される物理的メモリの位置が異なるだけで、機能上は等価である。したがって各主情報端子A0〜A7は、回転対称の位置に順番に割り当てている。各チップ20が姿勢を異ならせて積層されるので、メモリのアドレスが、基板22の基板側情報端子に対応するアドレスと異なるチップ20が存在するが、機能上は等価であるので、動作上に問題を生じない。メモリセルは、内部回路の回路部分である。

図4は、隣接するチップ20間の端子の接続状態の他の例を模式的に示す断面図である。図4には、姿勢情報出力端子群33を例に挙げ、各端子KEY, DMYを並べて示す。姿勢情報出力端子群33の各端子KEY, DMYもまた、チップ20の厚み方向一方側の表面部に、端子基部47が形成されている。

基準端子KEYは、端子基部47に連なり、チップ20を貫通して厚み方向他方側の表面部に接続部49が形成される。基準端子KEYには、厚み方向一方側に、接続部が形成されていても形成されていなくてもよいが、本実施の形態では形成されていない。このように基準端子KEYには、厚み方向両側の表面部のうち少なくともいずれか

一方だけ、具体的には、基板22側の表面部にだけ接続部が形成されている。ダミー端子DMYは、端子基部47に連なり、厚み方向一方側の端部に、端子基部47から厚み方向一方へ突出するバンプ状の接続部48が形成されるとともに、チップ20を貫通して厚み方向他方側の表面部に接続部49が形成される。

このような構成によって、最も基板22側に配置されるチップ20の基準端子KEYは、基板22に形成されるチップ20の姿勢を取得するための基板側姿勢端子(図示せず)に直接接続され、残余のチップ20の基準端子KEYは、基板22側に配置されるチップ20のダミー端子DMYを介して基板側姿勢端子に接続される。このようにして各基準端子KEYは、基板側姿勢端子に個別に接続される。

姿勢情報出力端子群33は、基板22によるチップ20の姿勢の取得のために用いられる端子群である。基準端子KEYは、外部からの制御で、高いインピーダンスでキーデータである有効を表す情報を出力する。つまり基準端子KEYは、基板22からの出力要求に対して、有効を表す情報(以下「有効情報」という場合がある)を出力する内部回路の回路部分に接続されている。

このようにダミー端子DMYは、外部からの制御で、低インピーダンスで無効データを出力するか、もしくはフローティング状態、つまり他のチップ20からの情報が基板22に伝わる状態になる。つまりダミー端子DMYは、第1状態と第2状態とに切り換えられる内部回路の回路部分に接続されている。第1状態は、基板22からの出力要求に対して、基板22において有効を表す情報よりも優先される無効を表す情報(以下「無効情報」という場合がある)を出力する状態である。第2状態は、ダミー端子DMYに対して非干渉の状態である。

第1および第2状態の切換えは、たとえば前述の6つのうちの残余の端子群34、35のいずれかなど、他の端子群を状態切換端子群として用いて切換えるようにしてもよい。この場合、この端子群は、基板22に共通に接続される共通接続端子群であり、基板22から第1および第2状態のいずれかにする状態指令が与えられるように構成する。前記チップ指定端子群31を利用してチップを指定し、そのチップに対して状態指令を与え、チップ毎に状態を切換えることができる。

このような姿勢情報端子群33を用いることによって、基板22によって、各チップ20

の姿勢を検出し、モジュール21を識別することができる。このモジュール21の識別方法について具体的に述べると、まず各チップ20を第1状態とし、基板22から姿勢情報の出力要求をする。これによって各チップ20の基準端子KEYから有効情報が出力され、各チップ20のダミー端子DMYから無効情報が出力される。基準端子KEYには、基板22と反対側への接続部を有していないので、最も基板側のチップ20には、ダミー端子DMYが接続されておらず、基板22において、最も基板側の基板端子KEYからの有効情報が採用される。残余のチップ20の各基準端子KEYには、他のチップ20のダミー端子DMYが接続されているので、基板22において、ダミー端子DMYから出力される無効情報が優先されて採用される。したがって最も基板22側のチップ20の基準端子KEYの位置が検出され、その最も基板22側のチップ20の姿勢がまず検出される。

次に、姿勢が検出されたチップ20、ここでは最も基板側のチップ20を指定してそのチップ20を第2状態にし、残余のチップ20を第1状態とし、基板22から姿勢情報の出力要求をする。これによって各チップ20の基準端子KEYから有効情報が出力され、姿勢を検出済みのチップ20、つまり最も基板側のチップ20を除く残余のチップ20のダミー端子DMYから無効情報が出力される。基準端子KEYには、基板22と反対側への接続部を有していないので、基板側から2つめのチップ20の基準端子KEYには、第2状態にあるダミー端子DMYが接続されておらず、基板22において、基板側から2つのチップ20の基板端子KEYからの有効情報が採用される。基板側から3つめ以上の残余のチップ20の各基準端子KEYには、他のチップ20の第2状態にあるダミー端子DMYが接続されているので、基板22において、ダミー端子DMYから出力される無効情報が優先されて採用される。したがって基板側から2つめのチップ20の基準端子KEYの位置が検出され、その基板側から2つのチップ20の姿勢が検出される。

このようにして、姿勢が検出されたチップ20から順に、第2状態に切換えながら、第1状態にあるチップのうちの1つに関して、基準端子KEYの位置を検出し、姿勢を検出することができる。つまり基板側にあるチップ20から順に、基準端子KEYの位置を検出し、姿勢を検出することができる。このようにして基板22によって、各チップ20の

姿勢を検出し、モジュール21を識別することができる。

基準端子KEYは、基板22と反対側へのチップ20に対する接続部を有していない。このような構成によって、前述のような状態の切換えを実行しながら、各チップ20の姿勢を検出することができる。

本実施の形態ではフェースアップの状態であるが、本発明の他の実施の形態として、各チップ20が、フェースダウンの状態で積層される場合、基準端子KEYに、チップ20を貫通する厚み方向他方側の接続部を設けずに、バンプ状の厚み方向一方側の接続部だけを形成するようにして、姿勢検出を可能にする。

また基準端子KEYに厚み方向両側に接続部が形成される場合、チップ20を指定して、そのチップ20だけを第1状態とすることによって、その指定したチップ20の姿勢を検出することができる。このようにして各チップ20の姿勢を検出し、モジュール21を識別することができる。このような方法は、図4に示すような基準端子KEYに厚み方向両側の表面部のいずれか一方にだけ接続部が形成される場合にも、採用することができる。

図5は、チップ20に動作環境の設定方法を説明するための図である。図6は、チップ20における動作環境を設定するための回路部分50を示す回路図である。図5には、基板側情報端子に、各符号A0b〜A7bを付して示す。図6には、図解を容易にするために、チップ内部、つまり内部回路への主情報端子の接続はA0、A1に関連する部分についてだけ示すが、残余の主情報端子A2〜A7も同様の構成を有する。前述のように各主情報端子A0〜A7に接続されるメモリセルのアドレスと基板22におけるアドレスとがずれていても、動作上影響はないが、好適なモジュール21を実現するために、各チップ20のメモリセルのアドレスと、基板22におけるアドレスとを一致させるように、端子再配置とも呼ばれる動作環境の設定を行うことが好ましい。

チップ20は、内部回路に、基板22から与えられる設定指令に基づいて、チップ20の積層状態に対応する動作環境を設定する回路部分50を有する。また指令入力端子群36の各指令入力端子RCFGは、主情報入出力端子群32の各主情報端子A0〜A7と同様に厚み方向両側の表面部に接続部が形成され、基板22に形成される基板側指令端子RCFGbに共通に接続される。指令入力端子群36は、各チップ20

に積層状態に対応する動作環境を設定する指令である設定指令が基板22から与えられる端子群であり、基板22から設定指令が共通に与えられる。

動作環境の設定は、たとえば、再配置を指令する設定指令が、各指令入力端子R CFGに与えられると、各主情報端子A0〜A7に与えられる基板側情報端子A0b〜A7bのアドレスを表す情報に基づいて、実行される。具体的には、設定指令を与えるとともに、基板側情報端子A0b〜A7bのアドレス情報として、1つの基板側情報端子A0bから有効を表す情報、たとえば「ハイ(H)レベル」(以下「有効情報」という場合がある)を与え、残余の基板側情報端子A1b〜A7bから無効を表す情報、たとえば「ロー(L)レベル」(以下「無効情報」という場合がある)を与える。

このような場合、各チップ20毎に、各主情報端子A0〜A7のうち有効情報が与える端子が異なる。このような情報に基づいて、つまり各主情報端子A0〜A7のうちどの端子に有効情報が与えられているかによって、各チップ20が自身の姿勢を把握することができ、この姿勢に基づいて、各チップ20毎に、基板側情報端子A0b〜A7bによる読み書きによって、基板側情報端子A0b〜A7bのアドレスと一致するアドレスのメモリセルに対して読み書きできるように、各主情報端子A0〜A7とメモリセルとの関係を設定記憶する。つまり回路部分50は、回転方向のずれ、すなわち姿勢に関する情報を記憶する記憶部51と、データセクタ部52とを含んで実現される。

記憶部51およびデータセクタ部52について、チップ内部への主情報端子の接続はA0、A1だけについて説明する。設定指令は、記憶部51のトリガとして与えられる。各主情報端子A0〜A7に与えられる有効情報および無効情報が与えられ、設定指令が与えられることによって、そのときに各主情報端子A0〜A7に与えられる有効情報および無効情報を記憶する。そしてこの記憶保持した有効情報および無効情報をデータセクタ部52に与えることができる。

データセクタ部52は、各主情報端子A0〜A7と、各メモリセルに付随する内部端子A0in〜A7in(A2in〜A7inは図示せず)との間の対応付けをする回路部である。このデータセクタ部52は、AND-OR回路によって実現される。AND-OR回路は、内部端子A0in〜A7in毎に、各主情報端子A0〜A7のうちの1つと記憶部51の端子Q0〜Q7のうちの1つとを対応付けて、各出力の論理積をそれぞれ求めるアンド素

子と、これらアンド素子の出力の論理和を求めるオア素子との論理演算回路を有し、内部端子A0in〜A7in毎に、8つのアンド素子によって論理積を求める端子の対応付けが異なるように構成されている。

基板側情報端子A0bから有効情報が与えられ、残余の基板側情報端子A1b〜A7bから無効情報が与えられるとする。設定指令が与えると、各端子A0〜A7に与えられた有効情報および無効情報が記憶部51に各端子L0〜L7から与えられ、その情報を各端子Q0〜Q7から出力できるようになる。各主情報端子A0〜A7と内部端子A0in〜A7inとは、AND-OR回路52を介して接続されるが、記憶部51の各端子Q0〜Q7からの情報に基づいて、対応関係が設定される。

このような構成によって、主情報端子A0に有効情報が与えられるチップ20では、その有効情報と記憶部51からの有効情報とによって、主情報端子A0と内部端子A0inとが対応付けられる。また姿勢がずれて、主情報端子A1に有効情報が与えられるチップ20では、その有効情報と記憶部51からの有効情報とによって、主情報端子A1と内部端子A0inとが対応付けられる。このようにして各チップ20において、基板側情報端子と、メモリセルとが、相互のアドレスが一致するように対応付けられる。

このような動作環境を設定する回路部分50は、前述の構成に限定されることなく、設定指令をトリガとするラッチ回路とAND-OR回路もしくは双方向スイッチで構成することができる。また、回転対称に配置した端子は、すべての端子群において同一方向にずれるため、1つの端子群で判定した向きを用いて、全ての回転対称の端子群の再配置を行なうことが可能である。このように、チップ自体が積層実装された姿勢に基づいて、情報の再配置、すなわち動作環境の設定をすることで、回転対称の端子に情報を配置する自由度が増し、有利である。

図7は、端子を形成する手順の一例を示す断面図である。図7には、厚み方向両側の表面部に接続部を形成する手順を示す。図7(1)に示すように、ウエハ55にメモリセルなどの内部回路およびこれに付随する内部の端子56が形成された状態で、端子形成プロセスが開始される。まず、図7(2)に示すように、ウエハに反応性イオンエッチング(RIE)などによって、厚み方向一方側の表面部側から深い未貫通孔57を形成する。

次に、図7(3)に示すように、未貫通孔57の底壁および側壁と、内部の端子56が形成される部分の表面部にわたって絶縁膜58を形成する。一般的には、化学的気相成長法(CVD)を用いて形成する。

次に、図7(4)に示すように、未貫通孔57に充填され、かつ内部の端子56に接続される導体59を形成する。この導体59は、銅(Cu)の電解めっきなどで形成してもよいし、導電性ペーストを印刷などの手法を用いて形成してもよい。

次に、図7(5)に示すように、厚み方向一方側の表面部にバンプ状に隆起部(厚み方向一方側の表面部の接続部となる)60を電解めっきなどによって形成し、続いて、ウエハ裏面から研磨して未貫通孔57を貫通させて導体59を露出させる。その後、厚み方向他方側の表面部に保護膜61および、バンプ状の隆起部62を形成する。保護膜は、CVDなどで絶縁性の薄膜を形成してもよく、ポリイミド(PI)などを塗布して形成してもよい。隆起部62は、給電メタルが形成困難なこともあるので、無電解めっきで形成するとよい。

このようにして端子が形成される。導体59の未貫通孔57に充填される部分と隆起部62とが、厚み方向他方側の接続部に相当し、導体59の2つの接続部に挟まれる部分が端子基部に相当する。隆起部60の形成工程を省略することによって、厚み方向一方側の接続部を有しない端子を形成することができ、未貫通孔の形成、導体の充填および隆起部60の形成工程を省略することによって、厚み方向他方側の接続部を有しない端子を形成することができる。

図8は、アライメントマーク60a〜60hの配置について説明するためのチップ20の正面図である。チップ20には、チップ20を積層するにあたって位置決め用いるアライメントマーク60a〜60hが、前記端子の対称性と同一の対称性を有して配置されて、形成されている。つまり端子の回転対称軸線Lまわりの同一回数の回転対称性を有する。このようなアライメントマーク60a〜60hを形成することによって、チップ20を積層するにあたって、姿勢をずらしても、常に等価な回転対称位置にアライメントマークが存在するので、基準マークに対する補正をするなどの手間を要することなく、位置決めして積層実装ができ、好適である。

図9は、アライメントマーク60a〜60hを利用してチップ20を積層する方法を説明す

るための図である。図9では、アライメントマークの用い方の説明の図であるので、理解を容易にするために、端子の数を少なくし、端子を総称して、符号81を付して示す。図9(1)に示すように、基板22には、軸線Lまわりに回転対称に端子80が形成されている。また基板22には、少なくとも1つ、本実施の形態では2つの基板側アライメントマーク82a, 82bが形成されている。チップ20は、図9(2)に示すように外形形状が基板22に揃う状態、および図9(3)に示すように外形形状が基板22に傾斜する状態のいずれかの状態で積層される。図9(2)の状態では、チップ20は基板22に仮想線85で示すような状態にあり、図9(3)の状態では、チップ20は基板22に仮想線86で示すような状態にある。図9(2)および図9(3)の姿勢は一例であり、これと等価な姿勢を含む。

基板側アライメントマーク82a, 82bは、チップ20を基板22に投影したときの領域外に配置される。つまり全てのチップ20を積層するときに、基板側アライメントマーク82a, 82bが見えている必要があるため、位置は積層されるチップ20の外形の外側に設けている。チップ20を積層するにあたっては、基板側アライメントマーク82a, 82bに、チップ20のアライメントマーク60a〜60hのいずれかを選択的に用いて位置決めする。このようにチップ20に、端子と同様の回転対称のアライメントマーク60a〜60hを形成しておき、基板22に必要最小数のアライメントマーク82a, 82bを形成する。チップ20の回転対称軸線を配置すべき基板22における位置が特定できる場合など、基板側アライメントマークが1つでもよい場合は、1つの基板側アライメントマークだけを形成すればよい。

本実施の形態のチップ20によれば、主情報入出力端子群31および設定指令端子群36などの共通接続端子群の各端子は、予め定める設定回数の回転対称に形成されているとともに、厚み方向両側の表面部に接続部が形成されている。またチップ指定端子群31および姿勢情報出力端子群33などの個別接続端子群の各端子は、予め定める設定回数の回転対称に形成され、そのうちの1つの特定端子は、積層方向両側の表面部のうち少なくともいずれか一方に接続部が形成され、残余の関連端子は、積層方向両側の表面部に接続部が形成されている。

このように対称配置に端子が形成されるチップ20は、前述のような組み立て方法に

従って、360度を前記設定回数で除した角度ずつ相互にずらして積層し、積層方向に隣接する電子部品の端子の接続部同士を接続する。これによって、共通電極端子群の各端子が、基板22に共通に接続され、個別接続端子群の特定端子が、基板22に個別に接続されるモジュール21を容易に組み立てることができる。これによって複数のチップ20を積層してモジュール21を組み立てるにあたって、異なる構成のチップ20を用意しなくても、同一構成のチップ20を用いことができる。したがって積層してモジュール21を組み立てるためのチップ20の製造の手間を少なくし、チップ20を容易に製造することができる。

またチップ20は、厚み方向一方を同一方向に向けて積層され、簡単な端子配置で、層数が前記設定回数以下のモジュール21を容易に形成することができる。また特定端子は、積層方向両側の表面部のいずれか一方にだけ接続部が形成されており、基板22に接続される部分を少なくすることができる。これによって基板22からモジュール21を駆動および制御するにあたってモジュール21の負荷を小さくすることができ、モジュール21の高速高機能化に寄与することができる。

またチップ20は、個別接続端子群の1つとして姿勢情報出力端子群33を有しており、この姿勢情報出力端子群33のダミー端子DMYを切換えながら、各端子KEY, DMYに基板22からの出力要求に対して、各基準端子KEYから有効情報を出力することによって、基板22に、各チップ20の基準端子KEYの位置の情報を与えることができる。これによって基板22に、各チップ20の姿勢を表す情報を与えることができる。つまりモジュールの識別方法として、基板22から姿勢情報端子群33の各端子KEY, DMYに出力要求を与える。これによって各チップ20の姿勢情報端子群33における基準端子KEYから有効情報を得ることができ、その基準端子KEYの位置を検出することができる。これによってモジュールにおける各電子部品の姿勢を検出することができ、モジュールにおける電子部品の配置構成を検出することができる。したがってこの配置構成の差異に基づいてモジュールを識別することができる。

またチップ20は、積層状態に対応する動作環境を設定する内部回路、つまり回路部分50を有するとともに、共通接続端子群の1つとして指令入力端子群36を有している。指令入力端子群36に、基板22から設定指令が与えられると、回路部分50によ

って、積層状態に対応する動作環境が設定される。つまりモジュールの環境設定方法として、指令入力端子群36の各端子RFCGに設定指令を与える。各チップ20は、設定指令が与えられると、その設定指令に応答して動作環境を設定する。これによって各チップ20に動作環境を設定することができる。これによって複数のチップ20を積層してモジュール21を形成した後、設定指令を与えて動作環境を設定することができ、好適に動作する利便性の高いモジュール21を得ることができる。

また各チップ20は、積層するにあたって位置決めに用いるアライメントマーク60a～60hが、端子と同様の対称性を有して配置されている。これによって基板22に、少なくとも1つの最小数のアライメントマーク、本実施の形態では2つのアライメントマーク82a、82bがあれば、各チップ20を、360度を前記設定回数で除した角度ずつ相互にずらした位置に位置決めすることができる。つまり基板22に形成されるアライメントマーク82a、82bを用いて、位置決めすることができる。

この位置決めにあたって、基板22のアライメントマークは、少なくとも1つあればよい。チップ20は、基板22に比べて高精度に形成され、チップ20のアライメントマーク60a～60hは、基板のアライメントマーク82a、82bに比べて高精度に形成される。チップ20のアライメントマーク60aを前述のように対称性を有して形成することによって、精度の高いチップ20のアライメントマーク60a～60hをできるだけ利用して位置決めすることができ、高い精度で位置決めすることができ、高精度なモジュール21を組み立てることができる。

さらに共通接続端子群の端子を対称配置することによって、個別接続端子群の端子だけしか設けることができない領域を無くし、共通接続端子群の端子数が制限を受けにくくすることができる。これによってバス幅などと呼ばれる共通接続端子を用いて単位時間あたりに送受信可能なデータ量の制約を可及的に少なくすることができる。

図10は、本発明の実施の他の形態のチップ120を示す正面図である。図11は、チップ120を積層して組み立てられるモジュール121を示す斜視図である。図10および図11のチップ120は、図1～図9の実施の形態のチップ20と類似しており、対応する構成に同一の符号を付し、異なる構成についてだけ説明する。図10および図1

1のチップ120は、厚み方向に垂直な外形形状が、設定回数と同一角数の正多角形、したがって本実施の形態では正八角形に形成される。

このようなチップ120は、前述のチップ20と同様の効果を達成したうえで、さらに積層した場合に、周縁部を揃えて積層することができる。つまり厚み方向（積層方向）に見たときに、各チップ20の外形が重なるように積層される。これによってモジュールを配置するために必要な占有空間を可及的に小さくしすることができ、むだな部分を生じず好適である。

図12は、本発明の実施のさらに他の形態のチップ220を示す正面図である。図12のチップ220は、図1～図9の実施の形態のチップ20と類似しており、対応する構成に同一の符号を付し、異なる構成についてだけ説明する。図12のチップ220は、各端子群31～36の端子が、ペリフェラル状ではなく、放射状に配置される。このような構成であっても、前述のチップ20と同様の効果を達成することができる。つまり端子は、回転対称にあれば、どのような配置であっても、同様の効果を達成することができる。

図13は、本発明の実施のさらに他の形態のチップ320を示す正面図である。図14は、チップ320を積層して組み立てられるモジュール321を示す斜視図である。図13および図14のチップ320は、図1～図9の実施の形態のチップ20と類似しており、対応する構成に同一の符号を付し、異なる構成についてだけ説明する。図13および図14のチップ320では、複数のチップ20を積層するにあたって、少なくとも1つのチップ320が、積層方向一方側の表面部を一方向に向け、残余のチップ320が、積層方向他方側の表面部を一方向に向けて積層される。

このようなチップ320では、各端子群31～36の各端子は、厚み方向に平行な対称軸線Lまわりの予め定める設定回数の回転対称性（N回対称）を有するとともに、これに加えて、回転対称中心を通る対称線に関して線対称に、つまり対称軸線Lを含む対称平面に関して面对称に配置されている。対称平面は、たとえばチップ20の周縁部に平行な面301、302のいずれかであってもよい。本実施の形態では、回転対称性の設定回数は、2の自然数倍であり（Nは2の自然数倍）、具体的には設定回数は4回である。

このように端子を、回転対称および線対称に配置する場合、共通接続端子群の端子のうち、全く同一構成の端子の場合には、各端子群31〜36は、設定回数の自然数倍の個数の端子を有しており、回転対称の位置と線対称の位置とが一致する配置の端子群を有する構成であってもよい。本実施の形態では、各端子群35, 36が、回転対称の位置と線対称の位置とが一致する。

チップ指定端子群31は、設定回数の2倍である8個の端子であって、1つのチップ指定端子CSと、残余7個の無接続端子NCとの計8個の端子を有する。主情報入出力端子群32は、設定回数の2倍である8個の主情報端子A0〜A7を有している。姿勢情報出力端子群33は、設定回数の4倍である16個の端子であって、2つの基準端子KEYと、残余14個のダミー端子DMYとの計16個の端子を有する。指令入力端子群36は、設定回数の1倍である4個の指令端子RFCGを有している。

このような端子が形成される複数のチップ320が、360度を設定回数で除した角度（以下「設定角度」という場合がある；図13および図14の例では4で除した90度）ずつ、前記軸線Lまわりに、相互に姿勢をずらし、または厚み方向に反転させて積層される。積層数は、設定回数の2倍以下であればよく、本実施の形態では設定回数の2倍の8層であり、8個のチップ20を用いて8層のモジュール321が構成される。

図15は、隣接するチップ320間の端子の接続状態の一例を模式的に示す断面図である。また図15では、理解を容易にするために、3つのチップに関して、チップ指定端子群31の各端子CS, NCを右側に並べて示し、主情報入出力端子群32の各端子A0〜A7を左側に並べて示す。

各端子群31〜36の各端子は、チップ20の厚み方向一方側の表面部に、端子基部が形成されている。各チップ20を積層するにあたって、各チップ20は、半数である4つのチップ320が端子基部が形成される厚み方向一方側の表面部を一方向に向けて、具体的には端子基部を基板22と反対側に向けるフェースアップの状態、かつ残り半数の4つのチップ320が端子基部が形成される厚み方向一方側の表面部を他方向に向けて、具体的には端子基部を基板22側に向けるフェースダウンの状態、で、積層される。

フェースアップのチップ320同士およびフェースダウンのチップ320同士である同

一方向を向いているチップ同士は、同一の姿勢に配置されないように、相互にずれた異なる姿勢で積層される。チップ指定端子群31の各端子CS、NCおよび主情報入出力端子群32の各端子A0～A7も、チップ20の厚み方向一方側の表面部に、端子基部40、41が形成されている。

チップ指定端子CSおよび無接続端子NCは、端子基部40に連なり、厚み方向一方側の端部に、端子基部から厚み方向一方へ突出するバンプ状の接続部42が形成されるとともに、チップ20を貫通して厚み方向他方側の表面部に接続部43が形成される。このような構成によって、最も基板22側に配置されるチップ20のチップ指定端子CSは、基板側指定端子に直接接続され、残余のチップ20のチップ指定端子CSは、基板22側に配置されるチップ20の無接続端子NCを介して基板側指定端子に接続される。このようにして各チップ指定端子CSは、基板側指定端子に個別に接続される。

各主情報端子A0～A7は、端子基部41に連なり、厚み方向一方側の端部に、端子基部から厚み方向一方へ突出するバンプ状の接続部44が形成されるとともに、チップ20を貫通して厚み方向他方側の表面部に接続部45が形成される。最も基板22側に配置されるチップ20の各主情報端子A0～A7は、基板22に形成される主情報を入出力するための基板側情報端子に直接接続され、残余のチップ20の各主情報端子A0～A7は、基板22側に配置されるチップ20の各主情報端子A0～A7を介して基板側情報端子に接続される。

このようにして各主情報端子A0～A7は、基板側情報端子に共通に接続される。主情報端子群32は、チップ20に記憶すべき情報を与え、またはチップ20に記憶される情報を読み出すために、これら情報を入出力するための端子群であり、基板22によって、各チップ20に情報を記憶させ、またはチップ20から情報を読み出すことができる。

図16は、隣接するチップ320間の端子の接続状態の他の例を模式的に示す断面図である。積層する順序は、フェースアップで実装するもの、フェースダウンで実装するものをそれぞれまとめて積層してもよいが、図16に示すように、フェースアップで実装するものと、フェースダウンで実装するものを同じ姿勢で積層し、つまり2つのチッ

プ20の主面同士を相互対向させて1つの電子部品のペアーであるユニット500を構成し、各ユニット500の姿勢をずらせながら積層することによって、姿勢のずれを容易に識別することができ、より好都合である。

図17は、隣接するチップ320間の端子の接続状態の他の例を模式的に示す断面図である。図17には、姿勢情報出力端子群33を例に挙げて示す。姿勢情報端子群33は、2つのグループ33a, 33bに分類され、各グループ33a, 33b毎に、前述の回転対称かつ線対称に配置される8つの端子をそれぞれ有し、これら各グループ33a, 33bの8つの端子は、1つの基準端子KEYと、残余7つのダミー端子DMYとを有する。図17には、理解を容易にするために、各グループ33a, 33b毎に、各端子KEY, DMYを並べて示す。姿勢情報出力端子群33の各端子KEY, DMYもまた、チップ20の厚み方向一方側の表面部に、端子基部47が形成されている。

一方のグループ33aの基準端子KEYは、端子基部47に連なり、チップ20を貫通して厚み方向他方側の表面部に接続部49が形成される。一方のグループ33aの基準端子KEYには、厚み方向一方側に、接続部が形成されていても形成されていなくてもよいが、本実施の形態では形成されていない。また他方のグループ33bの基準端子KEYは、端子基部47に連なり、チップ20の厚み方向一方側の表面部にバンプ状の接続部48が形成される。一方のグループ33bの基準端子KEYには、チップを貫通して厚み方向他方側に、接続部が形成されていても形成されていなくてもよいが、本実施の形態では形成されていない。このように基準端子KEYには、厚み方向両側の表面部のうち少なくともいずれか一方だけ、具体的には、各グループ33a, 33bで相互に異なる側にだけ接続部が形成されている。ダミー端子DMYは、端子基部47に連なり、厚み方向一方側の端部に、端子基部47から厚み方向一方へ突出するバンプ状の接続部48が形成されるとともに、チップ20を貫通して厚み方向他方側の表面部に接続部49が形成される。

このような構成によって、最も基板22側に配置されるチップ20では、各グループ33a, 33bのうち一方、本実施の形態では一方のグループ33aの基準端子KEYが、基板側姿勢端子に直接接続され、残余のチップ20では、各グループ33a, 33bのうち一方の基準端子KEYが、基板22側に配置されるチップ20のダミー端子DMYを介

して基板側姿勢端子に接続される。このようにして各チップ320毎に、いずれか一方のグループ33a, 33bの基準端子KEYが、基板側姿勢端子に個別に接続される。このような構成によって、図4を参照して説明した手順と同様の手順によって、基板22によって、各チップ20の姿勢を検出し、モジュール21を識別することができる。

図18は、アライメントマーク360a〜360dの配置について説明するためのチップ320の正面図である。チップ320には、チップ320を積層するにあたって位置決めに用いるアライメントマーク360a〜360dが、前記端子の対称性と同一の対称性を有して配置されて、形成されている。また本実施の形態では、厚み方向両側に、厚み方向に関して一致する位置に各アライメントマーク360a〜360dが形成されている。つまり端子の回転対称軸線Lまわりの同一回数の回転対称性を有する。このようなアライメントマーク360a〜360dを形成することによって、チップ20を積層するにあたって、回転または反転によって姿勢をずらしても、常に等価な回転対称位置にアライメントマークが存在するので、基準マークに対する補正をするなどの手間を要することなく、位置決めして積層実装ができ、好適である。

図19は、アライメントマーク360a〜360dを利用してチップ20を積層する方法を説明するための図である。図19では、アライメントマークの用い方の説明の図であるので、理解を容易にするために、端子の数を少なくし、端子を総称して、符号380を付して示す。基板22には、少なくとも1つ、本実施の形態では2つの基板側アライメントマーク382a, 382bが形成されている。チップ320は、外形形状が基板22に揃う状態で積層される。図19の姿勢は一例であり、これと等価な姿勢を含む。

基板側アライメントマーク382a, 382bは、チップ320を基板22に投影したときの領域外に配置される。つまり全てのチップ320を積層するときに、基板側アライメントマーク382a, 382bが見えている必要があるため、位置は積層されるチップ20の外形の外側に設けている。チップ320を積層するにあたっては、基板側アライメントマーク382a, 382bに、チップ320のアライメントマーク360a〜360dのいずれかを選択的に用いて位置決めする。このようにチップ320に、端子と同様の回転対称のアライメントマーク360a〜360dを形成しておき、基板22に必要最小数のアライメントマーク382a, 382bを形成する。チップ20の回転対称軸線を配置すべき基板22における位

置が特定できる場合など、基板側アライメントマークが1つでもよい場合は、1つの基板側アライメントマークだけを形成すればよい。

図13～図19に示す実施の形態によれば、図1～図9の実施の形態と同様の効果を達成することができる。さらに加えて、各端子が、回転対称中心を通る対称線に関して線対称性を有しており、チップ320は、積層方向に関して反転させて積層することもでき、この状態であっても、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。したがって層数が前記設定回数の2倍以下のモジュールを容易に形成することができる。

図20は、本発明の実施のさらに他の形態のチップ420を示す正面図である。図20では、理解を容易にするために、端子群の数、端子の個数を少なくして示しており、全端子に符号400を付して示す。図20のチップ420は、図13～図19の実施の形態のチップ320と類似しており、対応する構成に同一の符号を付し、異なる構成についてだけ説明する。図20のチップ420は、各端子群の端子400が、ペリフェラル状ではなく、放射状に配置される。このような構成であっても、前述のチップ320と同様の効果を達成することができる。つまり端子は、回転対称にあれば、どのような配置であっても、同様の効果を達成することができる。

図21は、本発明の実施のさらに他の形態のメモリパッケージ520を示す斜視図であり、図22は、メモリパッケージ550を積層したモジュールを示す断面図である。本実施の形態では、電子部品は、メモリパッケージ520である。このメモリパッケージ520は、キャリア521にメモリチップ522が搭載されて構成され、キャリア521には、複数の端子群523～532に分類される複数の端子を有している。各端子群523～532の各端子は、設定回数(2以上の自然数)の回転対称性を有し、または設定回数(2の自然数倍)の回転対称性および回転対称軸線を含む面に関して面对称性を有して形成される。これら端子とメモリチップ522とは配線によって接続されている。また端子は、厚み方向に貫通して両側に接続部を有している。このようなメモリパッケージ520は、図1～図20の実施の形態と同様にして、相互に姿勢をずらして積層し、端子同士をたとえばはんだ540を用いて接続することによって、モジュール550を形成する

ことができる。このような電子部品であっても、同様の効果を達成することができる。

前述の実施の形態は、本発明の例示に過ぎず、本発明の範囲内で構成を変更することができる。たとえば電子部品は、メモリチップ以外の半導体チップ、たとえばLSIチップなどであってもよい。また端子についても、前述の端子に限定されることはない。

本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろな形態で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明の範囲は特許請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、特許請求の範囲に属する変形や変更は全て本発明の範囲内のものである。

産業上の利用可能性

[0006] 本発明によれば、共通接続端子群の各端子は、予め定める設定回数の回転対称に形成されているとともに、積層方向両側の表面部に接続部が形成されている。また個別接続端子群の各端子は、予め定める設定回数の回転対称に形成され、そのうちの1つの特定端子は、積層方向両側の表面部のうち少なくともいずれか一方に接続部が形成され、残余の関連端子は、積層方向両側の表面部に接続部が形成されている。

このように対称配置に端子が形成される電子部品は、360度を前記設定回数で除した角度ずつ相互にずらして積層することによって、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。これによって複数の電子部品を積層してモジュールを組み立てるにあたって、異なる構成の電子部品を用意しなくても、同一構成の電子部品を用いことができる。したがって積層してモジュールを組み立てるための電子部品の製造の手間を少なくし、電子部品を容易に製造することができる。

また本発明によれば、層数が前記設定回数以下のモジュールを容易に形成することができる。

また本発明によれば、共通電極端子群および個別接続端子群に設けられる各端

子が、回転対称中心を通る対称線に関して線対称性を有しており、電子部品は、積層方向に関して反転させて積層することもでき、この状態であっても、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。したがって層数が前記設定回数の2倍以下のモジュールを容易に形成することができる。

また本発明によれば、2つの電子部品の主面を対向させ、つまり積層方向一方側の表面部を互いに対向させて形成される電子部品ペアを、360度を前記設定回数で除した角度ずつ相互にずらして積層することによって、層数が前記設定回数の2倍以下のモジュールを容易に形成することができる。

また本発明によれば、特定端子は、積層方向両側の表面部のいずれか一方にだけ接続部が形成されており、モジュール外の部品に接続される部分を少なくすることができる。これによってモジュール外の部品からモジュールを駆動するにあたってモジュールの負荷を小さくすることができ、モジュールの高速高機能化に寄与することができる。

また本発明によれば、外形形状が、前記設定回数と同一の角数の正多角形であるので、電子部品を積層した場合に、周縁部を揃えて積層することができる。これによってモジュールを配置するために必要な占有空間を可及的に小さくすることができる。

また本発明によれば、個別接続端子群の1つとして姿勢情報出力端子群を有しており、この姿勢情報出力端子群の関連端子を切換えながら、各端子にモジュール外の部品からの出力要求に対して、各特定端子から有効を表す情報を出力することによって、モジュール外の部品に、各電子部品の特定端子の位置の情報を与えることができる。これによってモジュール外の部品に、各電子部品の姿勢を表す情報を与えることができる。

また本発明によれば、積層状態に対応する動作環境を設定する内部回路を有するとともに、共通接続端子群の1つとして指令入力端子群を有している。指令入力端子群に、モジュール外の部品から設定指令が与えられると、内部回路によって、積層状

態に対応する動作環境が設定される。これによって複数の電子部品を積層してモジュールを形成した後、設定指令を与えて動作環境を設定することができ、好適に動作する利便性の高いモジュールを組み立てることができる。

また本発明によれば、各電子部品を積層するにあたって位置決め用いるアライメントマークが、前記対称性を有して配置されている。これによってモジュール外の部品に少なくとも1つのアライメントマークがあれば、各電子部品を、360度を前記設定回数で除した角度ずつ相互にずらした位置に位置決めすることができる。

また本発明によれば、前記半導体素子を複数積層して好適なモジュールを得ることができる。

また本発明によれば、同一構成の複数の電子部品が積層されてモジュールが形成され、好適なモジュールを容易に得ることができる。

また本発明によれば、複数の電子部品を、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層し、積層方向に隣接する電子部品の端子の接続部同士を接続する。これによって、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。このような高密度実装可能なモジュールを容易に組み立てることができる。

また本発明によれば、複数の電子部品を、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層し、積層方向に隣接する電子部品の端子の接続部同士を接続する。これによって、共通電極端子群の各端子が、モジュール外の部品に共通に接続され、個別接続端子群の特定端子が、モジュール外の部品に個別に接続されるモジュールを組み立てることができる。このような高密度実装可能なモジュールを容易に組み立てることができる。

さらに電子部品には、端子の対称性と同一の対称性を有するアライメントマークが形成されており、基板に形成されるアライメントマークを用いて、位置決めすることができる。この位置決めにあたって、基板のアライメントマークは、少なくとも1つあればよい。電子部品は、基板に比べて高精度に形成され、アライメントマークも、電子部品のアライメントマークは、基板のアライメントマークに比べて高精度に形成される。電

子部品のアライメントマークを前述のように対称性を有して形成することによって、精度の高い電子部品のアライメントマークをできるだけ利用して位置決めすることができ、高い精度で位置決めすることができ、高精度なモジュールを組み立てることができる。

また本発明によれば、前記半導体素子を複数積層して好適なモジュールを組み立てることができる。

また本発明によれば、姿勢情報端子群を有する複数の電子部品が積層されて組み立てられるモジュールに対して、姿勢情報端子群の各端子に出力要求を与える。これによって各電子部品の姿勢情報端子群における特定端子から有効を表す情報を得ることができ、その特定端子の位置を検出することができる。これによってモジュールにおける各電子部品の姿勢を検出することができ、モジュールにおける電子部品の配置構成を検出することができる。したがってこの配置構成の差異に基づいてモジュールを識別することができる。

また本発明によれば、前記半導体素子が複数積層されて組み立てられるモジュールを好適に識別することができる。

また本発明によれば、指令入力端子群を有する複数の電子部品が積層されて組み立てられるモジュールに対して、指令入力端子群の各端子に設定指令を与える。各電子部品は、設定指令が与えられると、その設定指令に応答して動作環境を設定する。これによって各電子部品に動作環境を設定することができる。

また本発明によれば、前記半導体素子が複数積層されて組み立てられるモジュールに対して、各半導体素子に動作環境を設定することができ、好適なモジュールを得ることができる。

請求の範囲

- [1] 内部回路を有し、複数層に積層してモジュールを組み立てるための電子部品であって、
- 共通接続端子群と、個別接続端子群とを有し、
- 共通接続端子群は、予め定める設定回数の回転対称性を有して配置され、内部回路に接続される複数の端子を有し、共通接続端子群の各端子は、積層される他の電子部品における端子と共通にモジュール外の部品に接続すべき端子であり、積層方向両側の表面部に、他の電子部品の共通接続端子群が有する端子と接続するための接続部が形成され、
- 個別接続端子群は、前記設定回数の回転対称性を有して配置され、少なくとも1つの特定端子および残余の関連端子を備える複数の端子を有し、特定端子が内部回路に接続され、特定端子は、積層される他の電子部品における特定端子とは個別にモジュール外の部品に接続すべき端子であり、積層方向両側の表面部の少なくともいずれか一方に、他の電子部品の個別接続端子群が有する端子と接続するための接続部が形成され、関連端子は、積層される他の電子部品における特定端子に関連して設けられる端子であり、積層方向両側の表面部に、他の電子部品の個別接続端子群が有する端子と接続するための接続部が形成されることを特徴とする電子部品。
- [2] 複数の電子部品を積層するにあたって、各電子部品が、積層方向一方側の表面部を一方向に向けて積層されることを特徴とする請求項1記載の電子部品。
- [3] 共通電極端子群および個別接続端子群に設けられる各端子は、前記設定回数の回転対称性に加えて、回転対称中心を通る対称線に関して線対称性を有して配置され、
- 複数の電子部品を積層するにあたって、少なくとも1つの電子部品が、積層方向一方側の表面部を一方向に向け、残余の電子部品が、積層方向他方側の表面部を一方向に向けて積層されることを特徴とする請求項1記載の電子部品。
- [4] 複数の電子部品を積層するにあたって、2つの電子部品の主面同士を対向させ、前記対向させた電子部品ペアがさらに複数積層されることを特徴とする請求項3記

載の電子部品。

- [5] 特定端子は、積層方向両側の表面部のいずれか一方にだけ、他の電子部品の個別接続端子群が有する端子と接続するための接続部が形成されることを特徴とする請求項1〜4のいずれかに記載の電子部品。
- [6] 外形形状が、前記設定回数と同一の角数の正多角形であることを特徴とする請求項1〜5のいずれかに記載の電子部品。
- [7] 個別接続端子群は、特定端子が、モジュール外の部品からの出力要求に対して、有効を表す情報を出力する内部回路に接続され、関連端子が、モジュール外の部品からの出力要求に対して、モジュール外の部品において有効を表す情報よりも優先される無効を表す情報を出力する状態と、関連端子に対して非干渉の状態とに切り換えられる内部回路に接続される姿勢情報出力端子群を含むことを特徴とする請求項1〜6のいずれかに記載の電子部品。
- [8] 各電子部品は、モジュール外の部品から与えられる設定指令に基づいて、各電子部品の積層状態に対応する動作環境を設定する内部回路を有し、
共通接続端子群は、各電子部品に積層状態に対応する動作環境を設定する指令である設定指令が、モジュール外の部品から与えられる指令入力端子を備える指令入力端子群を含むことを特徴とする請求項1〜7のいずれかに記載の電子部品。
- [9] 各電子部品を積層するにあたって位置決め用いるアライメントマークが、前記端子の対称性と同一の対称性を有して配置されていることを特徴とする請求項1〜8のいずれかに記載の電子部品。
- [10] 電子部品は、半導体基板の少なくとも1主面部に内部回路が形成され、主面部から反対面に達する導電路によって前記共通接続端子群および個別接続端子群の各端子が形成される半導体素子であることを特徴とする請求項1〜9のいずれかに記載の電子部品。
- [11] 請求項1〜10のいずれかに記載の複数の電子部品が積層されて形成されることを特徴とするモジュール。
- [12] 請求項1〜10のいずれかに記載の複数の電子部品を積層してモジュールを組み立てる方法であって、

各電子部品を、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層し、

積層方向に隣接する電子部品の端子の接続部同士を接続することを特徴とするモジュールの組み立て方法。

- [13] 請求項8記載の複数の電子部品を基板に積層してモジュールを組み立てる方法であって、

各電子部品を、基板に形成されるアライメントマークと、各電子部品に形成されるアライメントマークとの位置関係に基づいて、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層し、

積層方向に隣接する電子部品の端子の接続部同士を接続することを特徴とするモジュールの組み立て方法。

- [14] 電子部品は、半導体基板の少なくとも1主面部に内部回路が形成され、主面部から反対面に達する導電路によって前記共通接続端子群および個別接続端子群の各端子が形成される半導体素子であることを特徴とする請求項13記載のモジュールの組み立て方法。

- [15] 請求項7記載の複数の電子部品が、回転対称中心まわりに、360度を設定回数で除した角度ずつ姿勢を相互にずらして積層され、積層方向に隣接する電子部品の端子の接続部同士が接続されて組み立てられるモジュールを識別する方法であって、

各電子部品の姿勢情報端子群の各端子に出力要求を与えることによって、出力される有効および無効を表す情報に基づいて、各電子部品に姿勢情報端子群における特定端子の位置を検出して各電子部品の姿勢を検出し、各電子部品の積層状態によってモジュールを識別することを特徴とするモジュールの識別方法。

- [16] 電子部品は、半導体基板の少なくとも1主面部に内部回路が形成され、主面部から反対面に達する導電路によって前記共通接続端子群および個別接続端子群の各端子が形成される半導体素子であることを特徴とする請求項15記載のモジュールの識別方法。

- [17] 請求項8記載の複数の電子部品が、回転対称中心まわりに、360度を設定回数で

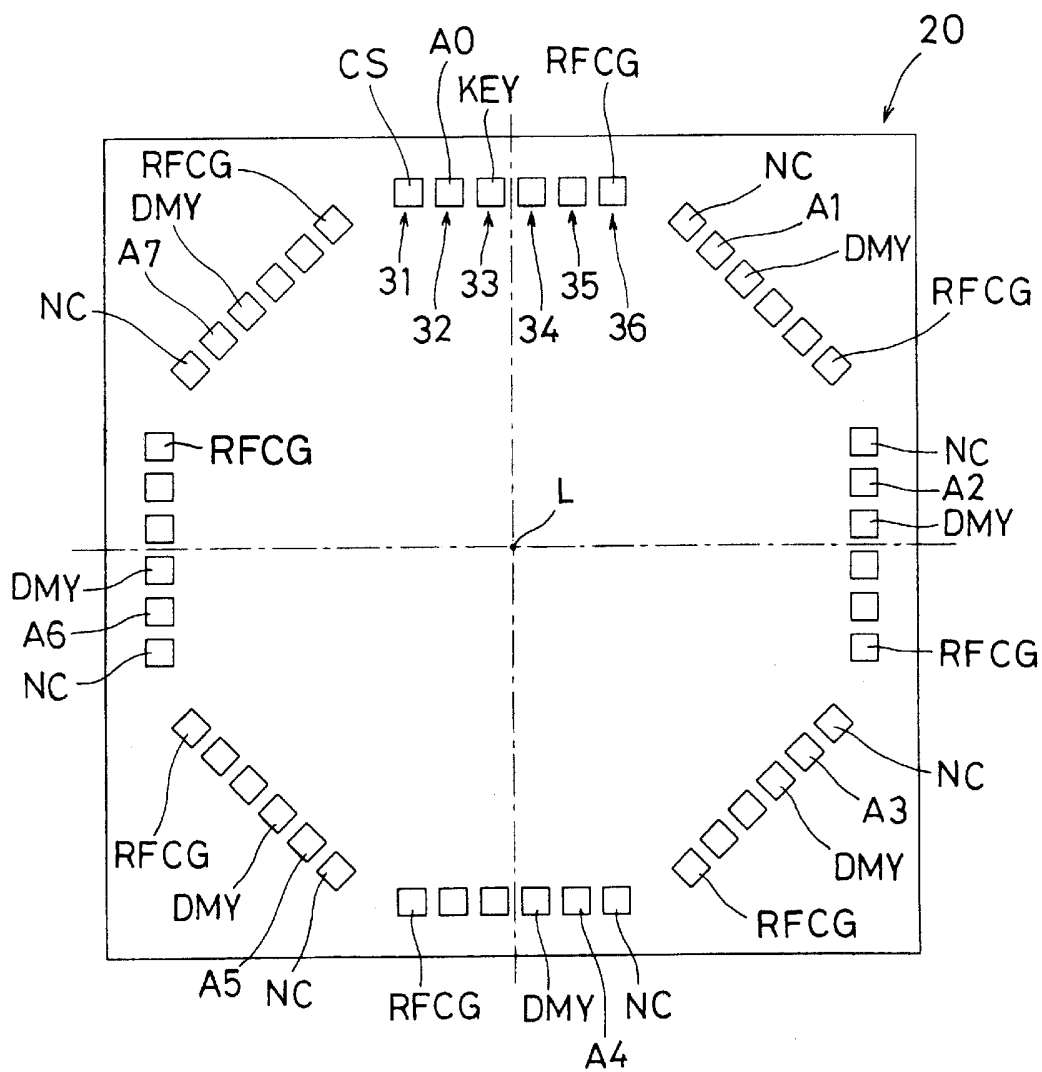
除した角度ずつ姿勢を相互にずらして積層され、積層方向に隣接する電子部品の端子の接続部同士が接続されて組み立てられるモジュールの動作環境を設定する方法であって、

指令入力端子群に、設定指令を与えて、各電子部品に積層状態に対応する動作環境を設定することを特徴とするモジュールの環境設定方法。

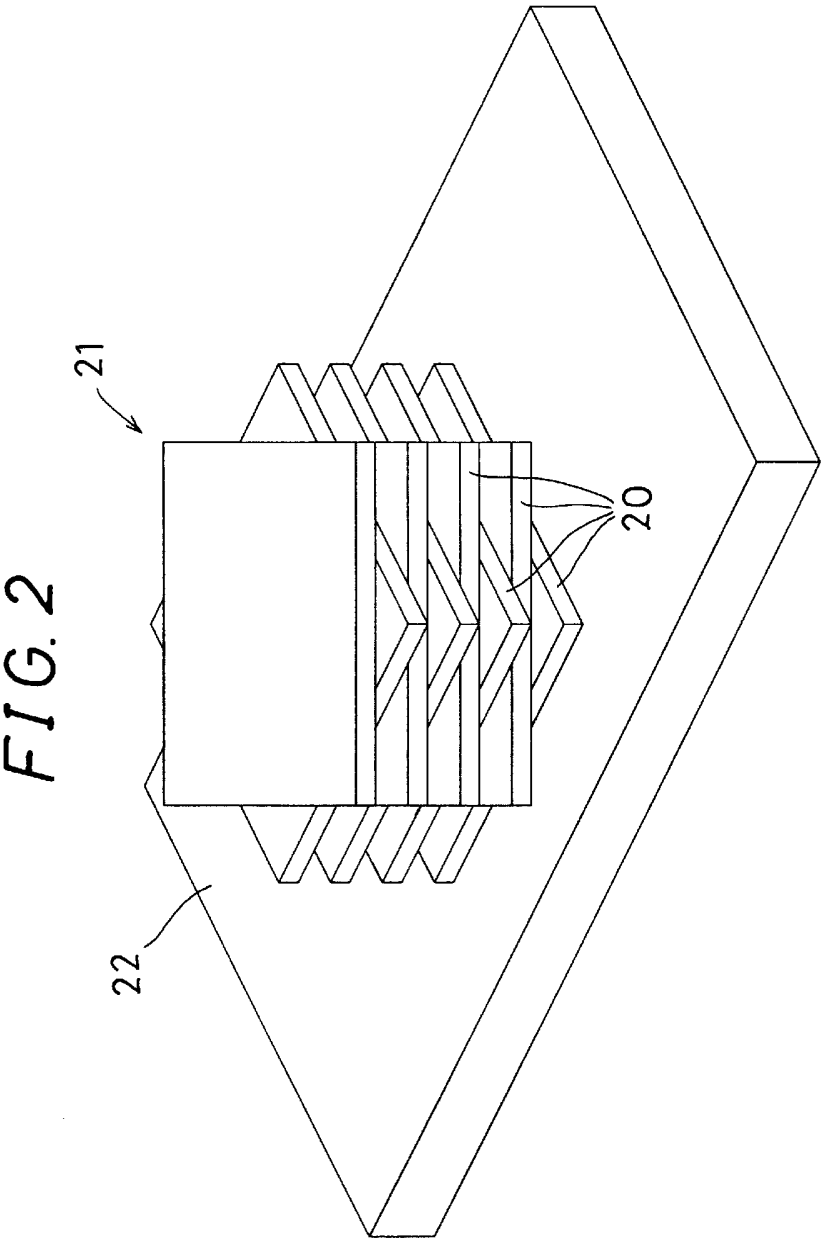
- [18] 電子部品は、半導体基板の少なくとも1主面部に内部回路が形成され、主面部から反対面に達する導電路によって前記共通接続端子群および個別接続端子群の各端子が形成される半導体素子であることを特徴とする請求項17記載のモジュールの環境設定方法。

[図1]

FIG. 1

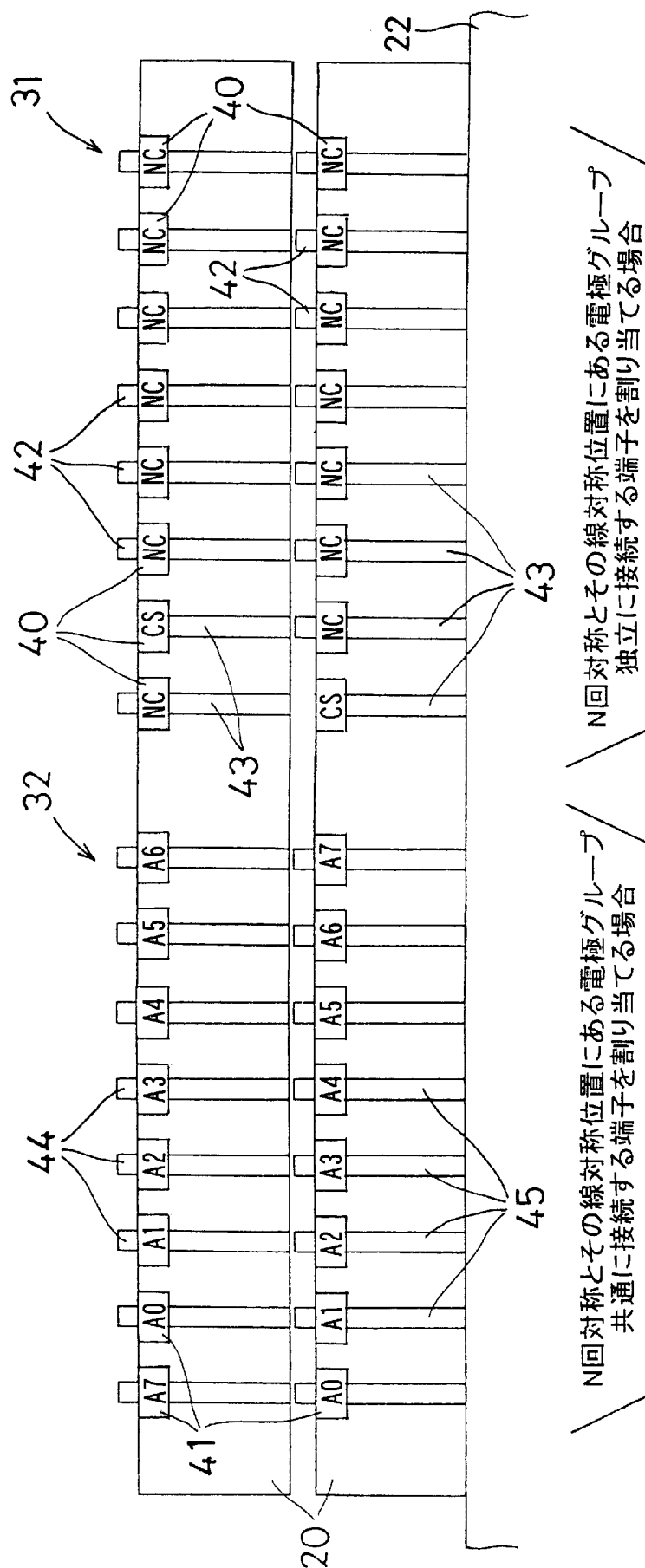


[図2]

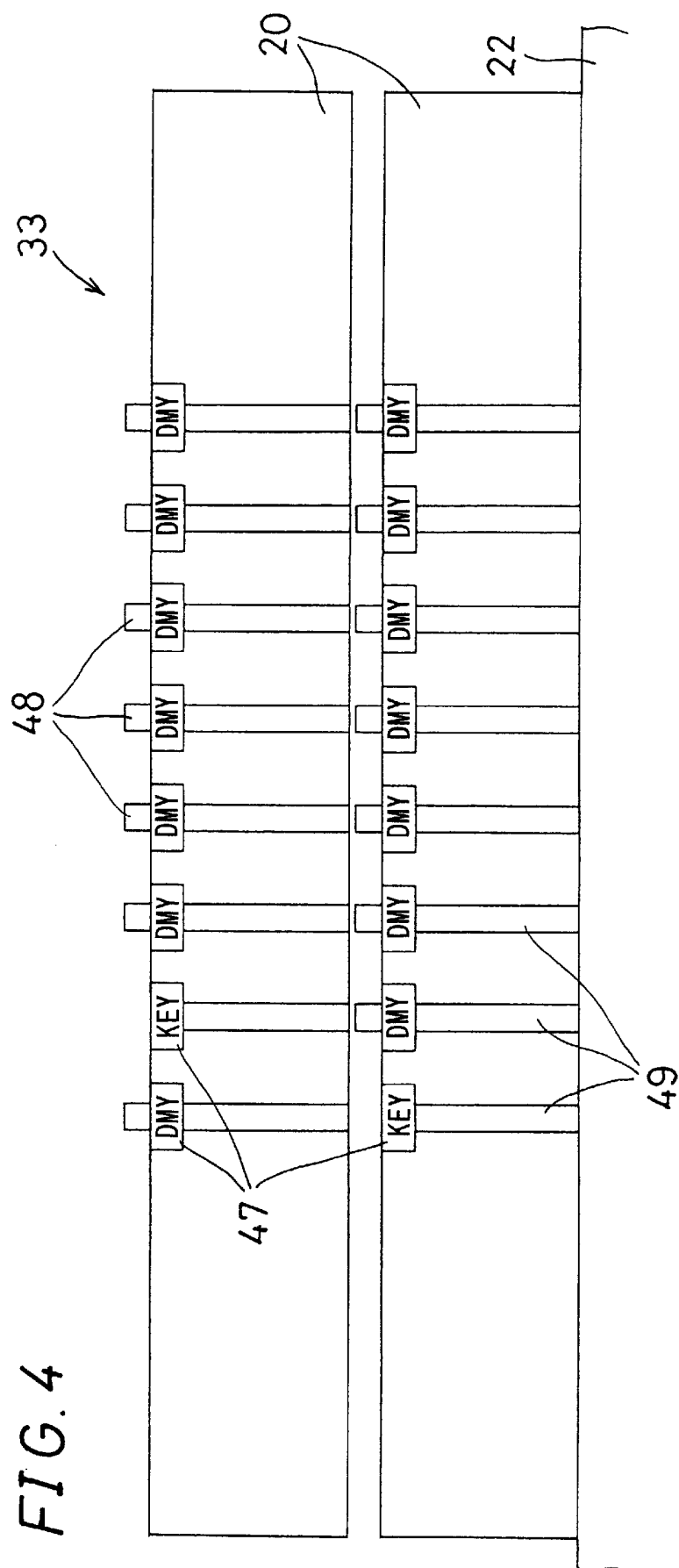


[図3]

FIG. 3

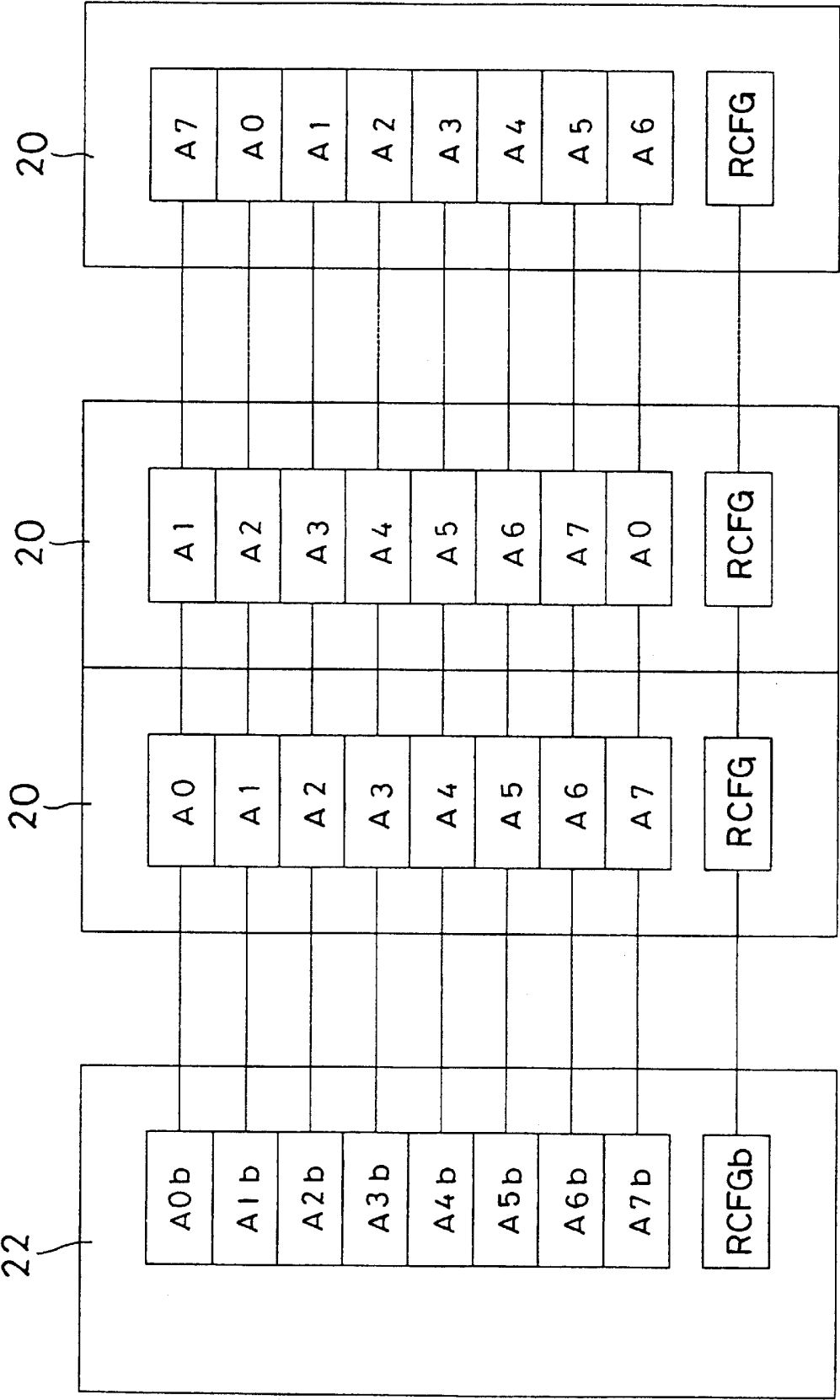


[図4]

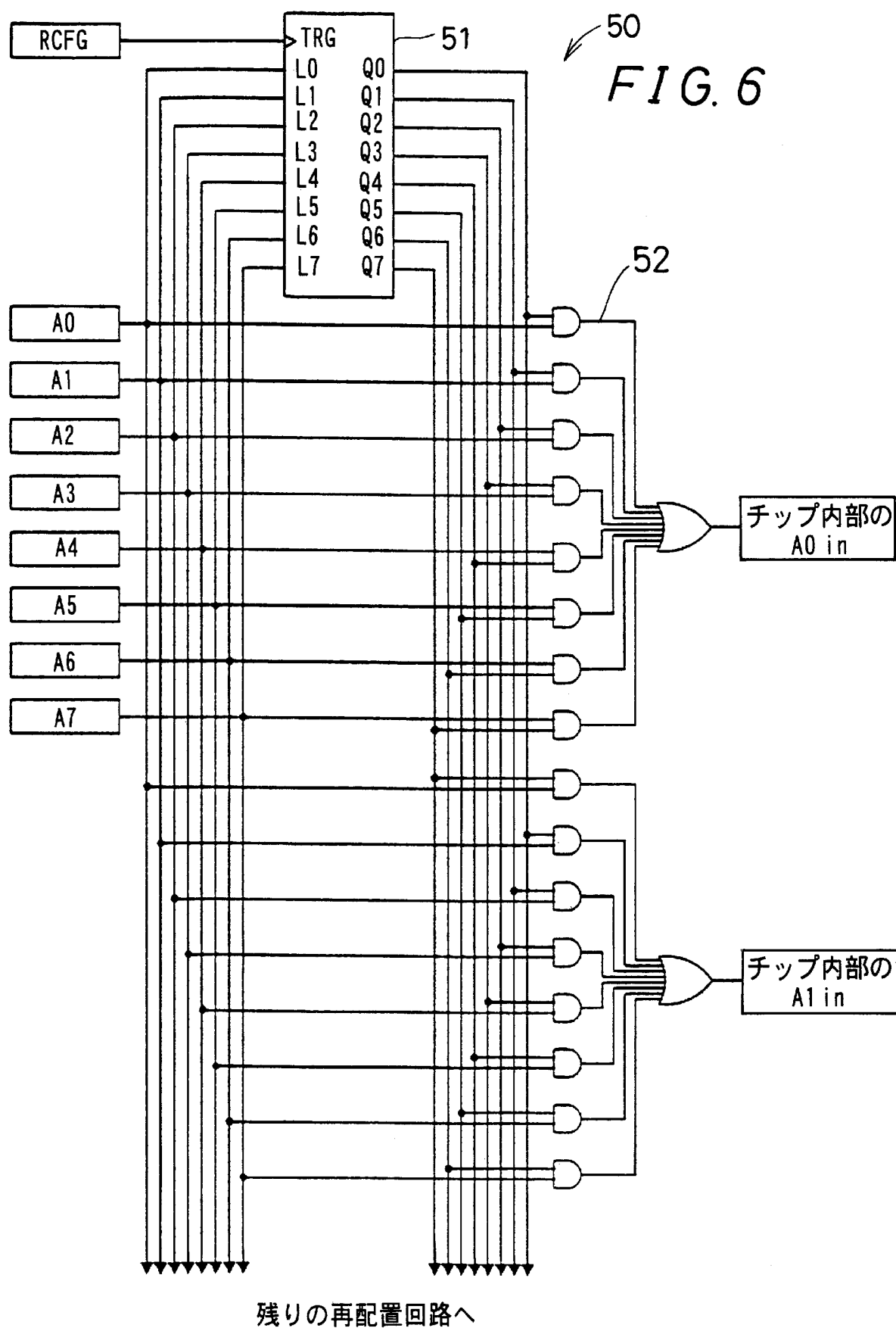


[図5]

FIG. 5



[図6]



[図7]

FIG. 7A

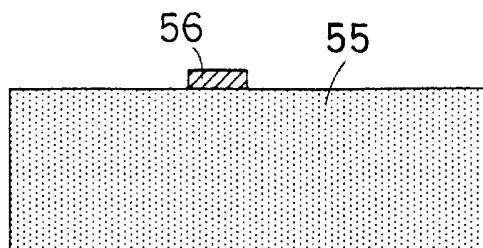


FIG. 7B

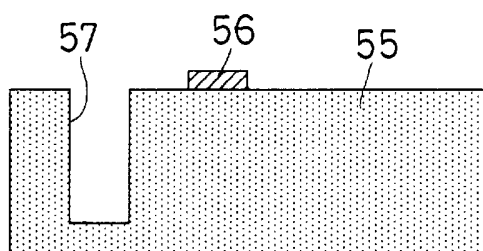


FIG. 7C

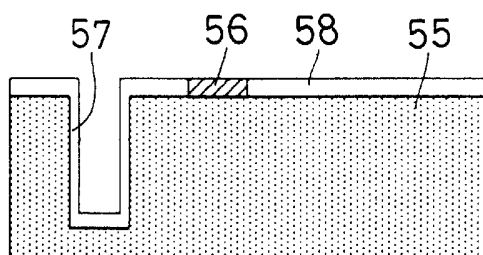


FIG. 7D

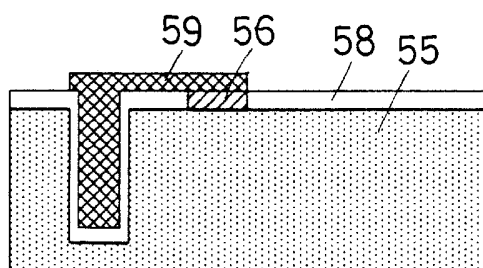
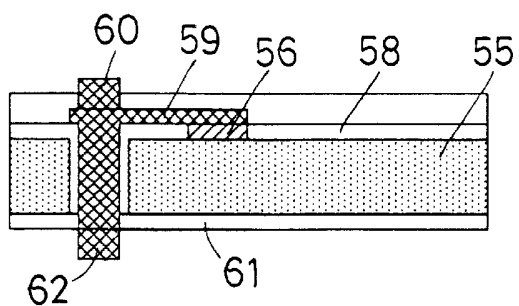
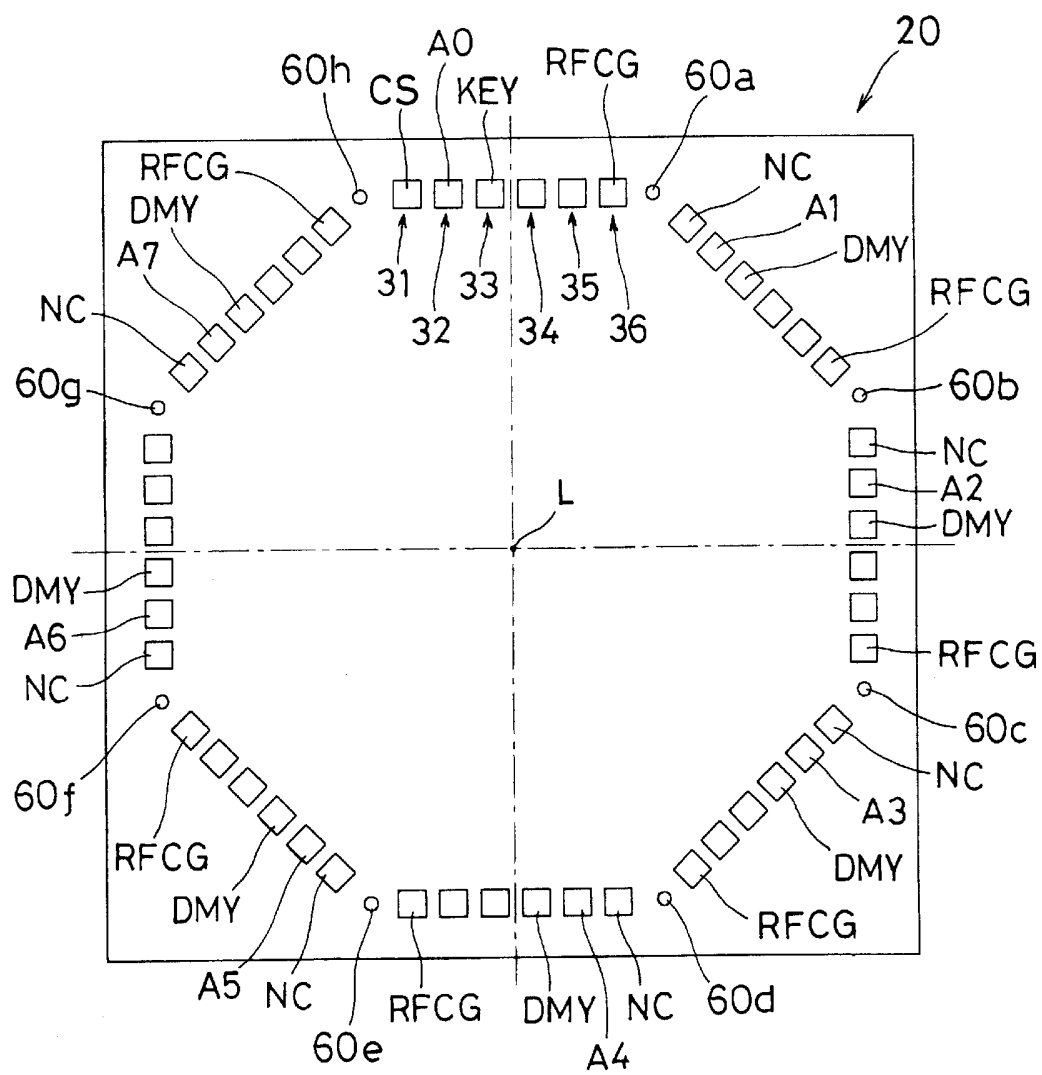


FIG. 7E

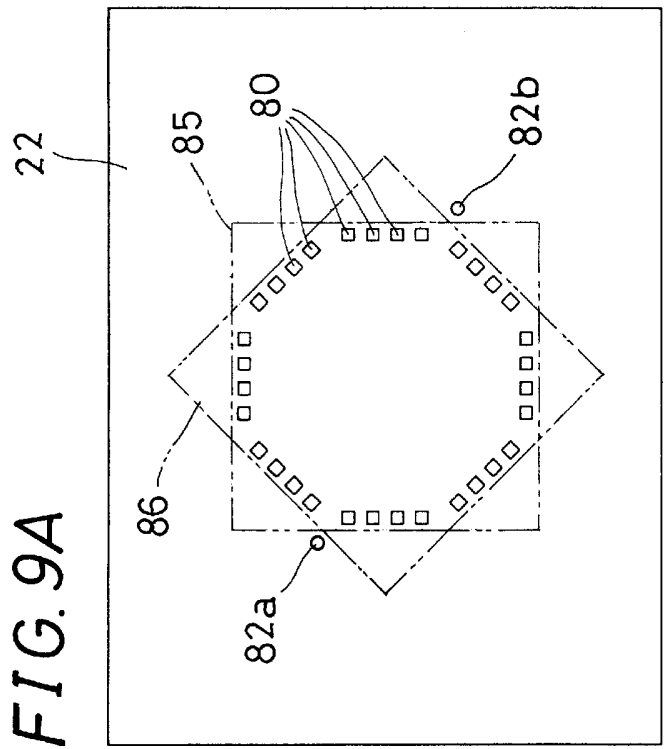
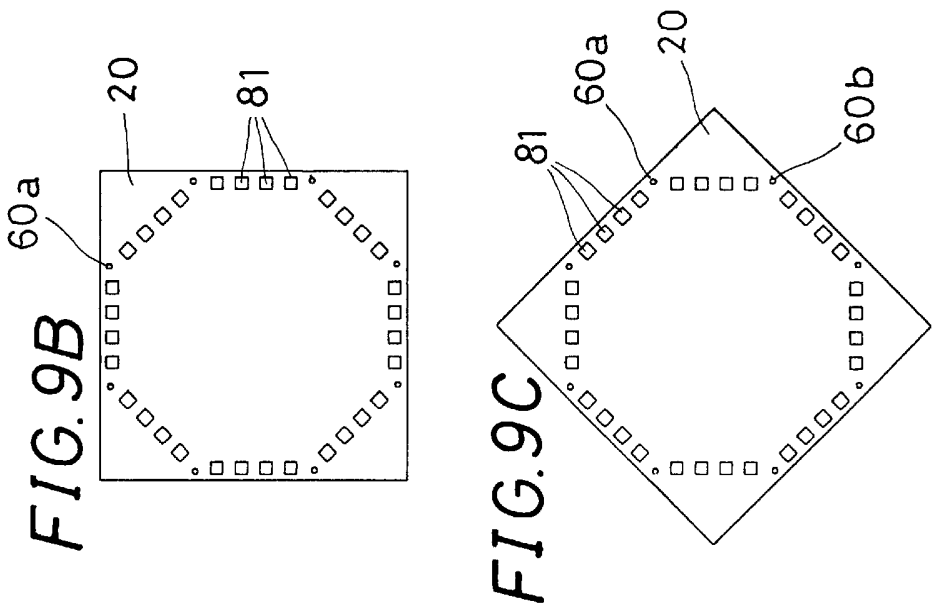


[図8]

FIG. 8

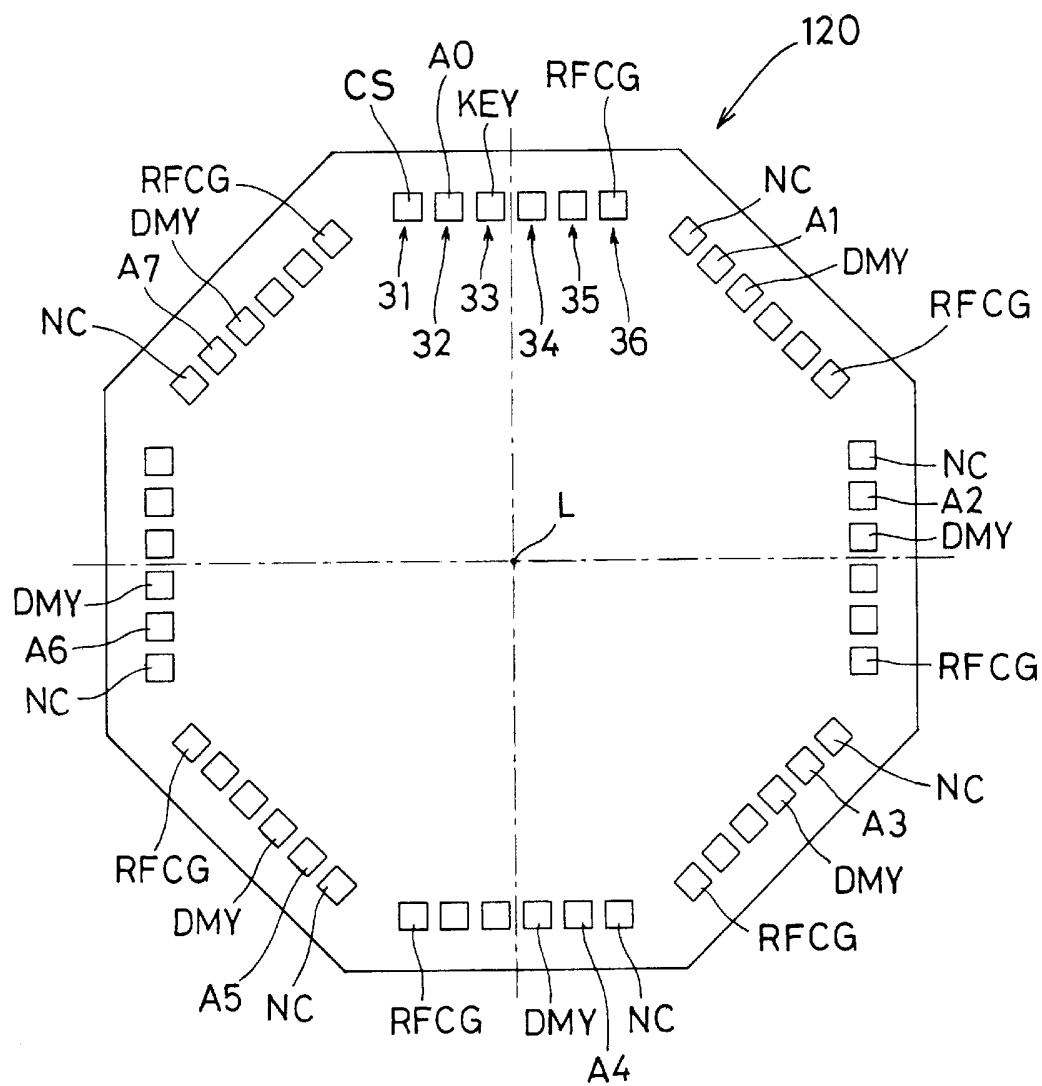


[図9]

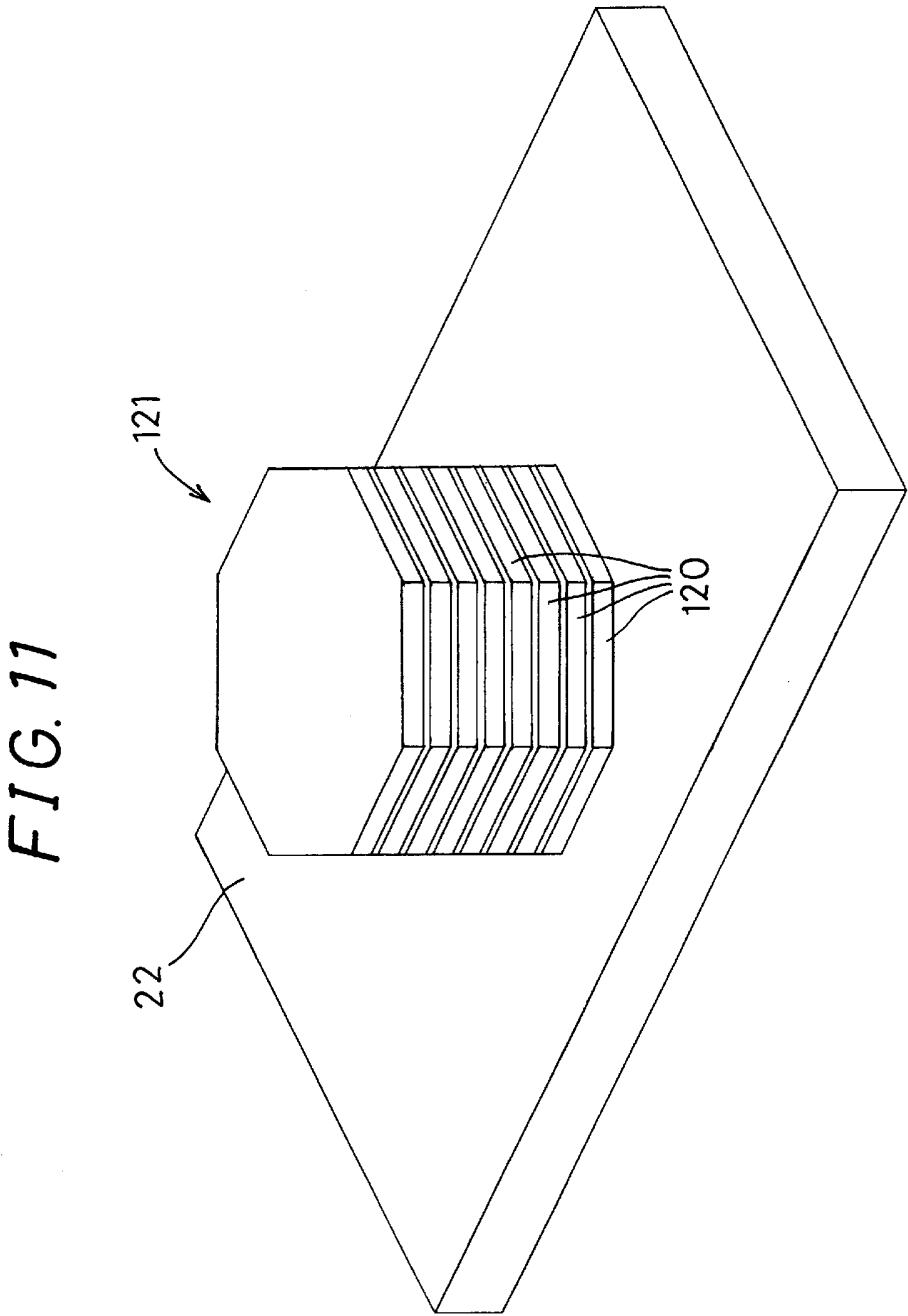


[図10]

FIG. 10

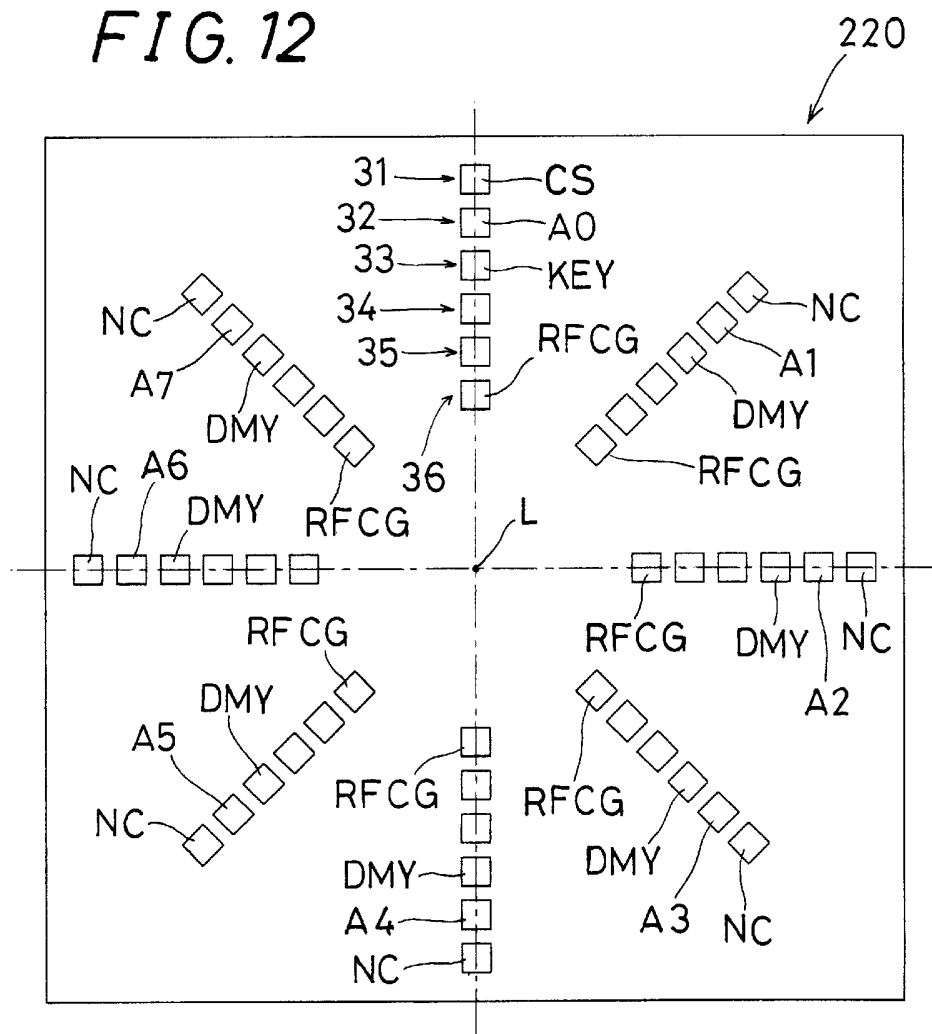


[図11]



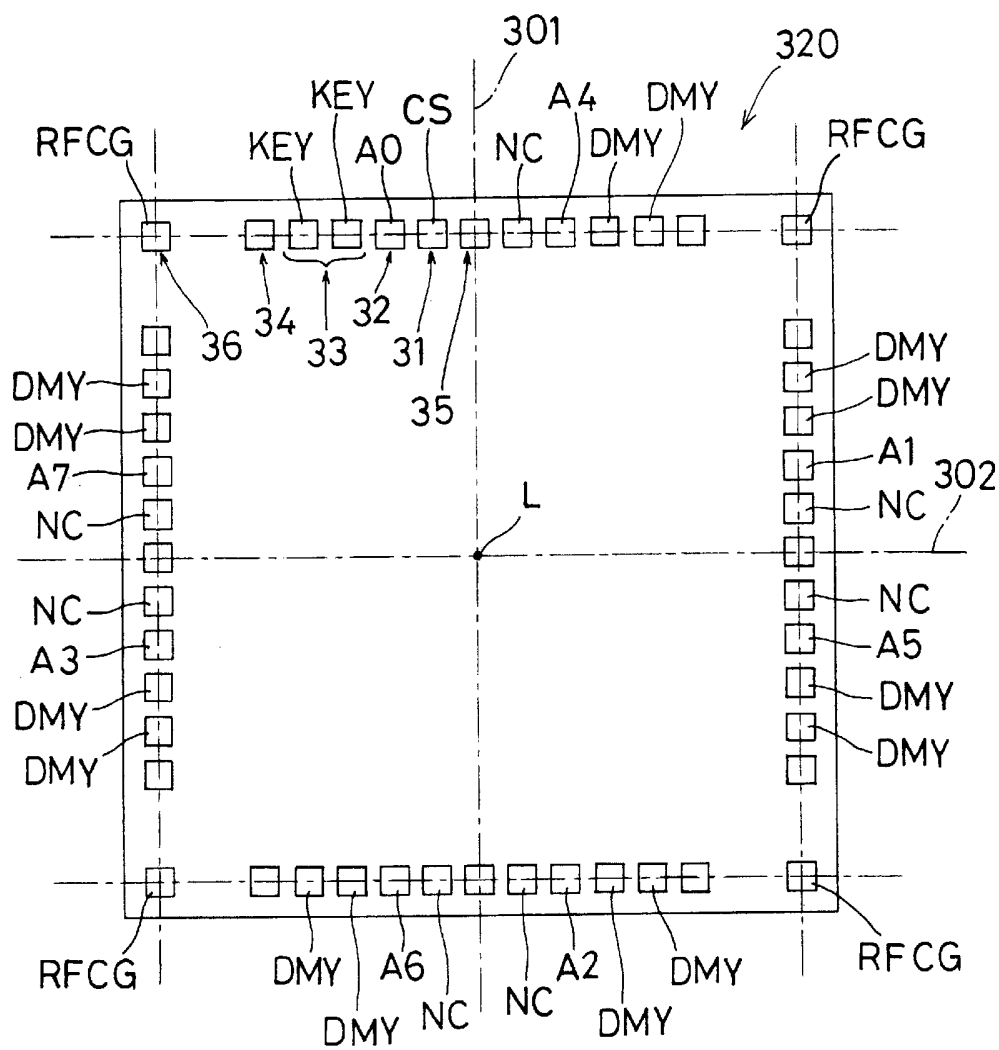
[図12]

FIG. 12

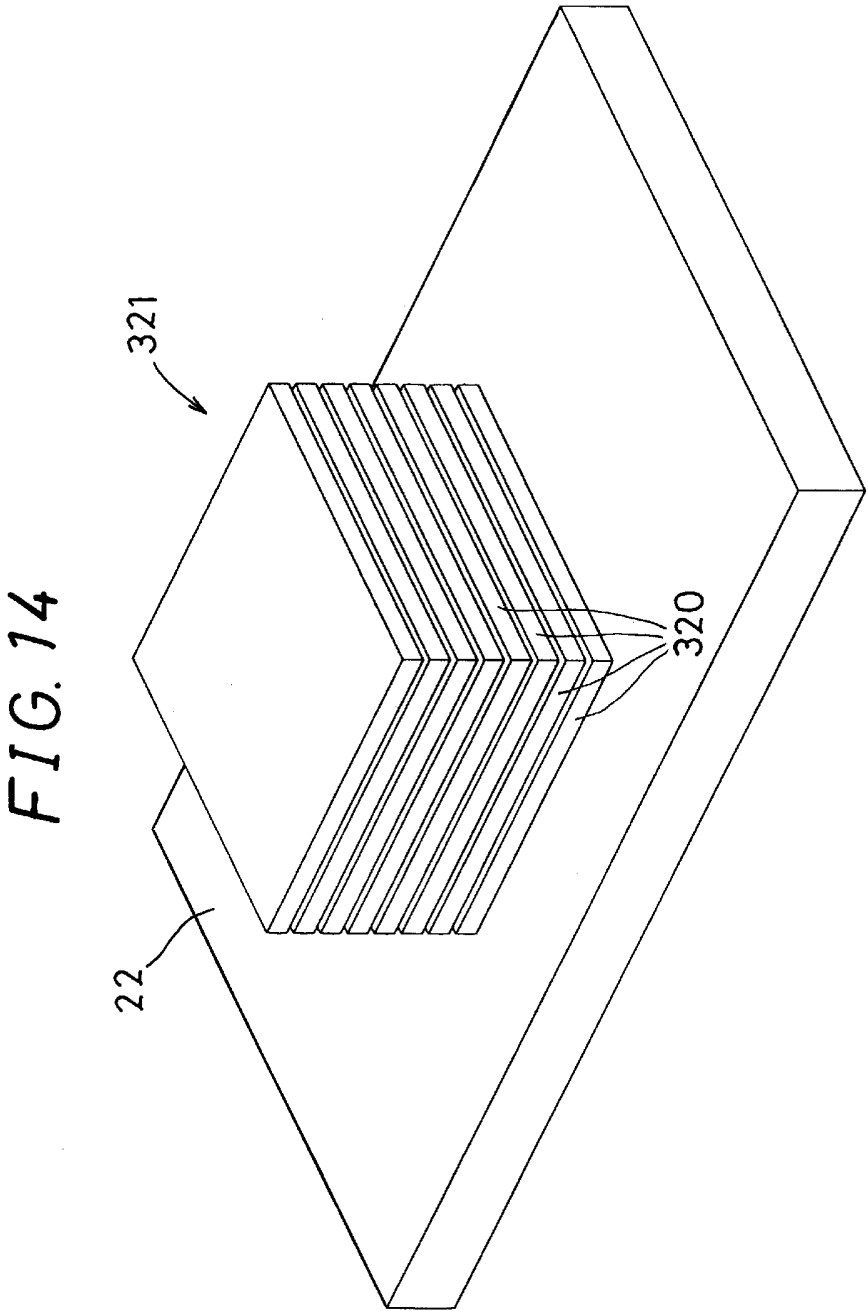


[図13]

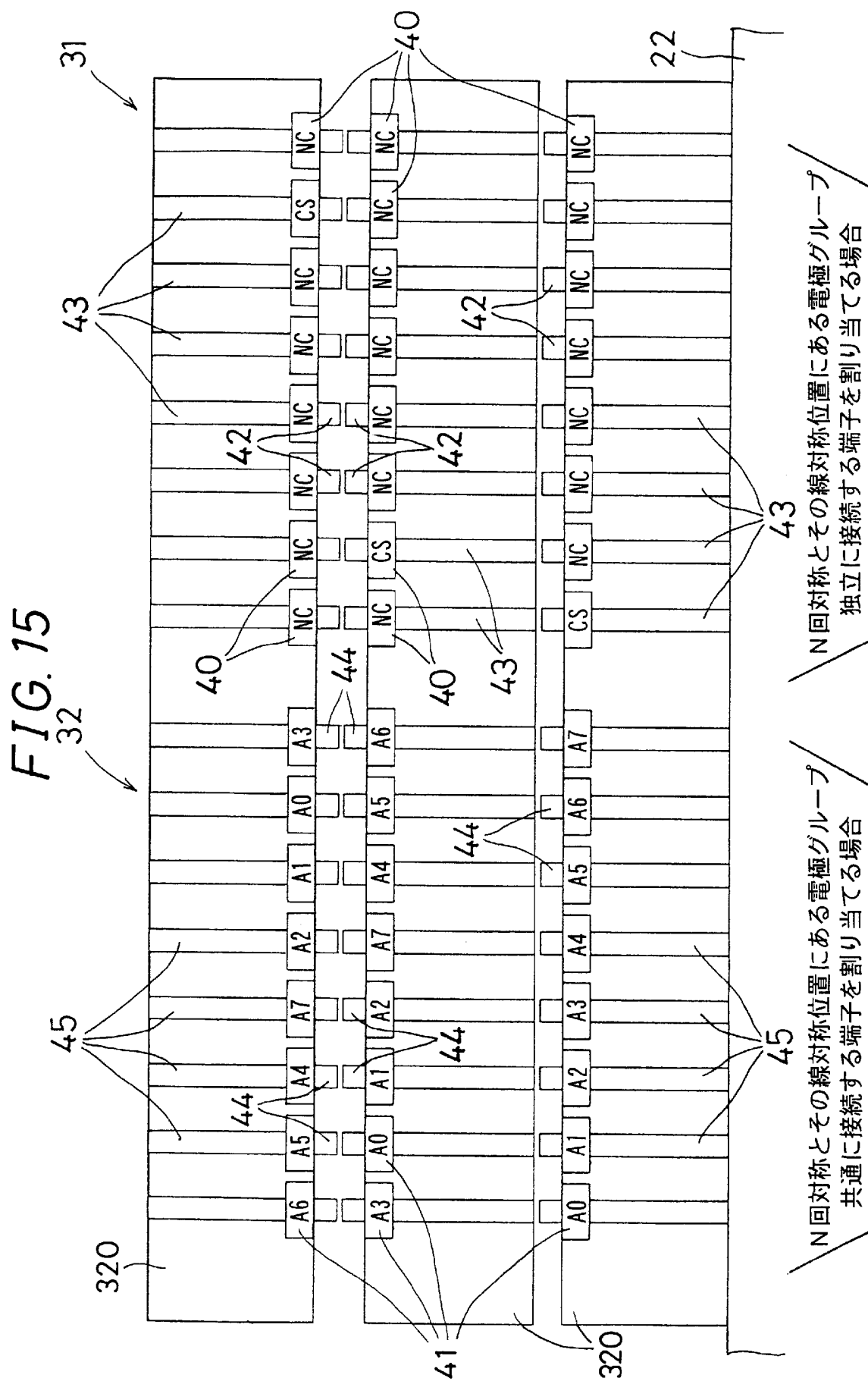
FIG. 13



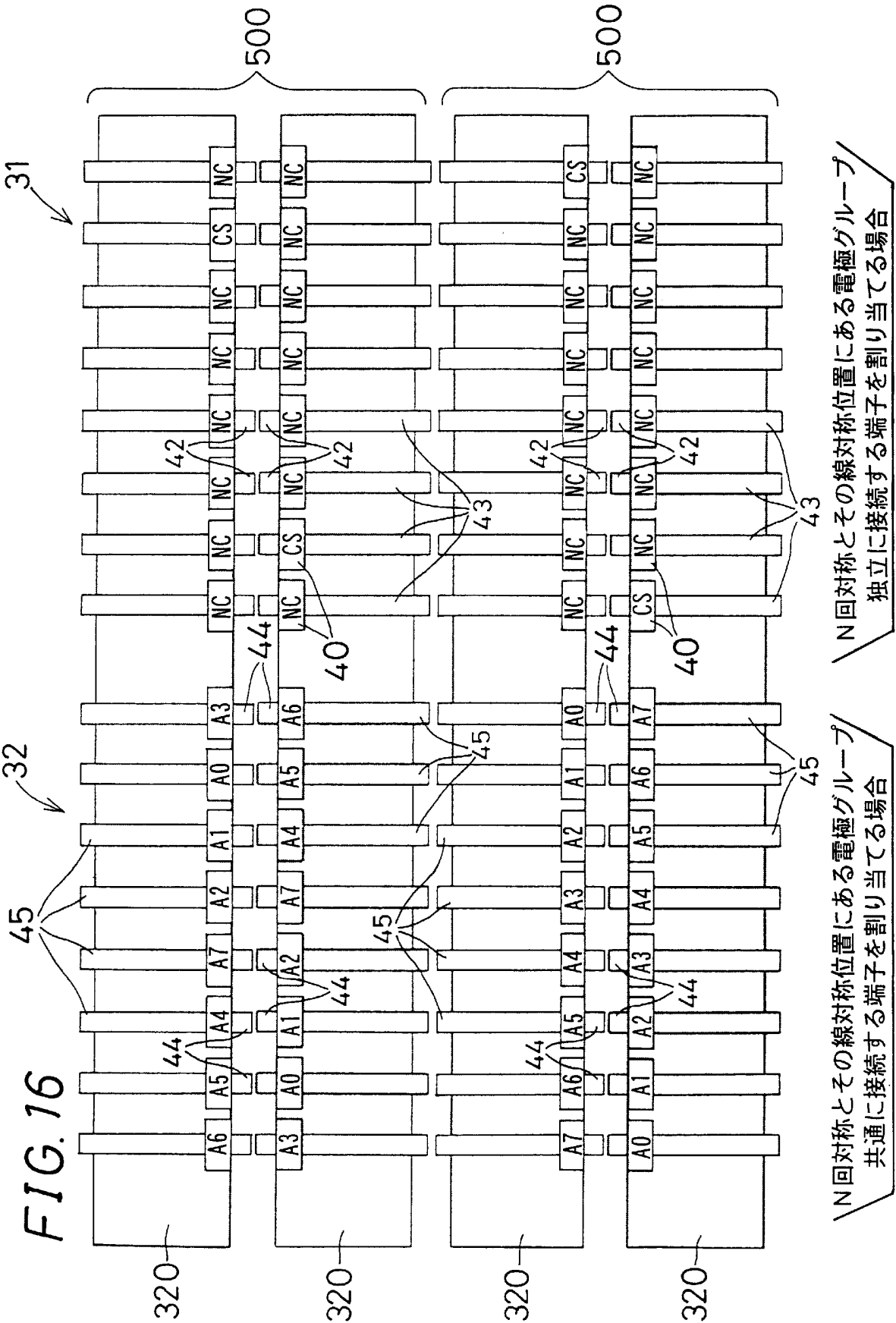
[図14]



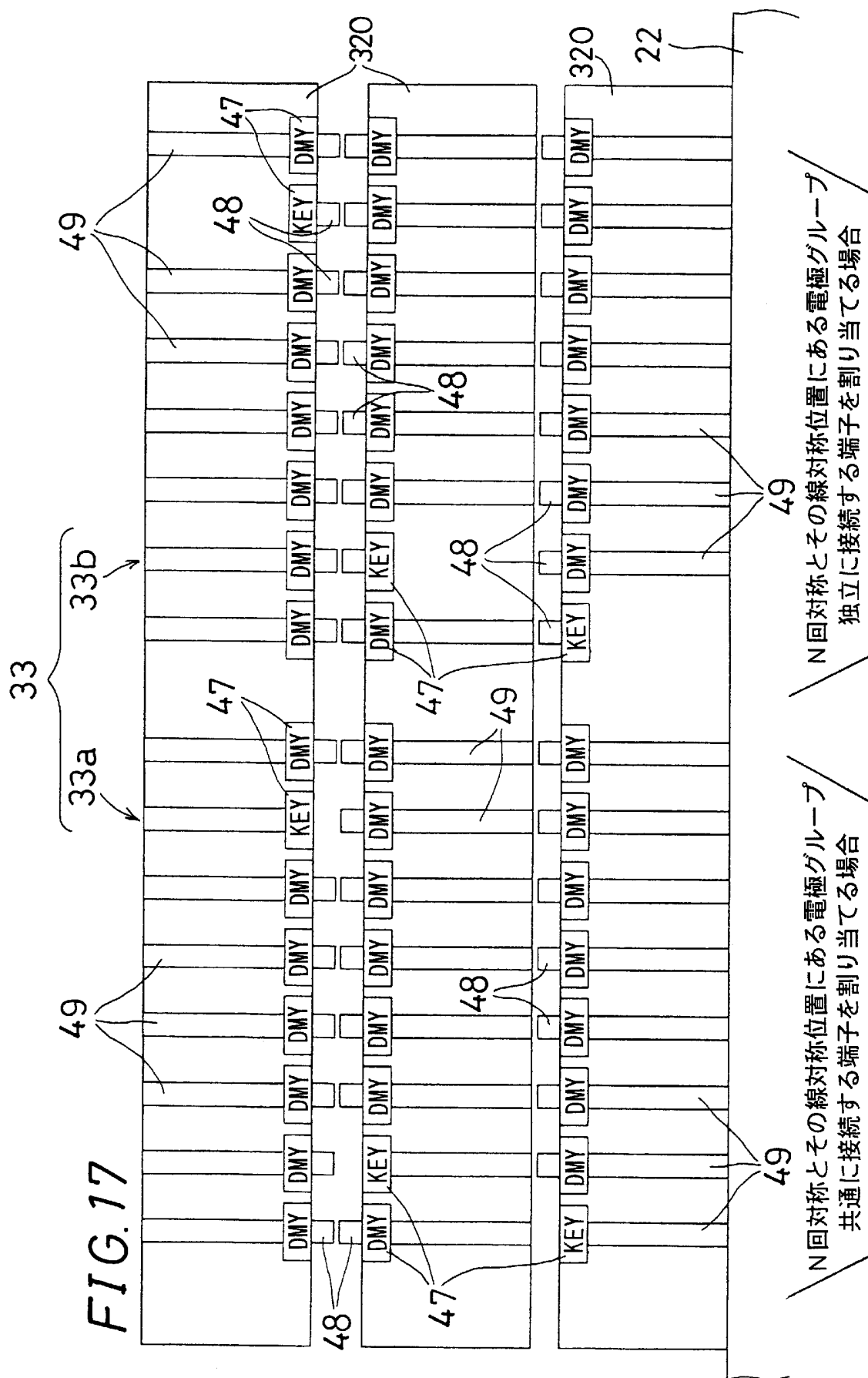
[図15]



[図16]

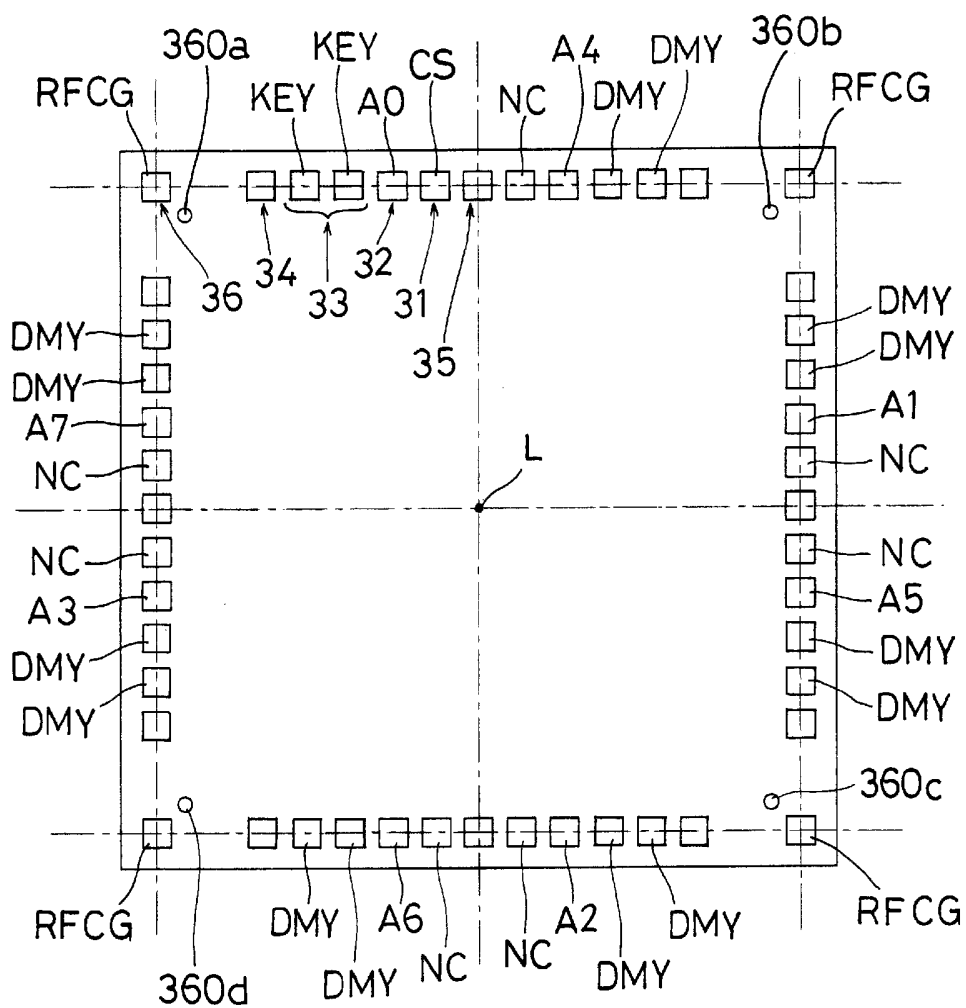


[図17]



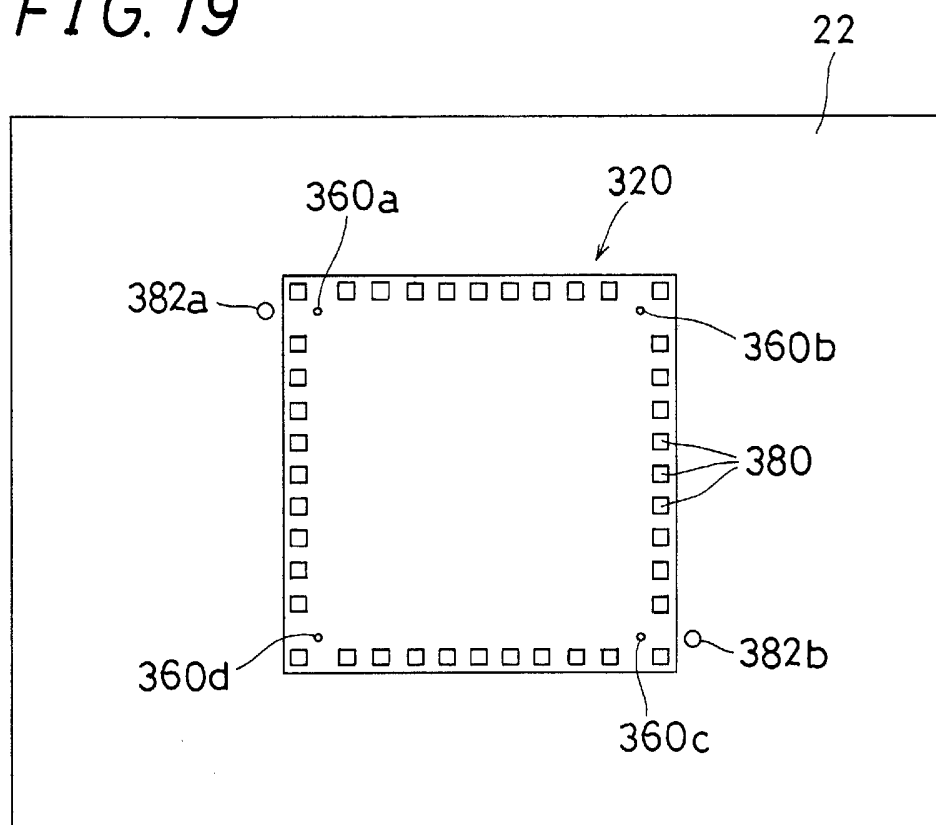
[図18]

FIG. 18

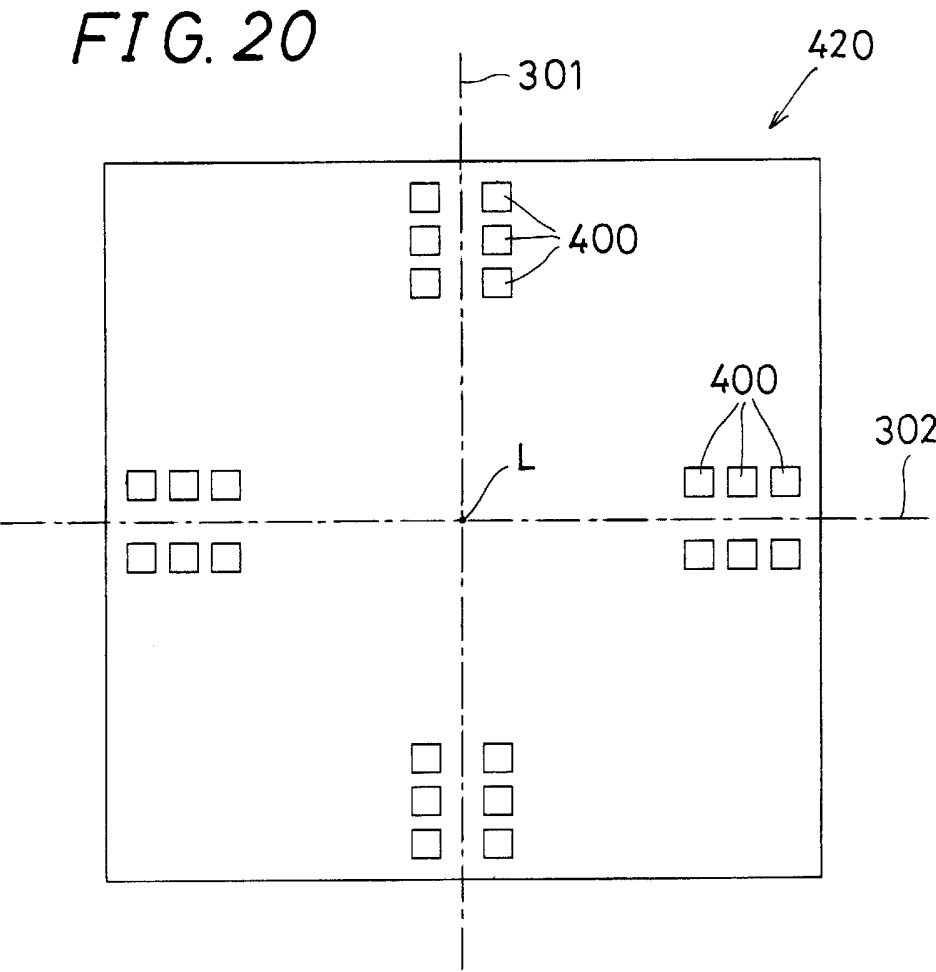


[図19]

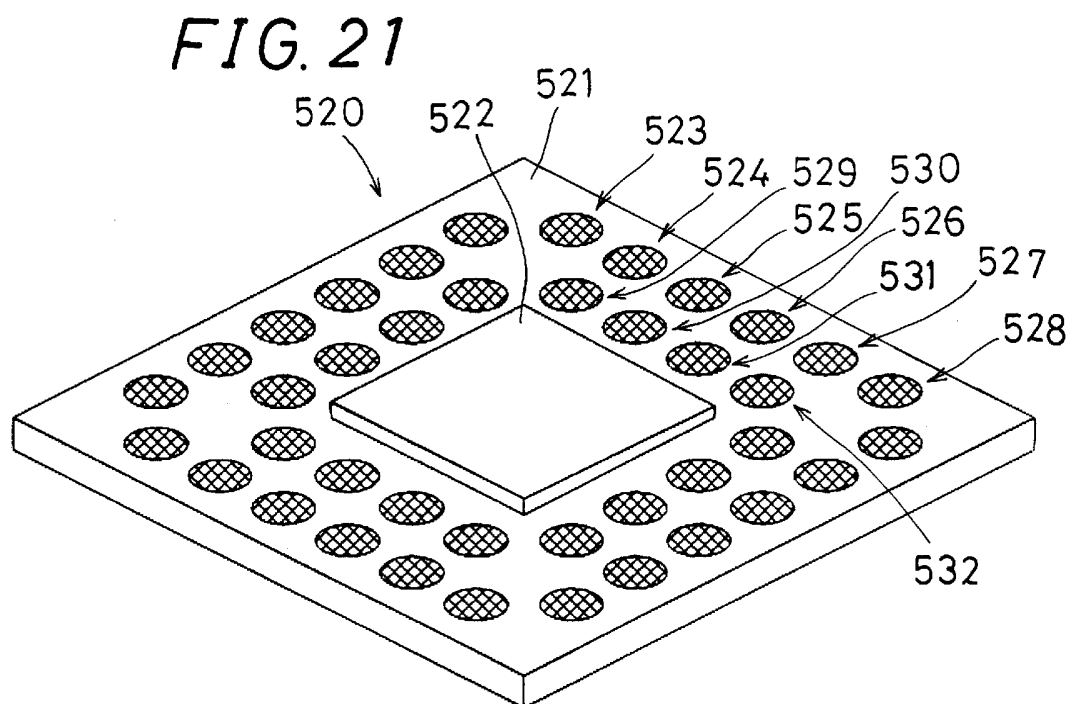
FIG. 19



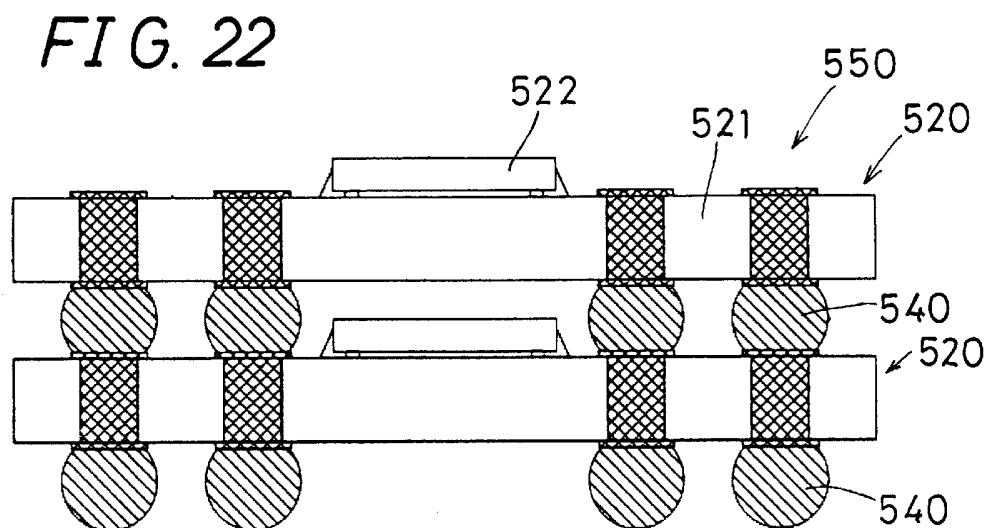
[図20]



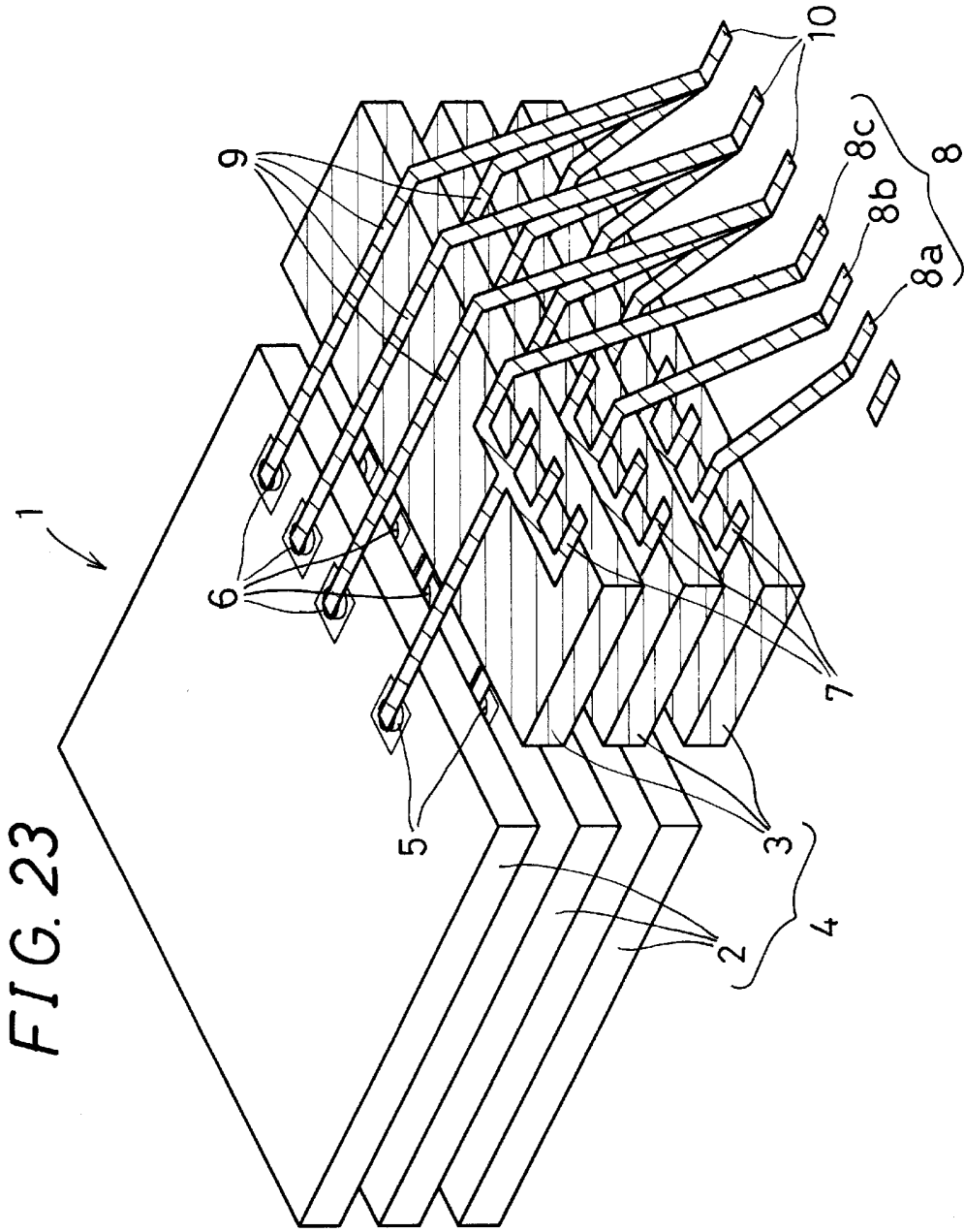
[図21]



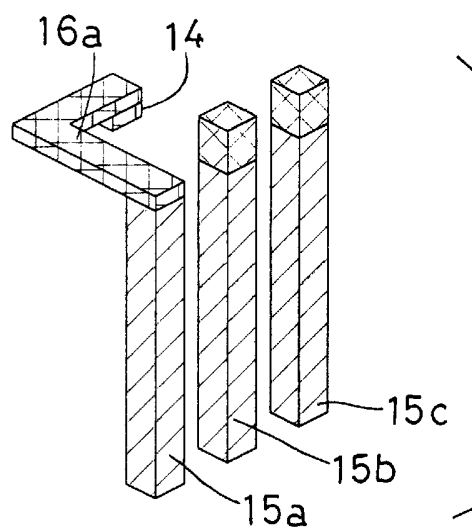
[図22]



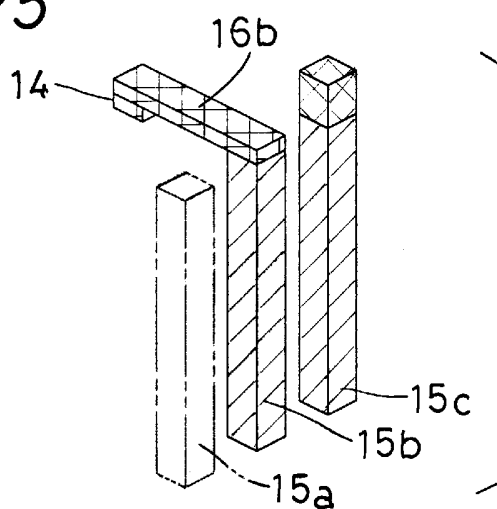
[図23]



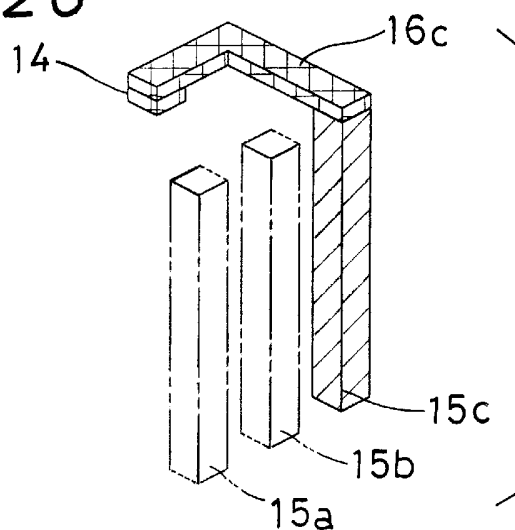
[図24]

FIG. 24

[図25]

FIG. 25

[図26]

FIG. 26

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007377

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L25/065, H01L25/07, H01L25/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 6-132476 A (Matsushita Electric Industrial Co., Ltd.), 13 May, 1994 (13.05.94), Par. Nos. [0022] to [0039] (Family: none)	1, 2, 5, 6, 9-12 3, 4, 7, 8, 13-18
Y A	JP 2001-53217 A (NEC Corp.), 23 February, 2001 (23.02.01), Par. Nos. [0014] to [0022] (Family: none)	1, 2, 5, 6, 9-12 3, 4, 7, 8, 13-18
A	JP 10-256472 A (Rohm Co., Ltd.), 25 September, 1998 (25.09.98), Par. Nos. [0009] to [0012] & EP 890989 A & US 6133637 A & KR 2000064686 A	1-18

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 August, 2004 (23.08.04)Date of mailing of the international search report
07 September, 2004 (07.09.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007377

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-291250 A (NEC Corp.), 18 October, 1994 (18.10.94), Par. Nos. [0013] to [0025] (Family: none)	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L25/065, H01L25/07, H01L25/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 6-132476 A (松下電器産業株式会社) 1994.05.13 【0022】 - 【0039】 (ファミリーなし)	1, 2, 5, 6, 9-12 3, 4, 7, 8, 13-18
Y A	JP 2001-53217 A (日本電気株式会社) 2001.02.23 【0014】 - 【0022】 (ファミリーなし)	1, 2, 5, 6, 9-12 3, 4, 7, 8, 13-18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

23.08.2004

国際調査報告の発送日

07.9.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

4 R

9169

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-256472 A (ローム株式会社) 1998.09.25 【0009】 - 【0012】 & EP 890989 A & US 6133637 A & KR 2000064686 A	1-18
A	JP 6-291250 A (日本電気株式会社) 1994.10.18 【0013】 - 【0025】 (ファミリーなし)	1-18