



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

237650

(11)

(B1)

(22) Přihlášeno 19 03 84
(21) PV 1940-84

(51) Int. Cl.⁴
G 06 K 5/04

(40) Zveřejněno 31 07 84

(45) Vydáno 16 02 87

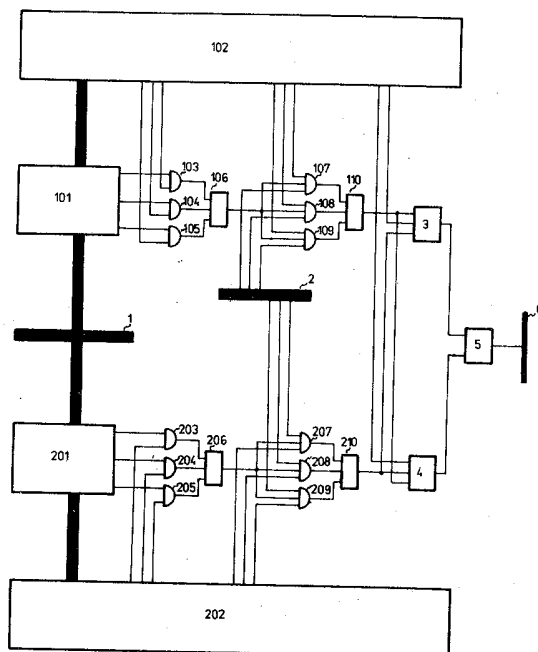
(75)

Autor vynálezu

KRÁL VÁCLAV ing., ČESKÉ BUDĚJOVICE

(54) Zapojení pro ochranu paměti mikropočítače

Vynález řeší usnadnění ladění programů a zvýšení spolehlivosti mikropočítačových systémů pro řízení v reálném čase. Docílí se toho zapojením logických komparátorů, paralelních výstupů mikropočítače, součtových a součinových hradel do dvou paralelních kanálů. Vzájemné spojení obou kanálů je v adresní sběrnici mikropočítače, řídicí sběrnici mikropočítače, obvodu logického součtu podmínek a obvodu logického součinu podmínek. Poslední dva obvody jsou přes výstupní součtové hradlo zapojeny na přerušovací systém mikropočítače. Zapojení lze využít ve všech oborech národního hospodářství, ve kterých jsou využívány vývojové mikropočítačové systémy.



Vynález se týká zapojení pro ochranu paměti mikropočítače, zejména při použití mikropočítačů pro řízení procesů v reálném čase.

V dosavadní praxi dochází k přepsání obsahu operační paměti buď chybou programu, zejména ve fázi ladění, nebo náhodnou chybou centrální jednotky mikropočítače, na příklad následkem průmyslového rušení. Při ladění programů může vzniknout situace, kdy se velmi obtížně hledá místo v programu, které přepisuje stávající obsah v paměti, protože obvykle dochází k havárii ladicího programu nebo operačního systému. Potom není možno určit obsahy registrů a čítače instrukcí v okamžiku havárie. Při provozu v reálném čase dojde na určitou dobu k vyřazení řídicího systému z provozu, neboť musí zasáhnout obvod časové kontroly a provést restart systému.

Tyto nevýhody z velké části odstraňuje zapojení pro ochranu paměti mikropočítače podle vynálezu. Jeho podstata záleží v tom, že první paralelní výstup mikropočítače je přes první logický komparátor a druhý paralelní výstup mikropočítače je přes druhý logický komparátor zapojen na adresní sběrnici mikropočítače. Jednotlivé výstupy prvního paralelního výstupu mikropočítače jsou zapojeny na první součinnové hradlo prvního kanálu, druhé součinnové hradlo prvního kanálu, třetí součinnové hradlo prvního kanálu, čtvrté součinnové hradlo prvního kanálu, páté součinnové hradlo prvního kanálu, šesté součinnové hradlo prvního kanálu, obvod logického součtu podmínek a obvod logického součinu podmínek. Jednotlivé výstupy druhého paralelního výstupu mikropočítače jsou zapojeny na první součinnové hradlo druhého kanálu, druhé součinnové hradlo druhého kanálu, třetí součinnové hradlo druhého kanálu, čtvrté součinnové hradlo druhého kanálu, páté součinnové hradlo druhého kanálu a šesté součinnové hradlo druhého kanálu. Jednotlivé výstupy prvního logického komparátoru jsou zavedeny na druhé vstupy prvního součinnového hradla prvního kanálu, druhého součinnového hradla prvního kanálu a třetího součinnového hradla prvního kanálu. Výstup prvního součinnového hradla prvního kanálu je zapojen na první vstup prvního součtového hradla prvního kanálu, na jehož druhý vstup je zapojen výstup druhého součinnového hradla prvního kanálu a na jehož třetí vstup je zapojen výstup třetího součinnového hradla prvního kanálu.

Jeho výstup je zapojen na druhé vstupy čtvrtého součinnového hradla prvního kanálu, pátého součinnového hradla prvního kanálu a šestého součinnového hradla prvního kanálu. Výstup čtvrtého součinnového hradla prvního kanálu je zaveden na první vstup druhého součtového hradla prvního kanálu, na jehož druhý vstup je zaveden výstup pátého součinnového hradla prvního kanálu a na jehož třetí vstup je zaveden výstup šestého součinnového hradla prvního kanálu. Výstup druhého součtového hradla prvního kanálu je zapojen na druhé vstupy obvodu logického součtu podmínek a obvodu logického součinu podmínek, jejichž výstupy jsou zapojeny na jednotlivé vstupy výstupního součtového hradla, zapojeného na přerušovací systém mikropočítače. Jednotlivé výstupy druhého logického komparátoru jsou zavedeny na druhé vstupy prvního součinnového hradla druhého kanálu, druhého součinnového hradla druhého kanálu a třetího součinnového hradla druhého kanálu. Výstup prvního součinnového hradla druhého kanálu je zapojen na první vstup prvního součtového hradla druhého kanálu, na jehož druhý vstup je zapojen výstup druhého součinnového hradla druhého kanálu a na jehož třetí vstup je zapojen výstup třetího součinnového hradla druhého kanálu. Jeho výstup je zapojen na druhé vstupy čtvrtého součinnového hradla druhého kanálu, pátého součinnového hradla druhého kanálu a šestého součinnového hradla druhého kanálu. Výstup čtvrtého součinnového hradla druhého kanálu je zaveden na první vstup druhého součtového hradla druhého kanálu, na jehož druhý vstup je zaveden výstup pátého součinnového hradla druhého kanálu a na jehož třetí vstup je zaveden výstup šestého součinnového hradla druhého kanálu. Výstup druhého součtového hradla druhého kanálu je zapojen na třetí vstupy obvodu logického součtu podmínek a obvodu logického součinu podmínek. Jednotlivé výstupy řídicí sběrnice mikropočítače jsou zapojeny na třetí vstupy čtvrtého součinnového hradla prvního kanálu, pátého součinnového hradla prvního kanálu, šestého součinnového hradla prvního kanálu, čtvrtého součinnového hradla druhého kanálu, pátého součinnového hradla druhého kanálu a šestého součinnového hradla druhého kanálu.

Výhodou zapojení pro ochranu paměti mikropočítače podle vynálezu je urychlení ladění programů a zrychlení restartu při výpadku systému pro řízení v reálném čase, protože je zabráněno přepsání obsahu operační paměti a je možno zjistit příčinu pokusu o porušení hranic pracovní oblasti programu. Vynález poskytuje i možnost kombinace dvou shodných jednotek ve složitějších systémech. Potom je možno vymezit oblast povolenou pro zápis i čtení, jinou oblast pouze pro čtení nebo volání podprogramů i podobně.

Příklad zapojení je v blokovém schématu nakreslen na připojeném výkrese.

Z adresní sběrnice 1 mikropočítače vychází první a druhý kanál zapojení pro ochranu paměti mikropočítače. V prvním kanálu je na adresní sběrnici 1 mikropočítače zapojen přes první logický komparátor 101 první paralelní výstup 102 mikropočítače. Jeho jednotlivé výstupy jsou zapojeny na první vstupy prvního součinnového hradla 103, druhého součinnového hradla 104, třetího součinnového hradla 105, čtvrtého součinnového hradla 107, pátého součinnového hradla 108, šestého součinnového hradla 109 a dále prvků, ve kterých se první a druhý kanál spojují, to je obvodu 3 logického součtu podmínek a obvodu 4 logického součinu podmínek. Jejich výstupy jsou zapojeny na dva vstupy výstupního součtového hradla 2 spojeného s přerušovacím systémem 6 mikropočítače. Dále v prvním kanálu jsou jednotlivé výstupy prvního logického komparátoru 101 připojeny na druhé vstupy prvního součinnového hradla 103, druhého součinnového hradla 104 a třetího součinnového hradla 105. Výstupy těchto součinnových hradel 103, 104, 105 jsou zapojeny na tři vstupy prvního součtového hradla 106. Jeho výstup je zapojen na druhé vstupy čtvrtého součinnového hradla 107, pátého součinnového hradla 108 a šestého součinnového hradla 109. Na třetí vstupy těchto součinnových hradel 107, 108, 109 jsou zapojeny tři výstupy řídicí sběrnice 2 mikropočítače. Výstupy těchto součinnových hradel 107, 108, 109 jsou zapojeny na tři vstupy druhého součtového hradla 110, jehož výstup je zapojen na druhé vstupy obvodu 3 logického součtu podmínek a obvodu 4 logického součinu podmínek. V druhém kanálu je na adresní sběrnici 1 mikropočítače zapojen přes druhý logický komparátor 201 druhý paralelní výstup 202 mikropočítače. Jeho jednotlivé výstupy jsou zapojeny na první vstupy prvního součinnového hradla 203, druhého součinnového hradla 204, třetího součinnového hradla 205, čtvrtého součinnového hradla 207, pátého součinnového hradla 208 a šestého součinnového hradla 209. Dále jsou jednotlivé výstupy druhého logického komparátoru 201 připojeny na druhé vstupy prvního součinnového hradla 203, druhého součinnového hradla 204 a třetího součinnového hradla 205. Výstupy těchto součinnových hradel 203, 204, 205 jsou zapojeny na tři vstupy prvního součtového hradla 206. Jeho výstup je zapojen na druhé vstupy čtvrtého součinnového hradla 207, pátého součinnového hradla 208 a šestého součinnového hradla 209. Na třetí vstupy těchto součinnových hradel 207, 208, 209 jsou zapojeny tři výstupy řídicí sběrnice 2 mikropočítače. Výstupy těchto součinnových hradel 207, 208, 209 jsou zapojeny na tři vstupy druhého součtového hradla 210, jehož výstup je zapojen na třetí vstupy obvodu 3 logického součtu podmínek a obvodu 4 logického součinu podmínek.

Před spuštěním kteréhokoliv programu nastaví monitor, ladící program nebo operační systém pomocí prvního paralelního výstupu 102 mikropočítače a druhého paralelního výstupu 202 mikropočítače pracovní zónu programu. Pokusí-li se program porušit hranice své pracovní zóny vznikne požadavek na přerušení a monitor, ladící program nebo operační systém má možnost, aniž dojde k přepsání důležitých oblastí operační paměti, určit místo v programu, kde došlo k chybě a obsahy registrů. Tím se zabrání havárii celého systému a urychlí se hledání chyby při ladění. Při provozu bez obsluhy je možno ihned provést restart systému a zkrátit čas výpadku. Jako první paralelní výstup 102 mikropočítače a druhý paralelní výstup 202 mikropočítače lze použít integrované programovatelné paralelní vstupy - výstupy s kapacitou 24 bitů. Z toho je 16 bitů je využito pro zadání hraničních adres pracovní oblasti programu, další 3 bity určují typ porovnání: menší, rovno, větší. Další 3 bity určují zda má přerušení nastat při zápisu, čtení nebo skoku. Poslední 2 bity a to pouze u prvního paralelního výstupu 102 mikropočítače řídí logickou kombinaci podmínek součet - součin. Zapojení umožňuje programově volit všechny kombinace dovedených funkcí, avšak jen některé mají smysl.

Příklady programování různých způsobů činnosti:

1. Program má určenou svou pracovní zónu a při pokusu o zápis mimo ni nastane přerušeni,

číst může z celé paměti a volat podprogramy z celé paměti:

1. adresa - horní adresa dovolené oblasti

2. adresa - dolní adresa dovolené oblasti

otevřeno třetí součinnové hradlo 105 prvního kanálu - logická funkce větší

otevřeno první součinnové hradlo 203 druhého kanálu - logická funkce menší

otevřen obvod 3 logického součtu podmínek

otevřeno čtvrté součinnové hradlo 107 prvního kanálu a čtvrté součinnové hradlo 207 druhého kanálu - funkce zápis.

Přerušeni nastane při zápisu, je-li skutečná adresa větší než horní adresa dovolené oblasti nebo menší než dolní adresa dovolené oblasti.

2. Program nesmí číst, zapisovat ani volat podprogramy mimo svou pracovní zónu:

Naprogramování bude stejné jako v příkladě 1., navíc budou otevřena i páté součinnové hradlo 108 prvního kanálu, páté součinnové hradlo 208 druhého kanálu - funkce čtení dat, šesté součinnové hradlo 109 prvního kanálu a šesté součinnové hradlo 209 druhého kanálu - funkce čtení instrukce.

3. Program má k dispozici celou paměť, nesmí však zapisovat do zakázané oblasti:

První adresa - horní adresa zakázané oblasti

druhá adresa - dolní adresa zakázané oblasti

otevřeno první součinnové hradlo 103 prvního kanálu - funkce menší a druhé součinnové hradlo

104 prvního kanálu - funkce rovno, otevřeno druhé součinnové hradlo 204 druhého kanálu -

funkce rovno a třetí součinnové hradlo 205 druhého kanálu - funkce větší

otevřen obvod 4 logického součinu podmínek

otevřeno čtvrté součinnové hradlo 107 prvního kanálu a čtvrté součinnové hradlo 207 druhého kanálu.

Přerušeni nastane při zápisu, je-li skutečná adresa menší nebo rovna horní adrese zakázané oblasti a současně větší nebo rovna dolní adrese zakázané oblasti paměti.

4. Zapojení je možno využít i pro krokování programu bez nutnosti zásahu do strojového kódu.

Podobně je možno blokovat i volání podprogramů a skoky do určité oblasti.

Zapojení pro ochranu paměti mikropočítače je možno využít ve vývojových mikropočítačových systémech pro usnadnění ladění programů a pro zvýšení spolehlivosti mikropočítačových systémů pro řízení v reálném čase.

PŘEDMĚT VYNÁLEZU

Zapojení pro ochranu paměti mikropočítače, vyznačující se tím, že první paralelní výstup /102/ mikropočítače je přes první logický komparátor /101/ a druhý paralelní výstup /202/ mikropočítače je přes druhý logický komparátor /201/ zapojen na adresní sběrnici /1/ mikropočítače, když jednotlivé výstupy prvního paralelního výstupu /102/ mikropočítače jsou zapojeny na první součinnové hradlo /103/ prvního kanálu, druhé součinnové hradlo /104/ prvního kanálu, třetí součinnové hradlo /105/ prvního kanálu, čtvrté součinnové hradlo /107/ prvního kanálu, páté součinnové hradlo /108/ prvního kanálu, šesté součinnové hradlo /109/ prvního kanálu, obvod /3/ logického součtu podmínek a obvod /4/ logického součinu podmínek a jednotlivé výstupy z druhého paralelního výstupu /202/ mikropočítače jsou zapojeny na první součinnové hradlo /203/ druhého kanálu, druhé součinnové hradlo /204/ druhého kanálu, třetí součinnové hradlo /205/ druhého kanálu, čtvrté součinnové hradlo /207/ druhého kanálu,

páté součinnové hradlo /208/ druhého kanálu a šesté součinnové hradlo /209/ druhého kanálu, přičemž jednotlivé výstupy prvního logického komparátoru /101/ jsou připojeny na druhé vstupy prvního součinnového hradla /103/ prvního kanálu, druhého součinnového hradla /104/ prvního kanálu a třetího součinnového hradla /105/ prvního kanálu a výstup prvního součinnového hradla /103/ prvního kanálu je zapojen na první vstup prvního součtového hradla /106/ prvního kanálu, na jehož druhý vstup je zapojen výstup druhého součinnového hradla /104/ prvního kanálu a na jehož třetí vstup je zapojen výstup třetího součinnového hradla /105/ prvního kanálu a jehož výstup je zapojen na druhé vstupy čtvrtého součinnového hradla /107/ prvního kanálu, pátého součinnového hradla /108/ prvního kanálu a šestého součinnového hradla /109/ prvního kanálu a výstup čtvrtého součinnového hradla /107/ prvního kanálu je připojen na první vstup druhého součtového hradla /110/ prvního kanálu, na jehož druhý vstup je připojen výstup pátého součinnového hradla /108/ prvního kanálu a na jehož třetí vstup je připojen výstup šestého součinnového hradla /109/ prvního kanálu a výstup druhého součtového hradla /110/ prvního kanálu je zapojen na druhé vstupy obvodu /3/ logického součtu podmínek a obvodu /4/ logického součinu podmínek, jejichž výstupy jsou zapojeny na jednotlivé vstupy výstupního součtového hradla /5/, zapojeného na přerušovací systém /6/ mikropočítače, přičemž jednotlivé výstupy druhého logického komparátoru /201/ jsou zapojeny na druhé vstupy prvního součinnového hradla /203/ druhého kanálu, druhého součinnového hradla /204/ druhého kanálu a třetího součinnového hradla /205/ druhého kanálu a výstup prvního součinnového hradla /203/ druhého kanálu je zapojen na první vstup prvního součtového hradla /206/ druhého kanálu, na jehož druhý vstup je zapojen výstup druhého součinnového hradla /204/ druhého kanálu a na jehož třetí vstup je zapojen výstup třetího součinnového hradla /205/ druhého kanálu a jehož výstup je zapojen na druhé vstupy čtvrtého součinnového hradla /207/ druhého kanálu, pátého součinnového hradla /208/ druhého kanálu a šestého součinnového hradla /209/ druhého kanálu a výstup čtvrtého součinnového hradla /207/ druhého kanálu je zapojen na první vstup druhého součtového hradla /210/ druhého kanálu, na jehož druhý vstup je zapojen výstup pátého součinnového hradla /208/ druhého kanálu a na jehož třetí vstup je zapojen výstup šestého součinnového hradla /209/ druhého kanálu a výstup druhého součtového hradla /210/ druhého kanálu je zapojen na třetí vstupy obvodu /3/ logického součtu podmínek a obvodu /4/ logického součinu podmínek, když jednotlivé výstupy z řídicí sběrnice /2/ mikropočítače jsou zapojeny na třetí vstupy čtvrtého součinnového hradla /107/ prvního kanálu, pátého součinnového hradla /108/ prvního kanálu, šestého součinnového hradla /109/ prvního kanálu, čtvrtého součinnového hradla /207/ druhého kanálu, pátého součinnového hradla /208/ druhého kanálu a šestého součinnového hradla /209/ druhého kanálu.

