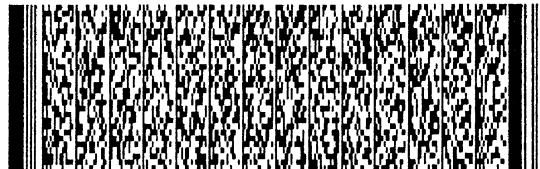


申請日期： 92.3.24	IPC分類
申請案號： 92106464	1-1016218232

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	形成於多厚度埋置氧化層上之半導體元件，及製造此半導體元件之方法
	英文	SEMICONDUCTOR DEVICE FORMED OVER A MULTIPLE THICKNESS BURIED OXIDE LAYER, AND METHODS OF MAKING SAME
二、 發明人 (共3人)	姓名 (中文)	1. 馬克·B·佛賽勒 2. 德瑞克·J·瑞斯特斯
	姓名 (英文)	1. MARK B. FUSELIER 2. DERICK J. WRISTERS
	國籍 (中英文)	1. 美國 US 2. 美國 US
	住居所 (中文)	1. 美國·德州78741·奧斯汀·貝瑞爾彎12232號 2. 美國·德州78738·蜜蜂谷·歐發蘭13710號
	住居所 (英文)	1. 12232 Barrel Bend, Austin, TX 78741, U.S.A. 2. 13710 Overland Pass, Bee Caves, TX 78738, U.S.A.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 高級微裝置公司
	名稱或 姓名 (英文)	1. ADVANCED MICRO DEVICES, INC.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國·加州94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱3453號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.
	代表人 (中文)	1. 保羅·S·德瑞克
	代表人 (英文)	1. PAUL S. DRAKE



I286821

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 魏安迪 · C
	姓 名 (英文)	3. ANDY C. WEI
	國 籍 (中英文)	3. 美國 US
	住居所 (中 文)	3. 德國 · 羅地布 / 德斯登01445 · 尼沙史翠絲55 · 史地珍堡 · 派克歐特爾 · 德斯登 · 羅地布
	住居所 (英 文)	3. Steigenberger Parkhotel Dresden-Radebeul, Nizzastrasse 55, 01445 Radebeul/Dresden, Germany
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2002/03/28

10/109,096

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

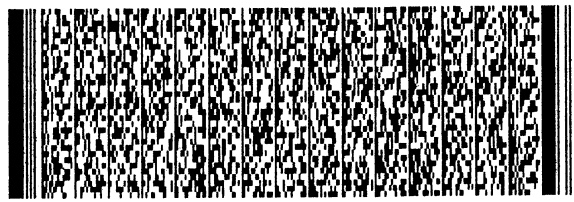
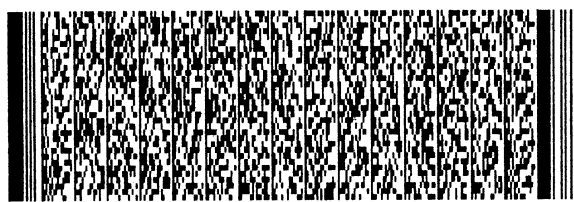
【發明所屬之技術領域】

本發明係大致有關半導體製造技術，尤係有關在多厚度埋入氧化物層上形成的半導體裝置及其製造方法。

【先前技術】

在半導體工業中一直有一般驅策力來提高諸如微處理器、記憶裝置等的積體電路裝置之工作速度。客戶對於可在愈來愈快的速度下工作的電腦及電子裝置之需求更強化了此驅策力。此種對更快的速度之需求已使得諸如電晶體等的半導體裝置之尺寸持續地縮小。亦即，一典型的場效電晶體 (Field Effect Transistor; 簡稱 FET) 中諸如通道長度、接面深度、及閘極絕緣厚度等的許多組成部分之尺寸都縮小了。例如，所有其他的條件都相同時，電晶體的通道長度愈小，則電晶體的工作速度將愈快。因此，一直有股驅策力來縮小一典型電晶體的組成部分之尺寸或尺度，以便提高該電晶體及設有此種電晶體的積體電路裝置之整體速度。

當電晶體的尺寸持續地微縮以滿足先進技術的需求時，為了裝置的可靠性也要求電源供應電壓也隨之降低。因此，每一接續的技術世代通常也伴隨著電晶體工作電壓的降低。我們知道，在絕緣層上覆矽 (Silicon-On-Insulator; 簡稱 SOI) 基材上製造的電晶體裝置在較低工作電壓下比在基體矽 (bulk silicon) 基材中製造的類似尺寸的電晶體有較佳之性能。SOI 裝置在較低工作電壓下的較佳之性能係與 SOI 裝置可得到的接面電容值比類似尺寸

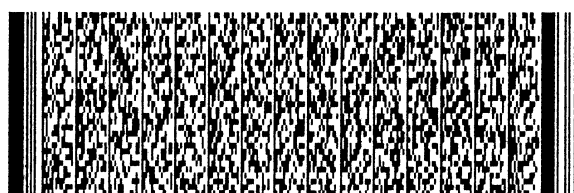
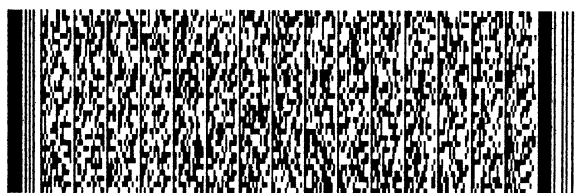


五、發明說明 (2)

的基體矽裝置可得到的接面電容值低有關。SOI裝置中之埋入氧化物層將主動電晶體區與基體矽基材隔離，因而降低了接面電容值。

在SOI基材中製造的電晶體比在基體矽基材中製造的電晶體有數項性能上的優點。例如，在SOI基材中製造的互補金屬氧化物半導體 (Complementary Metal Oxide Semiconductor; 簡稱 CMOS) 裝置較不會抑制被稱為鎖存 (latch-up) 的電容耦合。此外，在SOI基材中製造的電晶體一般而言具有較大的驅動電流及較高的跨導值。此外，次微米SOI電晶體比製造成類似尺寸的基體矽電晶體更能避免短通道效應。

雖然SOI裝置比類似尺寸的基體矽裝置有更佳的性能，但是SOI裝置也有所有的薄膜電晶體共通的某些性能問題。例如，在一薄膜主動層中製造一SOI電晶體的各主動元件。將薄膜電晶體微縮到較小的尺寸時，需要減少主動層的厚度。然而，當主動層的厚度減少時，主動層的電阻值相應地增加。因而對電晶體的性能可能有不利的影響，這是因為在具有一較高電阻值的導電體中製造各電晶體元件時，將減小電晶體的驅動電流。此外，當一SOI裝置的主動層之厚度持續減少時，該裝置的臨限電壓 (V_T) 將會改變。總之，當主動層的厚度減少時，該裝置的臨限電壓變得不穩定。因此，在諸如微處理器、記憶裝置、及邏輯裝置等的現代積體電路裝置中使用此種不穩定的裝置將可能變得相當困難。



五、發明說明 (3)

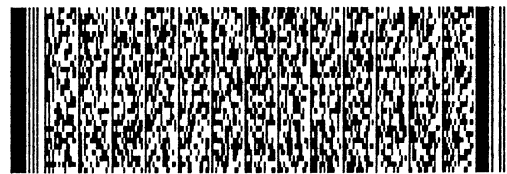
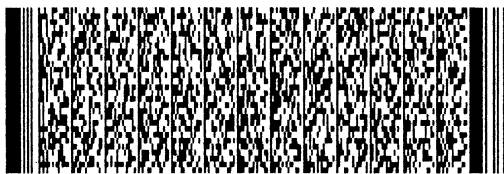
本發明係有關可解決或至少減輕上述該等問題的全部或部分之一種裝置及數種方法。

【發明內容】

本發明係大致有關在一多厚度埋入氧化物層上形成的一種半導體裝置及其數種製造方法。在一實施例中，該裝置包含一基體基材、在該基體基材之上形成的一多厚度埋入氧化物層、以及在該多厚度埋入氧化物層之上形成的一主動層，係在該多厚度埋入氧化物層之上的該主動層中形成該半導體裝置。在一更特定的實施例中，該多厚度埋入氧化物層進一步包含位於兩個第二部分之間之第一部分，該第一部分之厚度小於該等第二部分之厚度。

在一實施例中，該方法包含下列步驟：在一矽基材上執行第一氧離子植入製程；在該第一氧離子植入製程之後，在該基材之上形成一罩幕層；穿過該罩幕層而在該基材上執行第二氧離子植入製程；以及在該基材上執行至少一次加熱製程，以便在該基材中形成一多厚度埋入氧化物層。在另一實施例中，該方法包含下列步驟：在該基材之上形成一罩幕層；穿過該罩幕層而在矽基材上執行第一氧離子植入製程；去除該罩幕層；在去除該罩幕層之後，在該基材上執行第二氧離子植入製程；以及在該基材上執行至少一次加熱製程，以便在該基材中形成一多厚度埋入氧化物層。

在又一實施例中，該方法包含下列步驟：在第一基材之上形成一層二氧化矽層；在該二氧化矽層的一部分之上



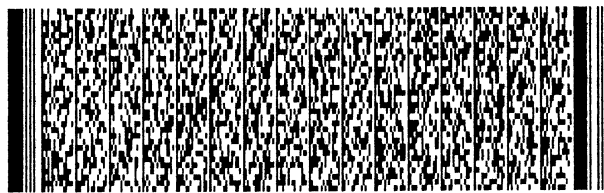
五、發明說明 (4)

形成一單幕層；執行至少一次蝕刻製程，以便在鄰接該單幕層的每一面的該基材中蝕刻一凹處；以及去除該單幕層。該方法進一步包含下列步驟：執行氧化製程及沈積製程中之至少其中一種製程，以便至少在該等凹處中形成二氧化矽；至少對該等凹處中形成的該二氧化矽執行至少一次化學機械研磨作業；將第二基材至少接合到該等凹處中形成的該二氧化矽；以及去除該第二基材的一部分。

【實施方式】

下文中將說明本發明之實施例。為了顧及說明的清晰，本說明書中將不說明一真實實施例之所有特徵。當然，我們當了解，於開發任何此類真實的實施例時，必須作出許多與實施例相關的決定，以便達到開發者的特定目標，例如符合與系統相關的及與業務相關的限制條件，而這些限制條件將隨著不同的實施例而變。此外，我們當了解，此種開發工作可能是複雜且耗時的，但對已從本發明的揭示事項獲益的擁有此項技藝的一般知識者而言，仍然將是一種例行的工作。

現在將參照各附圖而說明本發明。雖然該等圖式中將一半導體裝置的各區域及結構示出為具有極精確且明顯的組態及輪廓，但是熟習此項技術者當可了解，實際上，這些區域及結構並非如該等圖式中所示出的這般精確。此外，該等圖式中所示出的各線路結構及摻雜區的相對尺寸可能比所製造裝置上的這些線路結構或摻雜區之尺寸有所放大或縮小。然而，加入該等附圖，以便描述並解說本發

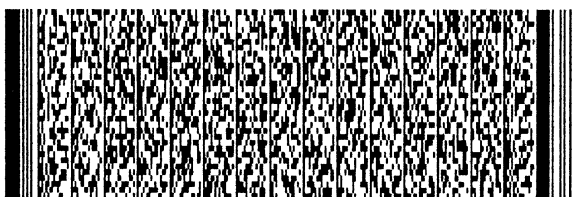


五、發明說明 (5)

明之各例子。應將本說明書所用的字及辭彙了解及詮釋為具有與熟習相關技術者對這些字及辭彙所了解的一致之意義。不會因持續地在本說明書中使用一術語或辭彙，即意味著該術語或辭彙有特殊的定義（亦即與熟習此項技術者所了解的一般及慣常的意義不同之定義）。如果想要使一術語或辭彙有一特殊的意義（亦即與熟習此項技術者所了解的意義不同之意義），則會將在本說明書中以一種直接且毫不含糊地提供該術語或辭彙的特殊定義之下定義之方式明確地述及該特殊的定義。

一般而言，本發明係有關在具有不同厚度的若干部分的一埋入氧化物層上形成的一種半導體裝置及其數種製造方法。第1圖是根據本發明一實施例的一半導體裝置(10)之橫斷面圖。雖然將在形成一例示NMOS電晶體的環境中揭示本發明，但是熟習此項技術者在完整閱讀了本申請案之後將可了解：本發明並不受此種限制。更具體而言，可將本發明應用於諸如NMOS、PMOS、及CMOS等的各種技術，且可將本發明應用於諸如記憶裝置、微處理器、及邏輯裝置等各種不同類型的裝置。

如第1圖中所示，係在由基體基材(12)、埋入氧化物層(BOX)(20)、及主動層(21)構成的絕緣層上覆矽(SOI)型結構之上形成該半導體裝置(10)。該埋入氧化物層(20)具有不同的厚度，如圖所示之較厚的埋入氧化物部分(20A)、及鄰接之較薄的埋入氧化物部分(20B)。當然，第1圖只示出一整片基材或晶圓的一小部分。因此，埋入氧

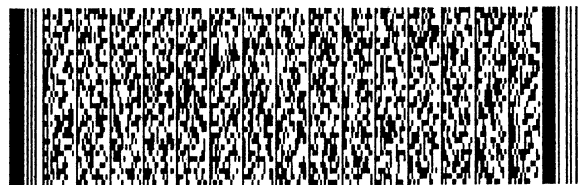
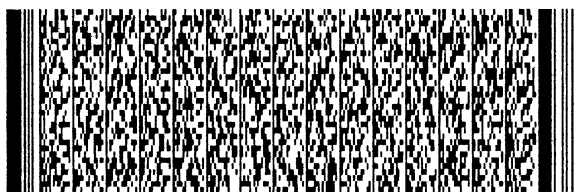


五、發明說明 (6)

化物層 (20) 將有散佈在整片晶圓上的數千個較薄部分 (20B)。可以將於本申請案後文中進一步詳述的各種技術形成第 1 圖所示之 SOI 結構。

在形成一 NMOS 裝置的該實施例中，可以諸如硼或二氟化硼等的 P 型摻雜劑來摻雜基體基材 (12)。埋入氧化物層 (20) 的較厚部分 (20A) 可有一厚度，而該厚度在一實施例中係在大約 120 奈米至 180 奈米 (1200 埃至 1800 埃) 的範圍間變化，而埋入氧化物層 (20) 的較薄部分 (20B) 之厚度可在大約 30 奈米至 50 奈米 (300 埃至 500 埃) 的範圍間變化。主動層 (21) 可以有在大約 5 奈米至 30 奈米 (50 埃至 300 埃) 的範圍間變化之厚度，且在 NMOS 裝置的情形中，可以 P 型摻雜劑材料摻雜該主動層 (21)。

半導體裝置 (10) 進一步包含閘極絕緣層 (14)、閘電極 (16)、若干側壁間隔物 (19)、以及在主動層 (21) 中形成的複數個源極／汲極區 (18)。在主動層 (21) 中形成若干溝槽隔離區 (17)，以便使半導體裝置 (10) 在電氣上與其他的半導體裝置 (圖中未示出) 隔離。第 1 圖中亦示出在一層諸如二氧化矽等的絕緣材料 (29) 中形成之複數個導電接點 (30)。該等導電接點 (30) 提供了通到裝置 (10) 的該等源極／汲極區 (18) 之必要電氣連線。第 1 圖中亦示出一接點 (32)，係將該接點 (32) 用來產生通到基材 (12) 之電氣連線。請注意，埋入氧化物層 (20) 的較薄部分 (20B) 係位於半導體裝置 (10) 的通道區 (23) 之下。例如，在所示實施例中，該較薄部分 (20B) 係大致對準半導體裝置 (10) 的閘電

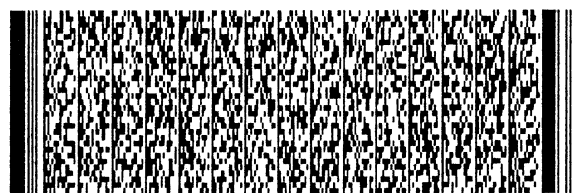
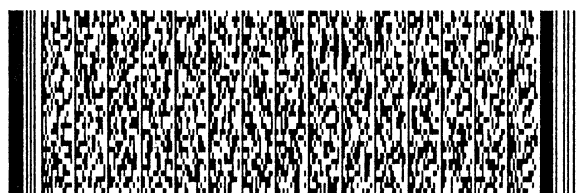


五、發明說明 (7)

極 (16)。

於形成半導體裝置 (10) 及其諸如閘電極 (16)、閘極絕緣層 (14)、源極／汲極區 (18)、側壁間隔物 (19)、溝槽隔離區 (17)、及接點 (30) 等的各組成部分時，可利用形成此類組成部分的傳統技術形成所有該等組成部分。例如，可由二氧化矽構成閘極絕緣層 (14)，可由摻雜多晶矽構成閘電極 (16)，且可執行一較低劑量的延伸植入製程，然後執行一較高劑量的源極／汲極植入製程，而形成該等源極／汲極區 (18)。因此，不應將用來形成第 1 圖所示半導體裝置 (10) 的各組成部分之特定技術及材料視為對本發明的一種限制，除非在最後的申請專利範圍中明確地述及此種限制。

可由各種技術形成第 1 圖所示之該多厚度埋入氧化物層 (20)。第 2A 至 2D 圖示出採用係為形成埋入氧化物層 (20) 的製程的一部分之氧植入技術之各種方法。例如，如第 2A 圖所示，可對一晶圓 (40) 執行如箭頭 (42) 所示之一起始氧離子植入製程，以便在基材 (40) 中形成較薄的氧植入層 (48)。在一實施例中，可在範圍大約為 10 千電子伏特至 40 千電子伏特 (KeV) 的能階下，利用範圍大約為 10^{17} 至 10^{18} 離子／平方厘米的一氧離子劑量執行該氧離子植入製程 (42)。因此，氧植入層 (48) 可以有大約 20 奈米至 70 奈米 (200 埃至 700 埃) 的厚度，且該氧植入層 (48) 之上表面 (48A) 可位於基材 (40) 的表面 (40A) 之下大約 10 奈米至 70 奈米 (100 埃至 700 埃)。如有需要，可在諸如 400°C 至 700°C 的



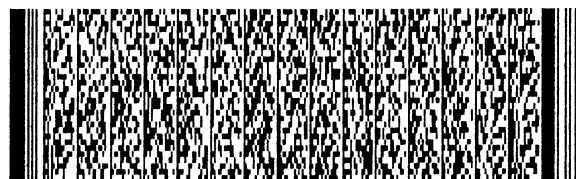
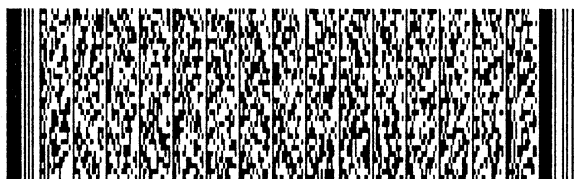
五、發明說明 (8)

高溫下執行該氧離子植入製程。

然後，如第 2B圖中所示，係在基材 (40) 之上形成一罩幕層 (44)。該罩幕層 (44) 可採用諸如光阻等的各種材料。在某些例子中，罩幕層 (44) 實際上可成為半導體裝置 (10) 成品的閘電極 (16)。在形成罩幕層 (44) 之後，執行如箭頭 (46) 所示之第二氧離子植入製程，以便在基材 (40) 中形成較厚的氧植入層 (49)。在形成該半導體裝置 (10) 的製程期間之某一稍後時點上，將在範圍約為 950°C 至 1150°C 的溫度下執行一次或多次退火製程，以便將氧植入層 (48)、(49) 轉變為二氧化矽，因而形成該多厚度埋入氧化物層 (20) 之部分 (20A)、(20B)。可在大約為 30KeV 至 150KeV 的能階下，利用大約為 10^{17} 至 10^{18} 離子 / 平方厘米的摻雜劑劑量執行該第二植入製程 (46)。

第 2C 及 2D 圖示出係按照不同的順序執行離子植入製程 (42) 及 (46) 之替代實施例。在該實施例中，開始時係在基材 (40) 之上形成罩幕層 (44)。然後，執行氧離子植入製程 (46)，以便在基材 (40) 中形成較厚的氧植入層 (49)。然後，去除罩幕層 (44)，並執行氧離子植入製程 (42)，以便形成較薄的氧植入層 (48)。如前文所述，然後可執行一次或多次退火製程，以便將氧植入層 (48)、(49) 轉變為由第 1 圖所示的較厚部分 (20A) 及較薄部分 (20B) 構成之埋入氧化物層 (20)。

第 3A 至 3E 圖示出用來形成第 1 圖所示的多厚度埋入氧化物層 (20) 之晶圓接合技術。如第 3A 圖中所示，係執行一

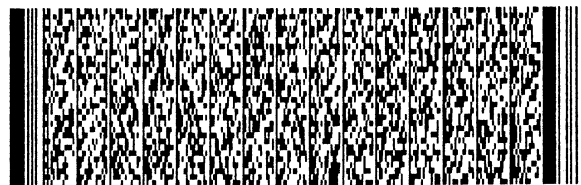
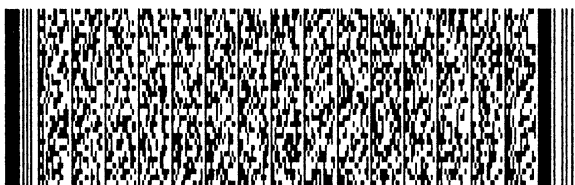


五、發明說明 (9)

傳統的氧化製程，以便在矽晶圓 (50) 上形成一較薄的二氧化矽層 (52)。該二氧化矽層 (52) 可以有範圍約為 30 奈米至 70 奈米 (300 埃至 700 埃) 的厚度。然後，如第 3B 圖中所示，在二氧化矽層 (52) 之上形成一單幕層 (54)，且執行蝕刻製程，以便在晶圓 (50) 中形成若干凹處。在一實施例中，該等凹處 (55) 可以有大約為 10 奈米至 50 奈米 (100 埃至 500 埃) 的深度，且該深度可隨著第 1 圖所示多厚度埋入氧化物層 (20) 的較厚部分 (20A) 之所需最終厚度而變。

然後，去除單幕層 (54)，且利用第二氧化製程或沈積製程在晶圓 (50) 的該等凹處 (55) 中形成二氧化矽。然後，執行化學機械研磨作業，以便將該二氧化矽的厚度減少至所需的尺寸。這些製程將形成第 3C 圖所示之階梯狀氧化物層 (56)。然後，如第 3D 圖中所示，採用傳統的接合技術將第二晶圓 (58) 接合到該階梯狀氧化物層 (56)。然後可採用傳統的 "智慧型切割" ("smart cut") 製程來完成所需 SOI 結構的形成。更具體而言，如第 3E 圖中所示，執行如箭頭 (60) 所示的氫植入製程，並去除晶圓 (58) 的大部分。然後對晶圓 (58) 的其餘部分之表面 (59) 執行化學機械研磨製程，以便形成所需的最終 SOI 結構，該最終 SOI 結構具有：由較厚部分 (20A) 及較薄部分 (20B) 構成的埋入氧化物層 (20)、以及在該埋入氧化物層 (20) 之上形成的主動層 (21)。

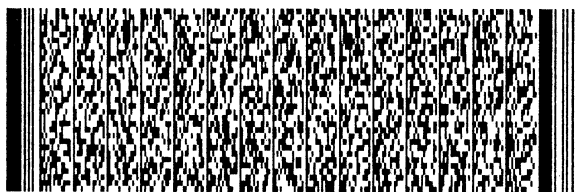
在本發明的又一實施例中，如第 4A 圖中所示，可在基體基材 (12) 中形成摻雜之後閘極區 (13)。在一實施例中，



五、發明說明 (10)

所形成的後閘極區 (13) 之各部分係在多厚度埋入氧化物層 (20) 之下。可以與用來摻雜半導體裝置 (10) 的通道區 (23) 的摻雜劑類型相同類型之摻雜劑材料來摻雜後閘極區 (13)。例如，對於一 NMOS 裝置而言，可以 P 型摻雜劑材料摻雜後閘極區 (13)。對於一 PMOS 裝置而言，可以 N 型摻雜劑材料摻雜後閘極區 (13)。當然，熟習此項技術者在完整參閱本申請案之後將可了解：可將本發明的各態樣應用於諸如第 1 圖所示半導體裝置 (10) 等的並未形成後閘極區 (13) 之半導體裝置中。可設有一接點 (31)，以便提供通到後閘極區 (13) 之電氣接點。

在形成後閘極區 (13) 之情形中，可執行單一或多次離子植入製程，而形成後閘極區 (13)。例如，在一 NMOS 裝置的例子中，可執行如第 4B 圖的箭頭 (70) 所示之一起始離子植入製程，以便在基材 (12) 中形成植入區 (72)。為了顧及圖式的清晰，在第 4B 至 4C 圖中係以粗短劃線示出多厚度埋入氧化物層 (20)。可在大約為 50KeV 至 80KeV 的能階下，利用大約為 10^{15} 至 10^{16} 離子 / 平方厘米的摻雜劑劑量之砷執行該起始植入製程 (70)。然後，如第 4C 圖所示，可執行如箭頭 (80) 所示之第二離子植入製程，以便在基材 (12) 中形成若干植入區 (82)。在一實施例中，可在大約為 50KeV 至 200 KeV 的能階下，利用大約為 10^{15} 至 10^{16} 離子 / 平方厘米的摻雜劑劑量水準之砷執行該植入製程 (80)。在執行了植入製程 (70)、(80) 之後，執行一次或多次退火製程，以便修補矽基材中損壞的晶格結構，並將植入的摻雜劑材料驅使到



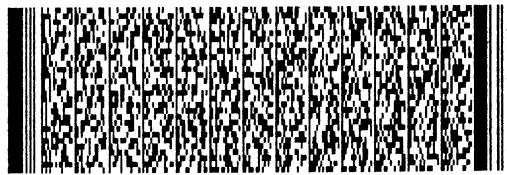
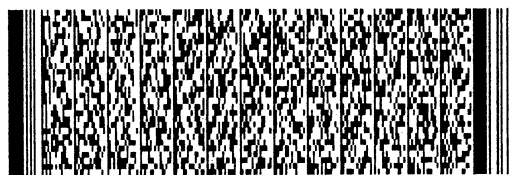
五、發明說明 (11)

第 4A圖所示後閘極區 (13)之最終位置。

本發明係大致有關在一多厚度埋入氧化物層上形成的一種半導體裝置及其數種製造方法。在一實施例中，該裝置包含基體基材、在該基體基材之上形成的一多厚度埋入氧化物層、以及在該多厚度埋入氧化物層之上形成的一主動層，係在該多厚度埋入氧化物層之上的該主動層中形成該半導體裝置。在進一步的實施例中，該多厚度埋入氧化物層進一步包含位於兩個第二部分間之第一部分，該第一部分之厚度小於該等第二部分之厚度。

在一實施例中，該方法包含下列步驟：在矽基材上執行第一氧離子植入製程；在該第一氧離子植入製程之後，在該基材之上形成一罩幕層；穿過該罩幕層而對該基材執行第二氧離子植入製程；以及在該基材上執行至少一次加熱製程，以便在該基材中形成一多厚度埋入氧化物層。在另一實施例中，該方法包含下列步驟：在該基材之上形成一罩幕層；穿過該罩幕層而在該矽基材上執行第一氧離子植入製程；去除該罩幕層；在去除該罩幕層之後，在該基材上執行第二氧離子植入製程；以及在該基材上執行至少一次加熱製程，以便在該基材中形成一多厚度埋入氧化物層。

在又一實施例中，該方法包含下列步驟：在第一基材之上形成一層二氧化矽層；在該二氧化矽層的一部分之上形成一罩幕層；執行至少一次蝕刻製程，以便在鄰接該罩幕層的每一面的該基材中蝕刻一凹處；以及去除該罩幕

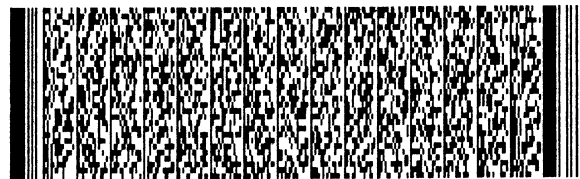
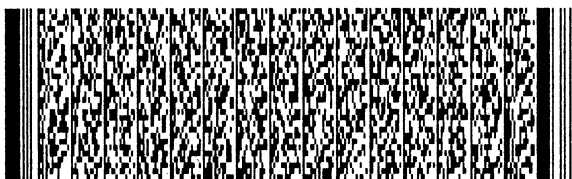


五、發明說明 (12)

層。該方法進一步包含下列步驟：執行氧化製程及沈積製程中之至少一種製程，以便至少在該等凹處中形成二氧化矽；至少對該等凹處中形成的該二氧化矽執行至少一次化學機械研磨作業；將第二基材至少接合到該等凹處中形成的該二氧化矽；以及去除該第二基材的一部分。

雖然本發明易於作出各種修改及替代形式，但是該等圖式中係以舉例方式示出本發明的一些特定實施例，且已在本文中說明了這些特定實施例。然而，我們當了解，本文對這些特定實施例的說明之用意並非將本發明限制在所揭示的該等特定形式，相反地，本發明將涵蓋最後的申請專利範圍所界定的本發明的精神及範圍內之所有修改、等效物、及替代。

前文所揭示的該等特定實施例只是供舉例，這是因為熟習此項技藝者在參閱本發明的揭示事項之後，可易於以不同但等效之方式修改並實施本發明。例如，可按照不同的順序執行前文所述的該等製程步驟。此外，除了下文的申請專利範圍所述者之外，不得將本發明限制在本文所示的結構或設計之細節。因此，顯然可改變或修改前文所揭示的該等特定實施例，且將把所有此類的變化視為在本發明的範圍及精神內。因此，本發明所尋求的保護係述於下文的申請專利範圍。



圖式簡單說明

【圖式簡單說明】

若參照前文中之說明，並配合各附圖，將可了解本發明，在這些附圖中，相同的代號識別類似的元件，這些附圖有：

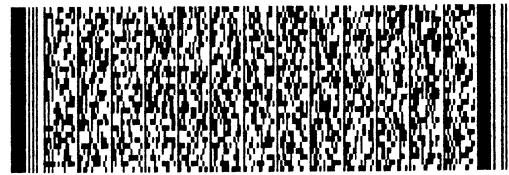
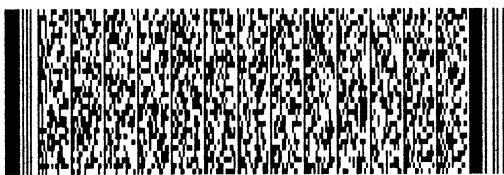
第1圖是根據本發明一實施例的例示半導體裝置之橫斷面圖；

第2A至2D圖是用來形成本發明的半導體裝置的一例示方法之各橫斷面圖；

第3A至3F圖示出用來形成本文所揭示的裝置的一方法之另一實施例；以及

第4A至4C圖示出根據本發明又一實施例的一例示半導體裝置之又一實施例。

10	半導體裝置	12	基體基材
13	後閘極區	14	閘極絕緣層
16	閘電極	17	溝槽隔離區
18	源極／汲極區	19	側壁間隔物
20	埋入氧化物層	20A	較厚的埋入氧化物部分
20B	較薄的埋入氧化物部分	21	主動層
23	通道區	29	絕緣材料
30	導電接點	31, 32	接點
40, 50	晶圓	40A, 59	表面
42	氧離子植入製程	44, 54	單幕層
46	第二氧離子植入製程	48	較薄的氧植入層



圖式簡單說明

48A	上表面	49	較厚的氧植入層
52	二氧化矽層	55	凹處
56	階梯狀氧化物層	58	第二晶圓
60	氫植入製程	70	起始離子植入製程
72, 82	植入區	80	第二離子植入製程

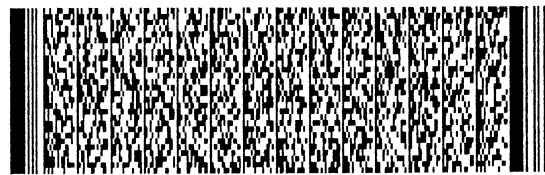


四、中文發明摘要 (發明名稱：形成於多厚度埋置氧化層上之半導體元件，及製造此半導體元件之方法)

本發明係大致有關在一多厚度埋入氧化物層上形成的一種半導體裝置及其數種製造方法。在一實施例中，該裝置包含一基體基材、在該基體基材之上形成的一多厚度埋入氧化物層、以及在該多厚度埋入氧化物層之上形成的一主動層，係在該多厚度埋入氧化物層之上的該主動層中形成該半導體裝置。在某些實施例中，該多厚度埋入氧化物層包含位於兩個第二部分間之第一部分，該第一部分之厚度小於該等第二部分之厚度。在一實施例中，該方法包含下列步驟：在一矽基材上執行第一氧離子植入製程；在該基材之上形成一單幕層；穿過該單幕層而在該基材上執行第二氧離子植入製程；以及在該基材上執行至少一次加熱製程，以便在該基材中形成一多厚度埋入氧化物層。在另一實施例中，該方法包含下列步驟：在一矽基材上執行第一氧離子植入製程；在該基材之上形成一單幕層；穿過該單幕層而在該基材上執行第二氧離子植入製程；以及在該

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE FORMED OVER A MULTIPLE THICKNESS BURIED OXIDE LAYER, AND METHODS OF MAKING SAME)

The present invention is generally directed to a semiconductor device formed over a multiple thickness buried oxide layer, and various methods of making same. In one illustrative embodiment, the device comprises a bulk substrate, a multiple thickness buried oxide layer formed above the bulk substrate, and an active layer formed above the multiple thickness buried oxide layer, the



四、中文發明摘要 (發明名稱：形成於多厚度埋置氧化層上之半導體元件，及製造此半導體元件之方法)

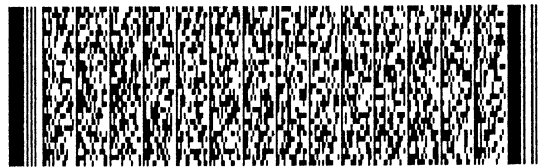
基材上執行至少一次加熱製程，以便在該基材中形成一多厚度埋入氧化物層。在又一實施例中，該方法包含下列步驟：使用晶圓接合技術形成一多厚度埋入氧化物層。

本案代表圖：第 1 圖

10 半導體裝置	12 基體基材	14 閘極絕緣層
16 閘電極	17 溝槽隔離區	18 源極／汲極區
19 側壁間隔物	20 埋入氧化物層	
20A 較厚的埋入氧化物部分	20B 較薄的埋入氧化物部分	
21 主動層	23 通道區	29 絕緣材料
30 導電接點	32 接點	

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE FORMED OVER A MULTIPLE THICKNESS BURIED OXIDE LAYER, AND METHODS OF MAKING SAME)

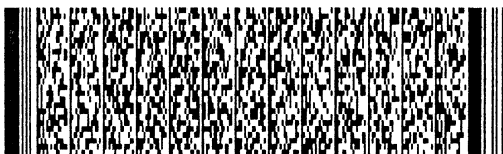
semiconductor device being formed in the active layer above the multiple thickness buried oxide layer. In some embodiments, the multiple thickness buried oxide layer is comprised of a first section positioned between two second sections, the first section having a thickness that is less than the thickness of the second sections. In one illustrative embodiment, the method comprises



四、中文發明摘要 (發明名稱：形成於多厚度埋置氧化層上之半導體元件，及製造此半導體元件之方法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE FORMED OVER A MULTIPLE THICKNESS BURIED OXIDE LAYER, AND METHODS OF MAKING SAME)

performing a first oxygen ion implant process on a silicon substrate, forming a masking layer above the substrate, performing a second oxygen ion implant process on the substrate through the masking layer, and performing at least one heating process on the substrate to form a multiple thickness buried oxide layer in the substrate. In another illustrative embodiment, the method



四、中文發明摘要 (發明名稱：形成於多厚度埋置氧化層上之半導體元件，及製造此半導體元件之方法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE FORMED OVER A MULTIPLE THICKNESS BURIED OXIDE LAYER, AND METHODS OF MAKING SAME)

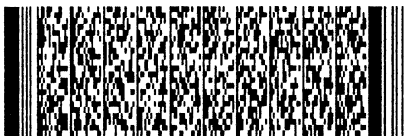
comprises performing a first oxygen ion implant process on a silicon substrate, forming a masking layer above the substrate, performing a second oxygen ion implant process on the substrate through the masking layer, and performing at least one heating process on the substrate to form a multiple thickness buried oxide layer in the substrate. In yet another illustrative embodiment,

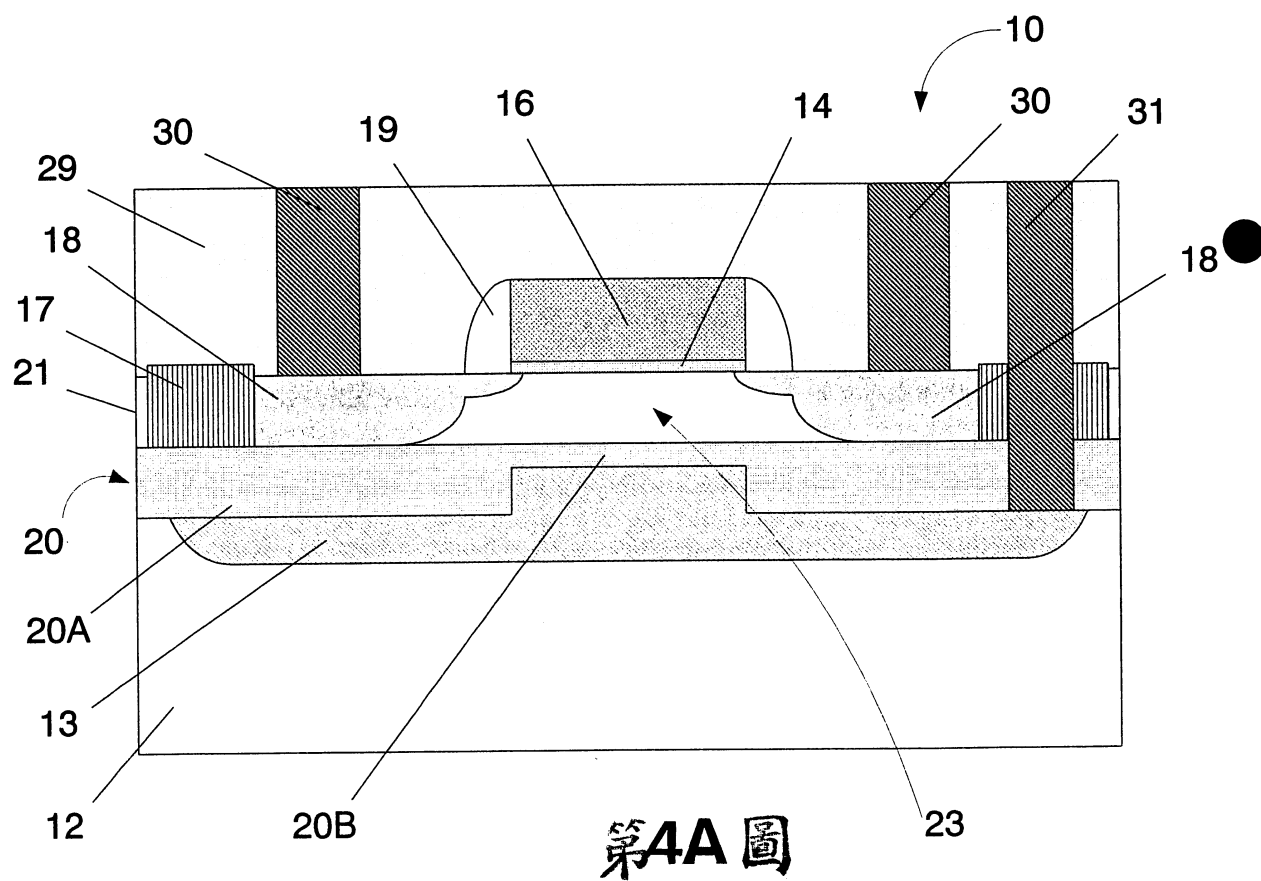
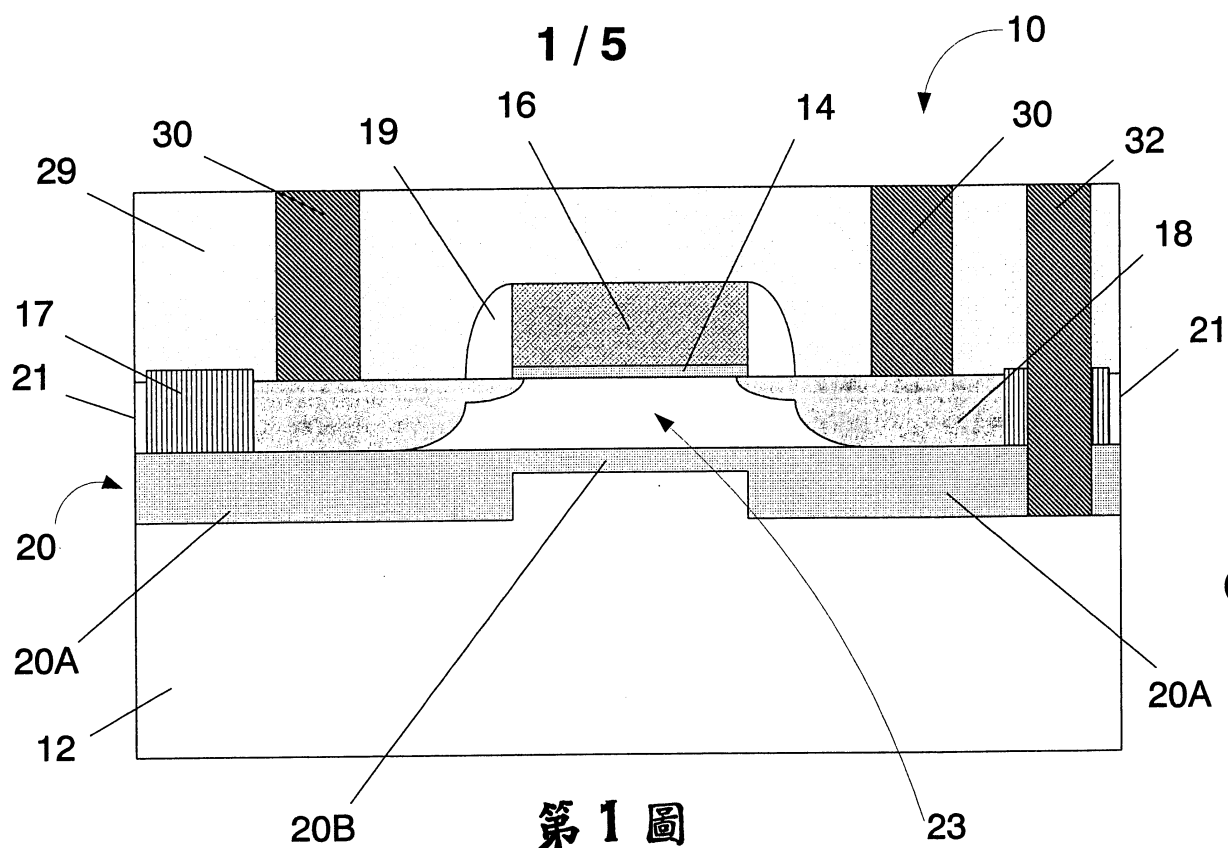


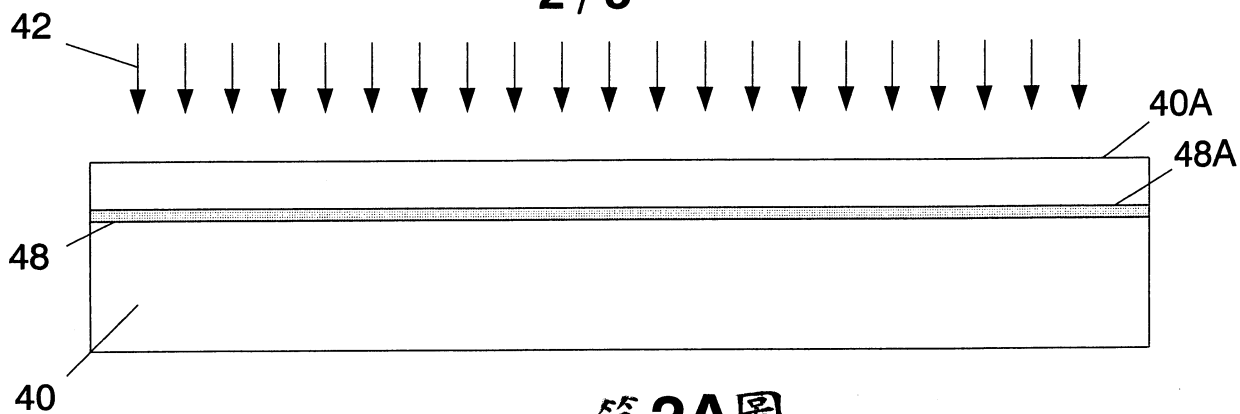
四、中文發明摘要 (發明名稱：形成於多厚度埋置氧化層上之半導體元件，及製造此半導體元件之方法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE FORMED OVER A MULTIPLE THICKNESS BURIED OXIDE LAYER, AND METHODS OF MAKING SAME)

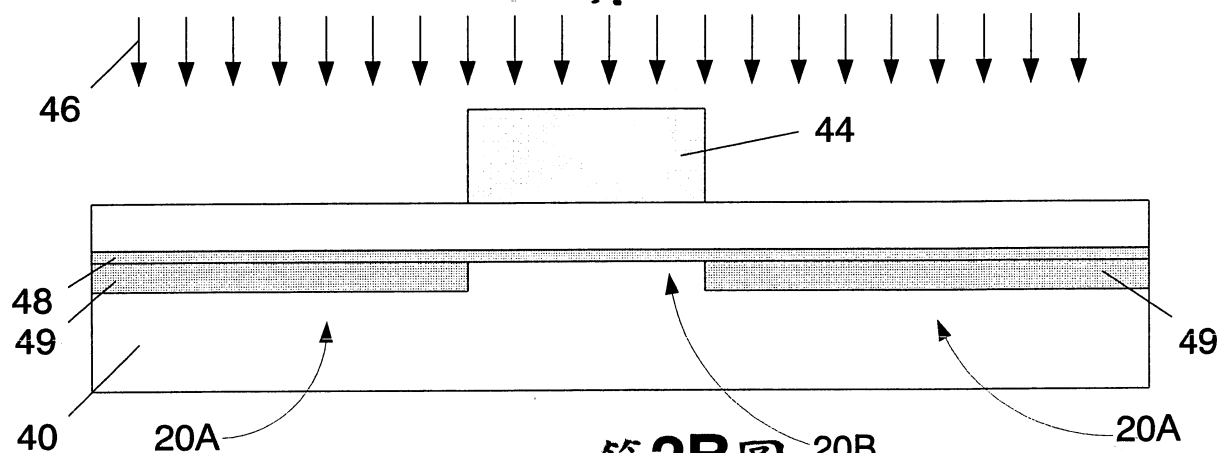
the method comprises forming, a multiple thickness buried oxide layer using a wafer bonding technique.



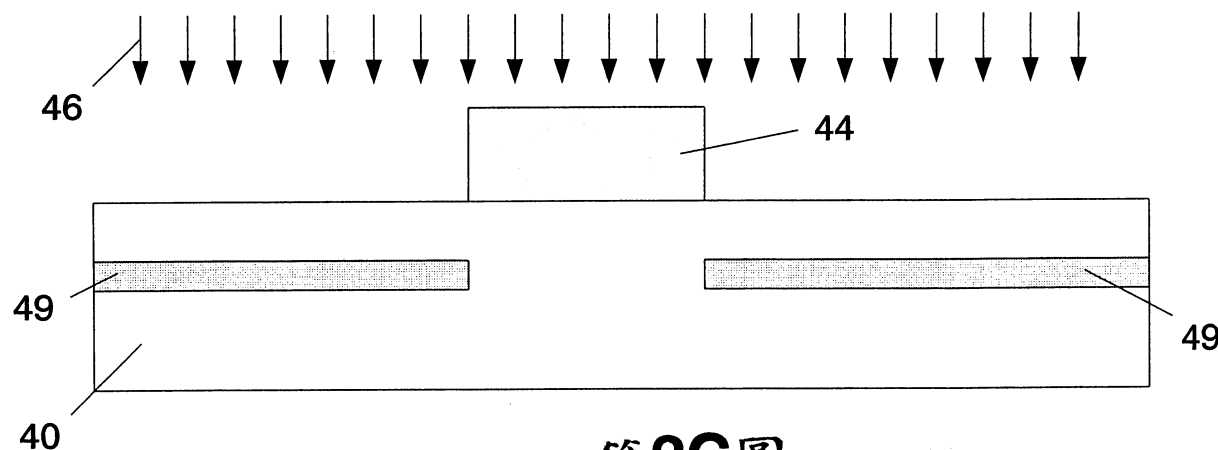




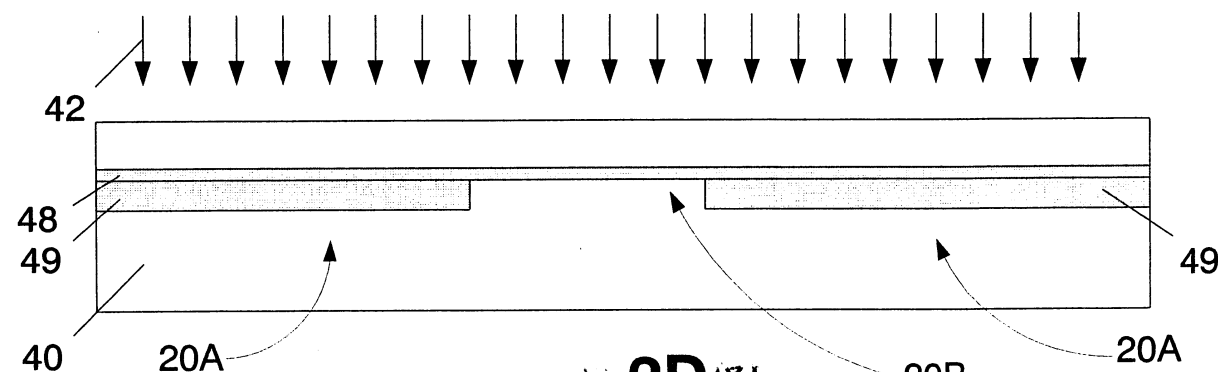
第2A圖



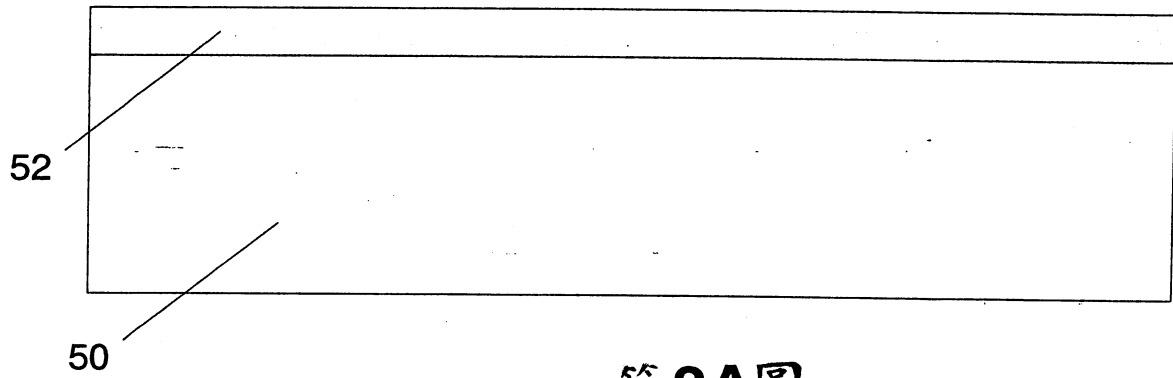
第2B圖



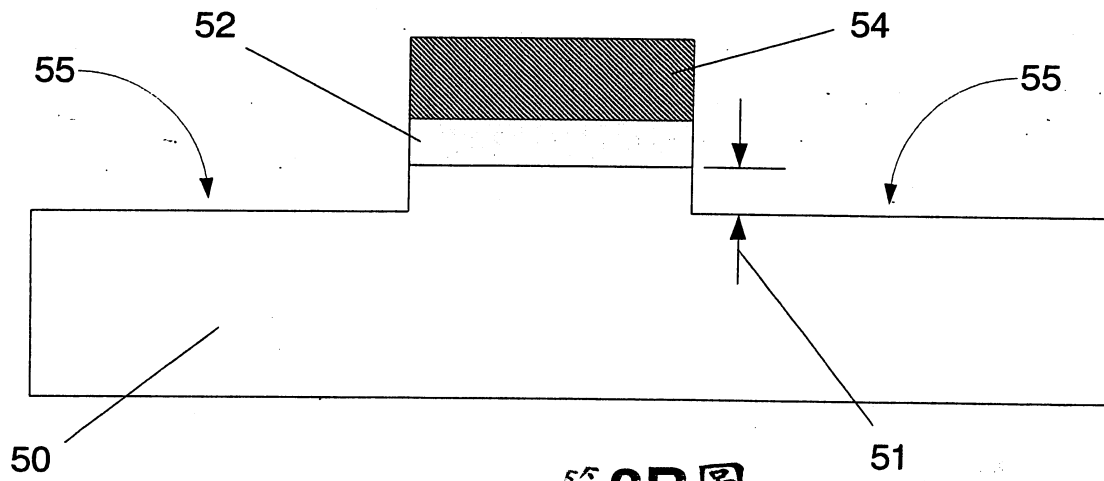
第2C圖



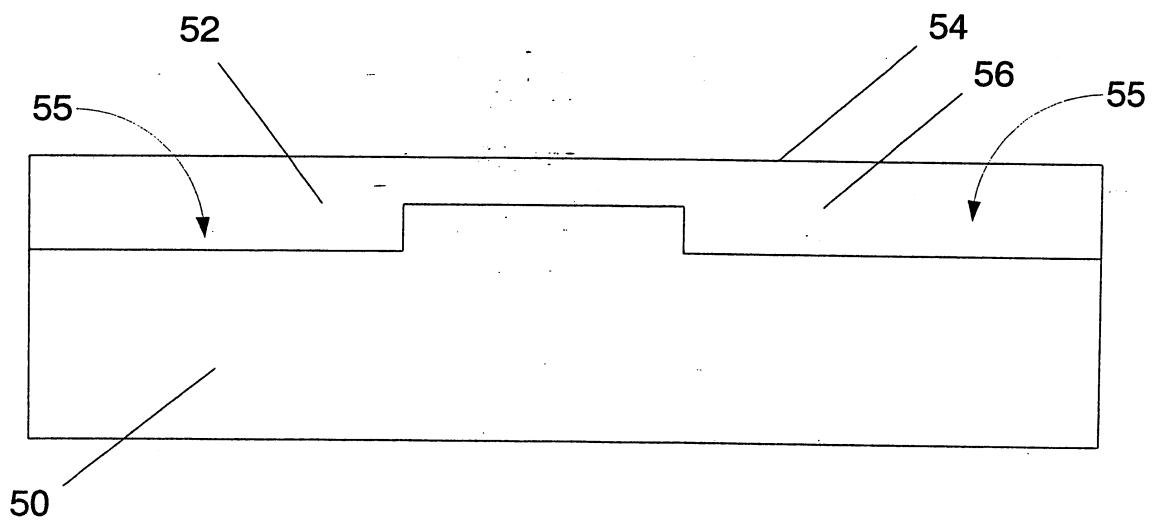
第2D圖



第3A圖



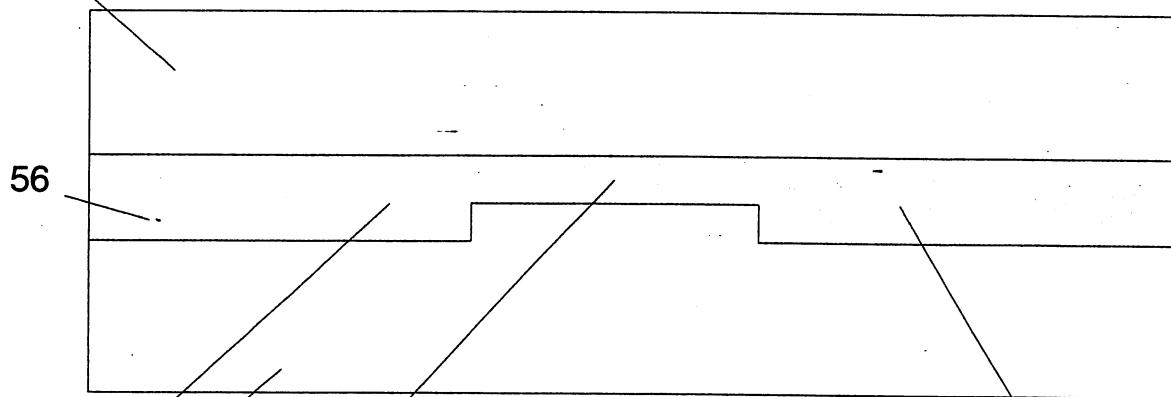
第3B圖



第3C圖

58

4 / 5



20A

50

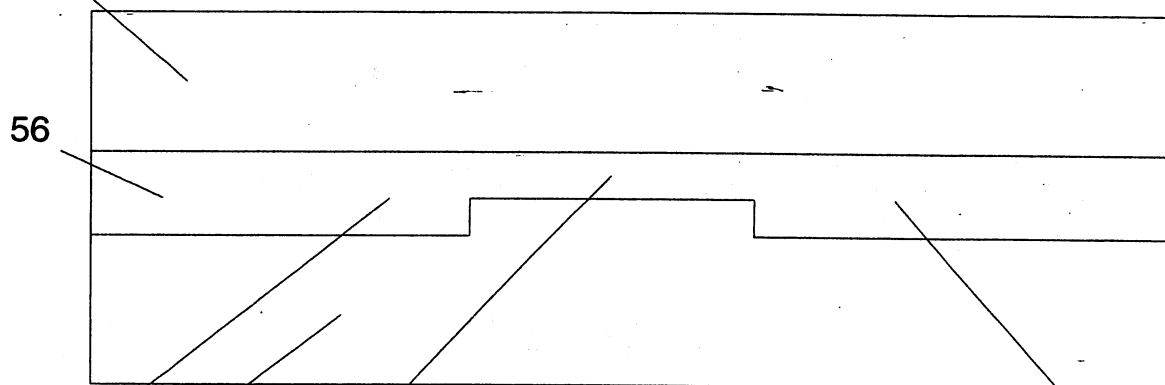
20B

20B

第3D圖

60

58



20A

50

20B

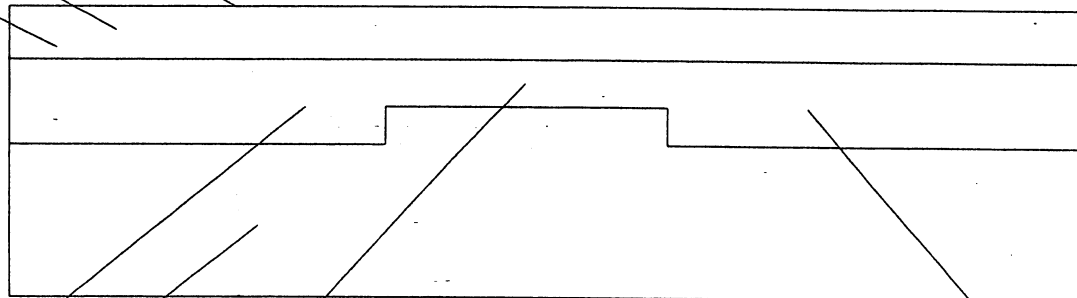
20B

第3E圖

58

59

21



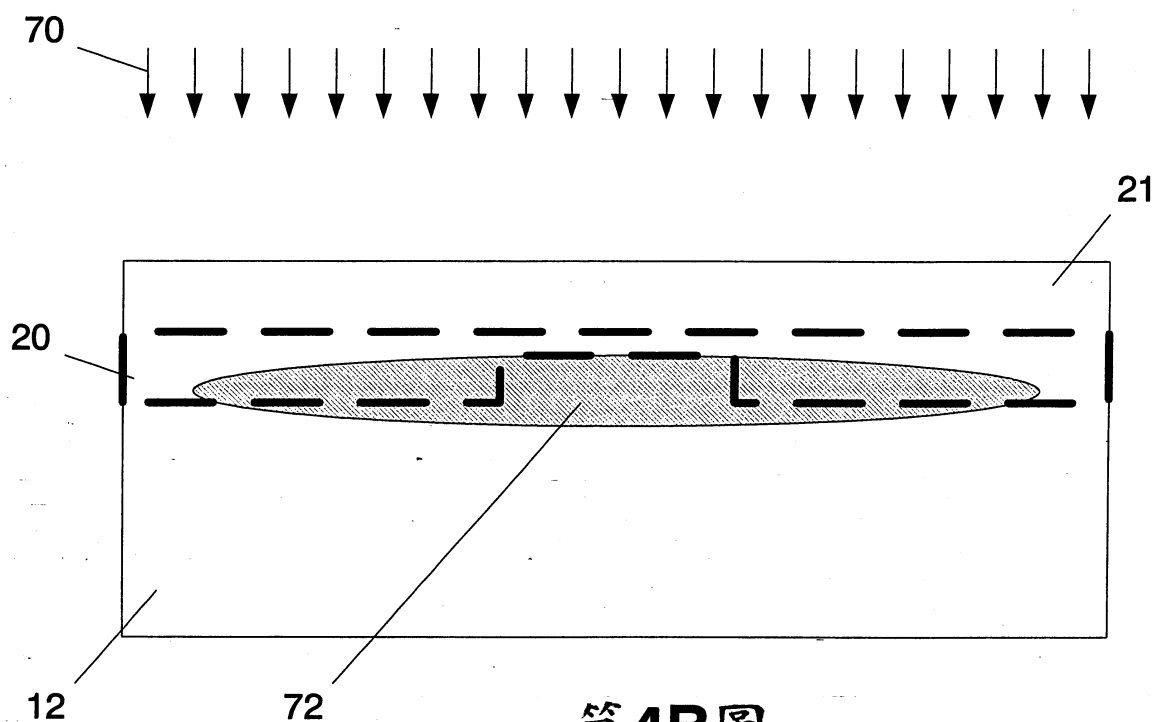
20A

50

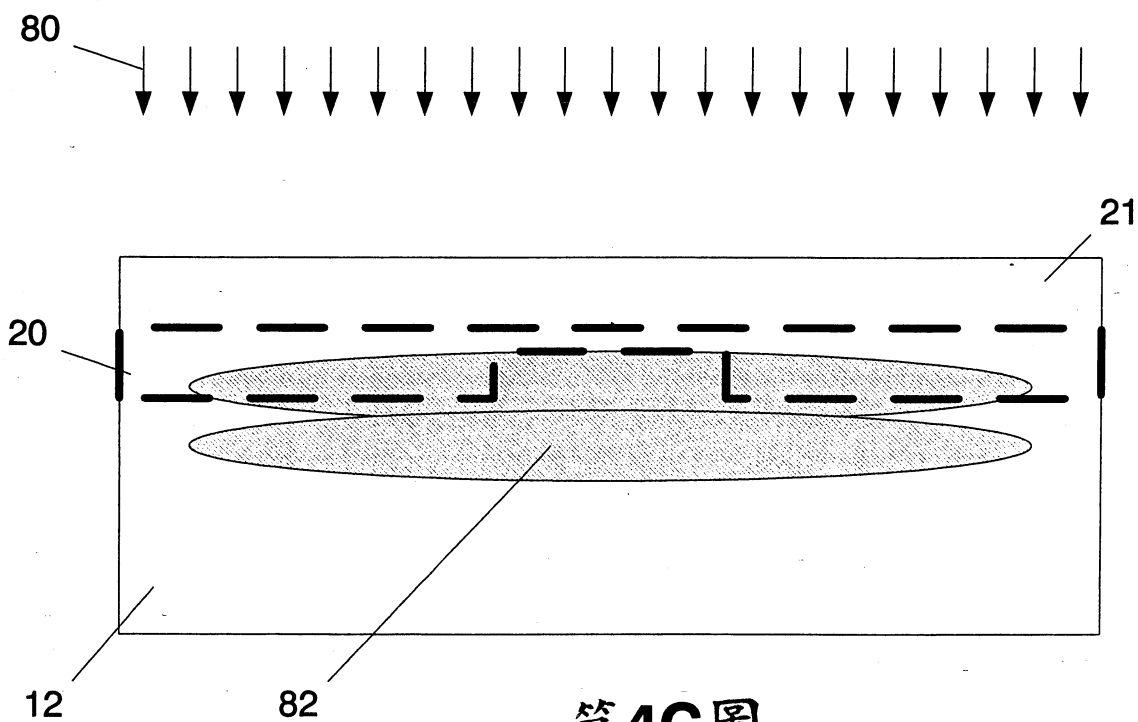
20B

20B

第3F圖



第4B圖



第4C圖

四、中文發明摘要 (發明名稱：形成於多厚度埋置氧化層上之半導體元件，及製造此半導體元件之方法)

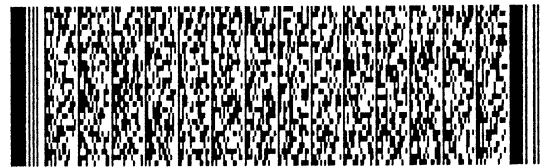
基材上執行至少一次加熱製程，以便在該基材中形成一多厚度埋入氧化物層。在又一實施例中，該方法包含下列步驟：使用晶圓接合技術形成一多厚度埋入氧化物層。

本案代表圖：第 1 圖

10 半導體裝置	12 基體基材	14 閘極絕緣層
16 閘電極	17 溝槽隔離區	18 源極／汲極區
19 側壁間隔物	20 埋入氧化物層	
20A 較厚的埋入氧化物部分	20B 較薄的埋入氧化物部分	
21 主動層	23 通道區	29 絕緣材料
30 導電接點	32 接點	

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE FORMED OVER A MULTIPLE THICKNESS BURIED OXIDE LAYER, AND METHODS OF MAKING SAME)

semiconductor device being formed in the active layer above the multiple thickness buried oxide layer. In some embodiments, the multiple thickness buried oxide layer is comprised of a first section positioned between two second sections, the first section having a thickness that is less than the thickness of the second sections. In one illustrative embodiment, the method comprises



六、申請專利範圍

1. 一種半導體裝置，包含：

一基體基材；

在該基體基材之上形成的一多厚度埋入氧化物層；以及

在該多厚度埋入氧化物層之上形成的一主動層，係在該多厚度埋入氧化物層之上的該主動層中形成該半導體裝置。

2. 如申請專利範圍第 1 項之裝置，其中該基體基材包含矽。

3. 如申請專利範圍第 1 項之裝置，其中該半導體裝置是電晶體。

4. 如申請專利範圍第 1 項之裝置，其中該半導體裝置是微處理器、記憶裝置、及邏輯裝置的至少其中之一的一部分。

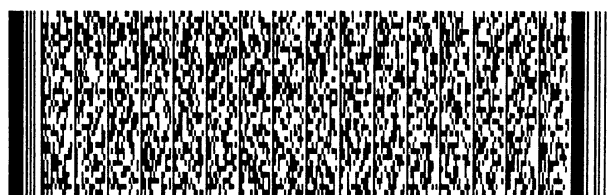
5. 如申請專利範圍第 1 項之裝置，其中該主動層包含矽。

6. 如申請專利範圍第 1 項之裝置，其中該主動層具有範圍大約為 5 奈米至 30 奈米的厚度。

7. 如申請專利範圍第 1 項之裝置，其中該埋入氧化物層包含二氧化矽。

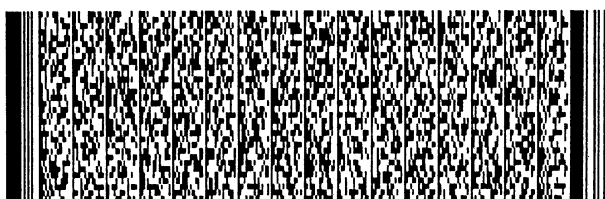
8. 如申請專利範圍第 1 項之裝置，其中該多厚度埋入氧化物層包含：

位於兩個第二部分間之第一部分，該第一部分具有厚度，且每一該等第二部分具有厚度，該第一部分之該厚度小於該等第二部分之該厚度。



六、申請專利範圍

9. 如申請專利範圍第1項之裝置，其中該半導體裝置是具有一通道區的電晶體，該通道區的至少一部分係位於該埋入氧化物層的一部分之上，該埋入氧化物層具有厚度，該厚度小於該埋入氧化物層的其餘部分之厚度。
10. 如申請專利範圍第1項之裝置，其中該半導體裝置是包含閘電極之電晶體，且其中該多厚度埋入氧化物層具有位於兩個第二部分之間之第一部分，該第一部分具有厚度，且每一該等第二部分具有厚度，該第一部分之該厚度小於該等第二部分之該厚度，該第一部分係至少部分位於該閘電極之下。
11. 如申請專利範圍第1項之裝置，其中該半導體裝置是包含閘電極之電晶體，且其中該多厚度埋入氧化物層具有位於兩個第二部分間之第一部分，該第一部分具有厚度，且每一該等第二部分具有厚度，該第一部分之該厚度小於該等第二部分之該厚度，該第一部分係大致對準該閘電極。
12. 如申請專利範圍第8項之裝置，其中該第一部分具有範圍大約為30奈米至50奈米的厚度，且該第二部分具有範圍大約為120奈米至180奈米的厚度。
13. 一種電晶體，包含：
- 一基體基材；
 - 在該基體基材之上形成的一埋入氧化物層，該埋入氧化物層包含位於兩個第二部分間之第一部分，該



六、申請專利範圍

第一部分具有厚度，且每一該等第二部分具有厚度，該第一部分之該厚度小於該等第二部分之該厚度；以及

在該埋入氧化物層之上形成的一主動層，係在該埋入氧化物層之上的該主動層中形成該電晶體。

- 14.如申請專利範圍第13項之電晶體，其中該基體基材包含矽。
- 15.如申請專利範圍第13項之電晶體，其中該電晶體是微處理器、記憶裝置、及邏輯裝置的至少其中之一的一部分。
- 16.如申請專利範圍第13項之電晶體，其中該主動層包含矽。
- 17.如申請專利範圍第13項之電晶體，其中該主動層具有範圍大約為5奈米至30奈米的厚度。
- 18.如申請專利範圍第13項之電晶體，其中該埋入氧化物層包含二氧化矽。
- 19.如申請專利範圍第13項之電晶體，其中該電晶體包含一通道區，該通道區的至少一部分係位於該埋入氧化物層的該第一部分的至少一部分之上。
- 20.如申請專利範圍第13項之電晶體，其中該電晶體包含一閘電極，且其中該埋入氧化物層的該第一部分係至少部分位於該閘電極之下。
- 21.如申請專利範圍第13項之電晶體，其中該電晶體包含一閘電極，且其中該埋入氧化物層的該第一部分係大



六、申請專利範圍

致對準該閘電極。

22.如申請專利範圍第13項之電晶體，其中該第一部分具有範圍大約為30奈米至50奈米的厚度，且該第二部分具有範圍大約為120奈米至180奈米的厚度。

23.一種包含一通道區之電晶體，該電晶體包含：

一基體矽基材；

在該基體矽基材之上形成的一埋入氧化物層，該埋入氧化物層包含位於兩個第二部分間之第一部分，該第一部分具有厚度，且每一該等第二部分具有厚度，該第一部分之該厚度小於該等第二部分之該厚度；以及

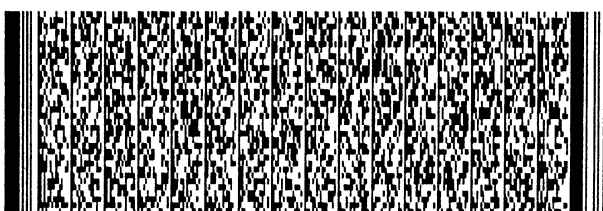
在該埋入氧化物層之上形成的一主動層，係在該埋入氧化物層之上的該主動層中形成該電晶體，該通道區的至少一部分係位於該埋入氧化物層的該第一部分之上。

24.如申請專利範圍第23項之電晶體，其中該電晶體是微處理器、記憶裝置、及邏輯裝置的至少其中之一的一部分。

25.如申請專利範圍第23項之電晶體，其中該主動層包含矽。

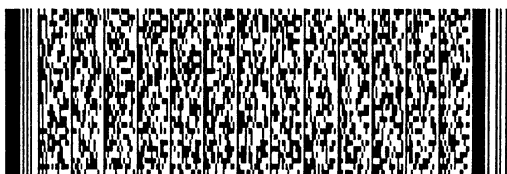
26.如申請專利範圍第23項之電晶體，其中該主動層具有範圍大約為5奈米至30奈米的厚度。

27.如申請專利範圍第23項之電晶體，其中該埋入氧化物層包含二氧化矽。



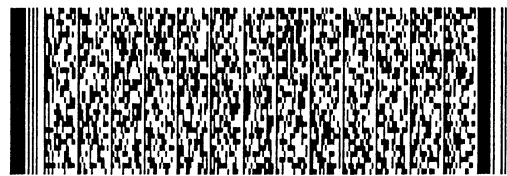
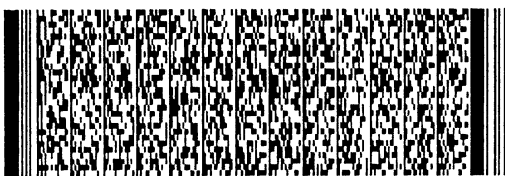
六、申請專利範圍

- 28.如申請專利範圍第23項之電晶體，其中該電晶體進一步包含一閘電極，且其中該埋入氧化物層的該第一部分係至少部分位於該閘電極之下。
- 29.如申請專利範圍第23項之電晶體，其中該電晶體進一步包含一閘電極，且其中該埋入氧化物層的該第一部分係大致對準該閘電極。
- 30.如申請專利範圍第23項之電晶體，其中該第一部分具有範圍大約為30奈米至50奈米的厚度，且該第二部分具有範圍大約為120奈米至180奈米的厚度。
- 31.一種形成一半導體裝置之方法，包含下列步驟：
在一矽基材上執行第一氧離子植入製程；
在該第一氧離子植入製程之後，在該基材之上形成一罩幕層；
穿過該罩幕層而在該基材上執行第二氧離子植入製程；以及
在該基材上執行至少一次加熱製程，以便在該基材中形成一多厚度埋入氧化物層。
- 32.如申請專利範圍第31項之方法，進一步包含下列步驟：在該多厚度埋入氧化物層之上形成一半導體裝置。
- 33.如申請專利範圍第31項之方法，其中係在範圍大約為10至40千電子伏特(KeV)的能階下，使用範圍大約為 10^{17} 至 10^{18} 離子／平方厘米的氧摻雜劑劑量執行該第一氧離子植入製程。



六、申請專利範圍

- 34.如申請專利範圍第31項之方法，其中係在範圍大約為30KeV至150KeV的能階下，使用範圍大約為 10^{17} 至 10^{18} 離子／平方厘米的氧摻雜劑劑量執行該第二氧離子植入製程。
- 35.如申請專利範圍第31項之方法，其中在該基材之上形成一單幕層之該步驟包含下列步驟：在該基材之上形成包含一光阻材料及一閘電極的至少其中之一的單幕層。
- 36.如申請專利範圍第31項之方法，其中執行至少一次加熱製程的該步驟包含下列步驟：在範圍約為950°C至1150°C的溫度下執行至少一次加熱製程。
- 37.如申請專利範圍第31項之方法，其中該多厚度埋入氧化物層包含：
- 位於兩個第二部分間之第一部分，該第一部分具有厚度，且每一該等第二部分具有厚度，該第一部分之該厚度小於該等第二部分之該厚度。
- 38.一種形成一半導體裝置之方法，包含下列步驟：
- 在一矽基材之上形成一單幕層；
- 穿過該單幕層而在該矽基材上執行第一氧離子植入製程；
- 去除該單幕層；
- 在去除該單幕層之後，在該矽基材上執行第二氧離子植入製程；以及
- 在該矽基材上執行至少一次加熱製程，以便在該

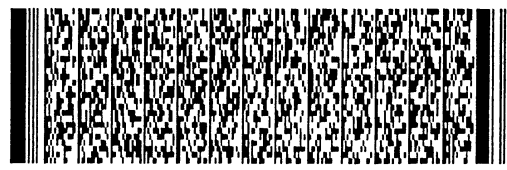
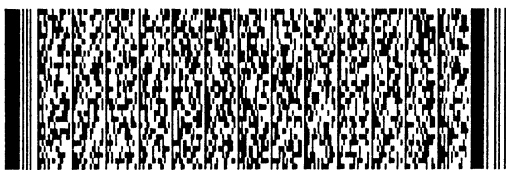


六、申請專利範圍

矽基材中形成一多厚度埋入氧化物層。

- 39.如申請專利範圍第38項之方法，進一步包含下列步驟：在該多厚度埋入氧化物層之上形成一半導體裝置。
- 40.如申請專利範圍第38項之方法，其中係在範圍大約為10KeV至40KeV的能階下，使用範圍大約為 10^{17} 至 10^{18} 離子／平方厘米的氧摻雜劑劑量執行該第一氧離子植入製程。
- 41.如申請專利範圍第38項之方法，其中係在範圍大約為30KeV至150KeV的能階下，使用範圍大約為 10^{17} 至 10^{18} 離子／平方厘米的氧摻雜劑濃度執行該第二氧離子植入製程。
- 42.如申請專利範圍第38項之方法，其中在該基材之上形成一單幕層之該步驟包含下列步驟：在該基材之上形成包含一光阻材料及一閘電極的至少其中之一的單幕層。
- 43.如申請專利範圍第38項之方法，其中執行至少一次加熱製程的該步驟包含下列步驟：在範圍約為950°C至1150°C的一溫度下執行至少一次加熱製程。
- 44.如申請專利範圍第38項之方法，其中該多厚度埋入氧化物層包含：

位於兩個第二部分間之第一部分，該第一部分具有厚度，且每一該等第二部分具有厚度，該第一部分之該厚度小於該等第二部分之該厚度。



六、申請專利範圍

45. 一種形成半導體裝置之方法，包含：

在第一基材之上形成一層二氧化矽層；

在該二氧化矽層的一部分之上形成一罩幕層；

執行至少一次蝕刻製程，以便在鄰接該罩幕層的每一面的該基材中蝕刻一凹處；

去除該罩幕層；

執行氧化製程及沈積製程中之至少其中一種製程，以便至少在該等凹處中形成二氧化矽；

至少對該等凹處中形成的該二氧化矽執行至少一次化學機械研磨作業；

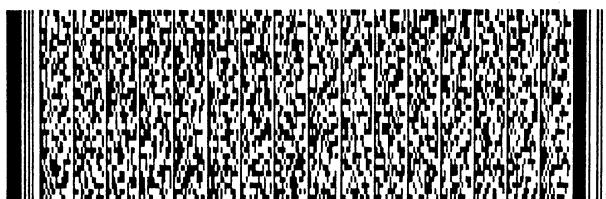
將第二基材至少接合到該等凹處中形成的該二氧化矽；以及

去除該第二基材的一部分。

46. 如申請專利範圍第 45 項之方法，其中在第一基材之上形成一層二氧化矽層之該步驟包含下列步驟：執行氧化製程，而在第一基材之上形成一層二氧化矽層。

47. 如申請專利範圍第 45 項之方法，其中在該二氧化矽層的一部分之上形成一罩幕層之該步驟包含下列步驟：在該二氧化矽層的一部分之上形成包含一光阻材料的罩幕層。

48. 如申請專利範圍第 45 項之方法，其中執行至少一次蝕刻製程以便在鄰接該罩幕層的每一面的該基材中蝕刻一凹處之該步驟包含下列步驟：執行至少一次蝕刻製程，以便在鄰接該罩幕層的每一面的該基材中蝕刻具



六、申請專利範圍

有範圍約為10奈米至50奈米的深度之一凹處。

