【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成20年5月8日(2008.5.8)

【公開番号】特開2007-243930(P2007-243930A)
【公開日】平成19年9月20日(2007.9.20)
【年通号数】公開・登録公報2007-036
【出願番号】特願2007-21698(P2007-21698)
【国際特許分類】
*Ｈ０３Ｍ　1/12　(2006.01)*
*Ｈ０４Ｎ　5/335　(2006.01)*
*Ｈ０１Ｌ　27/146　(2006.01)*
【ＦＩ】
Ｈ０３Ｍ　1/12　C
Ｈ０４Ｎ　5/335　E
Ｈ０１Ｌ　27/14　A

【手続補正書】
【提出日】平成20年3月21日(2008.3.21)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】請求項５
【補正方法】変更
【補正の内容】
【請求項５】
前記第１イネーブル線と前記第４イネーブル線とが共通の第１制御信号を搬送し、これにより、前記第１ディジタル化回路の第１動作が、前記第２ディジタル化回路の第２動作とほぼ同時に行われることを特徴とする請求項３に記載のホログラフィックメモリーシステム。
【手続補正２】
【補正対象書類名】特許請求の範囲
【補正対象項目名】請求項６
【補正方法】変更
【補正の内容】
【請求項６】
前記第２イネーブル線と前記第３イネーブル線とが共通の第２制御信号を搬送し、これにより、前記第１ディジタル化回路の第２動作が、前記第２ディジタル化回路の第１動作とほぼ同時に行われることを特徴とする請求項５に記載のホログラフィックメモリーシステム。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正の内容】
【発明の名称】列並列ＡＤＣを有するＣＭＯＳセンサにおける倍速化
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】変更
【補正の内容】

【００２３】

次に、制御回路１４０が新たな行アドレスを行デコーダ１１２に送ると、ＲＯＷ信号は再びローの論理状態に遷移する。行デコーダ１１２は、新たな行アドレスのデコードを終えると、新たなデコード行（即ち行ｉ＋１）に対応する信号線２６０をハイ状態に駆動して、他の信号線２６０をローの論理状態に設定する。このことは、図７のＲＯＷ信号が"row i+1（行ｉ＋１）"の所でハイ状態になっていることに現れている。ＲＯＷ信号が行ｉ＋１に対してハイ状態になると、ＡＤＥａ信号及びＳＨＥｂ信号がハイ状態に駆動される。ＡＤＥｂ信号及びＳＨＥａ信号はロー状態のままである。ＡＤＥａ信号をハイ状態に駆動すれば、回路１２０ａ'のアナログ－ディジタル変換器１２３が、（回路１２０ａ'の）サンプル－ホールド回路１２１に保持されているアナログ信号をディジタル信号に変換する。ＳＨＥｂ信号をハイ状態に駆動することによって、回路１２０ｂ'内のサンプル－ホールド回路１２１が、行ｉ＋１のすべての画素をサンプル－ホールドする。