

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月16日(16.05.2024)



(10) 国際公開番号

WO 2024/101028 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) H04N 25/70 (2023.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2023/035464

(72) 発明者: 小室 雄太郎 (KOMURO Yutaro);
〒2430014 神奈川県厚木市旭町四丁目14
番1号 ソニーセミコンダクタソリューシ
ョンズ株式会社内 Kanagawa (JP).

(22) 国際出願日: 2023年9月28日(28.09.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-181351 2022年11月11日(11.11.2022) JP

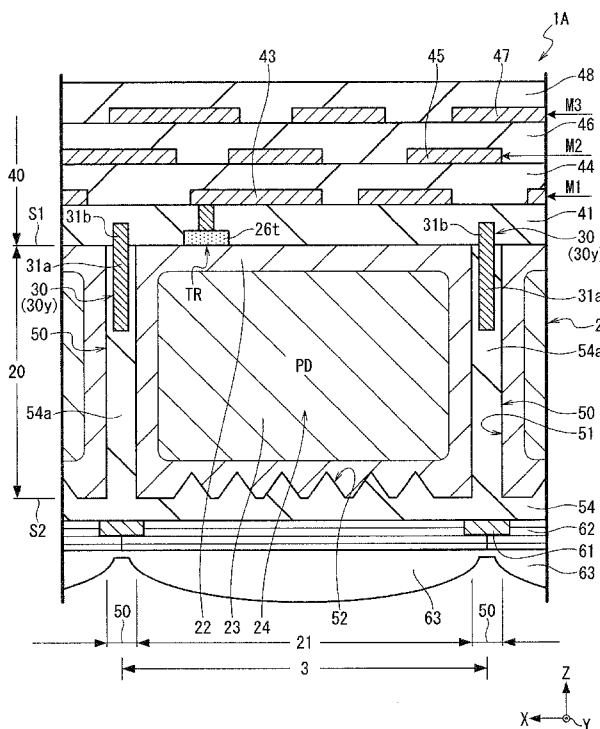
(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA
Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四
丁目3番1号 城山トラストタワー3 2階 弁理
士法人日栄国際特許事務所 Tokyo (JP).

(71) 出願人: ソニーセミコンダクタソリューシ
ョンズ株式会社(SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: OPTICAL DETECTION DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光検出装置及び電子機器



(57) Abstract: Provided is technology for achieving high image quality. This optical detection device comprises: a semi-conductor layer having a first surface portion and a second surface portion positioned on opposite sides to each other; a separation region extending in the thickness direction of the semiconductor layer; a plurality of photoelectric conversion regions demarcated by the separation region; a photoelectric conversion unit that is provided to respective photoelectric conversion regions among the plurality of photoelectric conversion regions, and that photoelectrically converts light which

[続葉有]



EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

has entered from the second surface portion side of the semiconductor layer; and a light-shielding body and a multilayer wiring layer provided to the first surface portion side of the semiconductor layer. The separation region includes a light reflector that is provided in a dug part of the semiconductor layer across the first surface portion side and the second surface portion side of the semiconductor layer, and that has a lower refractive index than the semiconductor layer. The light-shielding body is provided across the separation region and the multilayer wiring layer, and has a higher extinction coefficient than the semiconductor layer.

(57) 要約: 高画質化を図る技術を提供する。光検出装置は、互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、上記半導体層の厚さ方向に延伸する分離領域と、上記分離領域で区画された複数の光電変換領域と、上記複数の光電変換領域の各々の光電変換領域に設けられ、かつ上記半導体層の上記第2の面部側から入射した光を光電変換する光電変換部と、上記半導体層の上記第1の面部側に設けられた遮光体及び多層配線層と、を備えている。そして、上記分離領域は、上記半導体層の掘り込み部に上記半導体層の上記第1の面部側と上記第2の面部側とに亘って設けられ、かつ上記半導体層よりも屈折率が低い光反射体を含んでいる。そして、上記遮光体は、上記分離領域と上記多層配線層とに亘って設けられ、かつ上記半導体層よりも消衰係数が高い。

明 細 書

発明の名称：光検出装置及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、光検出装置及び電子機器に関し、特に、半導体層に分離領域で区間された光電変換領域を有する光検出装置及びそれを備えた電子機器に適用して有効な技術に関するものである。

背景技術

[0002] 固体撮像装置や測距装置などの光検出装置は、半導体層の光電変換領域を分離領域で区画している。特許文献1には、光電変換領域を区画する分離領域に表面側遮光部及び裏面側遮光部を設けた技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-193718号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、光検出装置は、半導体層の光入射面側とは反対側に多層配線層や画素トランジスタを備えている。このため、半導体層の光入射面側から入射して所定の光電変換領域を透過した入射光が多層配線層の配線や画素トランジスタのゲート電極などで反射し、所定の光電変換領域とは異なる隣の光電変換領域に不要光として入射する可能性がある。この不要光の入射は、混色を誘発し、画質の低下を招くことから改良の余地があった。

[0005] また、特許文献1のように、分離領域に金属の遮光体を設けた場合、遮光部の金属が光を吸収してしまうため、感度が低下し、画質の低下を招く要因となることから改良の余地があった。

[0006] 本技術の目的は、高画質化を図ることが可能な技術を提供することにある。

課題を解決するための手段

- [0007] (1) 本技術の一態様に係る光検出装置は、
互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、
上記半導体層に設けられ、かつ分離領域で区画された複数の光電変換領域
と、
上記複数の光電変換領域の各々の光電変換領域に設けられ、かつ上記半導
体層の上記第2の面部側から入射した光を光電変換する光電変換部と、
上記半導体層の上記第1の面部側に設けられた遮光体及び多層配線層と、
を備え、
上記分離領域は、上記半導体層の掘り込み部に上記半導体層の上記第1の
面部側と上記第2の面部とに亘って設けられ、かつ上記半導体層よりも屈折
率が低い光反射体を含み、
上記遮光体は、上記分離領域と上記半導体層とに亘って設けられ、かつ上
記半導体層よりも消衰係数が高い。

- [0008] (2) 本技術の他の態様に係る電子機器は、上記光検出装置と、上記光検
出装置に被写体からの像光を結像される光学系と、上記光検出装置から出力
される信号に信号処理を行う信号処理回路と、を備えている。

図面の簡単な説明

- [0009] [図1]本技術の第1実施形態に係る固体撮像装置の一構成例を模式的に示す平
面レイアウト図である。
[図2]本技術の第1実施形態に係る固体撮像装置の一構成例を示すブロック図
である。
[図3]本技術の第1実施形態に係る固体撮像装置の画素の一構成例を示す等価
回路図である。
[図4]本技術の第1実施形態に係る固体撮像装置の画素アレイ部における分離
領域の平面パターンを模式的に示す平面図である。
[図5]図4のa4-a4線に沿った縦断面構造を模式的に示す縦断面図である。
。
[図6]図5の一部を示す縦断面図である。

[図7]本技術の第1実施形態に係る固体撮像装置において、分離領域での斜め光と、光電変換領域の多層配線層側（半導体層の第1の面部側）で反射した反射光と、を模式的に示す縦断面図である。

[図8A]図7において、分離領域の多層配線層側（半導体層の光入射面側）とは反対側での斜め光71の反射を説明するための図である。

[図8B]図7において、分離領域の多層配線層側（半導体層の第1の面部側）での斜め光の反射と、光電変換領域（半導体層）の多層配線層側で反射した反射光の吸収を説明するための図である。

[図8C]図7において、分離領域50に埋設される遮光体30の埋設深さ（埋設高さ）を説明するための図である。

[図8D]平面視での光電変換領域の対角方向を示す平面図である。

[図9A]本技術の第1実施形態の変形例1を模式的に示す平面図である。

[図9B]本技術の第1実施形態の変形例2を模式的に示す縦断面図である。

[図10]本技術の第1実施形態の変形例3を模式的に示す縦断面図である。

[図11]本技術の第1実施形態の変形例4を模式的に示す縦断面図である。

[図12]本技術の第2実施形態に係る固体撮像装置の画素アレイ部における分離領域の平面パターンを模式的に示す平面図である。

[図13]図12のa12-a12線に沿った縦断面構造を模式的に示す縦断面図である。

[図14]本技術の第3実施形態に係る固体撮像装置の画素アレイ部における分離領域の平面パターンを模式的に示す平面図である。

[図15]図14のa14-a14線に沿った縦断面構造を模式的に示す縦断面図である。

[図16]本技術の第4実施形態に係る固体撮像装置の画素アレイ部における分離領域の平面パターンを模式的に示す平面図である。

[図17]図16のa16-a16線に沿った縦断面構造を模式的に示す縦断面図である。

[図18]本技術の第5実施形態に係る固体撮像装置の画素アレイ部における分

離領域の平面パターンを模式的に示す平面図である。

[図19]図18のa18-a18線に沿った縦断面構造を模式的に示す縦断面図である。

[図20]本技術の第6実施形態に係る固体撮像装置の縦断面構造を模式的に示す縦断面図である。

[図21]本技術の第7実施形態に係る電子機器の一構成例を示す図である。

発明を実施するための形態

[0010] 以下、図面を参照して本技術の実施形態を詳細に説明する。

なお、以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。

[0011] また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。また、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0012] また、以下の実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであり、構成を下記のものに特定するものではない。即ち、本技術の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

[0013] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本技術の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

[0014] また、以下の実施形態では、空間内で互いに直交する三方向（X方向、Y方向、Z方向）において、後述する半導体層20の二次元平面内で互いに直交する第1及び第2の方向をそれぞれX方向及びY方向とし、第1及び第2の方向のそれぞれと直交する第3の方向を半導体層20の厚さ方向に沿うZ

方向として説明する。

[0015] 〔第 1 実施形態〕

この第 1 実施形態では、光検出装置として、裏面照射型の CMOS (Complementary Metal Oxide Semiconductor) イメージセンサである固体撮像装置に本技術を適用した一例について説明する。

[0016] 《固体撮像装置の全体構成》

まず、固体撮像装置 1 A の全体構成について説明する。

[0017] 図 1 に示すように、本技術の第 1 実施形態に係る固体撮像装置 1 A は、平面視したときの二次元平面形状が方形状の半導体チップ 2 を主体に構成されている。即ち、固体撮像装置 1 A は半導体チップ 2 に搭載されており、半導体チップ 2 を固体撮像装置 1 A とみなすことができる。この固体撮像装置 1 A (101) は、図 21 に示すように、光学レンズ 102 を介して被写体からの像光 (入射光 106) を取り込み、撮像面上に結像された入射光 106 の光量を画素単位で電気信号に変換して画素信号として出力する。

[0018] 図 1 に示すように、固体撮像装置 1 A が搭載された半導体チップ 2 は、互いに直交する X 方向及び Y 方向を含む二次元平面において、中央部に設けられた方形状の画素アレイ部 2 A と、この画素アレイ部 2 A の外側に画素アレイ部 2 A を囲むようにして設けられた周辺部 2 B とを備えている。半導体チップ 2 は、製造プロセスにおいて、後述の半導体層 20 を含む半導体ウエハをチップ形成領域毎に小片化することによって形成される。したがって、以下に説明する固体撮像装置 1 A の構成は、半導体ウエハを小片化する前のウエハ状態においても概ね同様である。即ち、本技術は、半導体チップの状態及び半導体ウエハの状態において適用が可能である。

[0019] 画素アレイ部 2 A は、例えば図 21 に示す光学レンズ (光学系) 102 により集光される光を受光する受光面である。そして、画素アレイ部 2 A には、X 方向及び Y 方向を含む二次元平面において複数のセンサ画素 3 が行列状に配置されている。換言すれば、センサ画素 3 は、二次元平面内で互いに直交する X 方向及び Y 方向のそれぞれの方向に繰り返し配置されている。

[0020] 図1に示すように、周辺部2Bには、複数のボンディングパッド14が配置されている。複数のボンディングパッド14の各々は、例えば、半導体チップ2の二次元平面における4つの辺の各々の辺に沿って配列されている。複数のボンディングパッド14の各々は、半導体チップ2と外部装置とを電気的に接続する入出力端子として機能する。

[0021] <ロジック回路>

半導体チップ2は、図2に示すロジック回路13を備えている。ロジック回路13は、図2に示すように、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7及び制御回路8などを含む。ロジック回路13は、電界効果トランジスタとして、例えば、nチャネル導電型のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 及びpチャネル導電型のMOSFETを有するCMOS (Complementary MOS) 回路で構成されている。

[0022] 垂直駆動回路4は、例えばシフトレジスタによって構成されている。垂直駆動回路4は、所望の画素駆動線10を順次選択し、選択した画素駆動線10にセンサ画素3を駆動するためのパルスを供給し、各センサ画素3を行単位で駆動する。即ち、垂直駆動回路4は、画素アレイ部2Aの各センサ画素3を行単位で順次垂直方向に選択走査し、各センサ画素3の光電変換部（光電変換素子）が受光量に応じて生成した信号電荷に基づくセンサ画素3からの画素信号を、垂直信号線11を通してカラム信号処理回路5に供給する。

[0023] カラム信号処理回路5は、例えばセンサ画素3の列毎に配置されており、1行分のセンサ画素3から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路5は、画素固有の固定パターンノイズを除去するためのCDS (Correlated Double Sampling: 相関2重サンプリング) 及びAD (Analog Digital) 変換等の信号処理を行う。

[0024] 水平駆動回路6は、例えばシフトレジスタによって構成されている。水平駆動回路6は、水平走査パルスのカラム信号処理回路5に順次出力することによって、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回

路 5 の各々から信号処理が行われた画素信号を水平信号線 1 2 に出力させる。
。

[0025] 出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 1 2 を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0026] 制御回路 8 は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 8 は、生成したクロック信号や制御信号を、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等に出力する。

[0027] <センサ画素の回路構成>

図 3 に示すように、複数のセンサ画素 3 の各々のセンサ画素 3 は、光電変換領域 2 1 及び画素回路（読出し回路） 1 5 を備えている。光電変換領域 2 1 は、光電変換部 2 4 と、画素トランジスタとしての転送トランジスタ T R と、電荷保持部としてのフローティングディフュージョン（Floating Diffusion）領域 F D とを備えている。画素回路 1 5 は、光電変換領域 2 1 のフローティングディフュージョン領域 F D と電氣的に接続されている。

[0028] この第 1 実施形態では、一例として 1 つのセンサ画素 3 に 1 つの画素回路 1 5 を割り与えた回路構成としているが、この第 1 実施形態に限定されるものではない。例えば、1 つの画素回路 1 5 を複数のセンサ画素 3 で共有する回路構成としてもよい。具体的には、X 方向及び Y 方向の各々の方向に 2 つずつ配置された 2 × 2 配置の 4 つのセンサ画素 3 を一単位とする 1 つのセンサ画素群（光電変換群）で 1 つの画素回路 1 5 を共有する回路構成としてもよい。また、2 つのセンサ画素 3 を一単位とする 1 つのセンサ画素群（光電変換群）で 1 つの画素回路 1 5 を共有する回路構成としてもよい。また、4 つ以上のセンサ画素 3 を一単位とする 1 つのセンサ画素群（光電変換群）で 1 つの画素回路 1 5 を共有する回路構成としてもよい。

[0029] ここで、この第1実施形態では、転送トランジスタTRが本技術の「半導体層の第1の面部側に設けられた画素トランジスタ」の一具体例に相当し、フローティングディフュージョン領域FDが本技術の「電荷保持部」の一具体例に相当する。

[0030] 図3に示す光電変換部24は、例えばpn接合型のフォトダイオード(PD)で構成され、受光量に応じた信号電荷を生成する。光電変換部24は、カソード側が転送トランジスタTRのソース領域と電氣的に接続され、アノード側が基準電位線(例えばグランド)と電氣的に接続されている。

[0031] 図3に示す転送トランジスタTRは、光電変換部24で光電変換された信号電荷をフローティングディフュージョン領域FDに転送する。転送トランジスタTRのソース領域は光電変換部24のカソード側と電氣的に接続され、転送トランジスタTRのドレイン領域はフローティングディフュージョン領域FDと電氣的に接続されている。そして、転送トランジスタTRのゲート電極は、画素駆動線10(図2参照)のうちの転送トランジスタ駆動線と電氣的に接続されている。

[0032] 図3に示すフローティングディフュージョン領域FDは、光電変換部24から転送トランジスタTRを介して転送された信号電荷を一時的に保持(蓄積)する。

[0033] 光電変換部24、転送トランジスタTR及びフローティングディフュージョン領域FDを含む光電変換領域21は、図5に示す半導体層20にセンサ画素3毎に搭載されている。

[0034] 図3に示す画素回路15は、フローティングディフュージョン領域FDに保持された信号電荷を読み出し、読み出した信号電荷に基づく画素信号を出力する。画素回路15は、これに限定されないが、画素トランジスタとして、例えば、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTと、を備えている。これらの画素トランジスタ(AMP, SEL, RST)、及び上述の転送トランジスタTRの各々は、電界効果トランジスタとして、例えば、酸化シリコン(SiO_2)膜からなるゲート

絶縁膜と、ゲート電極と、ソース領域及びドレイン領域として機能する一対の主電極領域と、を有するMOSFETで構成されている。また、これらのトランジスタとしては、ゲート絶縁膜が窒化シリコン (Si_3N_4) 膜、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜からなるMISFET (Metal Insulator Semiconductor FET) でも構わない。

[0035] ここで、この第1実施形態では、増幅トランジスタAMP、選択トランジスタSEL及びリセットトランジスタRSTの各々が本技術の「画素トランジスタ」の一具体例に相当する。

[0036] 図3に示すように、増幅トランジスタAMPは、ソース領域が選択トランジスタSELのドレイン領域と電氣的に接続され、ドレイン領域が電源線Vdd及びリセットトランジスタRSTのドレイン領域と電氣的に接続されている。そして、増幅トランジスタAMPのゲート電極は、フローティングディフュージョン領域FD及びリセットトランジスタRSTのソース領域と電氣的に接続されている。

[0037] 図3に示すように、選択トランジスタSELは、ソースが垂直信号線11 (VSL) と電氣的に接続され、ドレイン領域が増幅トランジスタAMPのソース領域と電氣的に接続されている。そして、選択トランジスタSELのゲート電極は、図2に示す画素駆動線10のうちの選択トランジスタ駆動線と電氣的に接続されている。

[0038] 図3に示すように、リセットトランジスタRSTは、ソース領域がフローティングディフュージョン領域FD及び増幅トランジスタAMPのゲート電極と電氣的に接続され、ドレイン領域が電源線Vdd及び増幅トランジスタAMPのドレイン領域と電氣的に接続されている。そして、リセットトランジスタRSTのゲート電極は、図2に示す画素駆動線10のうちのリセットトランジスタ駆動線と電氣的に接続されている。

[0039] 図3に示す転送トランジスタTRは、転送トランジスタTRGがオン状態となると、光電変換部24で生成された信号電荷をフローティングディフュージョン領域FDに転送する。

- [0040] 図3に示すリセットトランジスタRSTは、リセットトランジスタRSTがオン状態となると、フローティングディフュージョン領域FDの電位（信号電荷）を電源線Vddの電位にリセットする。選択トランジスタSELは、画素回路15からの画素信号の出力タイミングを制御する。
- [0041] 図3に示す増幅トランジスタAMPは、画素信号として、フローティングディフュージョン領域FDに保持された信号電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、光電変換部24で生成された信号電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、フローティングディフュージョン領域FDの電位を増幅して、その電位に応じた電圧を、垂直信号線11（VSL）を介してカラム信号処理回路5に出力する。
- [0042] ここで、図3を参照して説明すれば、この第1実施形態に係る固体撮像装置1Aの動作時には、センサ画素3の光電変換部24で生成された信号電荷がセンサ画素3の転送トランジスタTRを介してフローティングディフュージョン領域FDに保持（蓄積）される。そして、フローティングディフュージョン領域FDに保持された信号電荷が画素回路15により読み出されて、画素回路15の増幅トランジスタAMPのゲート電極に印加される。画素回路15の選択トランジスタSELのゲート電極には水平ラインの選択用制御信号が垂直シフトレジスタから与えられる。そして、選択用制御信号をハイ（H）レベルにすることにより、選択トランジスタSELが導通し、増幅トランジスタAMPで増幅された、フローティングディフュージョン領域FDの電位に対応する電流が垂直信号線11に流れる。また、画素回路15のリセットトランジスタRSTのゲート電極に印加するリセット用制御信号をハイ（H）レベルにすることにより、リセットトランジスタRSTが導通し、フローティングディフュージョン領域FDに蓄積された信号電荷をリセットする。

- [0043] <他の画素回路>

なお、選択トランジスタSELは、必要に応じて省略してもよい。選択トランジスタSELを省略する場合は、増幅トランジスタAMPのソース領域が垂直信号線11（VSL）と電氣的に接続される。

[0044] また、リセットトランジスタRSTと、フローティングディフュージョン領域FD及び増幅トランジスタAMPのゲート電極との間に切替トランジスタを設けてもよい。切替トランジスタは、フローティングディフュージョン領域FDによる電荷保持を制御すると共に、増幅トランジスタAMPで増幅される電位に応じた電圧の増倍率を調整する。

[0045] また、切替トランジスタは、変換効率を切り替える際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、電荷保持部（フローティングディフュージョン領域FD）のFD容量C（フローティングディフュージョン容量C）が大きければ、増幅トランジスタAMPで電圧に変換した際の電圧Vが小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、電荷保持部のFD容量Cが大きくなければ、電荷保持部で、光電変換部24（フォトダイオードPD）の電荷を受けきれない。さらに、増幅トランジスタAMPで電圧に変換した際の電圧Vが大きくなりすぎないように（言い換えると、小さくなるように）、電荷保持部のFD容量Cが大きくなっている必要がある。これらを踏まえると、切替トランジスタをオンにしたときには、切替トランジスタ分のゲート容量が増えるので、全体のFD容量Cが大きくなる。一方、切替トランジスタをオフにしたときには、全体のFD容量Cが小さくなる。このように、切替トランジスタのオン／オフを切り替えることで、FD容量Cを可変にし、変換効率を切り替えることができる。

[0046] 《固体撮像装置の具体的な構成》

次に、半導体チップ2（固体撮像装置1A）の具体的な構成について、図4から図6を用いて説明する。

図4は、本技術の第1実施形態に係る固体撮像装置の画素アレイ部における分離領域の平面パターンを模式的に示す平面図である。

図5は、図4のa4-a4線に沿った縦断面構造を模式的に示す縦断面図である。

図6は、図5の一部を示す縦断面図である。

なお、図4は、図1の紙面の反対側から見た平面図である。

また、図5及び図6は、後述する多層配線層40の層間絶縁膜44よりも上層の図示を省略している。

[0047] <半導体チップ>

図4、図5及び図6に示すように、半導体チップ2は、厚さ方向（Z方向）において互いに反対側に位置する第1の面部S1及び第2の面部S2を有する半導体層20と、この半導体層20に設けられた分離領域50と、半導体層20に設けられ、かつ分離領域50で区画された複数の光電変換領域21と、を備えている。

[0048] また、半導体チップ2は、複数の光電変換領域21の各々の光電変換領域21に設けられ、かつ半導体層20の第2の面部S2側から入射（侵入）した光を光電変換する光電変換部24と、半導体層20の第1の面部S1側に設けられた遮光体30及び多層配線層48と、を更に備えている。

[0049] また、半導体チップ2は、半導体層20の第2の面部S2側に設けられた絶縁膜54と、この絶縁膜54の半導体層20側とは反対側に、この絶縁膜54側から順次設けられた遮光膜61、カラーフィルタ62及びマイクロレンズ（オンチップレンズ）63と、を更に備えている。

[0050] <半導体層>

図4及び図5に示すように、半導体層20は、半導体層20の厚さ方向（Z方向）に延伸する分離領域50と、この分離領域50で区画された複数の光電変換領域21と、を備えている。複数の光電変換領域21の各々の光電変換領域21は、センサ画素3毎に設けられ、平面視で分離領域50を介して互いに隣り合っている。即ち、この第1実施形態の固体撮像装置1Aは、半導体層20に、半導体層20の厚さ方向（Z方向）に延伸する分離領域50を介して互いに隣り合って設けられた複数の光電変換領域21を備えてい

る。

[0051] 半導体層20としては、Si基板、SiGe基板、InGaAs基板などを用いることができる。この第1実施形態では、半導体層20として例えば単結晶シリコンからなるp型の半導体基板を用いている。

[0052] ここで、半導体層20の第1の面部S1を素子形成面部又は主面部、第2の面部S2を光入射面部又は裏面部と呼ぶこともある。この第1実施形態の固体撮像装置1Aは、半導体層20の第2の面部（光入射面部、裏面部）S2側から入射した光を、半導体層20の光電変換領域21に設けられた光電変換部24で光電変換する裏面照射型になっている。

[0053] また、平面視とは、半導体層20の厚さ方向（Z方向）に沿う方向から見た場合を指す。また、断面視とは、半導体層20の厚さ方向（Z方向）に沿う縦断面を半導体層20の厚さ方向（Z方向）と直交する方向（X方向又はY方向）から見た場合を指す。また、光電変換領域21は、光電変換セルと呼ぶこともできる。

[0054] <光電変換領域>

図5及び図6に示すように、複数の光電変換領域（光電変換セル）21の各々の光電変換領域21は、半導体層20に設けられたp型のウエル領域22と、このp型のウエル領域22内に設けられたn型の半導体領域23と、光電変換部24と、回折散乱部52と、を備えている。また、図4に示すように、各々の光電変換領域21は、上述の画素トランジスタ（AMP，SEL，RST，TR）及びフローティングディフュージョン領域FDを更に備えている。

[0055] <p型のウエル領域及びn型の半導体領域>

図5及び図6に示すように、p型のウエル領域22は、半導体層20の第1の面部S1側及び第2の面部S2側に亘って幅広く設けられている。p型のウエル領域22は、例えばp型の半導体領域で構成されている。

[0056] n型の半導体領域23は、p型のウエル領域22の中において、半導体層20の第1の面部S1及び第2の面部S2、並びに分離領域50の各々から

離間した状態で半導体層 20 の第 1 の面部 S 1 側及び第 2 の面部 S 2 側に亘って設けられている。即ち、n 型の半導体領域 23 は、半導体層 20 の第 1 の面部 S 1 側の上面部、半導体層 20 の第 2 の面部 S 2 側の下面部、及び、分離領域 50 側の側面部がそれぞれ p 型のウエル領域 22 で囲まれている。換言すれば、半導体層 20 の第 1 の面部 S 1 と n 型の半導体領域 23 の上面部との間、及び半導体層 20 の第 2 の面部 S 2 と n 型の半導体領域 23 の下面部との間に、それぞれ n 型の半導体領域 23 と重畳して p 型のウエル領域 22 が設けられている。また、分離領域 50 と n 型の半導体領域 23 との間に、半導体層 20 の厚さ方向（Z 方向）に沿って延伸する p 型のウエル領域 22 が設けられている。

[0057] <画素トランジスタ及びフローティングディフュージョン領域>

図 4 に示す転送トランジスタ TR は、詳細に図示していないが、半導体層 20 の第 1 の面部 S 1 側にゲート絶縁膜を介して設けられたゲート電極 26 t と、主にソース領域として機能する光電変換部 24 と、半導体層 20 の第 1 の面部 S 1 側の表層部（上部）に設けられ、かつ主にドレイン領域として機能する主電極領域 25 a とを含む。

[0058] 図 4 に示すリセットトランジスタ RST は、詳細に図示していないが、半導体層 20 の第 1 の面部 S 1 側にゲート絶縁膜を介して設けられたゲート電極 26 r と、主にソース領域として機能する主電極領域 25 a と、半導体層 20 の第 1 の面部 S 1 側の表層部（上部）に設けられ、かつ、主にドレイン領域として機能する主電極領域 25 b とを含む。即ち、リセットトランジスタ RST と、転送トランジスタ TR とは、各々の主電極領域 25 a が共有され、直列に接続されている。

[0059] 図 4 に示す増幅トランジスタ AMP は、詳細に図示していないが、半導体層 20 の第 1 の面部 S 1 側にゲート絶縁膜を介して設けられたゲート電極 26 a と、半導体層 20 の第 1 の面部 S 1 側の表層部（上部）に設けられ、かつ、主にソース領域として機能する主電極領域 25 c と、主にドレイン領域として機能する主電極領域 25 b とを含む。即ち、増幅トランジスタ AMP

と、リセットトランジスタ RST とは、各々の主電極領域 25b が共有され、直列に接続されている。

[0060] 図4に示す選択トランジスタ SEL は、詳細に図示していないが、半導体層 20 の第1の面部 S1 側にゲート絶縁膜を介して設けられたゲート電極 26s と、半導体層 20 の第1の面部 S1 側の表層部（上部）に設けられ、かつ、主にソース領域として機能する主電極領域 25d と、主にドレイン領域として機能する主電極領域 25c とを含む。即ち、選択トランジスタ SEL と、増幅トランジスタ AMP とは、各々の主電極領域 25c が共有され、直列に接続されている。

[0061] 画素トランジスタ（TR、RST、AMP 及び SEL）において、ゲート絶縁膜は、例えば酸化シリコン膜で構成されている。ゲート電極 26t、26r、26a 及び 26s は、例えば、抵抗値を低減する不純物が導入された多結晶シリコン膜で構成されている。主電極領域 25a、25b、25c 及び 25d は、例えば、光電変換領域 21 の p 型の半導体領域 22 に設けられた n 型の半導体領域で構成されている。

[0062] 画素トランジスタ（TR、AMP、SEL、RST）は、詳細に図示していないが、半導体層 20 の第1の面部 S1 の側の表層部に光電変換領域 21 毎に設けられており、各々のゲート電極（26t、26r、26a、26s）が半導体層 20 の第1の面部 S1 側に設けられている。

[0063] 図4に示すフローティングディフュージョン領域 FD は、詳細に図示していないが、半導体層 20 の第1の面部 S1 側の表層部（上部）に設けられている。そして、図4に示すように、フローティングディフュージョン領域 FD は、主電極領域 25a と共有されている。即ち、フローティングディフュージョン領域 FD は、光電変換領域 21 の p 型の半導体領域 22 に設けられた n 型の半導体領域で構成されている。

[0064] なお、画素トランジスタ（TR、AMP、SEL、RST）の各々は、平面視で図4の a4-a4 線の位置とは異なる位置に配置されているが、図5及び図6では、画素トランジスタ TR、AMP、SEL、RST の一例とし

て、転送トランジスタTRのゲート電極26tを例示している。

[0065] <分離領域>

図4に示すように、分離領域50は、複数の光電変換領域21の各々をそれぞれ個別に区画している。分離領域50は、平面視でX方向に延伸する第1部分50xと、Y方向に延伸する第2部分50yと、を含む。そして、第1部分50xと第2部分50yとは、互いに直交している。

[0066] 図4に示すように、第1部分50xは、所定の間隔を空けてY方向に繰り返し配置されている。また、第2部分50yは、所定の間隔を空けてX方向に繰り返し配置されている。即ち、分離領域50は、平面視の平面パターンが格子状の平面パターンになっている。そして、複数の光電変換領域21の各々の光電変換領域21は、X方向の両端側が分離領域50の互いに隣り合う二つの第2部分50yで区画され、Y方向の両端側が分離領域50の互いに隣り合う二つの第1部分50xで区画されている。

[0067] 図5及び図6に示すように、分離領域50は、縦断面視で半導体層20の厚さ方向（Z方向）に延伸し、互いに隣り合う光電変換領域21の間を電氣的及び光学的に分離している。分離領域50は、縦断面視で半導体層20の第1の面部S1側と第2の面部S2側とに亘って延伸している。この第1実施形態において、分離領域50は、これに限定されないが、例えば半導体層20の第1の面部S1及び第2の面部S2の各々に到達している。

[0068] 図6に示すように、分離領域50は、半導体層20の深さ方向（Z方向）に延伸する掘り込み部51と、この掘り込み部51に半導体層20の第2の面部S2側と第1の面部S1側とに亘って設けられ、かつ半導体層20よりも屈折率が低い光反射体としての絶縁膜54aと、を含む。

[0069] 半導体層20よりも屈折率が低い誘電体としては、空気を用いることもできる。この場合、分離領域50は、空気が充填された空洞部を含む。

[0070] ここで、この第1実施形態の掘り込み部51は、本技術の「半導体層の掘り込み部」の一具体例に相当し、この第1実施形態の絶縁膜54aは、本技術の「誘電体」の一具体例に相当する。

[0071] 絶縁膜54aは、半導体層20の掘り込み部51内において、半導体層20の第2の面部S2側から第1の面部S1側に亘って設けられている。そして、掘り込み部51内の絶縁膜54aは、半導体層20の第2の面部S2側に設けられた絶縁膜54と一体化されている。

[0072] 絶縁膜54及び54aとしては、例えば酸化シリコン膜を用いることができる。酸化シリコン膜は、Si、SiGe、InGaAsなどの半導体材料よりも屈折率が低い。掘り込み部51内の絶縁膜54aは、後で詳細に説明するが、主に所定の光電変換領域21側から光電変換領域21と分離領域50との界面部1f（図7参照）に照射された斜め光71を反射して所定の光電変換領域21に戻す光反射体として機能する。半導体層20の第1の面部S1側の絶縁膜54aは、半導体層20の第2の面部S2（光入射面）側が凹凸のない平坦面となるように、画素アレイ部2Aにおいて、半導体層20の第2の面部S2側の全体を覆っている。

[0073] <多層配線層>

図6に示すように、多層配線層（配線層積層体）40は、半導体層20の光入射面側（第2の面部S2側）とは反対側の第1の面部S1側に設けられている。そして、多層配線層40は、これに限定されないが、半導体層20の第1の面部S1側から順次積層された、層間絶縁膜41、1層目の配線層M1、層間絶縁膜44、第2層目の配線層M2、層間絶縁膜46、第3層目の配線層M3及び層間絶縁膜48などを含む積層構造になっている。

[0074] 層間絶縁膜41は、半導体層20の第1の面部S1側に、画素トランジスタ（AMP，SEL，RST，TR）のゲート電極を覆うようにして設けられている。図6では、転送トランジスタTRのゲート電極26tのみを図示している。

[0075] 層間絶縁膜41の上層には1層目の配線層M1が設けられ、この1層目の配線層M1は上層の層間絶縁膜44で覆われている。また、層間絶縁膜44の上層には第2層目の配線層M2が設けられ、この第2の層目の配線層M2は、上層の層間絶縁膜46で覆われている。また、層間絶縁膜46の上層に

は第3層目の配線層M3が設けられ、この第3の層目の配線層M3は、上層の層間絶縁膜48で覆われている。

[0076] 第1から第3層目の配線層M1～M3の各々には、様々な配線が形成されている。図5及び図6では、1層目の配線層M1に形成された配線43、第2層目の配線層M2に形成された配線45、第3層目の配線層M3に形成された配線47をそれぞれ図示している。

[0077] 第1から第3層目の配線層M1～M3の各々は、例えば、銅(Cu)又はCuを主体とする合金などの金属膜で構成されている。層間絶縁膜41から48の各々は、例えば、酸化シリコン膜、窒化シリコン(Si₃N₄)膜又は炭窒化シリコン(SiCN)膜の何れか1つの単層膜、又は、これらの何れか2つ以上を積層した積層膜で構成されている。

[0078] <回折散乱部>

図6に示すように、回折散乱部52は、半導体層20の光入射面側(第2の面部S2側)の界面に周期的な凹凸を設けた構成になっている。そして、回折散乱部52は、平面視で光電変換領域21毎に光電変換部24と重畳して設けられている。そして、回折散乱部52の凹凸は、半導体層20の第1の面部S1側に設けられた絶縁膜54で覆われている。

[0079] 回折散乱部52の凹凸は、回折格子となり、高次成分が斜め方向に回折して光電変換部24内の光路長を長くとることができ、特に近赤外光成分の感度を向上させることができる。具体的には、この回折散乱部52として、例えばアルカリイオン水(AKW: Alkaline ionized Water)を用いたSi(111)面のウエットエッチングを利用することで形成される四角錐を適用することができる。また、これに限らず、回折散乱部52を、ドライエッチングにより形成してもよい。更には、深さ方向に断面積が変わる形状とすることにより、反射が抑制され、感度も若干向上する。

[0080] <遮光膜>

図5及び図6に示すように、遮光膜61は、絶縁膜54の半導体層20側とは反対側に設けられている。遮光膜61は、所定の光電変換領域21に入

射（侵入）する光が隣の光電変換領域 21 へ漏れ込まないように、平面視の平面パターンが複数の光電変換領域 21 のそれぞれの受光面側を開口する格子状平面パターンになっている。遮光膜 61 は、分離領域 50 の格子状平面パターンと同一の格子状平面パターンで構成され、平面視で分離領域 50 と重畳する位置に配置されている。遮光膜 61 としては、例えば、遮光性を有するタングステン（W）膜を用いている。

[0081] <カラーフィルタ及びマイクロレンズ>

図 5 及び図 6 に示すように、カラーフィルタ 62 は、遮光膜 61 の半導体層 20 側とは反対側（光入射面側）において、光電変換領域 21（センサ画素 3）毎に設けられている。カラーフィルタ 62 は、半導体チップ 2 の光入射面側から入射した入射光を色分離する。カラーフィルタ 62 としては、赤色（R）の第 1 カラーフィルタ、緑色（G）の第 2 カラーフィルタ、青色（B）の第 3 カラーフィルタがある。この第 1 実施形態では、例えば、R、G、B の三色のカラーフィルタ 62 を備えている。

[0082] マイクロレンズ 63 は、カラーフィルタ 62 の遮光膜 61 側とは反対側（光入射面側）において、光電変換領域 21（センサ画素 3）毎に設けられている。マイクロレンズ 63 は、照射光を集光し、集光した光を光電変換領域 21 に効率良く入射させる。

[0083] <遮光体>

図 6 に示すように、遮光体 30 は、半導体層 20 の第 1 の面部 S1 側に設けられている。そして、遮光体 30 は、半導体層 20 の厚さ方向（Z 方向）において、分離領域 50 と多層配線層 40 とに亘って設けられ、かつ半導体層 20 よりも消衰係数が高い金属膜で構成されている。遮光体 30 としては、例えば遮光性を有するタングステン（W）膜を用いている。タングステン膜は、Si、SiGe、InGaAs などの半導体材料よりも屈折率が高い。

[0084] 図 6 に示すように、遮光体 30 は、半導体層 20 の厚さ方向（Z 方向）において、分離領域 50 内に位置し、かつ分離領域 50 の絶縁膜 54a で囲ま

れた埋設部分（第1部分）31aと、この埋設部分31aから層配線層40内に突出し、かつ多層配線層40の層間絶縁膜41で囲まれた突出部分（第2部分）30bと、を有する。そして、遮光体30の埋設部分31aは、半導体層20の厚さ方向（Z方向）と直交する方向において、分離領域50の絶縁膜54aを介して半導体層20の光電変換領域21と互いに隣り合っている。

[0085] 遮光体30は、半導体層20の光入射面部側（第2の面部S2側）から入射して所定の光電変換領域21を透過した光が多層配線層40の配線や画素トランジスタのゲート電極で反射し、所定の光電変換領域21とは異なる隣の光電変換領域21に不要光として入射しないように、図4に示すように、平面視の平面パターンが複数の光電変換領域21のそれぞれの受光面側を開口する格子状平面パターンになっている。そして、遮光体30は、格子状平面パターンの分離領域50と同様の格子状平面パターンになっており、平面視で分離領域50と重畳している。

[0086] 具体的には、図4に示すように、遮光体30は、平面視でX方向に延伸する第1部分30xと、Y方向に延伸する第2部分30yと、を含む。そして、第1部分30xと第2部分30yとは、互いに直交している。そして、第1部分30xは、分離領域50の第1部分50xと同様の配列ピッチでY方向に繰り返し配置され、第2部分30yは、分離領域50の第2部分50yと同様の配列ピッチでX方向に繰り返し配置されている。遮光体30の第1部分30xは、平面視で分離領域50の第1部分50xと重畳し、遮光体30の第2部分30yは、平面視で分離領域50の第2部分50yと重畳している。

[0087] 複数の光電変換領域21に対応する遮光体30は、格子状の平面パターンになっているが、1つの光電変換領域21に対応する遮光体30は、1つの光電変換領域21の周囲を囲む環状平面パターンになっている。そして、この第1実施形態の遮光体30は、平面視で1つの光電変換領域21の周囲を環状（リング状）に連続して囲んでいる。

[0088] 《斜め光の反射及び反射光の遮光》

次に、分離領域 50 での斜め光 71 の反射及び遮光体 30 での反射光の遮光について、図 7、図 8 A から図 8 D を用いて説明する。

図 7 は、光電変換領域 21 での斜め光 71 と、光電変換領域 21（半導体層 20）の多層配線層 40 側で反射した反射光とを模式的に示す縦断面図である。

図 8 A は、図 7 において、分離領域 50 の多層配線層 40 側（半導体層 20 光入射面側）とは反対側での斜め光 71 の反射を説明するための図である。

図 8 B は、図 7 において、分離領域 50 の多層配線層 40 側（半導体層 20 の第 1 の面部 S1 側）での斜め光 71 の反射と、半導体層 20 の多層配線層 40 側で反射した反射光の吸収を説明するための図である。

図 8 C は、図 7 において、分離領域 50 に埋設される遮光体 30 の埋設深さ（埋設高さ）を説明するための図である。

図 8 D は、平面視で光電変換領域の対角方向を示す平面図である。

なお、図 7 は、図 6 に対して上下が反転している。

[0089] <分離領域での斜め光の反射>

まず、分離領域 50 での斜め光 71 の反射について説明する。

[0090] 図 7 に示すように、入射光 70 は、マイクロレンズ 63、カラーフィルタ 62、絶縁膜 54 及び回折散乱部 52などを透過して半導体層 20 の第 2 の面部 S2 側（光入射面側）から光電変換領域 21 に入射する。このとき、光電変換領域 21 において、マイクロレンズ 63 による集光や回折散乱部 52 の散乱によって入射光 70 から斜め光 71 が発生する。

光電変換領域 21 で発生した斜め光 71 は、図 8 A に示すように、半導体層 20 の光入射面部側（半導体層 20 の多層配線層 40 側とは反対側）において、光電変換領域 21 と分離領域 50 の絶縁膜 54 a との界面部 1 f に照射される（当たる）。

[0091] ここで、図 8 A に示すように、

光電変換領域 21（半導体層 20）の屈折率を n_2 とし、

分離領域 50 の絶縁膜（誘電体）54a の屈折率を n_1 とし、

光電変換領域 21（半導体層 20）の厚さ方向（Z 方向）と直交する仮想線 La と、界面部 If に照射される斜め光 71 とが界面部 If でなす角度を θ とし、

$n_2 > n_1$ のとき、

$\sin \theta > n_1 / n_2$ の斜め光 71 であれば、

光電変換領域 21 と分離領域 50 の絶縁膜 54 との界面部 If に照射された斜め光 71 は光電変換領域 21 側に全反射し、光電変換領域 21 に戻る。

[0092] また、発生した斜め光 71 は、図 8B に示すように、光電変換領域 21 の多層配線層 40 側（半導体層 20 の多層配線層 40 側）において、光電変換領域 21 と分離領域 50 の絶縁膜 54a との界面部 If に照射される（当たる）。この界面部 If に照射された斜め光 71 も、「 $n_2 > n_1$ 」のとき「 $\sin \theta > n_1 / n_2$ 」であれば、光電変換領域 21 側に全反射し、光電変換領域 21 に戻る。

[0093] この第 1 実施形態では、光電変換領域 21 がシリコン、分離領域 50 の絶縁膜 54 が酸化シリコンであり、酸化シリコンの屈折率はシリコンの屈折率よりも低いので、この場合、「 $n_2 > n_1$ 」であり、940nm の波長の光に対しては「 $\theta > 19.5^\circ$ 」のときに、「 $\sin \theta > n_1 / n_2$ 」を満たす。したがって、分離領域 50 に含まれる光反射体として、半導体層 20 の屈折率（ n_2 ）よりも屈折率（ n_1 ）が低い絶縁膜 54a を用いることにより、光電変換領域 21 と分離領域 50 の絶縁膜 54 との界面部 If に照射された斜め光 71 は、「 $\theta > 19.5^\circ$ 」を満たす場合に半導体層 20 の第 2 の面部 S2 側（光入射面側）から第 1 の面部 S1 側（多層配線層 40 側）に亘って光電変換領域 21 側に全反射し、光電変換領域 21 に戻るため、感度の低下を抑制することができる。

[0094] なお、空気の屈折率もシリコンの屈折率よりも低いので、屈折率 n_1 が空気の場合は、940nm の波長の光に対して「 $\theta > 13.8^\circ$ 」のときに、「

$\sin \theta > n_2 / n_1$ 」を満たす。したがって、分離領域 50 に含まれる光反射体として空気を用いた場合においても、光電変換領域 21 と分離領域 50 の絶縁膜 54 a との界面部 1 f に照射された斜め光 71 は、「 $\theta > 13.8^\circ$ 」を満たす場合に半導体層 20 の第 2 の面部 S2 側（光入射面側）から第 1 の面部 S1 側（多層配線層 40 側）に亘って光電変換領域 21 側に全反射し、光電変換領域 21 に戻るため、感度の低下を抑制することができる。

[0095] なお、一例として、例えば 940 nm 波長の光の場合、シリコンは、例えば 3.62 程度の屈折率 (n_2) を有し、酸化シリコンは、例えば 1.45 程度の屈折率 (n_1) を有し、空気は、例えば 1.00 程度の屈折率 (n_1) を有する。

また、他の例として、例えば 550 nm 波長の光の場合、シリコンは、例えば 4.08 程度の屈折率 (n_2) を有し、酸化シリコンは、例えば 1.46 程度の屈折率 (n_1) を有し、空気は、例えば 1.00 程度の屈折率 (n_1) を有する。

[0096] 何れの波長光においても、 $n_2 > n_1$ を満たす。

[0097] <反射光の遮光>

次に、遮光体 30 による反射光の遮光について説明する。ここでは、半導体層 20 の多層配線層 40 側で反射する反射光として、転送トランジスタ TR のゲート電極 26 t で反射するゲート反射光 72 を一例に説明する。

[0098] 図 7 に示すように、光電変換領域 21 で発生した斜め光 71 は、半導体層 20 の第 1 の面部 S1 側に設けられた転送トランジスタ TR のゲート電極 26 t で反射する。そして、ゲート電極 26 t で反射したゲート反射光 72 は、所定の光電変換領域 21 を再度透過して界面部 1 f に照射される。

ここで、図 8 B を参照して説明すれば、

光電変換領域 21（半導体層 20）の屈折率を n_2 、消衰係数を k_2 とし、

分離領域 50 の絶縁膜（誘電体）54 a の屈折率を n_1 、消衰係数を k_1 とし、

遮光体 30 の消衰係数を k_3 とし、

半導体層 20 の厚さ方向（Z 方向）と直交する仮想線 L_b と、界面部 I_f に照射されるゲート反射光 72 とが界面部 I_f でなす角度を θ_1 とし、

$n_1 > n_2$ 、かつ、 $k_3 > k_1$ 、 $k_3 > k_2$ のとき、

$\sin \theta_1 < n_2 / n_1$ のゲート反射光 72 は、分離領域 50 の絶縁膜 54a を透過して遮光体 30 の埋設部分 30a に照射される（当たる）。そして、埋設部分 30a に照射されたゲート反射光 72 は、この埋設部分 30a で吸収（遮光）される。

[0099] 即ち、光電変換領域 21 で発生した斜め光 71 が転送トランジスタ TR のゲート電極 26t で反射し、このゲート電極 26t で反射したゲート反射光 72 は、所定の光電変換領域 21 内を再度透過し、更に分離領域 50 の絶縁膜 54a を透過して遮光体 30 の埋設部分 30a に照射され、この埋設部分 30a で吸収（遮光）される。

[0100] したがって、このゲート電極 26t で反射したゲート反射光 72 が不要光として所定の光電変換領域 21 とは異なる隣の光電変換領域 21（21a）に入射（侵入）する現象を遮光体 30 の埋設部分 30a によって抑制することができる。これにより、混色を抑制することができる。

[0101] 遮光体 30 としては、使用する光の波長に対して消衰係数 k の高い材料を用いることが好ましい。この第 1 実施形態では、遮光体 30 として、例えば可視光や近赤外光に対して消衰係数 k の高いタングステン（W）膜を用いている。

[0102] なお、空気の屈折率もシリコンの屈折率よりも低いので、分離領域 50 に含まれる光反射体として空気を用いた場合においても、ゲート電極 26t で反射したゲート反射光 72 が不要光として所定の光電変換領域 21 とは異なる隣の光電変換領域 21（21a）に入射する現象を遮光体 30 の埋設部分 30a によって抑制することができる。これにより、混色を抑制することができる。

[0103] <遮光体の埋設部分の深さ>

次に、遮光体30の埋設部分30aの深さ X_1 について、図8C及び図8Dを用いて説明する。

なお、遮光体30埋設部分30aの深さ X_1 は、半導体層20の第1の面部S1から半導体層20側に向かった深さである。また、遮光体30の突出部分30bの高さ X_2 は、半導体層20の第1の面部S1から多層配線層40側に向かった高さである。

図8Cに示すように、

遮光体30の埋設部分30aの深さを X_1 とし、

遮光体30からゲート反射光72の起点 P_1 までの長さを Y_1 とし、

光電変換領域21（半導体層20）の厚さ方向（Z方向）と直交する仮想線 L_c と、界面部1fに照射されるゲート反射光72とが界面部1fでなす角度を θ_0 としたとき、

遮光体30の埋設部分30aの深さ X_1 は、「 $X_1 > Y_1 \times \tan \theta_0$ 」で求まる。

そして、 Y_1 の最大値は、図8Dを参照して説明すれば、平面視で光電変換領域21の互いに反対側に位置する2つの角部21cを結ぶ対角方向 D_g の長さとなるため、遮光体30の埋設部分30aの深さ X_1 は、下記の条件1、条件2となる。

条件1… $X_1 > Y_1 \times \tan 19.5^\circ$ 以上の深さ（ n_1 が酸化シリコンの場合）

条件2… $X_1 > Y_1 \times \tan 13.8^\circ$ 以上の深さ（ n_1 が空気の場合）

[0104] したがって、分離領域50に含まれる誘電体として、半導体層20の屈折率（ n_2 ）よりも屈折率（ n_1 ）が低い絶縁膜54aを用いる場合は、遮光体30の埋設部分30aの深さ X_1 を条件1とすることにより、ゲート電極26tで反射して所定の光電変換領域21を再度透過し、更に分離領域50内の絶縁膜54aを透過したゲート反射光72を遮光体30の埋設部分30aで吸収し、遮光することができる。

[0105] また、分離領域50に含まれる光反射体として、半導体層20の屈折率（

n_2) よりも屈折率 (n_1) が低い空気を用いる場合は、遮光体 30 の埋設部分 30 a の深さ X_1 を上記の条件 2 とすることにより、ゲート電極 26 t で反射して所定の光電変換領域 21 を再度透過し、更に分離領域 50 内の絶縁膜 54 a を透過したゲート反射光 72 を遮光体 30 の埋設部分 30 a で吸収し、遮光することができる。

[0106] これにより、平面視で所定の光電変換領域 21 の多層配線層 40 側に位置するゲート電極 26 t で反射したゲート反射光 72 が不要光として所定の光電変換領域 21 とは異なる隣の光電変換領域 21 (21 a) に入射する現象を遮光体 30 の埋設部分 30 a で抑制することができ、混色を抑制することができる。

[0107] なお、斜め光 71 が光電変換領域 21 (半導体層 20) の多層配線層 40 側で反射する反射光としては、多層配線層 40 の配線で反射する配線反射光もある。この配線反射光においても、遮光体 30 の埋設部分 30 a の深さ X_1 を上述の条件 1、条件 2 とすることで、平面視で所定の光電変換領域 21 の多層配線層 40 側に位置する配線で反射した配線反射光が不要光として所定の光電変換領域 21 とは異なる隣の光電変換領域 21 (21 a) に入射する現象を遮光体 30 の埋設部分 30 a で抑制することができ、混色を抑制することができる。

[0108] また、この第 1 実施形態の遮光体 30 は、埋設部分 30 a から多層配線層 40 側に突出する突出部分 40 b を有する。したがって、平面視で所定の光電変換領域 21 と重畳する多層配線層 40 の配線で反射し、多層配線層 40 を再度透過して所定の光電変換領域 21 とは異なる隣の光電変換領域 21 (21 a) に入射する配線反射光を遮光体 30 の突出部分 30 b で遮光することもできる。これにより、混色の抑制をより一層図ることができる。配線反射光に起因する混色の抑制効果は、遮光体 30 の突出部分 30 b の高さ X_2 に比例する。

[0109] <第 1 実施形態の主な効果>

この第 1 実施形態に係る固体撮像装置 1 A は、上述したように、分離領域

50と、遮光体30とを備えている。

分離領域50は、半導体層20の第1の面部S1側と第2の面部S2側とに亘って半導体層20の掘り込み部51に設けられ、かつ半導体層20の屈折率(n_2)よりも屈折率(n_1)が低い絶縁膜54aを含んでいる。これにより、光電変換領域21と分離領域50の絶縁膜54との界面部1fに照射された斜め光71は、半導体層20の第2の面部S2側(光入射面側)から第1の面部S1側(多層配線層40側)に亘って光電変換領域21側に全反射するため、感度の低下を抑制することができる。

[0110] また、遮光体30は、分離領域50と多層配線層40とに亘って設けられ、かつ半導体層20の消衰係数(k_2)よりも消衰係数(k_3)が高い。これにより、所定の光電変換領域21の多層配線層40側で反射する反射光として、平面視で所定の光電変換領域21と重畳するゲート電極26tで反射したゲート反射光72が不要光として所定の光電変換領域21とは異なる隣の光電変換領域21(21a)に入射(侵入)する現象を遮光体30の埋設部分30aにより抑制することができるため、混色を抑制することができる。

[0111] また、所定の光電変換領域21の多層配線層40側で反射する反射光として、平面視で所定の光電変換領域21と重畳する多層配線層40の配線で反射した配線反射光が不要光として所定の光電変換領域21とは異なる隣の光電変換領域21(21a)に入射する現象を遮光体30の埋設部分30a及び突出部分30bにより抑制することができるため、混色を抑制することができる。

[0112] したがって、この第1実施形態に係る固体撮像装置1Aによれば、画質の低下を招く要因となる感度の低下を抑制できると共に、画質の低下を招く混色を抑制することができる。よって、この第1実施形態に係る固体撮像装置1Aによれば、高画質化を図ることができる。

[0113] また、この第1実施形態に係る遮光体30は、平面視で環状に連続して光電変換領域21を囲んでいる。これにより、転送トランジスタTRのゲート

電極 26 t で反射したゲート反射光 7 2 や多層配線層 40 の配線で反射した配線反射光を遮光体 30 が光電変換領域 21 の全周に亘って吸収することができるため、混色の抑制効果をより一層高めることができる。

[0114] 近年、高解像のイメージセンサが市場で求められており、センサ画素 3 を微細化したイメージセンサの開発が進められている。センサ画素 3 の微細化を図るためには、半導体層 20 の光電変換領域 21 を微細化する必要がある。しかしながら、この光電変換領域 21 の微細化に伴い量子効率 Q E が低下するため、より多くの斜め光を界面部 1 f で光電変換領域 21 側に反射させて光電変換効率を高めることが重要となる。したがって、本技術は、高解像のイメージセンサを実現する上でも有効である。

[0115] なお、上述の第 1 実施形態では、斜め光 7 1 が光電変換領域 21 の多層配線層 40 側で反射するゲート反射光として、転送トランジスタ T R のゲート電極 26 t で反射するゲート反射光 7 2 を一例に説明したが、このゲート反射光 7 2 に限定されない。例えば、ゲート反射光としては、転送トランジスタ T R のゲート電極 26 t で反射するゲート反射光 7 2 の他に、画素回路 15 に含まれるリセットトランジスタ R S T、増幅トランジスタ A M P 及び選択トランジスタ S E L の各々のゲート電極 (26 r, 26 a, 26 s) で反射するゲート反射光がある。これらのゲート反射光においても、遮光体 30 の埋設部分 30 a で遮光することができる。

[0116] <第 1 実施形態の変形例>

<遮光体の平面形状の変形例>

上述の第 1 実施形態では、1つの光電変換領域 21 に対応する遮光体 30 の平面形状として、光電変換領域 21 の周囲を環状に連続して囲む平面形状について説明したが、遮光体 30 の平面形状は、上述の第 1 の実施形態に限定されない。

[0117] (変形例 1)

例えば、図 9 A に示すように、1つの光電変換領域 21 に対応する遮光体 30 は、平面視で光電変換領域 21 の周囲を環状に点在して囲む平面形状と

してもよい。

[0118] (変形例2)

また、図9Bに示すように、1つの光電変換領域21に対応する遮光体30は、画素トランジスタ(TR, RST, AMP, SEL)の周囲の一部を囲む平面形状としてもよい。この場合、複数の画素トランジスタを一群としたとき、一群の周囲の一部を囲む平面形状とする。

[0119] <遮光体の突出部分の変形例>

また、上述の第1実施形態では、遮光体30の突出部分30bの高さ X_2 (半導体層20の第1の面部S1から上方に突出する高さ)は、突出部分30bが1層目の配線層M1に到達しない高さとしたが、遮光体30の突出部分30bの高さ X_2 は、上述の第1実施形態に限定されない。

[0120] (変形例3)

例えば、図10に示すように、遮光体30の突出部分30bの高さ X_2 は、突出部分30bが1層目の配線層M1に形成された配線43と接合する高さとしてもよい。この場合、1層目の配線層M1の配線で反射する配線反射光に起因する混色をより効果的に抑制することができる。

[0121] また、図11に示すように、遮光体30の突出部分30bの高さ X_2 は、突出部分30bが第2層目の配線層M2の配線45と接合する高さとしてもよい。この場合、1層目の配線層M1の配線43で反射する配線反射光及び第2層目の配線層M2の配線45で反射する配線反射光に起因する混色を第1実施形態よりも効果的に抑制することができる。

[0122] すなわち、遮光体30の突出部分30bの高さ X_2 を、突出部分30bが n 層目 (n は自然数)の配線層の配線と接合する高さとすることにより、 n 層目の配線層の配線で反射する配線反射光に起因する混色を抑制できると共に、 n 層目の「 n 」が2以上の自然数の場合は n 層目よりも下層の配線層の配線で反射する反射光に起因する混色を抑制できるため、第1実施形態よりも効果的に混色を抑制することができる。

[0123] [第2実施形態]

本技術の第2実施形態に係る固体撮像装置1Bは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、以下の構成が異なっている。

[0124] 即ち、図12及び図13に示すように、この第2実施形態に係る固体撮像装置1Bは、1つの光電変換領域21に対して光電変換領域21の周囲を環状に連続して囲む環状平面パターンの配線43bを更に備えている。この配線43bは、例えば多層配線層40の1層目の配線層M1に形成され、遮光体30の突出部分30bが配線43bの環状平面パターンに沿って連続して接合されている。即ち、遮光体30及び配線43bは、平面視で互いに重畳して光電変換領域21の周囲の全周を囲み、互いに電氣的及び機械的に接合されている。

[0125] この第2実施形態に係る固体撮像装置1Bにおいて、上述の第1実施形態に係る固体撮像装置1Aと同様の効果が得られる。

[0126] なお、環状平面パターンの配線43bは、多層配線層40の1層目の配線層M1に限定されるものではなく、2層目以上の配線層に形成してもよい。ただし、2層目以上の配線層に環状平面パターンの配線43bを形成する場合は、1層目の配線層M1に環状平面パターンの配線43bを形成する場合と比較して、画素トランジスタ（TR，RST，AMP，SEL）に接続する配線の引き回しが制約されるため、環状平面パターンの配線43bは1層目の配線層M1に形成することが好ましい。

また、環状平面パターンの配線43bは、平面視で光電変換領域21の周囲の全周ではなく、一部を囲んでいてもよい。

[0127] この第2実施形態では、より効果的に混色を抑制し、高解像度を実現することができる。

[0128] 〔第3実施形態〕

本技術の第3実施形態に係る固体撮像装置1Cは、基本的に上述の第2実施形態に係る固体撮像装置1Bと同様の構成になっており、多層配線層40の構成が異なっている。

[0129] 即ち、図 1 4 及び図 1 5 に示すように、この第 3 実施形態に係る固体撮像装置 1 C の多層配線層 4 0 は、平面視で光電変換領域 2 1 を部分的に覆う光反射プレート 4 3 c を備えている。光反射プレート 4 3 c は、1 つの光電変換領域 2 1 に対して枠状で形成された配線 4 3 b の内側に平面視で光電変換領域 2 1 と重畳して設けられている。光反射プレート 4 3 c は、例えば、多層配線層 4 0 の 1 層目の配線層 M 1 に形成されている。光反射プレート 4 3 c は、画素トランジスタ (T R, R S T, A M P, S E L) と接続される配線 4 3 の幅や枠状の配線 4 3 b の幅よりも幅広で形成されている。

[0130] 光反射プレート 4 3 c としては、使用する光の波長に対して反射率の高い材料を用いることが好ましい。この第 3 実施形態では、光反射プレート 4 3 c として、例えば可視光や近赤外光に対して反射係数の高いアルミニウム (A l) 膜を用いている。

[0131] このような光反射プレート 4 3 c を備えることにより、所定の光電変換領域 2 1 を透過して多層配線層 4 0 に入射した斜め光 7 1 を光反射プレート 4 3 c で反射させて所定の光電変換領域 2 1 に戻すことができるので、感度の向上を図ることができる。

[0132] また、斜め光 7 1 が光反射プレート 4 3 c で反射し、この光反射プレート 4 3 c で反射した反射光が不要光として所定の光電変換領域 2 1 とは異なる隣の光電変換領域 2 1 に入射するのを遮光体 3 0 の埋設部分 3 0 a 及び突出部分 3 0 b で遮光することができるので、感度の向上を図ることができると共に混色を抑制することができる。

[0133] 光反射プレート 4 3 c としては、使用する光の波長に対し反射率の高い材料を用いることが好ましい。この第 3 実施形態では、光反射プレート 4 3 c として、例えば可視光や近赤外光に対して反射係数の高いアルミニウム (A l)、銀 (A g) を用いている。

この第 3 実施形態では、混色を抑制し、高解像度を実現したまま量子効率 Q E を高めることができる。

[0134] [第 4 実施形態]

本技術の第4実施形態に係る固体撮像装置1Dは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、多層配線層40の構成が異なっている。

[0135] 即ち、図16及び図17に示すように、この第4実施形態に係る固体撮像装置1Dの多層配線層40は、平面視で複数の光電変換領域21を覆う光反射プレート43dを備えている。光反射プレート43dは、平面視で互いに隣り合う光電変換領域21に亘って設けられ、光電変換領域21及び分離領域50を覆っている。光反射プレート43dは、1つの光電変換領域21に対して概ね光電変換領域21の全体を覆っている。光反射プレート43dは、例えば、多層配線層40の1層目の配線層M1に形成されている。そして、光反射プレート43dは、上層の配線層、例えば2層目の配線層M2の配線45と画素トランジスタ（TR，RST，AMP，SEL）とを電氣的に接続するコンタクト電極49が貫通する貫通孔43d₁を備えている。光反射プレート43dは、例えば画素アレイ部2Aの全体を覆っている。

[0136] 光反射プレート43dとしては、上述の光反射プレート43cと同様に、使用する光の波長に対して屈折率の高い材料を用いることが好ましい。この第4実施形態においても光反射プレート43dとして、例えば可視光や近赤外光に対して反射係数の高いアルミニウム（Al）、銀（Ag）膜を用いている。

[0137] このような光反射プレート43dを備えることにより、所定の光電変換領域21を透過して多層配線層40に入射した斜め光71を光反射プレート43dで反射させて所定の光電変換領域21に戻すことができるので、感度の向上を図ることができる。

[0138] また、斜め光71が光反射プレート43dで反射し、この光反射プレート43dで反射した反射光が不要光として所定の光電変換領域21とは異なる隣の光電変換領域21に入射するのを遮光体30の埋設部分30a及び突出部分30bで遮光することができるので、感度の向上を図ることができると共に混色を抑制することができる。

[0139] 〔第5実施形態〕

本技術の第5実施形態に係る固体撮像装置1Eは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、多層配線層40の構成が異なっている。

[0140] 即ち、図18及び図19に示すように、この第5実施形態に係る固体撮像装置1Eの多層配線層40は、半導体層20側から数えて1層目の配線層M1に平面視で光電変換領域と重畳して設けられた第1配線43eと、1層目の配線層M1よりも上層の2層目の配線層M2に平面視で光電変換領域21と重畳し、かつ第1配線M1と交差して設けられた第2配線45eとを備えている。

[0141] そして、第1配線43eは、半導体層20の厚さ方向（Z方向）と交差する二次元平面内で互いに交差するX方向及びY方向のうちのY方向に延伸し、かつX方向に所定の間隔を空けて繰り返し配置されている。そして、第2配線45eは、X方向に延伸し、かつY方向に所定の間隔を空けて繰り返し配置されている。第1配線43e及び第2配線45eの各々の配列ピッチは、使用する波長の $1/4$ 以下とすることが好ましい。

[0142] このような第1配線43e及び第2配線45eを備えることにより、所定の光電変換領域21を透過して多層配線層40に入射した斜め光71を第1配線43e及び第2配線45eで反射させて所定の光電変換領域21に戻すことができるので、感度の向上を図ることができる。

[0143] また、斜め光71が第1配線43e及び第2配線45eで反射し、この第1配線43e及び第2配線45eで反射した反射光が不要光として所定の光電変換領域21とは異なる隣の光電変換領域21に入射するのを遮光体30の埋設部分30a及び突出部分30bで遮光することができるので、感度の向上を図ることができると共に混色を抑制することができる。

[0144] なお、第1配線43e及び第2配線45eは、1層目の配線層M1及び2層目の配線層M2に限定されない。即ち、多層配線層40は、半導体層20側から数えてn層目（nは自然数）の配線層に平面視で光電変換領域21と

重畳して設けられた第1配線43eと、n層目の配線層よりも上層の配線層に平面視で光電変換領域21と重畳し、かつ第1配線43eと交差して設けられた第2配線45eとを備えていればよい。そして、第1配線43eは、半導体層20の厚さ方向（Z方向）と交差する二次元平面内で互いに交差するX方向及びY方向のうちのY方向（又はX方向）に延伸し、かつX方向（又はY方向）に所定の間隔を空けて繰り返し配置され、第2配線45eは、X方向（又はY方向）に延伸し、かつY方向（又はX方向）に所定の間隔を空けて繰り返し配置されていればよい。この場合も、第1配線43e及び第2配線45eの各々の配列ピッチは、使用する波長の $1/4$ 以下とすることが好ましい。

この第5実施形態では、混色を抑制し、高解像度を実現したまま量子効率QEを高めることができ、さらに各配線層を信号線として利用することができる。

[0145] 〔第6実施形態〕

本技術の第6実施形態に係る固体撮像装置1Fは、基本的に上述の第1実施形態に係る固体撮像装置1Aと同様の構成になっており、分離領域50の構成が異なっている。

[0146] 即ち、図20に示すように、この第6実施形態に係る固体撮像装置1Fの分離領域50は、半導体層20の深さ方向（Z方向）に延伸する掘り込み部51の内壁（側壁及び底壁）に沿って設けられた固定電荷膜53と、この掘り込み部51に固定電荷膜53を介して設けられ、かつ半導体層20よりも屈折率が低い光反射体としての絶縁膜54aと、を含む。

[0147] 固定電荷膜53は、半導体層20の第2の面部S2及び半導体層20の掘り込み部51に亘って設けられている。固定電荷膜53は、例えば負の固定電荷を発生させる誘電体膜を含んでいる。この誘電体膜としては、誘電率が高い例えば酸化ハフニウム（ HfO_2 ）を用いることができる。この固定電荷膜53により、半導体層20と分離領域50との界面部に正孔（ h^+ ）が誘起され、この界面部でのピニングを確保することができるため、暗電流の発生

を抑制することができる。この誘電体膜としては、他に酸化ジルコニウム（ ZrO_2 ）や酸化タンタル（ Ta_2O_5 ）などを用いることができる。

[0148] 固定電荷膜 53 の膜厚は、絶縁膜 54 a の膜厚と比較して極めて薄いので、固定電荷膜 53 及び絶縁膜 54 a を含めて光反射体としてみなすことができる。したがって、光反射体として固定電荷膜 53 及び絶縁膜 54 a を含む分離領域 50 を備えた固体撮像装置 1 F においても本技術を適用することができる。

この第 6 実施形態では、混色を抑制し、高解像度を実現したまま量子効率 QE を高めることができ、さらに暗時のノイズ成分を抑制することができる。

[0149] [第 7 実施形態]

《電子機器への応用例》

本技術（本開示に係る技術）は、例えば、デジタルスチルカメラ、デジタルビデオカメラ等の撮像装置、撮像機能を備えた携帯電話機、又は、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0150] 図 21 は、本技術の第 7 実施形態に係る電子機器（例えば、カメラ）の概略構成を示す図である。

[0151] 図 21 に示すように、電子機器 100 は、固体撮像装置 101 と、光学レンズ 102 と、シャッタ装置 103 と、駆動回路 104 と、信号処理回路 105 とを備えている。この電子機器 100 は、固体撮像装置 101 として、本技術の第 1 実施形態から第 6 実施形態に係る固体撮像装置 1 ~ 1 F を電子機器（例えばカメラ）に用いた場合の実施形態を示す。

[0152] 光学レンズ 102 は、被写体からの像光（入射光 106）を固体撮像装置 101 の撮像面上に結像させる。これにより、固体撮像装置 101 内に一定期間にわたって信号電荷が蓄積される。シャッタ装置 103 は、固体撮像装置 101 への光照射期間及び遮光期間を制御する。駆動回路 104 は、固体撮像装置 101 の転送動作及びシャッタ装置 103 のシャッタ動作を制御する駆動信号を供給する。駆動回路 104 から供給される駆動信号（タイミン

グ信号)により、固体撮像装置101の信号転送を行なう。信号処理回路105は、固体撮像装置101から出力される信号(画素信号(画像信号))に各種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。

[0153] このような構成により、固体撮像装置201において高画質化が図れているため、第7実施形態の電子機器100においても、高画質化を図ることができる。

[0154] なお、上述の実施形態の固体撮像装置を適用できる電子機器100としては、カメラに限られるものではなく、他の電子機器にも適用することができる。例えば、携帯電話機やタブレット端末等のモバイル機器向けカメラモジュール等の撮像装置に適用してもよい。

[0155] また、本技術は、上述したイメージセンサとしての固体撮像装置の他、ToF (Time of Flight) センサと称され、距離を測定する測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射されて返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間に基づいて物体までの距離を算出するセンサである。この測距センサの素子分離領域の構造として、上述した素子分離領域の構造を採用することができる。

[0156] なお、本技術は、以下のような構成としてもよい。

(1)

互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、
前記半導体層の厚さ方向に延伸する分離領域と、
前記分離領域で区画された複数の光電変換領域と、
前記複数の光電変換領域の各々の光電変換領域に設けられ、かつ前記半導体層の前記第2の面部側から入射した光を光電変換する光電変換部と、
前記半導体層の前記第1の面部側に設けられた遮光体及び多層配線層と、
を備え、

前記分離領域は、前記半導体層の掘り込み部に前記半導体層の前記第 1 の面部側と前記第 2 の面部側とに亘って設けられ、かつ前記半導体層よりも屈折率が低い光反射体を含み、

前記遮光体は、前記分離領域と前記多層配線層とに亘って設けられ、かつ前記半導体層よりも消衰係数が高い、光検出装置。

(2)

前記遮光体は、前記多層配線層の前記半導体層側から数えて n 層目 (n は自然数) の配線層の配線と接合されている、上記 (1) に記載の光検出装置。

(3)

前記遮光体は、前記多層配線層の前記半導体層側から数えて 1 層目の配線層の配線と接合されている、上記 (1) に記載の光検出装置。

(4)

前記遮光体は、前記分離領域において、前記光反射体を介して前記半導体層と隣り合っている、上記 (1) から (3) の何れかに記載の光検出装置。

(5)

前記遮光体は、平面視で前記光電変換領域を囲んでいる、上記 (1) から (4) の何れかに記載の光検出装置。

(6)

前記遮光体は、平面視で環状に連続又は点在している、上記 (5) に記載の光検出装置。

(7)

前記光電変換領域は、前記半導体層の第 1 の面部側にゲート電極が設けられた電界効果トランジスタを更に備え、

前記遮光体は、平面視で前記画素トランジスタの周囲の一部を囲んでいる、上記 (1) から (4) の何れかに記載の光検出装置。

(8)

前記遮光体は、前記多層配線層の前記半導体層側から数えて n 層目 (n は

自然数)の配線に接合され、

前記遮光体及び前記配線は、平面視で互いに重畳して前記光電変換領域の周囲の全周又は一部を囲んでいる、上記(1)から(7)の何れかに記載の光検出装置。

(9)

前記多層配線層は、平面視で前記光電変換領域を部分的に覆う光反射プレートを備えている、上記(1)から(8)の何れかに記載の光検出装置。

(10)

前記多層配線層は、平面視で複数の前記光電変換領域を覆う光反射プレートを備えている、上記(1)から(8)の何れかに記載の光検出装置。

(11)

前記多層配線層は、前記半導体層側から数えて n 層目(n は自然数)の配線層に平面視で前記光電変換領域と重畳して設けられた第1配線と、

前記 n 層目の配線層よりも上層の配線層に平面視で前記光電変換領域と重畳し、かつ第1配線と交差して設けられた第2配線とを備え、

前記第1配線は、前記半導体層の厚さ方向と交差する二次元平面内で互いに交差する X 方向及び Y 方向のうちの前記 X 方向に延伸し、かつ Y 方向に所定の間隔を空けて繰り返し配置され、

前記第2配線は、前記 Y 方向に延伸し、かつ X 方向に所定の間隔を空けて繰り返し配置されている、上記(1)から(8)の何れかに記載の光検出装置。

(12)

前記光反射体は、酸化シリコン膜又は空気である、上記(1)から(11)の何れかに記載の光検出装置。

(13)

前記光電変換領域と前記分離領域との界面部を lf とし、

前記光電変換領域の厚さ方向と直交する仮想線と、前記界面部に照射される反射光とが前記界面部でなす角度を θ_0 とし、

前記遮光体の前記分離領域内に位置する埋設部分において、前記半導体層の前記第1の面部から前記第2の面側に向かった深さを X_1 とし、

平面視で前記光電変換領域の互いに反対側に位置する2つの角部を結ぶ対角方向の長さを Y_1 としたとき、

前記光反射体が酸化膜の場合、前記埋設部分の深さ X_1 は、

$X_1 > Y_1 \times \tan 19.5^\circ$ 以上である、

上記(1)から(12)の何れかに記載の光検出装置。

(14)

前記光電変換領域と前記分離領域との界面部を lf とし、

前記光電変換領域の厚さ方向と直交する仮想線と、前記界面部に照射される反射光とが前記界面部でなす角度を θ_0 とし、

前記遮光体の前記分離領域内に位置する埋設部分において、前記半導体層の前記第1の面部から前記第2の面側に向かった深さを X_1 とし、

平面視で前記光電変換領域の互いに反対側に位置する2つの角部を結ぶ対角方向の長さを Y_1 としたとき、

前記光反射体が空気の場合、前記埋設部分の深さ X_1 は、

$X_1 > Y_1 \times \tan 13.8^\circ$ 以上である、

上記(1)から(12)の何れかに記載の光検出装置。

(15)

上記(1)から(14)の何れかに記載の光検出装置と、

被写体からの像光を前記光検出装置の撮像面上に結像させる光学レンズと、

前記光検出装置から出力される信号に信号処理を行う信号処理回路と、
を備えている、電子機器。

[0157] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のう

ち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

- [0158] 1 A, 1 B, 1 C, 1 D, 1 E, 1 F 固体撮像装置
- 2 半導体チップ
 - 2 A 画素アレイ部
 - 2 B 周辺部
 - 3 センサ画素
 - 4 垂直駆動回路
 - 5 カラム信号処理回路
 - 6 水平駆動回路
 - 7 出力回路
 - 8 制御回路
 - 1 0 画素駆動線
 - 1 1 垂直信号線
 - 1 3 ロジック回路
 - 1 4 ボンディングパッド
 - 1 5 画素回路（読出し回路）
 - 2 0 半導体層
 - 2 1 光電変換領域
 - 2 2 p型のウエル領域
 - 2 3 n型のウエル領域
 - 2 4 光電変換部
 - 3 0 遮光体
 - 3 1 金属膜
 - 3 2 空洞部
 - 4 0 多層配線層
 - 4 1 層間絶縁膜
 - M 1 1層目の配線層

4 3, 4 3 b 配線
4 3 c, 4 3 d 光反射プレート
4 3 d₁ 貫通孔
4 3 e 第1配線
4 4 層間絶縁膜
M 2 2層目の配線層
4 5 配線
4 5 e 第2配線
4 6 層間絶縁膜
M 3 3層目の配線層
4 7 配線
4 8 層間絶縁膜
4 9 コンタクト電極
5 0 分離領域
5 1 掘り込み部
5 2 回折散乱部
5 3 固定電荷膜
6 1 遮光膜
6 2 カラーフィルタ
6 3 マイクロレンズ
A M P 増幅トランジスタ
R S T リセットトランジスタ
S E L 選択トランジスタ
S 1 第1の面部
S 2 第2の面部
T R 転送トランジスタ

請求の範囲

- [請求項1] 互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、
前記半導体層の厚さ方向に延伸する分離領域と、
前記分離領域で区画された複数の光電変換領域と、
前記複数の光電変換領域の各々の光電変換領域に設けられ、かつ前記半導体層の前記第2の面部側から入射した光を光電変換する光電変換部と、
前記半導体層の前記第1の面部側に設けられた遮光体及び多層配線層と、
を備え、
前記分離領域は、前記半導体層の掘り込み部に前記半導体層の前記第1の面部側と前記第2の面部側とに亘って設けられ、かつ前記半導体層よりも屈折率が低い光反射体を含み、
前記遮光体は、前記分離領域と前記多層配線層とに亘って設けられ、かつ前記半導体層よりも消衰係数が高い、光検出装置。
- [請求項2] 前記遮光体は、前記多層配線層の前記半導体層側から数えて n 層目（ n は自然数）の配線層の配線と接合されている、請求項1に記載の光検出装置。
- [請求項3] 前記遮光体は、前記多層配線層の前記半導体層側から数えて1層目の配線層の配線と接合されている、請求項1に記載の光検出装置。
- [請求項4] 前記遮光体は、前記分離領域において、前記光反射体を介して前記半導体層と隣り合っている、請求項1に記載の光検出装置。
- [請求項5] 前記遮光体は、平面視で前記光電変換領域を囲んでいる、請求項1に記載の光検出装置。
- [請求項6] 前記遮光体は、平面視で環状に連続又は点在している、請求項5に記載の光検出装置。
- [請求項7] 前記光電変換領域は、前記半導体層の第1の面部側にゲート電極が

設けられた電界効果トランジスタを更に備え、

前記遮光体は、平面視で前記画素トランジスタの周囲の一部を囲んでいる、請求項 1 に記載の光検出装置。

[請求項8] 前記遮光体は、前記多層配線層の前記半導体層側から数えて n 層目（ n は自然数）の配線に接合され、

前記遮光体及び前記配線は、平面視で互いに重畳して前記光電変換領域の周囲の全周又は一部を囲んでいる、請求項 1 に記載の光検出装置。

[請求項9] 前記多層配線層は、平面視で前記光電変換領域を部分的に覆う光反射プレートを備えている、請求項 1 に記載の光検出装置。

[請求項10] 前記多層配線層は、平面視で複数の前記光電変換領域を覆う光反射プレートを備えている、請求項 1 に記載の光検出装置。

[請求項11] 前記多層配線層は、前記半導体層側から数えて n 層目（ n は自然数）の配線層に平面視で前記光電変換領域と重畳して設けられた第 1 配線と、

前記 n 層目の配線層よりも上層の配線層に平面視で前記光電変換領域と重畳し、かつ第 1 配線と交差して設けられた第 2 配線とを備え、

前記第 1 配線は、前記半導体層の厚さ方向と交差する二次元平面内で互いに交差する X 方向及び Y 方向のうちの前記 X 方向に延伸し、かつ Y 方向に所定の間隔を空けて繰り返し配置され、

前記第 2 配線は、前記 Y 方向に延伸し、かつ X 方向に所定の間隔を空けて繰り返し配置されている、請求項 1 に記載の光検出装置。

[請求項12] 前記光反射体は、酸化シリコン膜又は空気である、請求項 1 に記載の光検出装置。

[請求項13] 前記光電変換領域と前記分離領域との界面部を l とし、

前記光電変換領域の厚さ方向と直交する仮想線と、前記界面部に照射される反射光とが前記界面部でなす角度を θ_0 とし、

前記遮光体の前記分離領域内に位置する埋設部分において、前記半

導体層の前記第1の面部から前記第2の面側に向かった深さを X_1 とし、

平面視で前記光電変換領域の互いに反対側に位置する2つの角部を結ぶ対角方向の長さを Y_1 としたとき、

前記光反射体が酸化膜の場合、前記埋設部分の深さ X_1 は、

$X_1 > Y_1 \times \tan 19.5^\circ$ 以上である、

請求項1に記載の光検出装置。

[請求項14]

前記光電変換領域と前記分離領域との界面部を lf とし、

前記光電変換領域の厚さ方向と直交する仮想線と、前記界面部に照射される反射光とが前記界面部でなす角度を θ_0 とし、

前記遮光体の前記分離領域内に位置する埋設部分において、前記半導体層の前記第1の面部から前記第2の面側に向かった深さを X_1 とし、

平面視で前記光電変換領域の互いに反対側に位置する2つの角部を結ぶ対角方向の長さを Y_1 としたとき、

前記光反射体が空気の場合、前記埋設部分の深さ X_1 は、

$X_1 > Y_1 \times \tan 13.8^\circ$ 以上である、

請求項1に記載の光検出装置。

[請求項15]

光検出装置と、

被写体からの像光を前記光検出装置の撮像面上に結像させる光学レンズと、

前記光検出装置から出力される信号に信号処理を行う信号処理回路と、

を備え、

前記光検出装置は、

互いに反対側に位置する第1の面部及び第2の面部を有する半導体層と、

前記半導体層の厚さ方向に延伸する分離領域と、

前記分離領域で区画された複数の光電変換領域と、

前記複数の光電変換領域の各々の光電変換領域に設けられ、かつ前記半導体層の前記第2の面部側から入射した光を光電変換する光電変換部と、

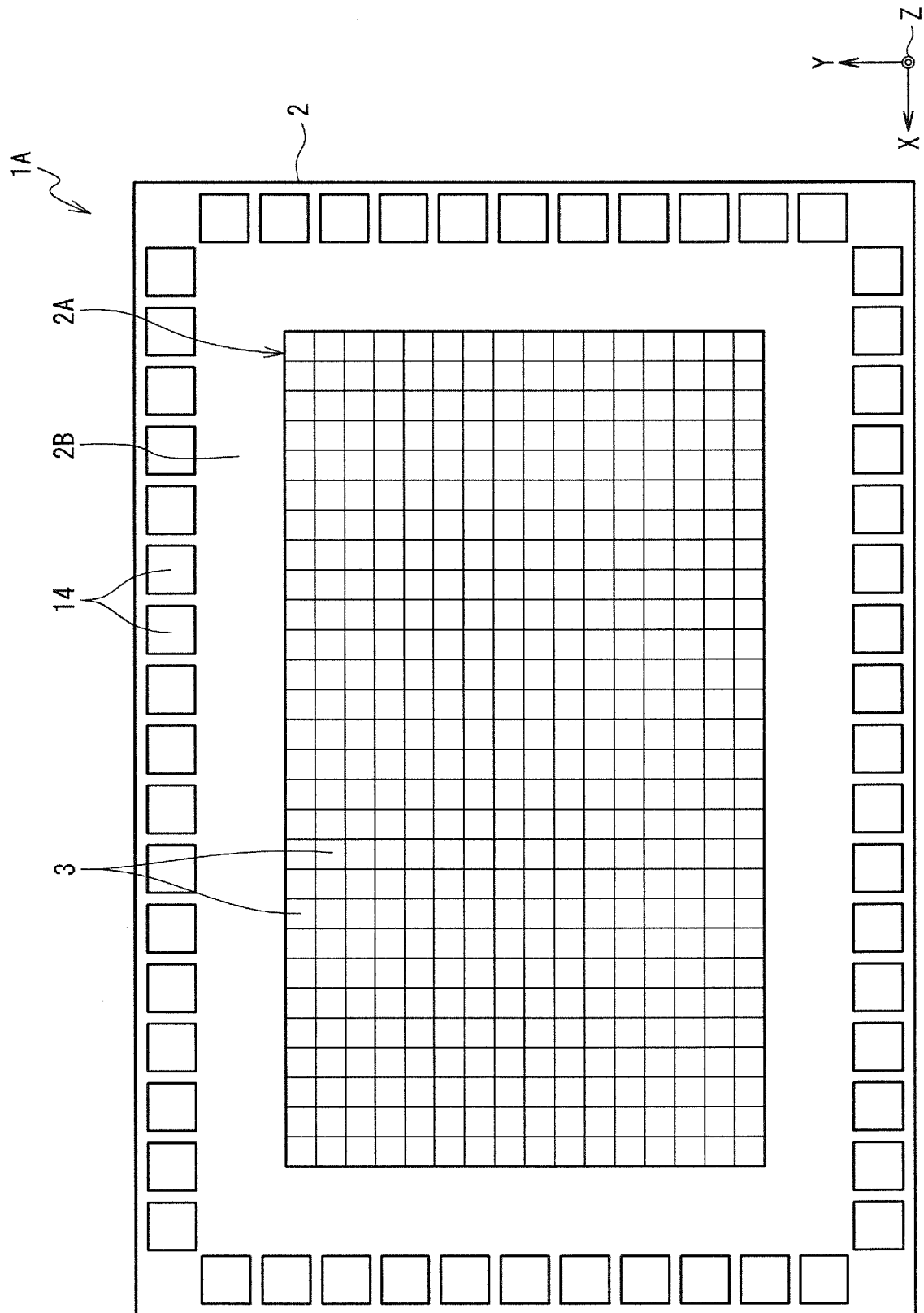
前記半導体層の前記第1の面部側に設けられた遮光体及び多層配線層と、

を備え、

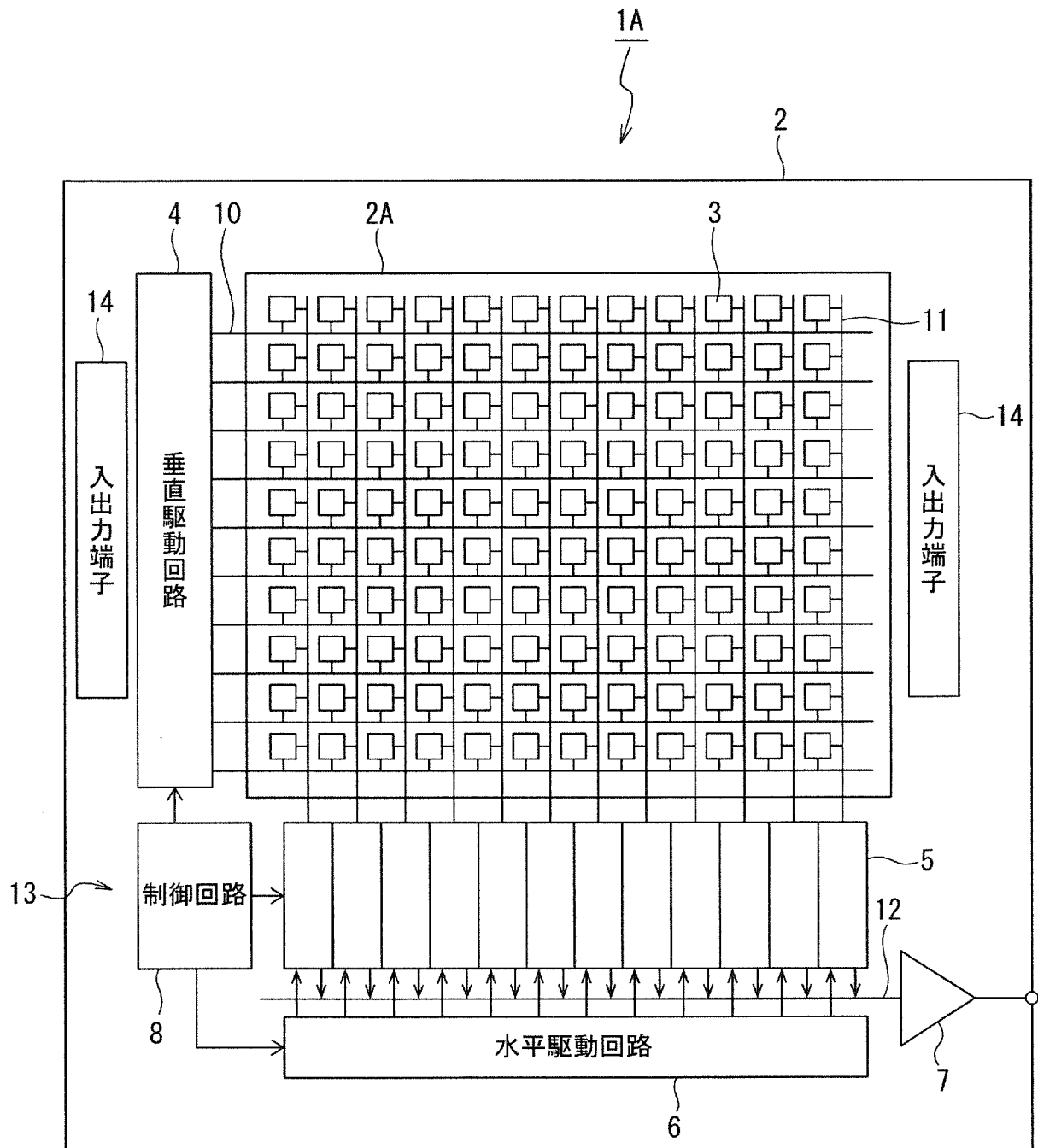
前記分離領域は、前記半導体層の掘り込み部に前記半導体層の前記第1の面部側と前記第2の面部側とに亘って設けられ、かつ前記半導体層よりも屈折率が低い光反射体を含み、

前記遮光体は、前記分離領域と前記多層配線層とに亘って設けられ、かつ前記半導体層よりも屈折率が高い、電子機器。

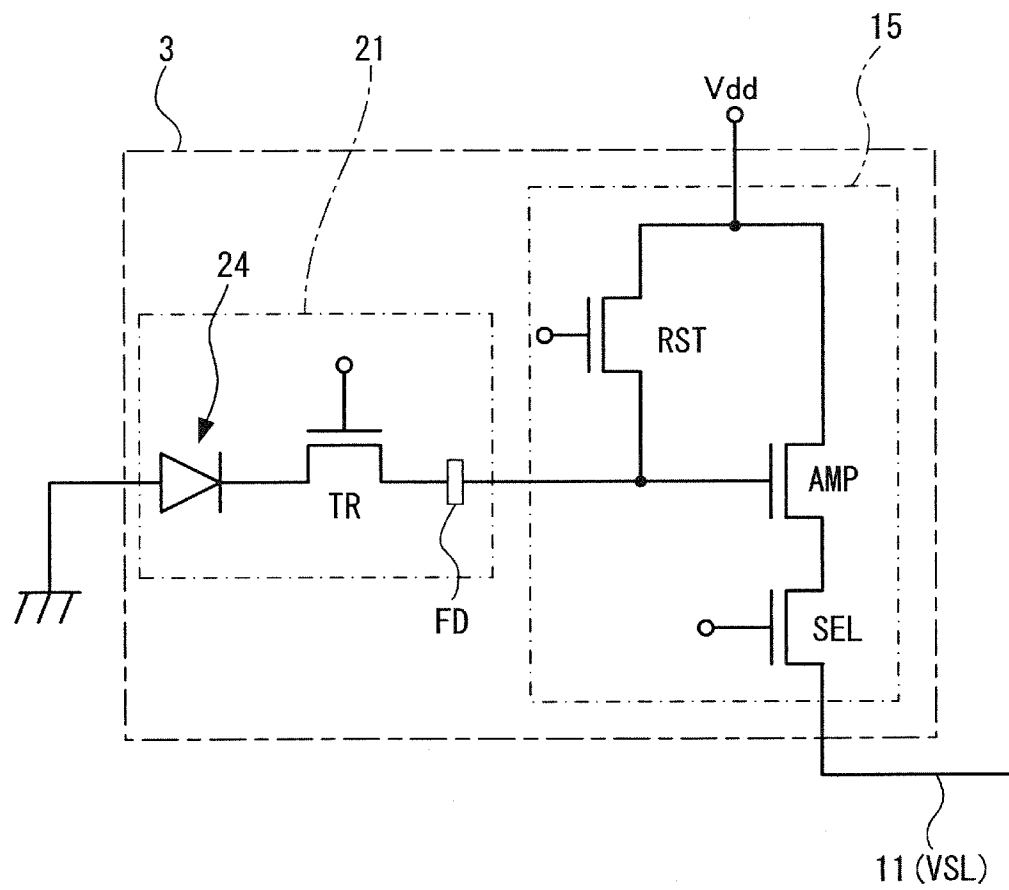
[図1]



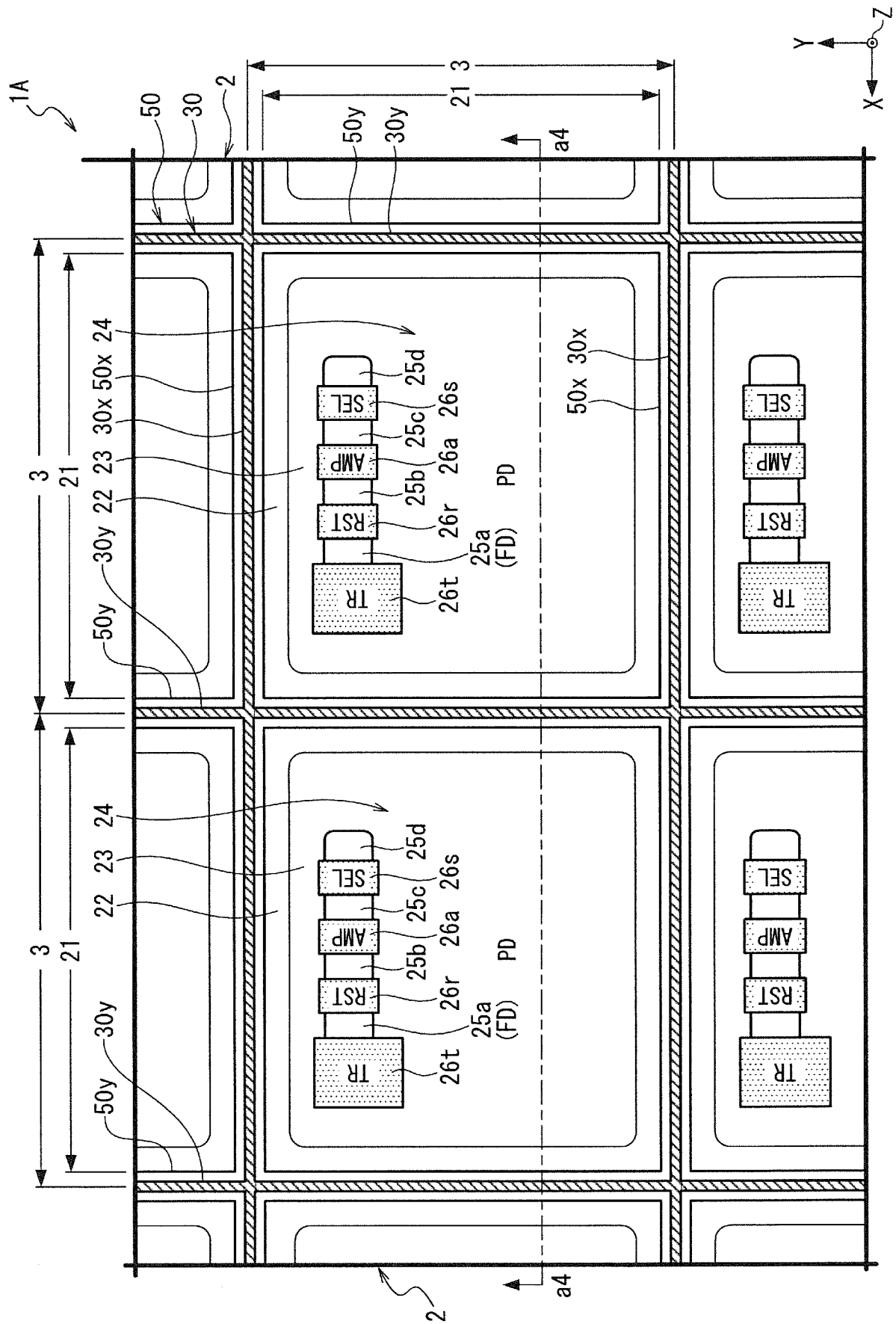
[図2]



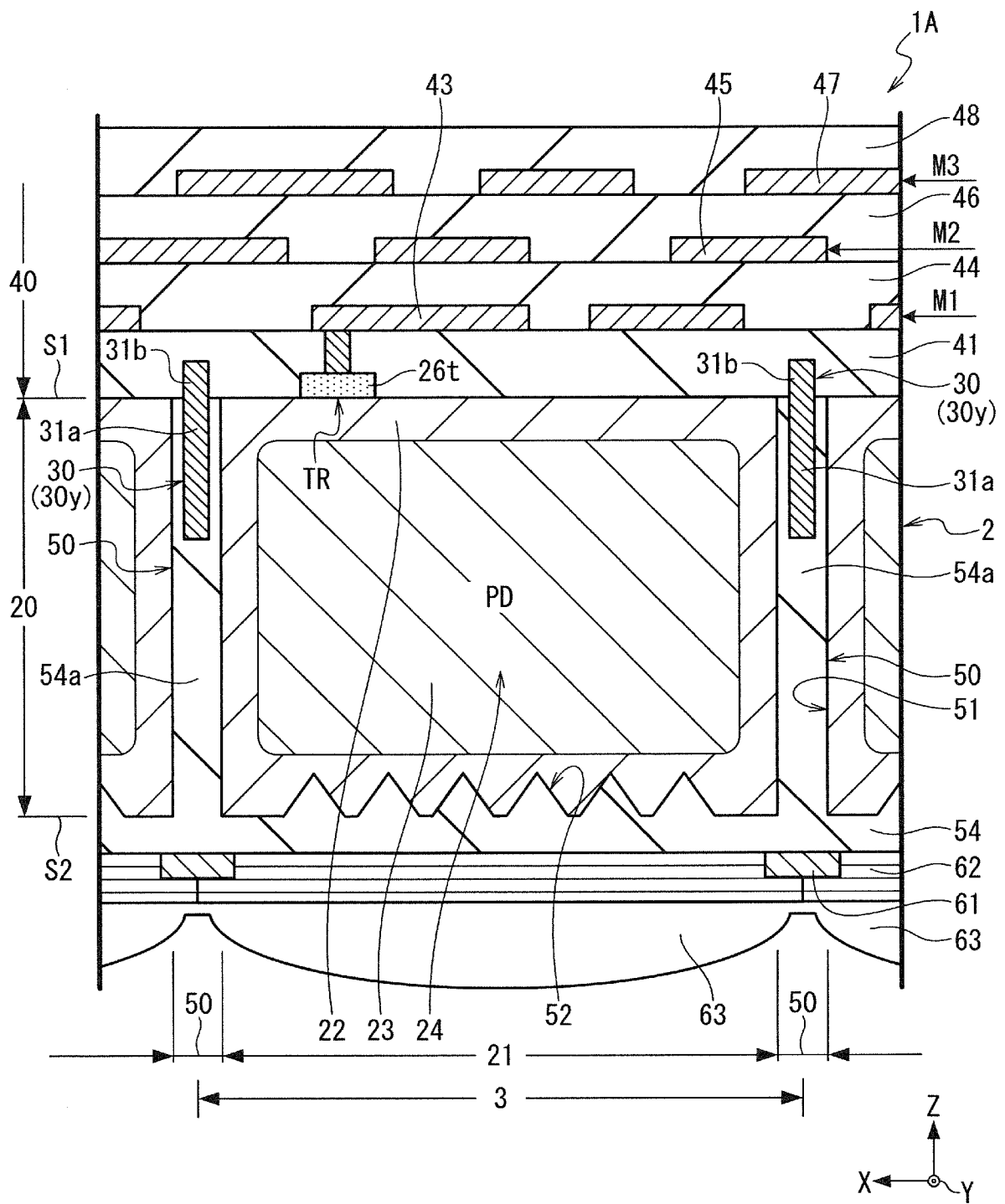
[図3]



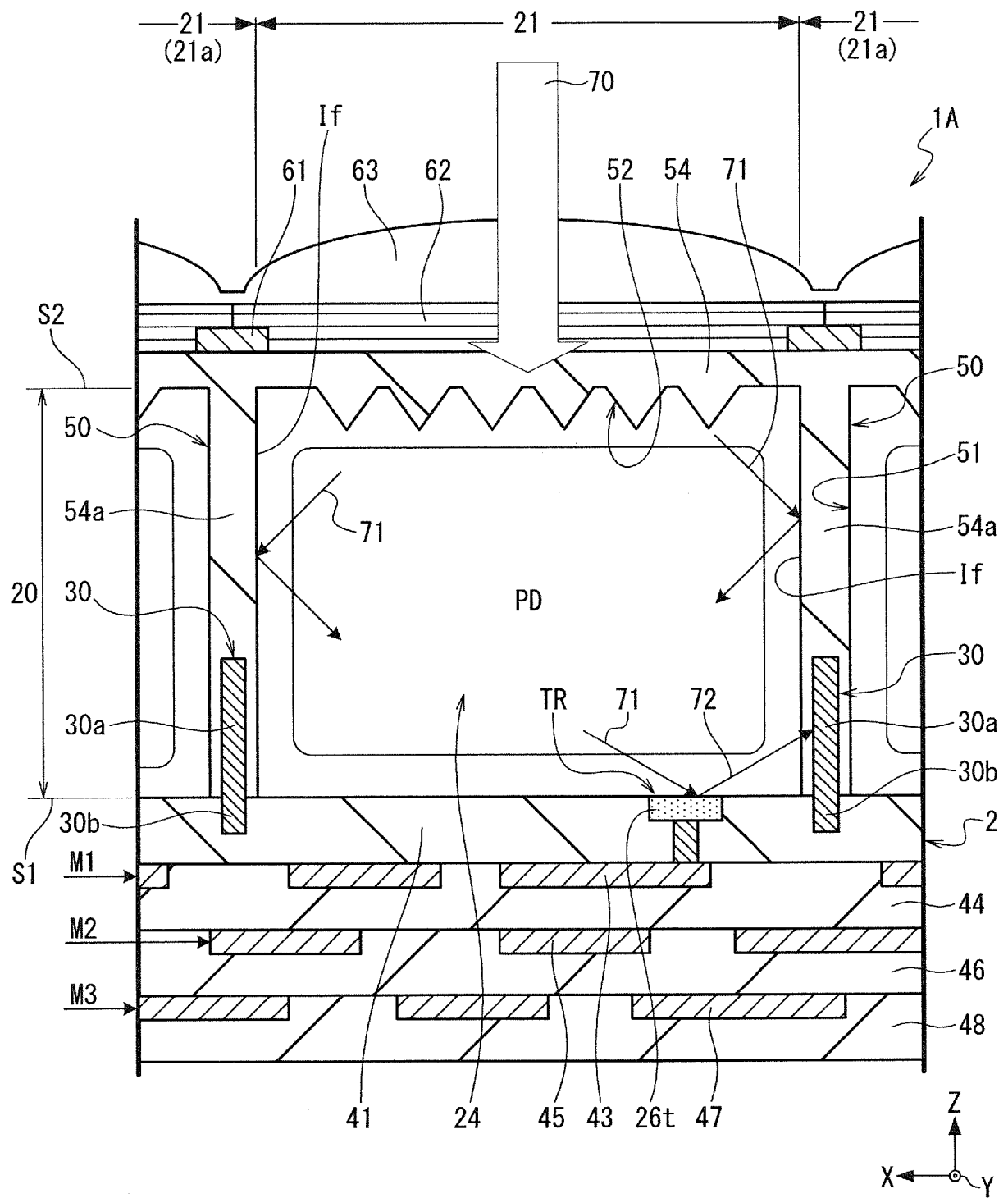
[図4]



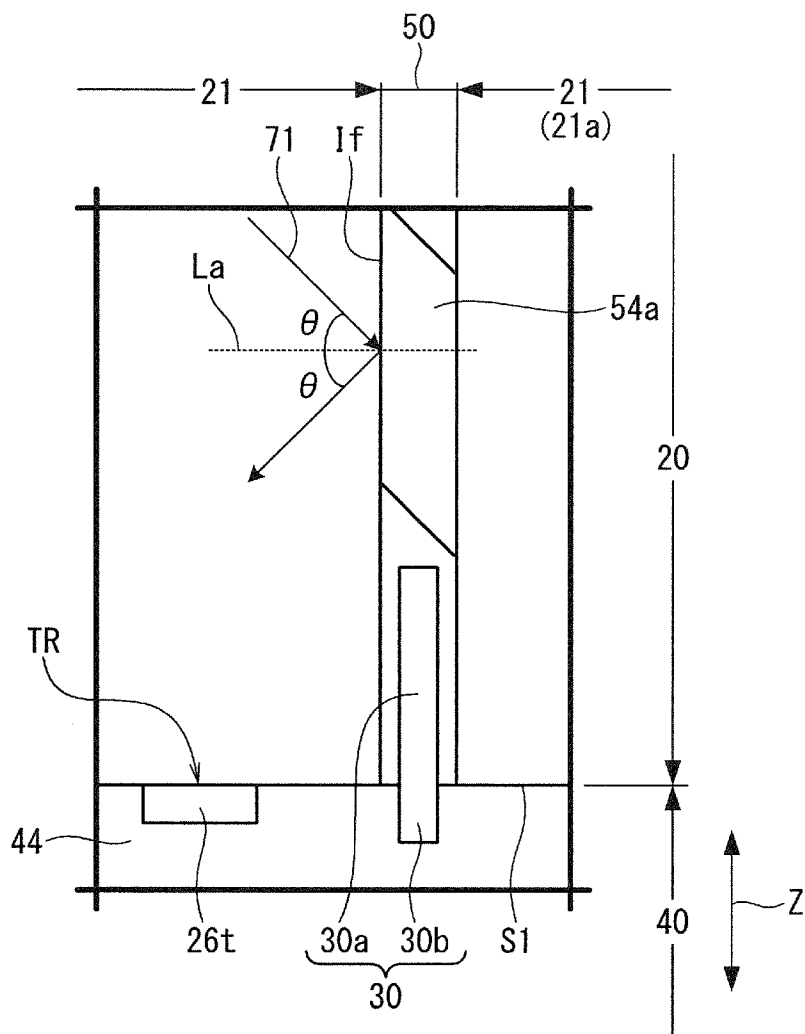
[図6]



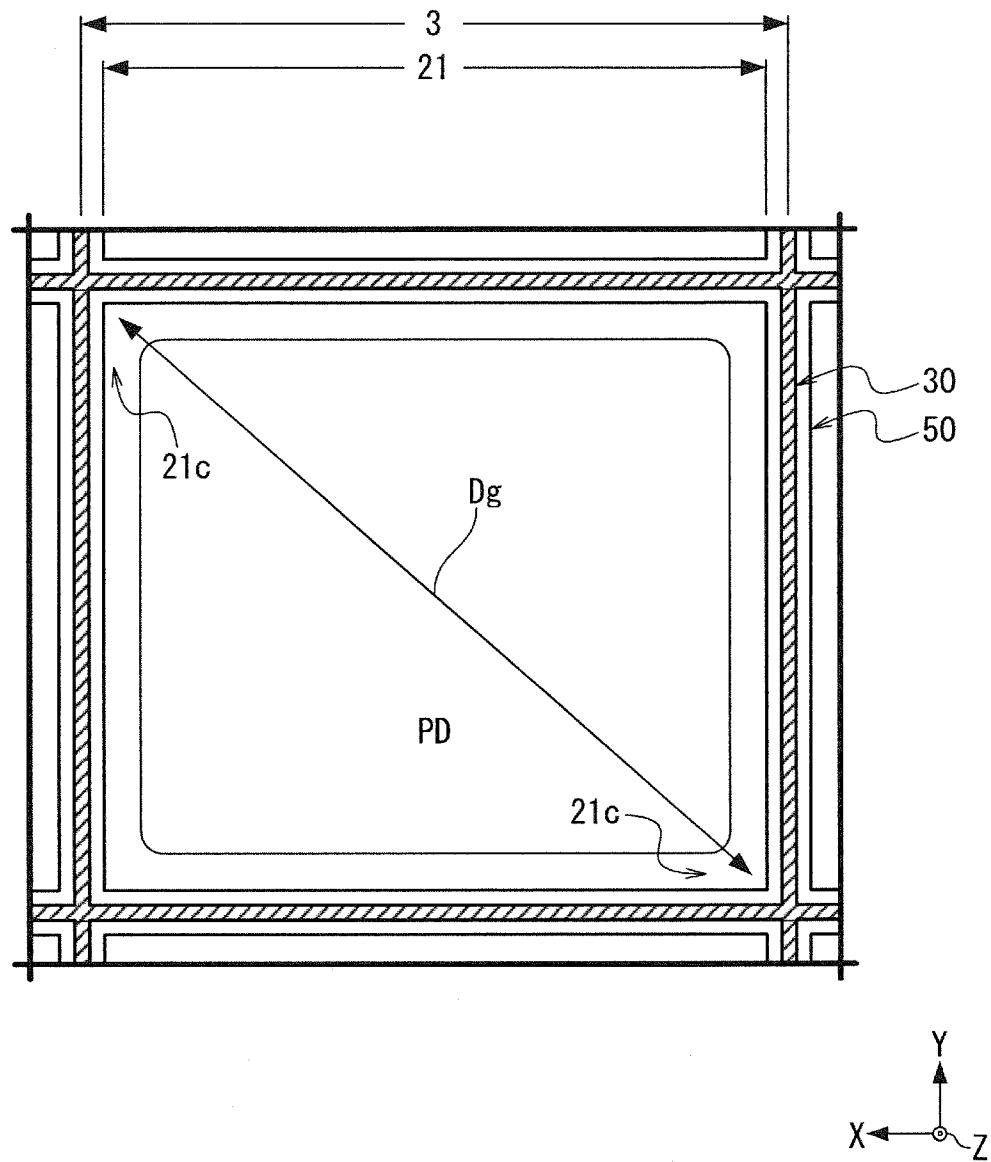
[図7]



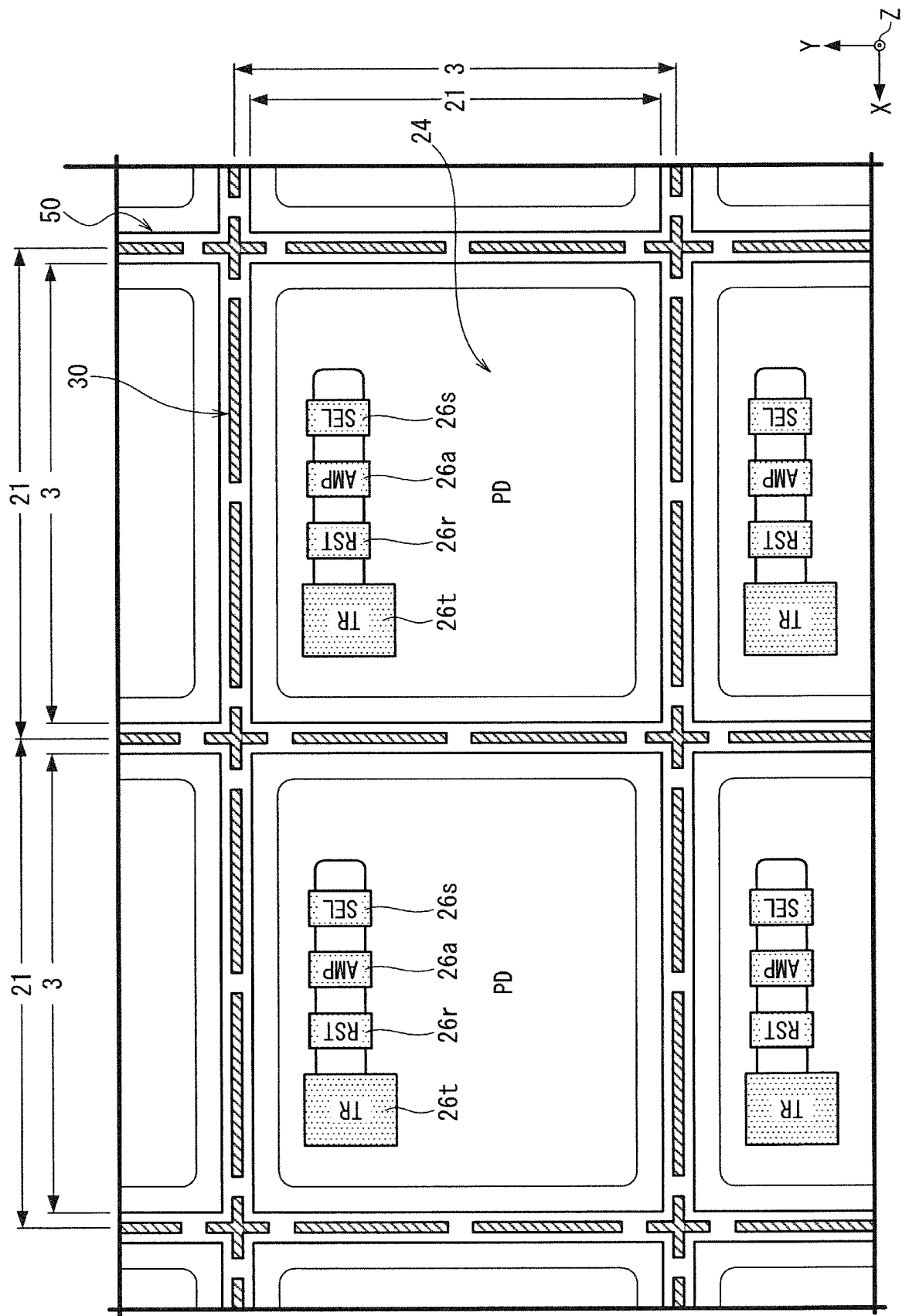
[図8A]



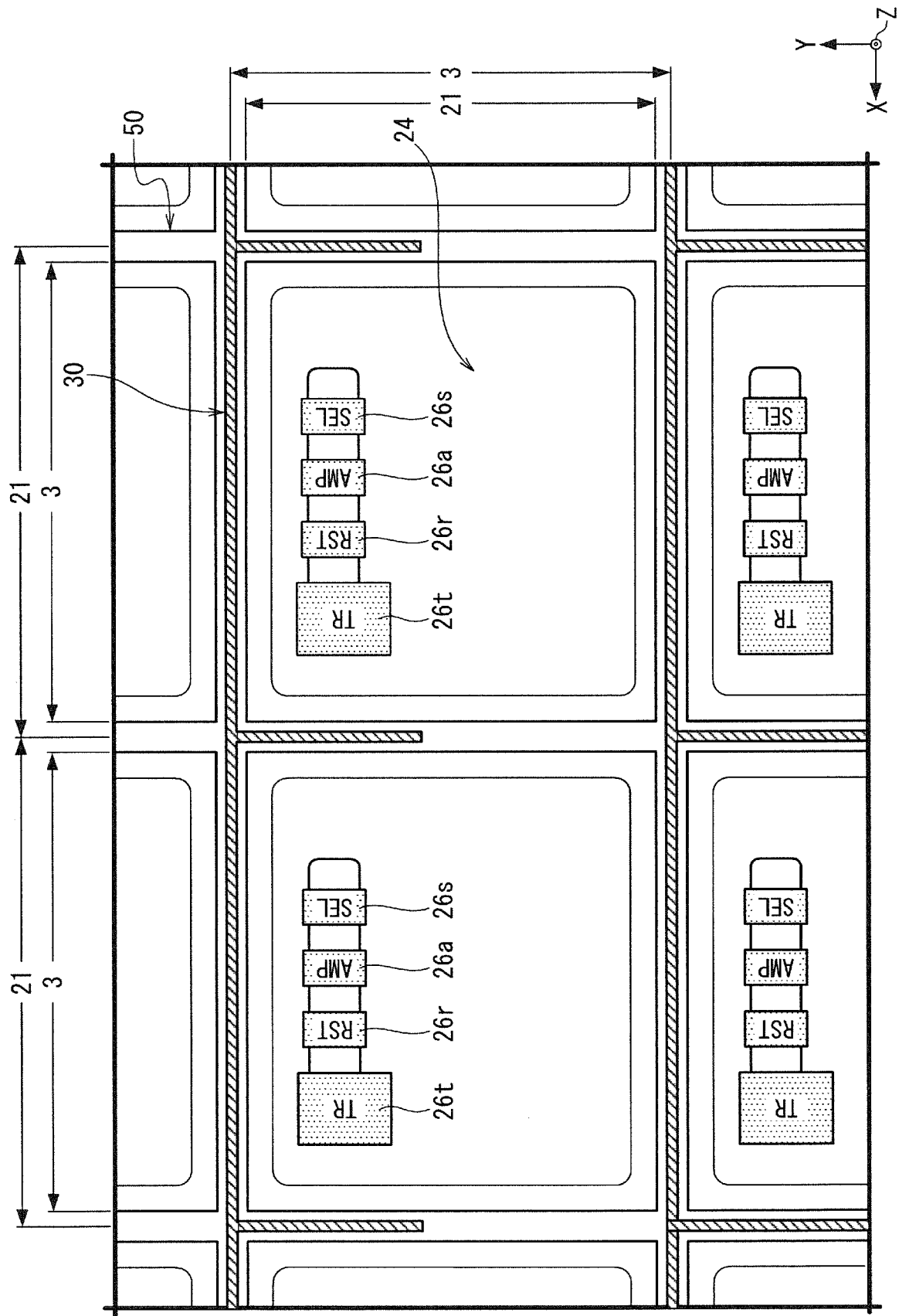
[図8D]



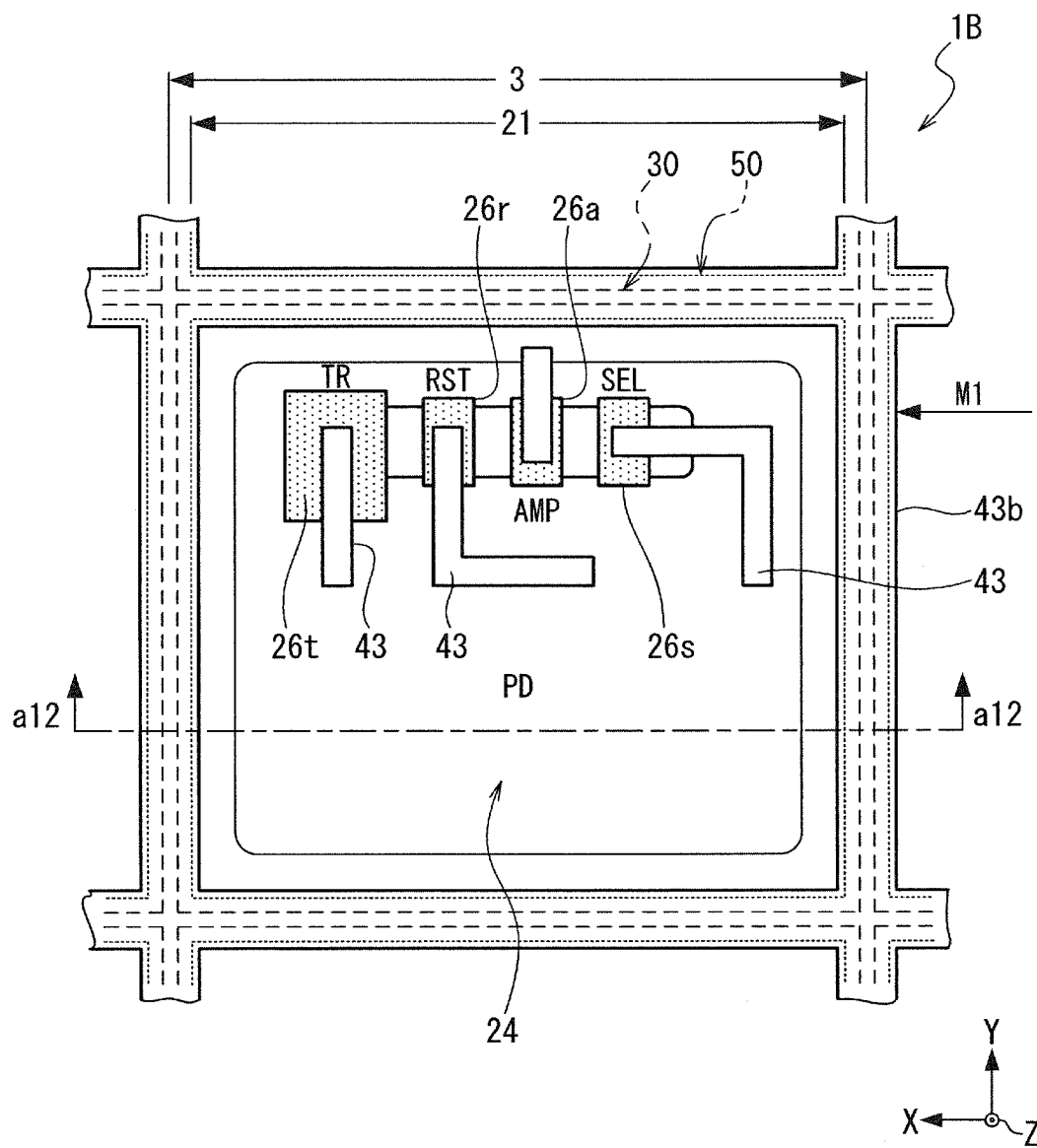
[図9A]



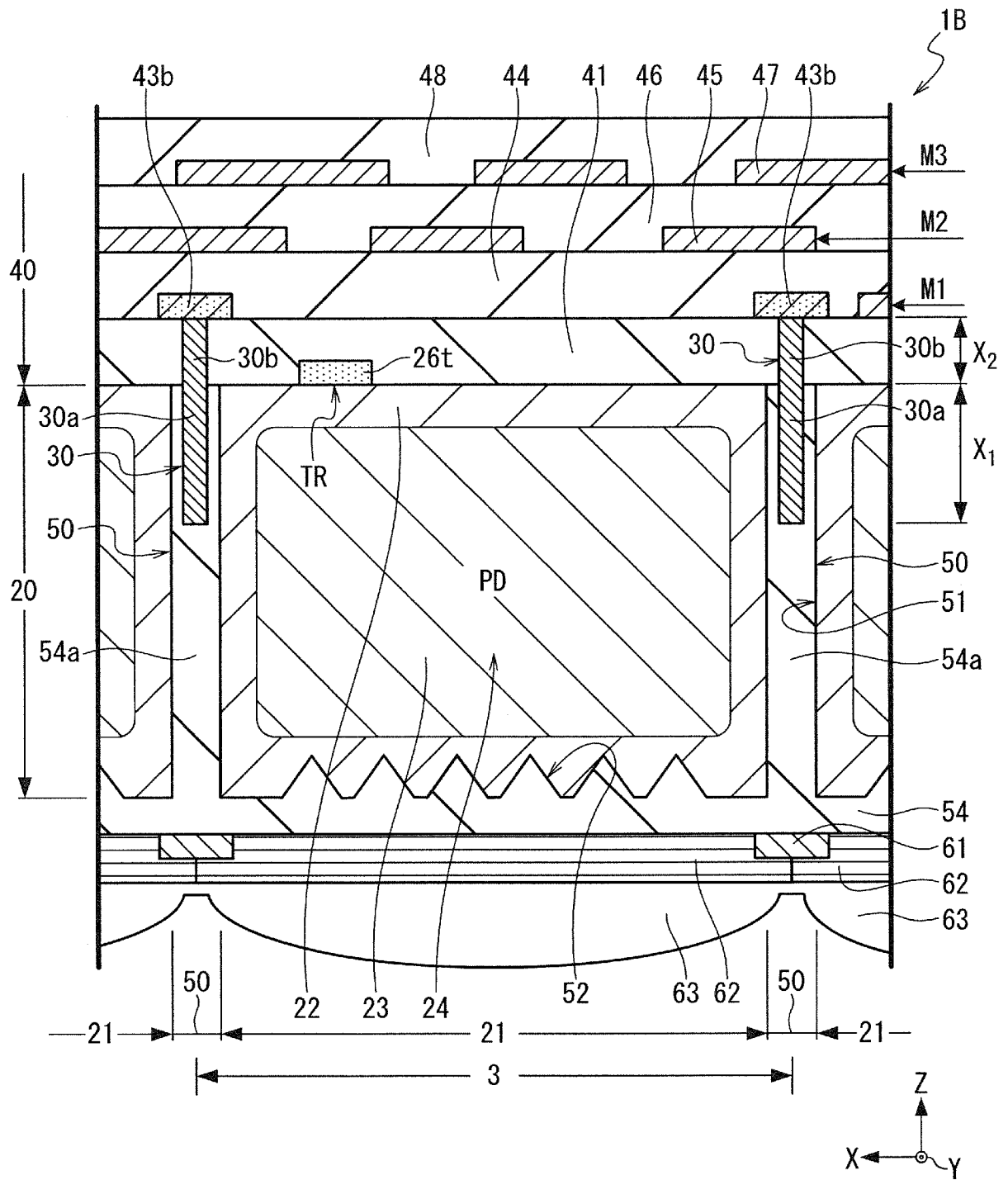
[図9B]



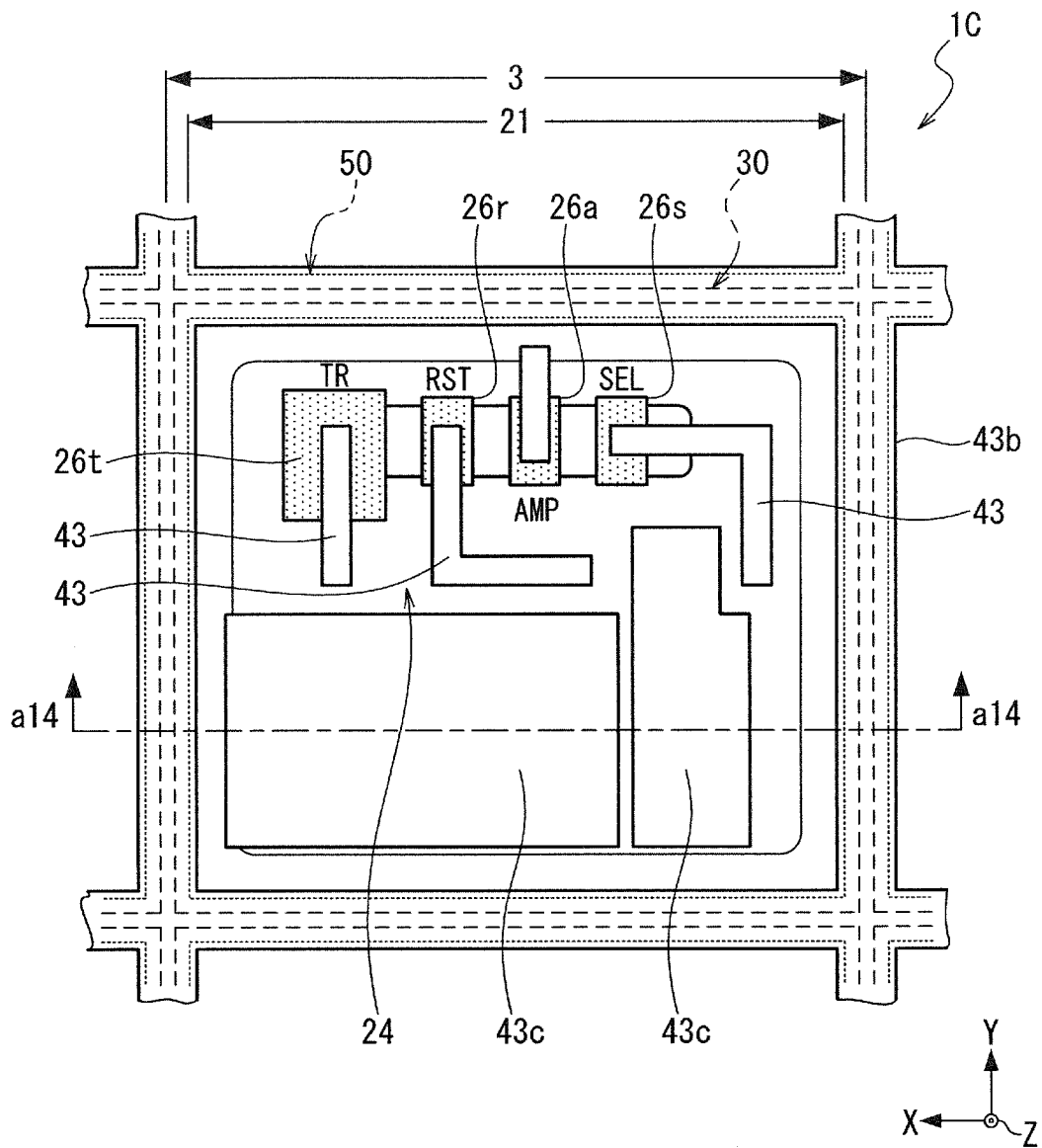
[図12]



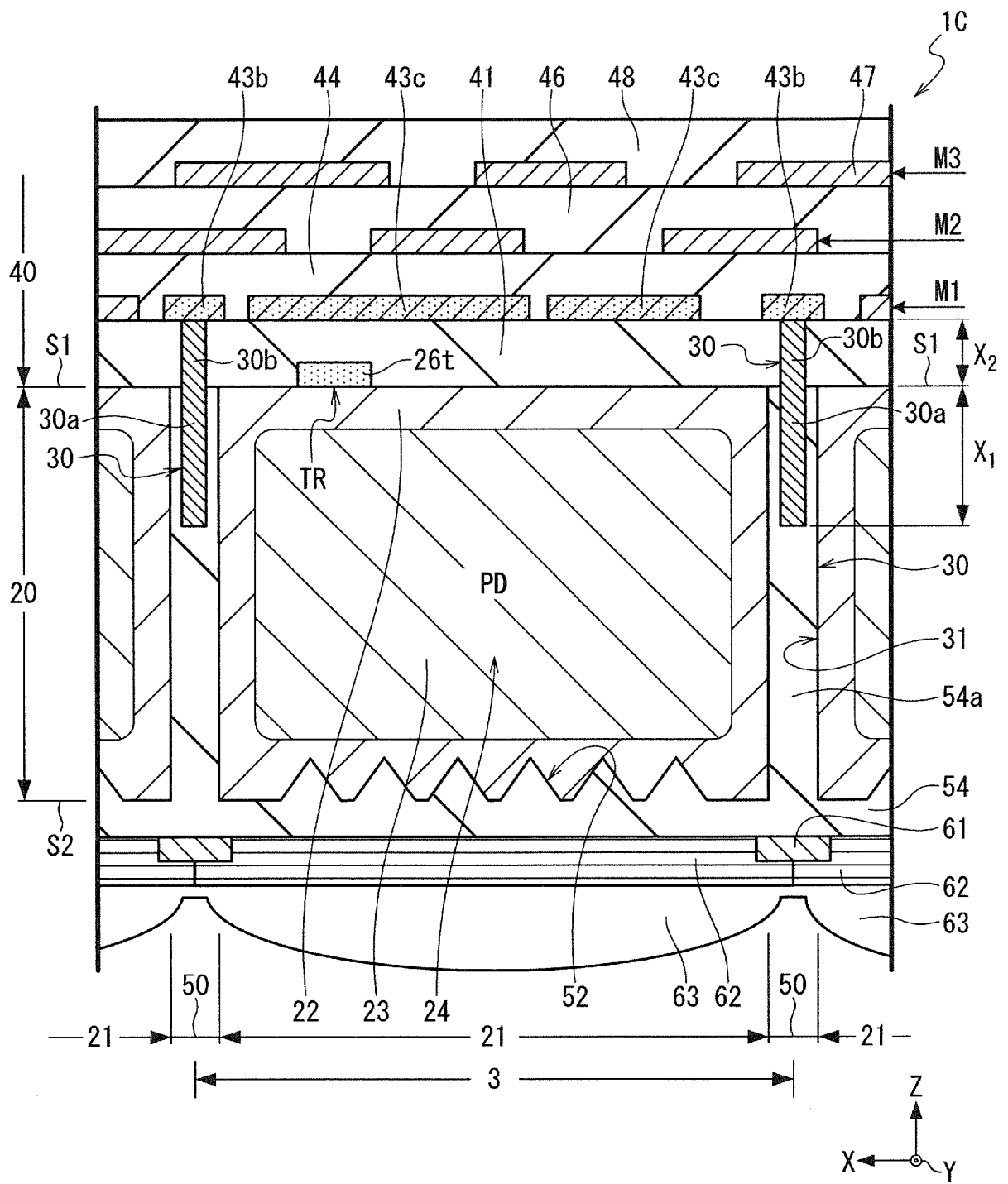
[図13]



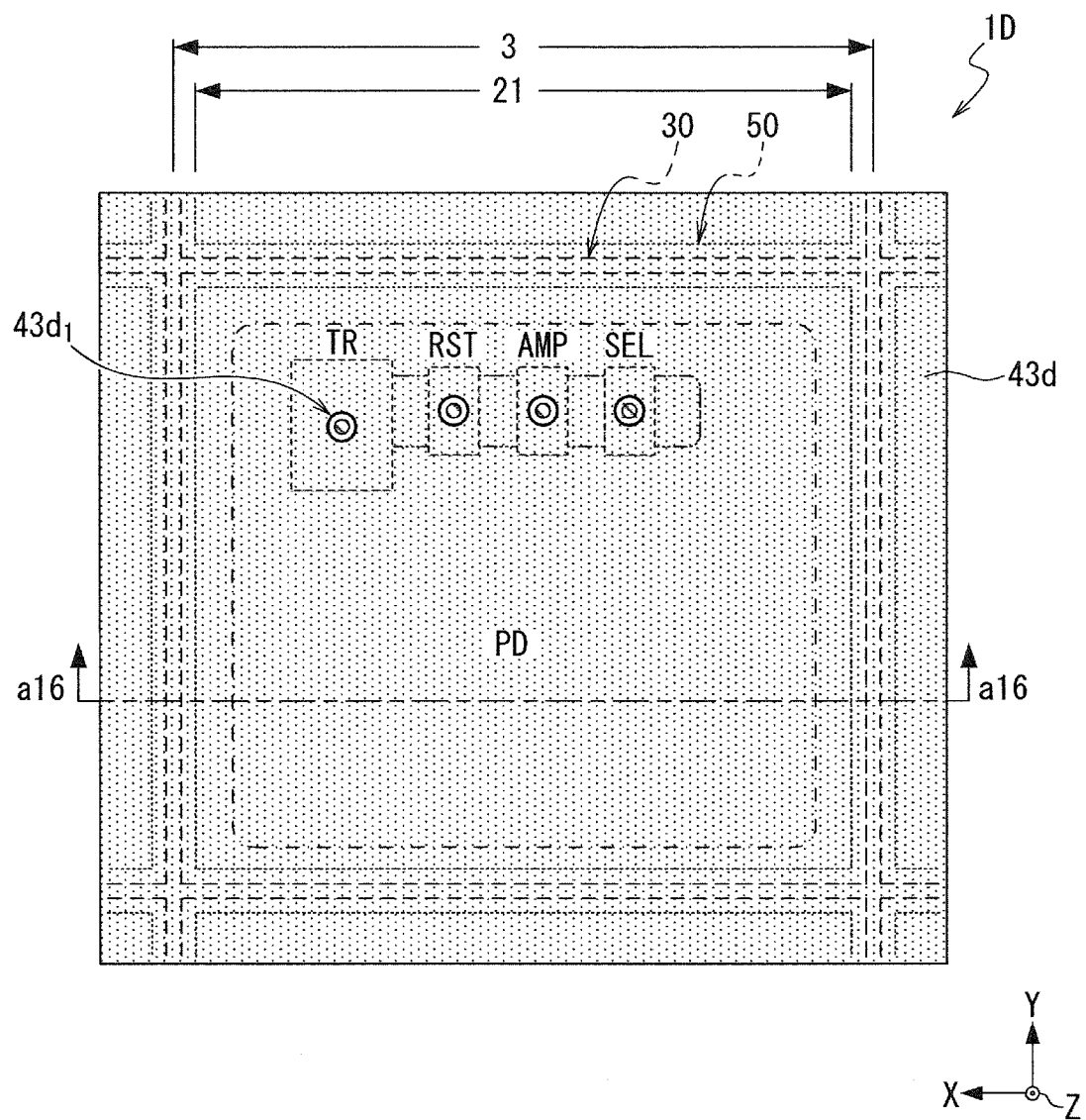
[図14]



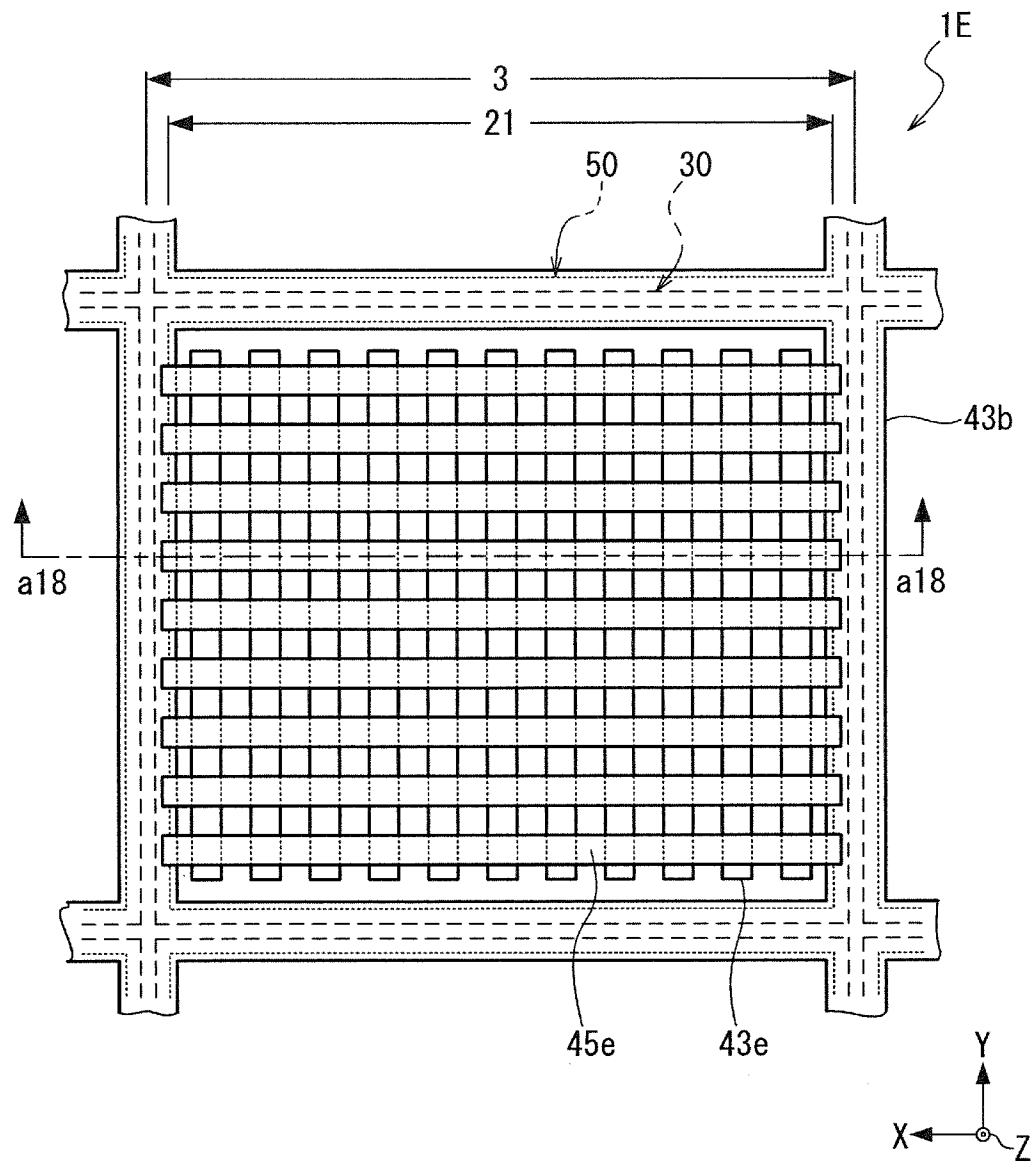
[図15]



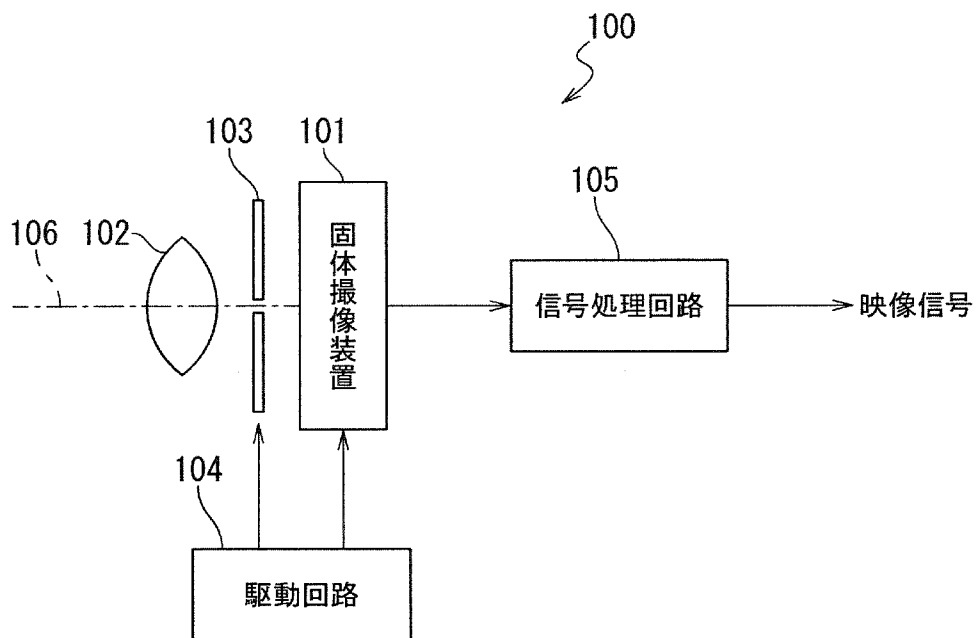
[図16]



[図18]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/035464

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 25/70**(2023.01)i

FI: H01L27/146 A; H04N25/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N25/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 110120396 A (UNITED MICROELECTRONICS CORP.) 13 August 2019 (2019-08-13) paragraphs [0055]-[0077], fig. 1, 2	1-15
Y	WO 2020/175195 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 03 September 2020 (2020-09-03) paragraphs [0052]-[0060], fig. 3, 9	1-15
Y	JP 2015-26708 A (TOSHIBA CORP.) 05 February 2015 (2015-02-05) fig. 3	1-15
Y	JP 2010-177705 A (SONY CORP.) 12 August 2010 (2010-08-12) fig. 1, 6	1-15
Y	WO 2021/251010 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 16 December 2021 (2021-12-16) paragraphs [0050]-[0072], fig. 3, 4	4, 13, 14
Y	JP 2009-290000 A (TOSHIBA CORP.) 10 December 2009 (2009-12-10) fig. 3, 6	11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

28 November 2023

Date of mailing of the international search report

12 December 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/035464**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-278143 A (SONY CORP.) 26 November 2009 (2009-11-26) fig. 10	11
A	JP 2018-88488 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07 June 2018 (2018-06-07) entire text, all drawings	1-15
P, X	CN 115513230 A (SMARTSENS (SHANGHAI) ELECTRONIC TECHNOLOGY CO., LTD.) 23 December 2022 (2022-12-23) paragraphs [0047]-[0057], [0071], [0086], fig. 1, 2, 4, 6	1-7, 12-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/035464

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	110120396	A	13 August 2019	(Family: none)	
WO	2020/175195	A1	03 September 2020	EP 3933927	A1
				paragraphs [0052]-[0060], fig. 3, 9	
				US 2022/0165770	A1
				CN 113330569	A
				KR 10-2021-0127159	A
				CN 115528056	A
				TW 202040992	A
JP	2015-26708	A	05 February 2015	US 2015/0028405	A1
				fig. 3	
				CN 104347652	A
				KR 10-2015-0012993	A
				TW 201505165	A
JP	2010-177705	A	12 August 2010	(Family: none)	
WO	2021/251010	A1	16 December 2021	JP 2021-193718	A
JP	2009-290000	A	10 December 2009	US 2009/0295979	A1
				fig. 3, 6	
JP	2009-278143	A	26 November 2009	(Family: none)	
JP	2018-88488	A	07 June 2018	US 2019/0252442	A1
				entire text, all drawings	
				WO 2018/101033	A1
				CN 109643722	A
CN	115513230	A	23 December 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 25/70(2023.01)i FI: H01L27/146 A; H04N25/70		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N25/70		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	CN 110120396 A (UNITED MICROELECTRONICS CORP.) 13.08.2019 (2019 - 08 - 13) [0055] - [0077], 図1, 2	1-15
Y	WO 2020/175195 A1 (ソニーセミコンダクタソリューションズ株式会社) 03.09.2020 (2020 - 09 - 03) [0052] - [0060], 図3, 9	1-15
Y	JP 2015-26708 A (株式会社東芝) 05.02.2015 (2015 - 02 - 05) 図3	1-15
Y	JP 2010-177705 A (ソニー株式会社) 12.08.2010 (2010 - 08 - 12) 図1, 6	1-15
Y	WO 2021/251010 A1 (ソニーセミコンダクタソリューションズ株式会社) 16.12.2021 (2021 - 12 - 16) [0050] - [0072], 図3, 4	4, 13, 14
Y	JP 2009-290000 A (株式会社東芝) 10.12.2009 (2009 - 12 - 10) 図3, 6	11
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 28.11.2023	国際調査報告の発送日 12.12.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-278143 A (ソニー株式会社) 26.11.2009 (2009 - 11 - 26) 図 1 0	11
A	JP 2018-88488 A (ソニーセミコンダクタソリューションズ株式会社) 07.06.2018 (2018 - 06 - 07) 全文, 全図	1-15
P, X	CN 115513230 A (SMARTSENS (SHANGHAI) ELECTRONIC TECHNOLOGY CO., LTD.) 23.12.2022 (2022 - 12 - 23) [0 0 4 7] - [0 0 5 7], [0 0 7 1], [0 0 8 6], 図 1, 2, 4, 6	1-7, 12-15

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/035464

引用文献			公表日	パテントファミリー文献	公表日
CN	110120396	A	13.08.2019	(ファミリーなし)	
WO	2020/175195	A1	03.09.2020	EP	3933927 A1
				[0 0 5 2] - [0 0 6 0], 図 3, 9	
				US	2022/0165770 A1
				CN	113330569 A
				KR	10-2021-0127159 A
				CN	115528056 A
				TW	202040992 A
JP	2015-26708	A	05.02.2015	US	2015/0028405 A1
				図 3	
				CN	104347652 A
				KR	10-2015-0012993 A
				TW	201505165 A
JP	2010-177705	A	12.08.2010	(ファミリーなし)	
WO	2021/251010	A1	16.12.2021	JP	2021-193718 A
JP	2009-290000	A	10.12.2009	US	2009/0295979 A1
				図 3, 6	
JP	2009-278143	A	26.11.2009	(ファミリーなし)	
JP	2018-88488	A	07.06.2018	US	2019/0252442 A1
				全文, 全図	
				WO	2018/101033 A1
				CN	109643722 A
CN	115513230	A	23.12.2022	(ファミリーなし)	