(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/10

(45) 공고일자 2002년11월07일
(11) 등록번호 10-0335847
(24) 등록일자 2002년04월25일

(21) 출원번호 10-1994-0025614
(22) 출원일자 1994년10월07일

(65) 공개번호 특1995-0012719
(43) 공개일자 1995년05월16일

(30) 우선권주장 93-282007 1993년10월14일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 아까오야스시
일본국도꾜도고꾸분지시히가시꼬이가꾸보6-14-39
구로다겐이찌
일본국도꾜도다찌까와시스나가와쵸6-29-28

(74) 대리인 백남기

심사관 : 김근모

(54) 반도체집적회로장치

요약

반도체집적회로장치에 관한 것으로써 생산성의 향상을 도모하면서 사용상 보다 편리한 반도체집적회로장치를 제공하기 위해 리드동작과 라이트동작이 프로세서의 사이클타임에 대응해서 고속으로 실행되는 불휘발성기억회로를 1칩의 마이크로컴퓨터에 탑재하고, 데이타의 처리 프로그램이 저장되는 부분을 리드전용으로 하고, 다른 나머지부분을 데이타의 라이트와 리드에 사용한다.

이러한 것에 의해 ROM과 RAM의 기억용량의 배분을 고려하는 일이 없으므로 생산성을 높일수 있음과 동시에 프로그램저장에리어를 임의로 설정할 수 있으므로 사용상 더욱 편리하게 된다.

대표도
도 1

명세서

도면의 간단한 설명

제1도는 본 발명에 관한 1칩의 마이크로컴퓨터의 개념적인 1실시예를 도시한 블럭도.

제2도는 본 발명에 관한 1칩의 마이크로컴퓨터의 개념적인 다른 1실시예를 도시한 블럭도.

제3도는 본 발명에 관한 1칩의 마이크로컴퓨터의 1실시예를 도시한 블럭도.

제4도는 제1도 제3도의 메모리회로FRAM에 대한 메모리액세스 제어를 설명하기 위한 개념도.

제5도는 본 발명에 사용되는 FRAM의 1실시예를 도시한 개략 회로도.

제6도(A) 제6도(F)는 제3도의 FRAM에 대한 버스사이클을 설명하기 위한 파형도.

제7도(A) - 제7도(F)는 제3도의 다른 주변기기에 대한 버스사이클을 설명하기 위한 파형도.

제8도는 본 발명에 관한 1칩의 마이크로컴퓨터의 시스템개발방법을 설명하기 위한 흐름도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체집적회로장치에 관한 것으로써 예를들면 1칩의 마이크로컴퓨터에 이용해서 유효한 기술에 관한 것이다.

1칩의 마이크로컴퓨터의 개발시간을 단축하기 위해서 데이타처리나 시스템제어등의 프로그램이 저장되는 메모리로써 EPROM을 전기적으로 라이트가능한 리드온리메모리를 사용하고, 그것에 범용라이터에 의해 1회한정된 프로그램라이트를 실행하도록 한 것이다. 이와 같은 1칩의 마이크로컴퓨터를 나타낸 예로써는 예를들면 일본국 특허공개공보 소화61-51659호가 있다.

상기와 같은 1칩의 마이크로컵퓨터에서는 여러가지의 용도에 적용할 수 있도록 하기 위해 기억용량이 다른 EPROM을 탑재한 여러종류의 마이크로컴퓨터가 준비된다. 사용자는 그 중에서 필요한 기억용량을 갖는 1칩의 마이크로컴퓨터를 선택하고, 그것이 탑재되는 각종 시스템의 처리프로그램을 마이크로컴퓨터에 탑재된 EPROM에 라이트하도록 하는 것이다.

1칩의 마이크로컴퓨터는 그 용도가 다양하다. 그 때문에 프로그램의 크기는 그것이 탑재되는 시스템에 따라서 다종다양이다. 사용자에게 있어서, 사용하는 1칩마이크로컴퓨터를 선택할때에는 여유를 갖고 조금 큰 기억용량을 갖는 것을 선택할 필요가 있다. 그 때문에 프로그램저장용의 EPROM에 있어서는 실제로는 사용하지 않는 기억에리어가 증대하는 경향이 있다. 그것과는 반대로 당초의 견해에 대해서 데이타처리양이나 제어기능이 증대해서 프로그램스텝수가 많아지고, 탑재된 EPROM의 기억용량이 부족한 경우가 발생한다. 이 경우에는 우선도가 낮은 기능을 삭제하는 것등은 피할 수 없게 되어 버린다. 한편 메이커측에 있어서는 1칩의 마이크로컴퓨터의 용도확대에 따라 EPROM의 기억용량을 포함해서 여러가지 구성의 1칩의 마이크로컴퓨터를 제조할 필요가 있다.

그 때문에 1개의 품종당의 제조갯수가 적어지고, 반도체집적치로장치의 특징인 대량생산에 의한 코스트저장을 도모할 수 없다고 하는 문제를 포함하고 있다. 본 발명의 목적은 생산성의 향상을 도모하면서 사용하기 편리한 반도체집적회로장치를 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉, 리드동작과 라이트동작이 프로세서의 사이클타임에 대응해서 고속으로 실행되는 불휘발성기억회로를 1칩의 마이크로컴퓨터에 탑재하고, 데이타의 처리프로그램이 저장되는 부분을 리드전용으로 하고, 다른 나머지부분을 데이타의 라이트와 리드에 사용한다.

상기한 수단에 의하면 ROM과 RAM의 기억용량의 배분을 고려할 일이 없으므로 생산성을 높일 수 있음과 동시에 프로그램저장에 리어를 임의로 설정할 수 있으므로 사용상 편리하게 된다.

제1도에는 본 발명에 관한 1칩의 마이크로컴퓨터를 설명하기 위한 개념적인 1실시예의 블럭도가 도시되어 있다. 제1도에는 발명의 이해를 용이하게 하기 위해서 기본이 되는 중앙처리유닛 (이하, 단지 마이크로프로세서라고 한다) CPU, 그 데이타처리나 시스탬 제어의 순서를 지시하는 프로그램 및 데이타처리등에 있어서 필요로 되는 데이타의 기억등에 사용되는 메모리회로가 대표로써 예시적으로 도시되어 있다.

상기와 같은 1칩의 마이크로컴퓨터에 있어서 프로그램이 저장되는 ROM (read only memory) 는 마이크로프로세서의 사이클타임에 따라서 고속으로 리드할 수 있는 것이 필요로 된다. 마찬가지로 내장된 RAM (random acsess memory) 에 있어서도 상기 마이크로프로세서의 사이클타임에 따라서 고속으로 라이트와 리드할 수 있는 것이 필요로 된다.

본원 발명자는 강유전체캐패시터를 사용한 RAM (이하, 단지 FRAM이라고 한다)에 이어서 강유전체의 분극의 방향제의해 불휘발성의 기억동작을 실행하므로 ROM으로써 사용할 수 있는 것, 및 그 라이트동작이 다이나믹형RAM과 같이 고속으로 실행할 수 있으므로 RAM으로써 사용할 수 있는 것에 착안하여 그것을 상기 1칩의 마이크로컴퓨터에 탑재된 메모리회로로써 이용할 것을 고려하였다.

즉, 제1도에 도시한 바와 같이 1칩의 마이크로컴퓨터는 마이크로프로세서CPU와 1개의 메모리FRAM에 의해 구성된다. 상기 메모리FRAM은 그 일부를 ROM부로써 사용하고, 나머지부분을 RAM부로써 사용한다. 상기 ROM부와 RAM부의 경계는 사용자가 임의로 지정할 수 있도록 하는 것이다. 상기 ROM부와 RAM부의 경계는 후술하는 바와 같이 시스템의 디버그시에 의해 최종적으로 결정할 수 있는 것에 중요한 의미를 갖게 된다.

제2도에는 본 발명에 관한 1칩의 마이크로컴퓨터를 설명하기 위한 개념적인 다른 1실시애의 블럭도가 도시되어 있다. 1칩의 마이크로컴퓨터에서는 반드시 프로그램을 저장하기 위한 메모리회로를 필요로 한다. 따라서 ROM부로써 사용하는 것을 전제로 한 EPROM이 탑재된다. 이 경우, EPROM에 할당된 기억용량은 비교적 조금 작은 기억용량을 갖게 된다.

이 EPROM의 기억용량을 초과해서 프로그램스텝수가 증대한 때, 그것에 대처할 수 있도록 하기 위해 상기 제1도의 실시예와 동일한 FRAM이 탑재된다. 이 FRAM의 일부에 상기 EPROM의 기억용량을 초과한 나머지의 프로그램이 저장되고, ROM부로써 사용한다. 그리고 나머지의 부분을 RAM부로써 사용한다. 상기 ROM부와 RAM부의 경계는 사용자가 임의로 지정할 수 있도록 하는 것이다. 상기 FRAM의 ROM부와 RAM부의 경계의 설정이 후술하는 설명에서 이해되는 바와 같이 시스템의 디버그시에 있어서 최종적으로 실행되는 것에 중요한 의미를 갖게 된다.

불휘발성의 기억동작을 실행하면서 전기적으로 리라이트동작이 가능한 메모리회로로써 MNOS트랜지스터를 메모리셀로써 사용하는 EEPROM (전기적으로 라이트소거가 가능한 리드온리메모리)나 FLOTOX형 메모리셀을 사용한 EEPROM이 있다. 이 EEPROM은 기능적으로는 ROM으로써도 사용할 수 있고, RAM으로써도 사용할 수 있다. 그리나 RAM으로써의 사용을 고려한 때, 그 라이트동작 (리라이트시간)에 소비되는 시간이 리드동작에 비해서 장시간으로 되어 데이타의 일시기억동작을 실행하는 RAM으로써는 도저히 사용할 수 없다.

1칩의 마이크로컴퓨터에 탑재된 ROM에 있어서는 마이크로프로세서CPU의 사이클타임에 대응해서 고속으로 프로그램의 리드를 실행할 필요가 있고, RAM에 있어서 상기 프로그램의 실행과정에 있어서는 생성되는 중간데이타등을 일시적으로 기억시키는 것이므로 마찬가지로 마이크로프로세서CPU의 사이클타임에 대응해서 고속으로 라이트와 리드를 실행할 필요가 있다.

FRAM은 상기와 같은 1칩의 마이크로컴퓨터에 탑재된 ROM 및 RAM의 양기능을 아울러 갖는 것이므로 그 기억에리어를 분할해서 한쪽을 ROM으로써 사용하고, 다른 쪽을 RAM으로써 사용할 수 있다.

이 구성에서는 ROM과 RAM의 기억용량의 조합만이 다른 여러 종류의 1칩마이크로컴퓨터를 1개로 치환할 수 있다. 즉, 1종류의 1칩의 마이크로컴퓨터로 상술한 바와 같은 여러종류에 대응할 수 있다. 이것에 의해 메이커에 있어서는 양산성을 높일 수 있고, 그것에 따라서 제조에서 출하까지의 제품관리의 간소화도 가능하게 된다.

제3도는 본 발명에 관한 1칩의 마이크로컴퓨터(MC)의 1실시예의 블럭도가 도시되어 있다. 제3도의 각 회로블럭은 공지의 반도체집적회로의 제조기술에 의해 단결정실리콘과 같은 1개의 반도체기판상에 형성된다.

1칩의 마이크로컴퓨터LSI는 중앙처리유닛 (마이크로프로세서) CPU, 버스제어회로, 강유전체(ferroelectrics)RAM (이하, 단지 FRAM이라고 한다), 직렬통신인터페이스SCI, 타이머(TM), 아탈로그/디지탈변환회로ADC, 그 밖의 입출력회로 I/O등의 주변회로, 및 제어회로CONT등에 의해서 구성된다.

상기 마이크로컴퓨터LSI에 있어서 상기 중앙처리유닛CPU가 실행해야 할 제어프로그램은 FRAM내에 할당되는 ROM부에 라이트된다. 모드신호입력단자MDPAD의 모드신호MD의 제어에 의해서 모드의 지시가 실행되고, 데이타버스DBUS를 거쳐서 상기 중앙처리유닛CPU, 상기 입출력회로 I/O, 상기 직렬통신인터페이스SCI, 타이머 (TM),아날로그/디지탈변환회로ADC 및 강유전체RAM과의 데이타의 인터페이스를 실행하고, 상기 중앙처러유닛CPU에 의해 FRAM내의 ROM부에 저장되어 있는 제어프로그램에 따라서 데이타처리나 시스템제어가 실행된다.

상기 입출력회로 I/O,상기 직렬통신인터페이스SCI 및 아날로그/디지탈변환회로ADC는 입출력장치와의 데이타의 인터페이스를 실행한다. 또 중앙처리유닛CPU는 어드레스버스ABUS를 거쳐서 FRAM, 입출력회로 I/O, 직렬통신인터페이스SCI, 타이머 (TM), 아날로그/디지탈변환회로ADC에 대해서 어드레싱을 실행한다.

특히 제한되지 않지만 버스제어회로는 버스획득의 조정을 실행하는 것 이외에 중앙처리유닛CPU등에서 FRAM을 액세스할때, ROM부에 할당된 어드레스를 검출해서 그곳으로의 라이트동작을 제한하는 라이트제한기능이 마련된다. 즉, 라이트제한기능에 의해 ROM부의 데이타가 프로텍트된다. 이와 같은 기능을 마련하는 것에 의해 잘못해서 ROM부에 데이타를 라이트하는 것 등에 의해 제어 프로그램이 파괴되어 버리는 것을 방지할 수 있다. 즉, 라이트가능한 FRAM을 사용하면서 실질적으로 특정의 에리어에 대해서 리라이트불능인 ROM과 동일한 동작을 실행시킬 수 있다.

FRAM내의 나머지의 에리어는 RAM부로 되고, 마이크로컴퓨터LSI가 입출력장치를 부가해서 시스템에 실장된 상태에서는 상기 중앙처리유닛CPU의 제어에 따라서 일시적으로 기억데이타의 저장에리어로써 사용된다. 이와 같이 FRAM을 마이크로컴퓨터에 탑재되는 메모리회로로써 사용하고, 그 일부를 ROM으로써 사용하고, 나머지를 RAM으로써 사용하는 것에 의해서 범용성이 높은 1칩마이크로컴퓨터를 얻을 수 있다.

이것은 메이커측에서 보면 메이커에 있어서는 양산성을 높일 수 있고, 그것에 따라서 제조에서 출하까지의 제품관리의 간소화도 가능하게 된다. 한편 사용자측에서 보면 ROM부의 용량을 임의로 설정할 수 있으므로 시스템의 사양이 결정된 시점에서 필요한 기억용량을 갖는 마이크로컴퓨터를 선택하고, 하드웨어설계와 병행해서 소프트웨어설계를 실행할 수 있는 등 사용하기 편리하게 된다. 즉, 마이크로컴퓨터의 보드가 제조된 시점에서 프로그램의 디버그를 실행하고, 그 결과에 의해 프로그램의 변경이나 추가에 따라 프로그램스탭수가 증가한 경우, 그 증가분에 따라서 FRAM에 있어서의 ROM부의 에리어를 증가시키면 좋다.

제4도에는 상기 메모리회로FRAM에 대한 메모리액세스의 제어를 설명하기 위한 개념도가 도시되어 있다. 이해를 용이하게 하기 위해서 FRAM은 000　100의 어드레스를 갖는 것으로 하고, 000에서 020까지의 에리어가 ROM부로써 사용되고, 021에서 100까지를 RAM부로써 사용하는 예가 도시되어 있다.

상기와 같이 000에서 020까지의 어드레스를 ROM부로써 사용할 때는 경계설정레지스터에는 020의 어드레스가 저장된다.

이 경계설정레지스터에 기억된 어드레스는 대소비교기의 한쪽의 입력에 공급된다. 대소비교기의 다른쪽의 입력은 어드레스신호가 공급된다. 대소비교기는 상기 양어드레스를 비교해서 대소의 판정을 실행한다.

대소비교기는 특히 제한되지 않지만 감산회로로 구성된다. 이 감산회로에 의해 경계설정레지스터에 설정된 어드레스020에서 어드레스신호에 의해 지시된 어드레스Ai의 감산을 실행하고, 그 결과가 정 (020≥Ai)이면 라이트금지신호WIH를 논리1로 하고, 그 결과가 부 (020< Ai이면 라이트금지신호 WIH를 논리 0으로 한다. 상기 라이트금지 신호 WIH는 반전되어 AND 게이트회로 G의 제어신호로 된다. 이 엔드게이트회로 G의 다른쪽의 입력에는 라이트제어신호가 공급되고 있다. 상기와 같이 020 ≥Ai와 같은 어드레스신호가 입력된 때에는 라이트금지신호가 논리 0으로 되고, 라이트제어신호와는 관계없이 출력신호 WE가 로우레벨로 된다. 이것에 의해 라이트제어신호가 하이레벨로 되어도 라이트금지신호에 의해 출력신호WE는 강제적으로 로우레벨로 유지되므로 FRAM에 대해서는 라이트동작이 실행되지 않는다. 한편 020< Ai 와 같은 어드레스신호가 입력된 때에는 라이트금지신호가 논리 1로 되고, 라이트제어신호가 엔드게이트회로 G를 통해서 출력되므로 FRAM은 라이트제어신호에 따라서 라이트동작이 실행된다.

상기와 같이 대소비교기는 감산회로에 의해 구성되는 것으로 설명했지만 실제로는 가산회로에 의해 구성된다. 가산회로를 사용해서 감산동작을 실행시키는 것은 주지이므로 상기와 같이 설명했다.

상기와 같은 경계설정례지스터, 대소비교기 및 게이트회로는 라이트제한회로를 구성하고, 특히 제한되지 않지만 상기 제3도의 버스제어회로에 마련된다. 이것에 의해 중앙처리유닛CPU에서 잘못해서 FRAM의 ROM부내를 나타내는 어드레스신호와 라이트제어신호가 출력되어도 버스제어회로에서는 라이트를 나타내는 라이트제어신호가 출력되지 않으므로 FRAM에 대해서 라이트가 실행되지 않고, 리드가 실행되게 되어 프로그램의 파괴를 방지할 수 있다.

상기와 같은 잘못된 데이타의 라이트동작에 대해서 라이트확인에 의해 에러를 검출하는 것등의 이외에 상기 라이트금지신호를 중앙처리유닛CPU측에도 전송해서 에러처리를 신속하게 실행하도록 하는 것이라도 좋다.

제5도에는 본 발명에 사용되는 FRAM의 1실시예의 개략회로도가 도시되어 있다. 이 실시예에서 메모리셀MC는 다이나믹형RAM의 메모리셀과 유사한 회로로 구성된다. 즉, 메모리샐은 어드레스선택용의 MOSFET과 정보기억용의 캐패시터로 구성된다. 이 정보기억용의 캐패시터에 강유전체캐패시터가 사용된다. 강유전체캐패시터의 플레이트전압VPL은 불휘발화를 위한 라이트동작시에 데이타선DL과의 관계에 의해 강유전체캐패시터에 분극의 방향을 바꾸는 소정의 높은 전위가 공급된다.

특히 제한되지 않지만 메모리어레이의 구성은 공지의 다이나믹형RAM과 동일하게 구성된다. 제5도에는 1개의 데이타선 (또는 비트선) DL이 대표로써 예시적으로 도시되어 있지만 센스앰프SA에 대해서 1쌍의 평행하게 배치되는 상보데이타선으로 구성되는 루프백 비트선으로 된다. 상기 강유전체캐패시터는 공지의 방법에 의해 다이나믹형 메모리셀에 있어서의 캐패시터의 축적노드를 구성하는 전극의 상부에 PZT등으로 이루어지는 강유전체가 디포지션되고, 그 위에 Pt등으로 이루어지는 상부전극이 형성된다. 상기 강유전체는 $BaMgF_4$와 같은 강유전체라도 좋다. 이와 같은 강유전체층의 형성방법에 관해서는 예를들면 잡지 「세미컨덕터월드」 1991년 1 2월호. pp 122 125에 상세하게 기술되어 있다.

이 실시예에서는 통상의 다이나믹형RAM과는 달리 라이트계와 리드제의 칼럼스위치Q1과 Q2가 마련되어 있다. 라이트제의 칼럼스위치는 어드레스선택신호MSL과 라이트신호WP에 또 라이트금지신호WIH가 공급되는 게이트회로G1의 출력신호에 의해 제어된다.

이것에 의해 데이타선D L을 선택하는 어드레스신호를 디코드해서 형성된 선택신호MSL과 라이트동작을 지시하는 라이트신호WP가 공급되어도 라이트금지신호WIH가 라이트금지를 지시하는 논리1로 되면 게이트회로G1이 강제적으로 게이트를 닫아버리므로 선택된 데이타선DL이 하이임피던스상태로 되어 라이트동작이 실행되지 않는다. 이것애 대해서 리드계의 칼럼스위치는 선택신호MSL과 리드신호RP를 받는 게이트회로G2의 출력신호에 의해 제어되므로 어떤 제한도 없이 리드동작이 실행된다.

통상ROM으로써 사용하는 부분에는 외부에서 데이타선DL을 통해서 라이트를 실행하지 않으면 전위에 따른 차지의 축적은 실행되지 않고, 리프레시동작에 의한 리드레벨은 강유전체캐패시터의 분극의 상태에 따라서 결정된다. 라이트를 금지해서 리드동작을 실행하는 한, 상기의 강유전체캐패시터에 있어서는 분극의 상태가 변화하지 않는다. 분극의 상태를 변화시킬 가능성이 있는 것은 RAM으로써 사용하고 있는 부분의 FRAM착시이다. FRAM화의 경우 강유전체캐패시터의 플레이트전압VPL을 변화시키지만 ROM으로써 사용하는 부분만큼 플레이트전압을 변화시키지 않도록 하는 것은 실질적으로 곤란하다. 왜나하면 ROM의 영역은 사용자에 있어서 프로그램 가능하게 되는 것이고, 그것에 따라서 플래이트전압을 공급하는 전원라인을 분할할 수 없다. 따라서 이 실시예에 있어서는 ROM부분에 대해서 확실하게 같은 분극의 상태를 유지하는 리라이트를 실행시키기 위해서는 일단 리프레시와 같은 리드동작을 실행하고, 축적노드를 확실하게 기억레벨에 대응한 전위레벨로 하고 나서 FRAM화 하는 것이다.

특히 제한되지 않지만 칼럼스위치는 통상의 다이나믹형RAM과 마찬가지로 라이트계와 리드계를 공통화해서 사용하는 것이라도 좋다. 이 경우에는 라이트회로WA의 동작이 라이트금지신호WIH에 의해 제한되도록 하면 좋다. 즉, 칼럼스위치가 선택상태로 됨에도 불구하고, 라이트금지신호WIH에 의해 라이트회로WA의 출력이 하이임피던스상태로 되도록 하면 상기와 마찬가지로 라이트동작이 실행되지 않는다.

제6도 (A)　제6도(F)에는 상기 FRAM에 대한 버스사이클을 설명하기 위한 파형도가 도시되어 있다. 중앙처리유닛CPU의 클럭의 1주기에 동기해서 어드레스신호가 출력되고, 리드보드에서는 리드제어신호가 로우레벨의 액티브레벨로 되고, 메모리셀에서 리드된 데이타가 출력된다. 라이트모드에서는 라이트제어신호가 로우레벨의 액터브레벨로 되고, 데이타가 선택된 메모리셀에 라이트된다.

이와 같이 FRAM애 대한 메모리액세스는 중앙처리유닛CPU의 클럭에 동기한 버스사이클에 의해 리드 또는 라이트동작이 실행된다. 이 결과, ROM부에서의 프로그램의 리드가 고속으로 실행되어 데이타처리를 고속으로 실행할 수 있다. 또 RAM부에 대해서는 일시데이타의 라이트/리드가 고속으로 실행되므로 데이타처리나 시스팀제어동작을 고속으로 실행할 수 있다.

제7도(A)　제7도(F)에는 상기 다른 주변기기에 대한 버스사이클을 설명하기 위한 1실시예의 파형도가 도시되어 있다. 비교적 동작이 느린 주변기기에 대해서는 그 동작속도에 대응해서 예를들면 중앙처리유닛CPU의 클럭의 2주기분에 동기한 버스사이클에 의해 리드 또는 라이트동작이 실행된다. 주변기기에 있어서는 그것에 대한 라이트/리드동작이 빈번하게 실행되는 일은 없으므로 상기와 같이 버스사이클이 길게 되어도 전체에 미치는 영향은 경미하게 된다.

제8도에는 본 발명에 관한 1칩의 마이크로컴퓨터의 시스템개발방법을 설명하기 위한 흐름도가 도시되어 있다. 시스템사양결정에 의해 마이크로컴퓨터의 개발의 착수가 실행된다.

결정된 시스템사양에 따라서 시스템의 대강의 규모가 판정되고, 그것에 사용하는 1칩의 마이크로컴퓨터의 기종이 선정된다. 즉, 그 시스템사양에 따른 주변기기를 갖는 것과 그 프로그램의 저장 및 처리되는 데이타양을 감안해서 ROM부와 RAM부의 기억용량을 산출해서 합계의 기억용량을 갖는 FRAM이 내장된 1칩의 마이크로컴퓨터가 선택된다.

상기와 같은 1칩의 마이크로컴퓨터를 사용하는 것을 전제로 해서 스탭 (5)　(7)에서는 하드웨어설계, 제작이 실행되고, 이것과 병행해서 스텝 (1) ~ (4)와 같은 소프트웨어설계가 실행된다.

스텝 (1) 에서는 소프트웨어설계가 실행되고, 스텝 (2) 에서는 흐름도의 작성이 실행된다. 스텝 (3)에서는 코딩이 실행되고, 스텝 (4)에서는 어셈블러 또는 컴파일러에 의해 CPU의 기계어로 변환한다. 즉, 목적코드를 출력한다. 이 시점에서 FRAM의 ROM부의 기억용량이 설정되고, 나머지가 RAM부로 된다.

한편 스텝 (5)에서는 하드웨어설계가 실행되고, 스텝 (6)에서는 그것에 대응한 보드설계가 실행된다. 스텝 (7)에서는 보드제작이 실행되어 보드상에 상기와 같은 1칩마이크로컴퓨터를 구성하는 반도체집적회로장치와 입출력장치를 구성하는 각종 전자부품이 조립된다. 상기 스텝 (4)에 의해 형성된 목적코드는 상기와 같은 FRAM에 대한 라이트동작에 의해서 ROM부에 기억된다. 그리고 이 제어프로그램에 따라서 디버그를 실행하고, 원하는 데이타처리나 시스템제어동작이 실행될지 되지 않을지를 판정한다.

만약 프로그램이 불충분하면 스텝 (3)으로 되돌아 가고, 그것을 수정하거나 또는 프로그램의 추가가 실행된다. 이와 같은 수정이나 변경에 따라 스텝 (4)에 의해 프로그램스텝수의 증가가 있어도 그것에 대응해서 ROM부의 용량을 증가시키는 것만으로 대응할 수 있다.

한편 하드웨어설계가 불충분하면 스텝 (6)의 보드설계에 되돌아가서 하드웨어측의 수정이나 변경이 실행되고, 그것에 대응해서 스텝 (7)의 보드제작이 실행된다. 상기와 같은 소프트웨어와 하드웨어의 쌍방에 불충분함이 있으면 병행해서 수정이나 변경이 실행된다. 상기와 같이 ROM부와 RAM부의 변경이 가능한 FRAM을 사용한 경우에는 프로그램스텝수의 증감에 유연을 갖고 처리할 수 있으므로 소프트웨어와 하드웨어의 개발을 병행해서 동시에 추진할 수 있다. 즉,이 실시예와 같이 시스템사양결정이 실행된 시점에서 사용하는 1칩의 마이크로컴퓨터를 선택할 수 있으므로 빠른 단계로 하드웨어설계, 보드설계 및 보드제작에 착수할 수 있게 되고, 개발된 프로그램을 FRAM의 ROM부에 라이트를 하는 것에 의해 1칩의 마이크로컴퓨터로써의 동작을 실행시킬 수 있다.

상기와 같은 디버그의 판정결과에 있어서 원하는 동작이 확인되었다면 경계설정레지스터에 ROM부와 RAM부의 경계어드레스를 라이트하고, ROM부에 대한 프로텍트를 실행하도록 한다. 또 상기 경계설정레지스터로써 리라이트가능한 불휘발성메모리를 사용한 경우에는 상기 스탭 (5)의 프로그램의 라이트시에 그 때마다 경계어드레스를 리라이트하도록 하면 좋다.

상기의 실시예에서 얻어지는 작용효과는 다음과 같다.

(1) 리드동작과 라이트동작이 프로세서의 사이클타임에 대응해서 고속으로 실행되는 불휘발성기억회로를 1칩의 마이크로컴퓨터에 탑재하고, 데이타의 처리프로그램이 저장되는 부분을 리드전용으로 하고, 다른 나머지부분을 데이타의 라이트와 리드에 사용하는 것에 의해 ROM과 RAM의 기억용량의 배분을 고려할 필요가 없으므로 설계 제조에 있어서는 생산성이 높고, 그 제품관리를 간단하게 할 수 있음과 동시에 사용할 때는 프로그램저장에리어를 임의로 설정할 수 있으므로 사용상 편리하게 된다고 하는 효과가 얻어진다.

(2) 상기 (1)에 의해 시스템개발에 있어서 소프트웨어와 하드웨어를 동시에 병행해서 실행할 수 있고, 프로그램의 고속인 전기적인 라이트와 합께 시스템개발시간을 최소하할 수 있다는 효과가 얻어진다.

이상 본 발명자에 의해 이루어진 발명을 실시예에 따라서 구체적으로 설명했지만 본원 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다. 라이트동작과 리드동작이 중앙처리유닛의 클럭에 대응해서 고속으로 실행할 수 있는 메모리셀의 구성은 상기와 같은 FRAM이외의 어떤 것이라도 좋다.

본 발명은 1칩의 마이크로컴퓨터등과 같이 프로그램에 따라서 일정의 데이타처리나 시스템제어, 프로세스제어를 실행하는 반도체집적회로장치에 널리 이용할 수 있는 것이다.

본원에 있어서 개시되는 발명을 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다. 즉, 리드동작과 라이트동작이 프로세서의 사이클타임에 대응해서 고속으로 실행되는 불휘발성 기억회로를 1칩의 마이크로컴퓨터에 탑재하고, 데이타의 처리프로그램이 저장되는 부분을 리드전용으로 하고, 다른 나머지부분을 데이타의 라이트와 리드에 사용하는 것에 의해 ROM과 RAM의 기억용량의 배분을 고려할 필요가 없으므로 설계제조에 있어서는 생산성이 높고, 그 제품관리를 간단하게 할 수 있음과 동시에 사용할 때에는 프로그램저장에리어를 임의로 설정할 수 있으므로 사용상 편리하게 된다.

(57) 청구의 범위

청구항 1.

프로그램에 따라서 소정의 처리를 실행하는 프로세서 및

여러개의 메모리셀을 갖는 불휘발성 메모리회로를 갖고,

상기 여러개의 메모리셀의 각각은 데이타를 저장하기 위해 사용될 강유전체 캐패시터를 갖고,

상기 불휘발성 메모리회로를 제1 영역 및 상기 제1 영역과는 다른 제2 영역으로 지정하는 지정회로를 갖고, 상기 제1 영역은 저장된 데이타의 변경이 방지되고, 상기 제2 영역은 저장된 데이타의 변경이 허가되는 것을 특징으로 하는 1개의 반도체침상에 형성된 반도체 집적회로장치.

청구항 2.

제1항에 있어서,

상기 제1 영역은 적어도 프로그램의 일부를 저장하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 3.

제2항에 있어서,

상기 지정회로는 상기 제1 영역을 지정하기 위한 어드레스 데이타를 저장하는 레지스터 및 상기 저장된 어드레스 데이타와 상기 프로세서에서 출력된 어드레스를 비교하는 비교기를 갖고,

상기 어드레스 데이타는 프로그램에 따라서 소정의 처리가 실행되는 것에 의해 상기 레지스터에 세트되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 4.

제3항에 있어서,

상기 지정회로는 상기 비교기로부터의 출력에 응답해서 상기 제1 영역에 데이타의 라이트를 금지하는 논리회로를 더 갖는 것을 특징으로 하는 반도체 집적회로장치.

청구항 5.

제4항에 있어서,

상기 논리회로는 상기 비교기로부터의 출력과 상기 프로세서로부터의 라이트 제어신호를 받는 게이트를 갖고,

상기 논리회로는 상기 불휘발성 메모리회로로 메모리 라이트 제어신호를 출력하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 6.

제5항에 있어서,

상기 제2 영역내의 여러개의 메모리셀의 각각은 다이나믹 메모리셀로서 동작하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 7.

제6항에 있어서.

상기 제1 영역내의 여러개의 메모리셀의 각각은 리드온리 메모리셀로서 동작하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 8.

제7항에 있어서,

상기 제1 영역내의 상기 여러개의 메모리셀의 각각으로부터의 리드는 상기 여러개의 메모리셀의 각각내의 강유전체 캐패시터의 극성방향을 변경하지 않고 실행되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 9.

제2항에 있어서,

상기 제1 영역내의 상기 여러개의 메모리셀의 각각으로부터의 리드는 상기 여러개의 메모리셀의 각각내의 강유전체 캐패시터의 극성방향을 변경하지 않고 실행되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 10.

프로그램에 따라서 소정의 처리동작을 실행하는 프로세서,

데이타를 저장하기 위해 사용되는 강유전체 캐패시터를 갖는 여러개의 메모리셀을 구비하는 불휘발성 메모리회로 및

상기 불휘발성 메모리회로를 제1 영역과 제2 영역으로 지정하는 지정회로를 갖고,

상기 제1 영역내의 메모리셀의 각각에 저장된 데이타는 라이트가 금지되고 상기 제2 영역내의 메모리셀의 각각에 저장된 데이타는 리라이트가 가능한 것을 특징으로 하는 시스템.

청구항 11.

제10항에 있어서,

상기 제1 영역은 상기 프로그램의 일부를 저장하는 것을 특징으로 하는 시스템.

청구항 12.

제11항에 있어서,

상기 지정회로는 레지스터와 비교기를 갖고,

상기 레지스터는 상기 제1 영역을 나타내기 위한 어드레스 데이타를 저장하고,

상기 비교기는 상기 프로세서에서 출력된 어드레스 데이타와 상기 레지스터에 저장된 어드레스 데이타를 비교하고,

상기 레지스터는 프로그램에 따른 소정의 처리가 실행되는 것에 의해서 어드레스 데이타가 세트되는 것을 특징으로 하는 시스템.

청구항 13.

제12항에 있어서,

상기 지정회로는 논리회로를 더 갖고, 상기 비교기로부터의 출력에 응답해서 상기 제1 영역내의 데이타 리라이트를 금지하는 것을 특징으로 하는 시스템.

청구항 14.

제13항에 있어서,

상기 논리회로는 게이트회로와 논리제어회로를 갖고,

상기 게이트회로는 상기 비교기로부터의 출력과 상기 프로세서로부터의 라이트 제어신호를 받고,

상기 논리제어회로는 상기 불휘발성 메모리회로로 메모리 라이트 제어신호를 출력하는 것을 특징으로 하는 시스템.

청구항 15.

제14항에 있어서,

상기 제2 영역내의 메모리셀의 각각은 다이나믹 메모리셀로서 동작하는 것을 특징으로 하는 시스템.

청구항 16.

제15항에 있어서,

상기 제1 영역내의 메모리셀의 각각은 리드온리 메모리셀로서 동작하는 것을 특징으로 하는 시스템.

청구항 17.

제15항에 있어서,

상기 제1 영역내의 메모리셀의 각각으로부터의 리드는 상기 여러개의 메모리셀의 각각내의 강유전체 캐패시터의 극성 방향을 변경하지 않고 실행되는 것을 특징으로 하는 시스템.

청구항 18.

제11항에 있어서,

상기 제1 영역내의 메모리셀의 각각으로부터의 리드는 상기 여러개의 메모리셀의 각각내의 강유전체 캐패시터의 극성방향을 변경하지 않고 실행되는 것을 특징으로 하는 시스템.

청구항 19.

1개의 칩에 형성된 반도체 집적회로장치에 있어서,

프로그램의 제어하에서 처리동작을 실행하는 프로세서,

여러개의 메모리셀을 갖는 불휘발성 메모리회로 및

상기 불휘발성 메모리회로의 제1 영역과 제2 영역을 지정하는 지정회로를 갖고,

상기 불휘발성 메모리회로의 제1 영역내의 여러개의 메모리셀의 각각에 저장된 데이타변경은 금지되고, 상기 불휘발성 메모리회로의 제2 영역내의 여러개의 메모리셀의 각각으로의 라이트동작은 허가되고, 상기 라이트동작은 상기 프로세서의 사이클타임에 대응하는 속도로 실행되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 20.

제19항에 있어서,

상기 지정회로는 메모리와 비교수단을 갖고,

상기 메모리는 상기 제1 영역을 나타내기 위한 어드레스 정보를 저장하고,

상기 비교수단은 상기 프로세서에서 출력된 어드레스 정보와 상기 메모리에 저장된 어드레스 정보를 비교하고,

상기 메모리는 프로그램에 따른 소정의 처리가 실행되는 것에 의해서 어드레스 정보가 세트되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 21.

제20항에 있어서,

상기 메모리셀의 각각은 강유전체 캐패시터를 갖고, 불휘발성 저장동작은 강유전체 캐패시터의 극성방향에 따라서 실행되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 22.

1개의 칩에 형성되는 반도체 집적회로장치에 있어서,

프로그램에 따라서 소정의 처리동작을 실행하는 프로세서,

상기 프로그램의 일부가 저장되는 제1 불휘발성 메모리회로,

상기 메모리셀을 갖는 제2 불휘발성 메모리회로 및

상기 제2 불휘발성 메모리회로의 제1 영역과 제2 영역을 지정하는 지정회로를 갖고,

상기 제2 불휘발성 메모리회로의 제1 영역내의 여러개의 메모리셀의 각각에 저장된 데이타 변경은 금지되고, 상기 제2 불휘발성 메모리회로의 제2 영역내의 여러개의 메모리셀의 각각으로의 라이트동작은 허가되고, 상기 라이트동작은 상기 프로세서의 사이클타임에 대응하는 속도로 실행되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 23.

제22항에 있어서,

상기 지정회로는 메모리와 비교수단을 갖고,

상기 메모리는 상기 제2 불휘발성 메모리회로의 상기 제1 영역을 나타내기 위한 어드레스정보를 저장하고,

상기 비교수단은 상기 프로세서에서 출력된 어드레스정보와 상기 메모리에 저장된 어드레스정보를 비교하고,

상기 어드레스정보는 프로그램에 따른 소정의 처리가 실행되는 것에 의해서 세트되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 24.

제23항에 있어서,

상기 메모리셀의 각각은 강유전체 캐패시터를 갖고, 불휘발성 저장동작은 강유전체 캐패시터의 극성방향에 따라서 실행되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 25.

1개의 칩에 형성되는 시스템에 있어서,

프로그램에 따라서 소정의 처리동작을 실행하는 프로세서,

여러개의 메모리셀을 갖는 불휘발성 메모리회로 및

상기 불휘발성 메모리회로의 제1 영역과 제2 영역을 지정하는 지정회로를 갖고,

상기 불휘발성 메모리회로의 제1 영역내의 여러개의 메모리셀의 각각에 저장된 데이타변경은 금지되고, 상기 불휘발성 메모리회로의 제2 영역내의 여러개의 메모리셀의 각각으로의 라이트동작은 허가되고, 상기 라이트동작은 상기 프로세서의 사이클타임에 대응하는 속도와 일치해서 실행되는 것을 특징으로 하는 시스템.

청구항 26.

제25항에 있어서,

상기 지정회로는 메모리와 비교수단을 갖고,

상기 메모리는 상기 제1 영역을 나타내기 위한 어드레스정보를 저장하고,

상기 비교수단은 상기 프로세서에서 출력된 어드레스정보와 상기 메모리에 저장된 어드레스정보를 비교하고,

상기 어드레스정보는 프로세서가 프로그램을 실행하는 것에 의해서 세트되는 것을 특징으로 하는 시스템.

청구항 27.

제26항에 있어서,

상기 메모리셀의 각각은 강유전체 캐패시터를 갖고, 불휘발성 저장동작은 강유전체 캐패시터의 극성방향에 따라서 실행되는 것을 특징으로 하는 시스템.

청구항 28.

1개의 반도체칩상에 형성되고, 프로세서와 프로세서에 결합되는 불휘발성 메모리회로를 갖는 마이크로 컴퓨터를 개발하는 방법으로서,

상기 불휘발성 메모리회로내에 저장될 소프트웨어를 나타내는 목적코드를 제공하는 스텝,

상기 제공스텝에 의해서 제공된 상기 목적코드의 양에 따라서 상기 불휘발성 메모리회로내의 불휘발성 메모리에 위치될 영역의 사이즈를 결정하는 스텝,

상기 불휘발성 메모리에 위치될 상기 영역에 상기 목적코드를 라이트하는 스텝 및

상기 마이크로 컴퓨터에 포함되고, 상기 불휘발성 메모리로서 상기 불휘발성 메모리회로내의 영역을 지정하는 지정회로에 의해 상기 결정스텝에 의해서 결정된 사이즈를 세트하는 스텝을 갖고,

상기 불휘발성 메모리회로내의 다른 영역은 휘발성 메모리에 위치되는 것을 특징으로 하는 개발방법.

청구항 29.

제28항에 있어서,

상기 세트스텝 전에 상기 마이크로컴퓨터를 디버그하는 스텝,

상기 목적코드의 변경이 상기 디버그스텝에 의해서 결정된 경우에 다른 목적 코드를 제공하는 스텝 및

상기 결정스텝과 상기 라이트스텝을 실행하는 스텝을 더 갖는 것을 특징으로 하는 개발방법.

청구항 30.

제29항에 있어서,

상기 제공스텝, 상기 결정스텝 및 상기 라이트스텝과 병행해서 상기 마이크로 컴퓨터에 결합될 하드웨어를 설계하는 스텝을 더 갖는 것을 특징으로 하는 개발방법.

청구항 31.

제30항에 있어서,

상기 설계스텝은 보드를 설계하는 스텝과 상기 보드를 제조하는 스텝을 갖는 것을 특징으로 하는 개발방법.

청구항 32.

1개의 반도체칩상에 형성되고,

CPU,

불휘발성 메모리 및

상기 불휘발성 메모리가 불휘발성 메모리영역과 휘발성 메모리영역으로 분할되는 경계를 지정하는 지정회로를 갖고,

상기 불휘발성 메모리는 여러개의 메모리셀을 갖고, 상기 여러개의 메모리셀의 각각은 강유전체 용량을 갖고,

상기 불휘발성 메모리영역내의 메모리셀에 저장된 데이타의 리라이트 동작은 방지되고, 상기 휘발성 메모리영역내의 메모리셀에 저장된 데이타의 리라이트 동작은 실행되고,

상기 여러개의 메모리셀의 각각의 상기 강유전체는 전계에 의해서 전극이 발생하고, 상기 여러개의 메모리셀의 각각은 전극의 방향에 따라서 데이타를 저장하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 33.

제32항에 있어서,

상기 불휘발성 메모리영역은 상기 CPU에 의해서 실행될 프로그램을 저장하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 34.

제33항에 있어서,

상기 지정회로는 레지스터와 비교기를 갖고,

상기 레지스터는 상기 불휘발성 메모리영역과 상기 휘발성 메모리영역의 상기 경계를 지정하기 위한 정보를 저장하고,

상기 비교기는 상기 정보와 상기 CPU에서 출력된 어드레스신호를 비교하고, 상기 CPU에서 출력된 어드레스신호가 상기 불휘발성 메모리영역의 어드레스일 때 라이트 금지신호를 출력하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 35.

제34항에 있어서,

상기 지정회로는 논리회로를 갖고,

상기 라이트 금지신호가 상기 비교기에서 출력되었을 때 상기 논리회로는 상기 CPU에서 출력된 라이트 제어신호를 무시하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 36.

제35항에 있어서,

상기 휘발성 메모리영역내의 메모리셀의 각각은 다이나믹 메모리셀로서 동작하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 37.

제36항에 있어서,

상기 불휘발성 메모리영역내의 메모리셀의 각각은 리드온리 메모리셀로서 동작하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 38.

제37항에 있어서,

상기 불휘발성 메모리영역내의 상기 메모리셀의 각각에 저장된 데이타를 리드하기 위한 리드 동작은 상기 강유전체의 극성방향을 변경하지 않고 실행되는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 39.

제38항에 있어서,

디버그모드에서 소정 동작이 확인될 때 상기 경계를 나타내기 위한 상기 정보는 세트되는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 40.

제39항에 있어서,

상기 강유전체는 PZT(PbZrTiO)인 것을 특징으로 하는 마이크로 컴퓨터.

청구항 41.

1개의 반도체청상에 형성되고,

CPU,

불휘발성 메모리 및

상기 불휘발성 메모리가 불휘발성 메모리영역과 휘발성 메모리영역으로 분할되는 경계를 지정하는 지정회로를 갖고,

상기 불휘발성 메모리는 여러개의 메모리셀을 갖고, 상기 여러개의 메모리셀의 각각은 강유전체 용량을 갖고,

상기 불휘발성 메모리영역내의 메모리셀에 저장된 데이타의 리라이트 동작은 방지되고, 상기 휘발성 메모리영역내의 메모리셀에 저장된 데이타의 리라이트 동작은 실행되고,

상기 여러개의 메모리셀의 각각의 상기 강유전체는 전계에 의해서 전극이 발생하고, 상기 여러개의 메모리셀의 각각은 전극의 방향에 따라서 데이타를 저장하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 42.

41항에 있어서,

상기 불휘발성 메모리영역은 상기 CPU에 의해서 실행될 프로그램을 저장하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 43.

제42항에 있어서,

상기 지정회로는 레지스터와 비교기를 갖고,

상기 레지스터는 상기 불휘발성 메모리영역과 상기 휘발성 메모리영역의 상기 경계를 지정하기 위한 정보를 저장하고,

상기 비교기는 상기 정보와 상기 CPU에서 출력된 어드레스신호를 비교하고, 상기 CPU에서 출력된 어드레스신호가 상기 불휘발성 메모리영역의 어드레스일 때 라이트 금지신호를 출력하는 것을 특징으로 반도체 집적회로장치.

청구항 44.

제43항에 있어서,

상기 지정회로는 논리회로를 갖고,

상기 라이트 금지신호가 상기 비교기에서 출력되었을 때 상기 논리회로는 상기 CPU에서 출력된 라이트 제어신호를 무시하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 45.

제44항에 있어서,

상기 휘발성 메모리영역내의 메모리셀의 각각은 다이나믹 메모리셀로서 동작하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 46.

제45항에 있어서,

상기 불휘발성 메모리영역내의, 메모리셀의 각각은 리드은리 메모리셀로서 동작하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 47.

제46항에 있어서,

상기 불휘발성 메모리영역내의 상기 메모리셀의 각각에 저장된 데이타를 리드하기 위한 리드동작은 상기 강유전체의 극성방향을 변경하지 않고 실행되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 48.

제47항에 있어서,

디버그모드에서 소정 동작이 확인될 때 상기 경계를 나타내기 위한 상기 정보는 세트되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 49.

제48항에 있어서,

상기 강유전체는 PZT(PbZrTiO)인 것을 특징으로 하는 반도체 집적회로장치.

청구항 50.

1개의 반도체칩상에 형성되고,

CPU,

여러개의 제1 메모리셀을 갖는 제1 불휘발성 메모리,

여러개의 제2 메모리셀을 갖는 제2 불휘발성 메모리 및

상기 제2 불휘발성 메모리가 불휘발성 메모리영역과 휘발성 메모리영역으로 분할되는 경계를 지정하는 지정회로를 갖고,

상기 여러개의 제2 메모리셀의 각각은 강유전체 용량을 갖고,

상기 불휘발성 메모리영역내의 메모리셀에 저장된 데이타의 데이터 리라이트 동작은 방지되고, 상기 휘발성 메모리영역내의, 메모리셀에 저장된 데이타의 데이타 리라이트 동작은 실행되고,

상기 여러개의 메모리셀의 각각의 상기 강유전체는 전계에 의해서 전극이 발생하고, 상기 여러개의 메모리셀의 각각은 전극의 방향에 따라서 데이타를 저장하고,

상기 여러개의 제2 메모리셀의 수는 상기 여러개의 제1 메모리셀의 수보다 많은 것을 특징으로 하는 마이크로 컴퓨터.

청구항 51.

제50항에 있어서,

상기 제1 불휘발성 메모리와 상기 제2 불휘발성 메모리의 상기 불휘발성 메모리영역은 상기 CPU에 의해서 실행될 프로그램을 저장하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 52.

제51항에 있어서,

상기 지정회로는 레지스터와 비교기를 갖고,

상기 레지터스는 상기 불휘발성 메모리영역과 상기 휘발성 메모리영역의 상기 경계를 지정하기 위한 정보를 저장하고,

상기 비교기는 상기 정보와 상기 CPU에서 출력된 어드레스신호를 비교하고, 상기 CPU에서 출력된 어드레스신호가 상기 불휘발성 메모리영역의 어드레스일 때 라이트 금지신호를 출력하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 53.

제52항에 있어서,

상기 지정회로는 논리회로를 갖고,

상기 라이트 금지신호가 상기 비교기에서 출력되었을 때 상기 논리회로는 상기 CPU에서 출력된 라이트 제어신호를 무시하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 54.

제53항에 있어서,

상기 휘발성 메모리영역내의 메모리셀의 각각은 다이나믹 메모리셀로서 동작하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 55.

제54항에 있어서,

상기 불휘발성 메모리영역내의 메모리셀의 각각은 리드온리 메모리셀로서 동작하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 56.

제55항에 있어서,

상기 불휘발성 메모리영역내의 상기 메모리셀의 각각에 저장된 데이타를 리드하기 위한 리드 동작은 상기 강유전체의 극성방향을 변경하지 않고 실행되는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 57.

제56항에 있어서,

디버그모드에서 소정 동작이 확인될 때 상기 경계를 나타내기 위한 상기 정보는 세트되는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 58.

제57항에 있어서,

상기 강유전체는 PZT(PbZrTiO)인 것을 특징으로 하는 마이크로 컴퓨터.

청구항 59.

1개의 반도체칩상에 형성되고,

CPU,

여러개의 제1 메모리셀을 갖는 제1 불휘발성 메모리,

여러개의 제2 메모리셀을 갖는 제2 불휘발성 메모리 및

상기 제2 불휘발성 메모리가 불휘발성 메모리영역과 휘발성 메모리영역으로 분할되는 경계를 지정하는 지정회로를 갖고,

상기 여러개의 제2 메모리셀의 각각은 강유전체 용량을 갖고,

상기 불휘발성 메모리영역내의 메모리셀에 저장된 데이타의 데이타 리라이트 동작은 방지되고, 상기 휘발성 메모리영역내의 메모리셀에 저장된 데이타의 데이타 리라이트 동작은 허가되고,

상기 여러개의 메모리셀의 각각의 상기 강유전체는 전계에 의해서 전극이 발생하고, 상기 여러개의 메모리셀의 각각은 전극의 방향엔 따라서 데이타를 저장하고,

상기 여러개의 제2 메모리셀의 수는 상기 여러개의 제1 메모리셀의 수보다 많은 것을 특징으로 하는 반도체 집적회로장치.

청구항 60.

제59항에 있어서,

상기 제1 불취발성 메모리와 상기 제2 불휘발성 메모리의 상기 불휘발성 메모리영역은 상기 CPU에 의해서 실행될 프로그램을 저장하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 61.

제60항에 있어서,

상기 지정회로는 레지스터와 비교기를 갖고,

상기 레지스터는 상기 불휘발성 메모리영역과 상기 휘발성 메모리영역의 상기 경계를 지정하기 위한 정보를 저장하고,

상기 비교기는 상기 정보와 상기 CPU에서 출력된 어드레스신호를 비교하고, 상기 CPU에서 출력된 어드레스신호가 상기 불휘발성 메모리영역의 어드레스일 때 라이트 금지신호를 출력하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 62.

제61항이 있어서,

상기 지정회로는 논리회로를 갖고,

상기 라이트 금지신호가 상기 비교기에서 출력되었을 때 상기 논리회로는 상기 CPU에서 출력된 라이트 제어신호를 무시하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 63.

제62항에 있어서,

상기 휘발성 메모리영역내의 메모리셀의 각각은 다이나믹 메모리셀로서 동작하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 64.

제63항에 있어서,

상기 불휘발성 메모리영역내의 메모리셀의 각각은 리드온리 메모리셀로서 동작하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 65.

제64항에 있어서,

상기 불휘발성 메모리영역내의 상기 메모리셀의 각각에 저장된 데이타를 리드하기 위한 리드 동작은 상기 강유전체의 극성방향을 변경하지 않고 실행되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 66.

제65항에 있어서,

디버그모드에서 소정 동작이 확인될 때 상기 경계를 나타내기 위한 상기 정보는 세트되는 것을 특징으로 하는 반도체 집적회로장치.

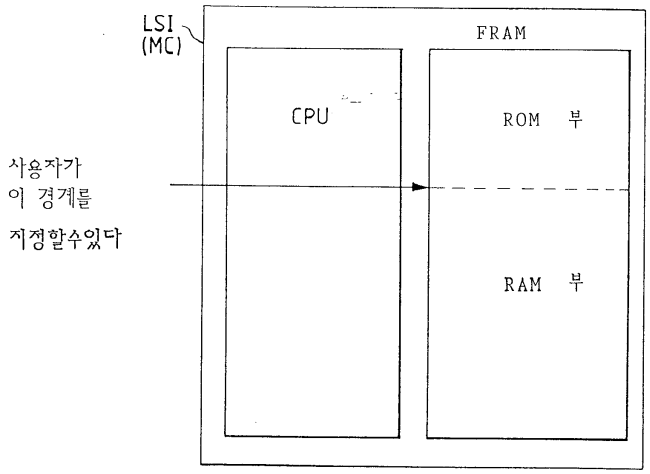
청구항 67.

제66항에 있어서,

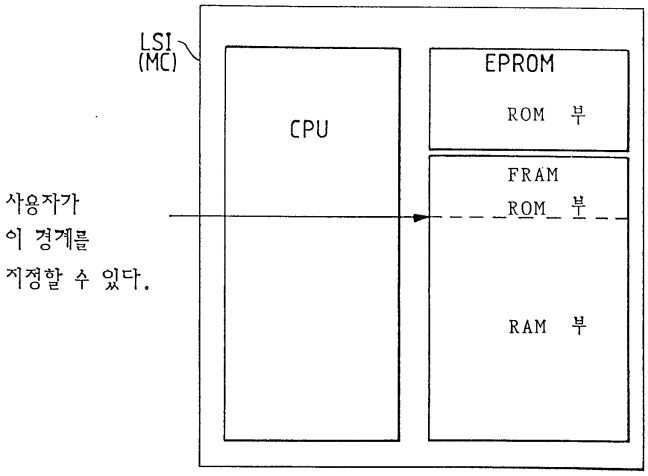
상기 강유전체는 PZT(PbZrTiO)인 것을 특징으로 하는 반도체 집적회로장치.

도면

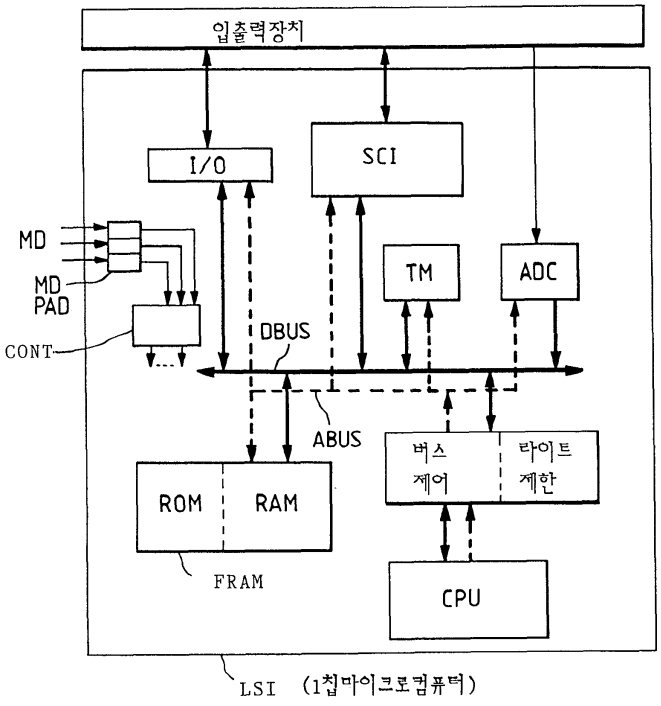
도면 1



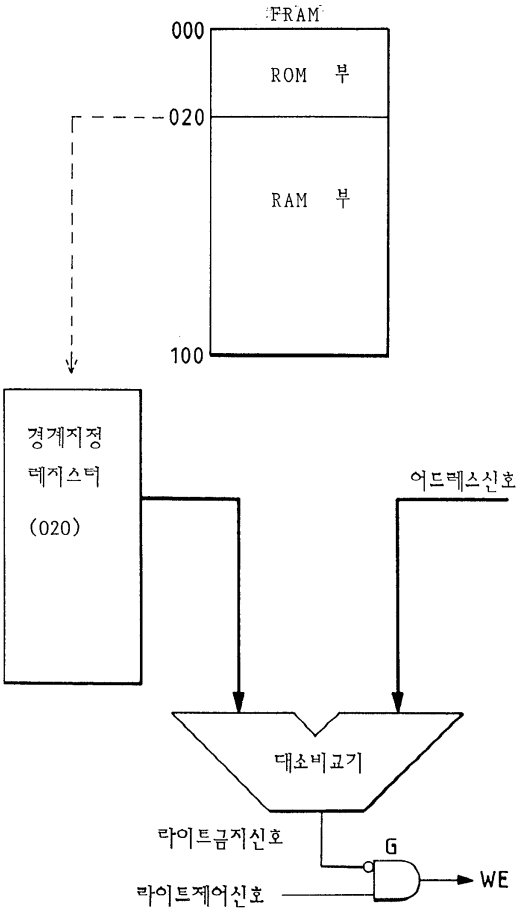
도면 2


LSI
(MC)
CPU
EPROM
ROM 부
FRAM
ROM 부
RAM 부
사용자가
이 경계를
지정할 수 있다.

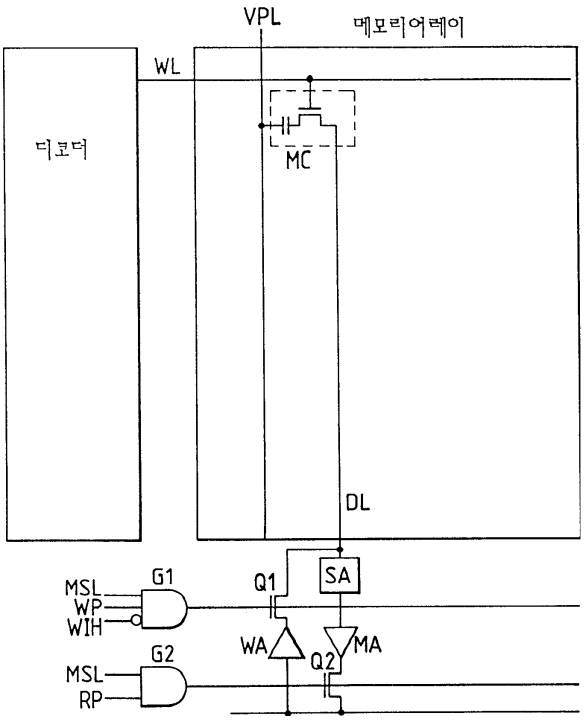
도면 3


입출력장치
I/O
SCI
MD
MD
PAD
CONT
TM
ADC
DBUS
ABUS
버스
제어
타이트
제한
ROM
RAM
FRAM
CPU
LSI (1칩마이크로컴퓨터)

도면 4


FRAM
000
ROM 부
020
RAM 부
100
경계지정
레지스터
(020)
어드레스신호
대소비교기
라이트금지신호
G
WE
라이트제어신호

도면 5


VPL
메모리어레이
WL
디코더
MC
DL
MSL
WP
WIH
G1
Q1
SA
WA
Q2
MA
G2
MSL
RP

도면 6

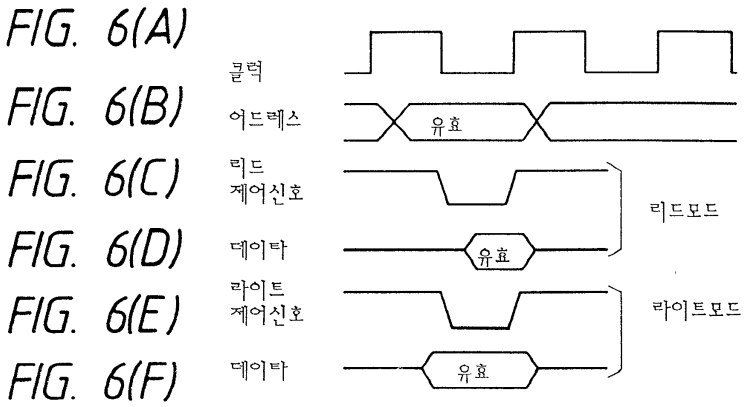


FIG. 6(A)
FIG. 6(B)
FIG. 6(C)
FIG. 6(D)
FIG. 6(E)
FIG. 6(F)
클럭
어드레스
유효
리드
제어신호
데이타
유효
리드모드
라이트
제어신호
데이타
유효
라이트모드

도면 7

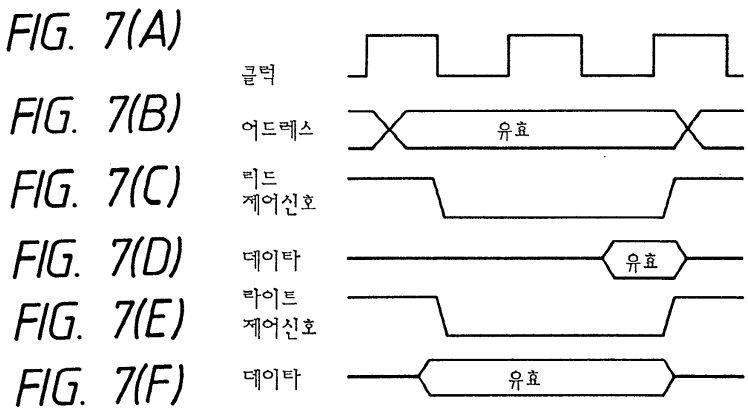
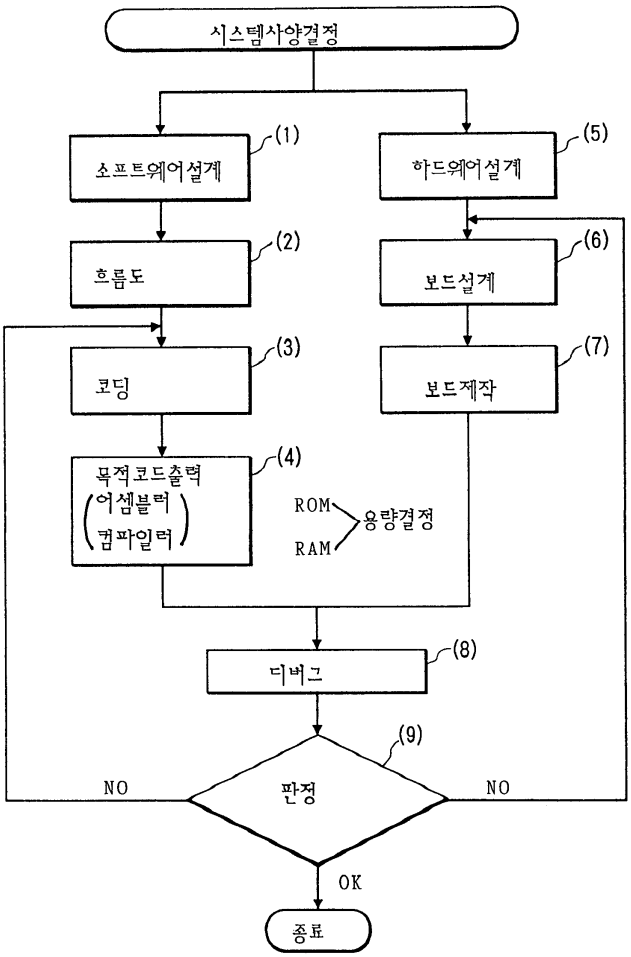


FIG. 7(A)
FIG. 7(B)
FIG. 7(C)
FIG. 7(D)
FIG. 7(E)
FIG. 7(F)
클럭
어드레스
유효
리드
제어신호
데이타
유효
라이트
제어신호
데이타
유효

도면 8


시스템사양결정
소프트웨어설계
(1)
하드웨어설계
(5)
흐름도
(2)
보드설계
(6)
코딩
(3)
보드제작
(7)
목적코드출력
(어셈블러
컴파일러)
(4)
ROM
RAM
용량결정
디버그
(8)
판정
(9)
NO
NO
OK
종료