

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4092292号
(P4092292)

(45) 発行日 平成20年5月28日 (2008. 5. 28)

(24) 登録日 平成20年3月7日 (2008. 3. 7)

(51) Int. Cl.

F I

H02M 7/48 (2007.01)

H02M 7/48

M

請求項の数 20 (全 20 頁)

(21) 出願番号	特願2003-522245 (P2003-522245)	(73) 特許権者	591029943
(86) (22) 出願日	平成14年8月12日 (2002. 8. 12)		インダクトサーム・コーポレーション
(65) 公表番号	特表2005-500793 (P2005-500793A)		I N D U C T O T H E R M C O R P O R A T I O N
(43) 公表日	平成17年1月6日 (2005. 1. 6)		アメリカ合衆国08073ニュージャージー州ランコーカス、ピーオーボックス157、インデル・アベニュー10
(86) 国際出願番号	PCT/US2002/025423		
(87) 国際公開番号	W02003/017452	(74) 代理人	100067817
(87) 国際公開日	平成15年2月27日 (2003. 2. 27)		弁理士 倉内 基弘
審査請求日	平成17年8月12日 (2005. 8. 12)	(74) 代理人	100085774
(31) 優先権主張番号	60/311, 822		弁理士 風間 弘志
(32) 優先日	平成13年8月13日 (2001. 8. 13)	(72) 発明者	ヴラディミル ヴイ. ナドット
(33) 優先権主張国	米国 (US)		アメリカ合衆国 08043 ニュージャージー、プーアリーズ、チップナム ドライブ 60

最終頁に続く

(54) 【発明の名称】 故障に対する耐性を有する電源回路

(57) 【特許請求の範囲】

【請求項 1】

正及び負の直流バスを有する直流出力を備えた直流電源；

スイッチモジュールの組を備えるインバーターレグであって、前記スイッチモジュールの組の各々がスイッチ回路と直列に接続された di/dt リアクトルを備え、前記スイッチ回路の各々が逆並列ダイオードに逆並列に接続されたスイッチング素子を備え、前記スイッチモジュールの組の第1の組の前記スイッチング素子のアノードが前記スイッチモジュールの組の第1組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第2の組の前記スイッチング素子のカソードが前記スイッチモジュールの組の第2組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第1組の前記 di/dt リアクトルが正の前記直流バスに接続されており、前記スイッチモジュールの組の第2組の前記 di/dt リアクトルが負の前記直流バスに接続されており、前記スイッチモジュールの組が前記スイッチモジュールの組の第1組のカソードと前記スイッチモジュールの組の第2組のアノードを接続するスイッチ共通接点を有する、インバーターレグ；

前記直流電源の前記直流出力の両端のそれぞれに、直列に接続され、かつ、コンデンサー共通接点で互いに接続された第1及び第2の整流コンデンサー；及び、

前記スイッチ共通接点と前記コンデンサー共通接点との間に接続された負荷誘導コイルを備える故障に対する耐性を有する電源において；

保護用回路であって；

保護用コンデンサー；

10

20

前記保護用コンデンサーと直列に接続されたカソードを持つ阻止ダイオードであって、前記阻止ダイオードと前記保護用コンデンサーとの直列結合が前記スイッチモジュールの第1組の前記スイッチ回路の前記スイッチング素子のアノードと前記スイッチモジュールの第2組の前記スイッチ回路の前記スイッチング素子のカソードに接続されている阻止ダイオード；及び、

前記保護用コンデンサーと並列に接続された放電用抵抗を備える保護用回路をさらに備え、

前記保護用コンデンサーが前記スイッチング素子の許容ピーク電圧より低い電圧まで充電し、前記負荷誘導コイルが少なくとも部分的に短絡し、前記保護用コンデンサーの電荷が前記スイッチング素子の前記許容ピーク電圧まで増大するときに、前記第1及び第2の整流コンデンサーから付加的な電荷を吸収し、それによって、前記短絡時に非伝導状態の前記スイッチング素子の両端の電圧が前記非伝導状態のスイッチング素子の許容ピーク電圧より低く維持されることを特徴とする、故障に対する耐性を有する電源。

【請求項2】

前記スイッチ回路の各々に対して備えられたスナバ回路であって：

スナバコンデンサー；

第1スナバ抵抗；

スナバダイオード；及び、

前記スナバダイオードと前記第1スナバ抵抗との直列結合に並列に接続された第2スナバ抵抗を備え、

前記スナバコンデンサー、前記スナバ抵抗、及び前記スナバダイオードの直列結合が前記スイッチ回路に並列に接続されており、前記スナバダイオードのアノードが前記スイッチング素子のアノードに接続されているスナバ回路をさらに備える、請求項1に記載の故障に対する耐性を有する電源。

【請求項3】

正及び負の直流バスを有する直流出力を備えた直流電源；

各々がスイッチモジュールの組を備える一組のインバーターレッグであって、前記スイッチモジュールの組の各々がスイッチ回路と直列に接続された di/dt リアクトルを備え、前記スイッチ回路の各々が逆並列ダイオードに逆並列に接続されたスイッチング素子を備え、前記スイッチモジュールの組の第1の組の前記スイッチング素子のアノードが前記スイッチモジュールの組の第1組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第2の組の前記スイッチング素子のカソードが前記スイッチモジュールの組の第2組の前記 di/dt リアクトルに接続されており、前記インバーターレッグの組の各々の前記スイッチモジュールの組の第1組の前記 di/dt リアクトルが正の前記直流バスに接続されており、前記インバーターレッグの組の各々の前記スイッチモジュールの組の第2組の前記 di/dt リアクトルが負の前記直流バスに接続されており、前記インバーターレッグの組の各々の前記スイッチモジュールの組が前記インバーターレッグの組の各々の前記スイッチモジュールの組の第1組のカソードと前記スイッチモジュールの組の第2組のアノードを接続するスイッチ共通接点を有する、一組のインバーターレッグ；

負荷誘導コイル；及び、

前記負荷誘導コイルと直列に接続された整流コンデンサーであって、前記負荷誘導コイルと前記整流コンデンサーとの直列結合が前記インバーターレッグの組の第1の組のスイッチ共通接点と前記インバーターレッグの組の第2の組のスイッチ共通接点との間に接続されている整流コンデンサーを備える故障に対する耐性を有する電源において：

前記インバーターレッグの組の各々に対する保護用回路であって：

保護用コンデンサー；

前記保護用コンデンサーと直列に接続されたカソードを持つ阻止ダイオードであって、前記阻止ダイオードと前記保護用コンデンサーとの直列結合が前記スイッチモジュールの第1組の前記スイッチ回路の前記スイッチング素子のアノードと前記スイッチモジュールの第2組の前記スイッチ回路の前記スイッチング素子のカソードに接続されている阻止ダ

10

20

30

40

50

イオード；及び、

前記保護用コンデンサーと並列に接続された放電用抵抗を備える保護用回路をさらに備え、

前記保護用コンデンサーが前記スイッチング素子の許容ピーク電圧より低い電圧まで充電し、前記負荷誘導コイルが少なくとも部分的に短絡し、前記保護用コンデンサーの電荷が前記スイッチング素子の前記許容ピーク電圧まで増大するときに、前記第1及び第2の整流コンデンサーから付加的な電荷を吸収し、それによって、前記短絡時に非伝導状態の前記スイッチング素子の両端の電圧が前記非伝導状態のスイッチング素子の許容ピーク電圧より低く維持されることを特徴とする、故障に対する耐性を有する電源。

【請求項4】

前記スイッチ回路の各々に対して備えられたスナバ回路であって：

スナバコンデンサー；

第1スナバ抵抗；

スナバダイオード；及び、

前記スナバダイオードと前記第1スナバ抵抗との直列結合に並列に接続された第2スナバ抵抗を備え、

前記スナバコンデンサー、前記スナバ抵抗、及び前記スナバダイオードの直列結合が前記スイッチ回路に並列に接続されており、前記スナバダイオードのアノードが前記スイッチング素子のアノードに接続されているスナバ回路をさらに備える、請求項3に記載の故障に対する耐性を有する電源。

【請求項5】

正及び負の直流バスを有する直流出力を備えた直流電源；

スイッチモジュールの組を備えるインバーターレグであって、前記スイッチモジュールの組の各々がスイッチ回路と直列に接続された di/dt リアクトルを備え、前記スイッチ回路の各々が逆並列ダイオードに逆並列に接続されたスイッチング素子を備え、前記スイッチモジュールの組の第1の組の前記スイッチング素子のアノードが前記スイッチモジュールの組の第1組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第2の組の前記スイッチング素子のカソードが前記スイッチモジュールの組の第2組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第1組の前記 di/dt リアクトルが正の前記直流バスに接続されており、前記スイッチモジュールの組の第2組の前記 di/dt リアクトルが負の前記直流バスに接続されており、前記スイッチモジュールの組が前記スイッチモジュールの組の第1組のカソードと前記スイッチモジュールの組の第2組のアノードを接続するスイッチ共通接点を有する、インバーターレグ；

前記直流電源の前記直流出力の両端のそれぞれに、直列に接続され、かつ、コンデンサー共通接点で互いに接続された第1及び第2の整流コンデンサー；及び、

前記スイッチ共通接点と前記コンデンサー共通接点との間に接続された負荷誘導コイルを備える故障に対する耐性を有する電源において：

保護用コンデンサー；

前記保護用コンデンサーと直列に接続されたカソードを持つ阻止ダイオードであって、前記保護用コンデンサーと前記阻止ダイオードが第1共通接点で共通に接続されており、前記阻止ダイオードと前記保護用コンデンサーとの直列結合が前記スイッチモジュールの第1組の前記スイッチ回路の前記スイッチング素子のアノードと前記スイッチモジュールの第2組の前記スイッチ回路の前記スイッチング素子のカソードに接続されている阻止ダイオード；及び、

前記第1共通接点と正の前記直流バスとの間に接続された放電用抵抗をさらに備え、

前記保護用コンデンサーが前記スイッチング素子の許容ピーク電圧より低い電圧まで充電し、前記負荷誘導コイルが少なくとも部分的に短絡し、前記保護用コンデンサーの電荷が前記スイッチング素子の前記許容ピーク電圧まで増大するときに、前記第1及び第2の整流コンデンサーから付加的な電荷を吸収し、それによって、前記短絡時に非伝導状態の前記スイッチング素子の両端の電圧が前記非伝導状態のスイッチング素子の許容ピーク電

10

20

30

40

50

圧より低く維持されることを特徴とする、故障に対する耐性を有する電源。

【請求項 6】

前記スイッチ回路の各々に対して備えられたスナバ回路であって：

スナバコンデンサー；

第 1 スナバ抵抗；

スナバダイオード；及び、

前記スナバダイオードと前記第 1 スナバ抵抗との直列結合に並列に接続された第 2 スナバ抵抗を備え、

前記スナバコンデンサー、前記スナバ抵抗、及び前記スナバダイオードの直列結合が前記スイッチ回路に並列に接続されており、前記スナバダイオードのアノードが前記スイッチング素子のアノードに接続されているスナバ回路をさらに備える、請求項 5 に記載の故障に対する耐性を有する電源。

10

【請求項 7】

正及び負の直流バスを有する直流出力を備えた直流電源；

各々がスイッチモジュールの組を備える一組のインバーターレグであって、前記スイッチモジュールの組の各々がスイッチ回路と直列に接続された di/dt リアクトルを備え、前記スイッチ回路の各々が逆並列ダイオードに逆並列に接続されたスイッチング素子を備え、前記スイッチモジュールの組の第 1 の組の前記スイッチング素子のアノードが前記スイッチモジュールの組の第 1 組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第 2 の組の前記スイッチング素子のカソードが前記スイッチモジュールの組の第 2 組の前記 di/dt リアクトルに接続されており、前記インバーターレグの組の各々の前記スイッチモジュールの組の第 1 組の前記 di/dt リアクトルが正の前記直流バスに接続されており、前記インバーターレグの組の各々の前記スイッチモジュールの組の第 2 組の前記 di/dt リアクトルが負の前記直流バスに接続されており、前記インバーターレグの組の各々の前記スイッチモジュールの組が前記インバーターレグの組の各々の前記スイッチモジュールの組の第 1 組のカソードと前記スイッチモジュールの組の第 2 組のアノードを接続するスイッチ共通接点を有する、一組のインバーターレグ；

20

負荷誘導コイル；及び、

前記負荷誘導コイルと直列に接続された整流コンデンサーであって、前記負荷誘導コイルと前記整流コンデンサーとの直列結合が前記インバーターレグの組の第 1 の組のスイッチ共通接点と前記インバーターレグの組の第 2 の組のスイッチ共通接点との間に接続されている整流コンデンサーを備える故障に対する耐性を有する電源において：

30

前記インバーターレグの組の各々に対する保護用回路であって：

保護用コンデンサー；

前記保護用コンデンサーと直列に接続されたカソードを持つ阻止ダイオードであって、前記保護用コンデンサーと前記阻止ダイオードが第 1 共通接点で共通に接続され、前記阻止ダイオードと前記保護用コンデンサーとの直列結合が前記スイッチモジュールの第 1 組の前記スイッチ回路の前記スイッチング素子のアノードと前記スイッチモジュールの第 2 組の前記スイッチ回路の前記スイッチング素子のカソードに接続されている阻止ダイオード；及び、

40

前記第 1 共通接点と正の前記直流バスとの間に接続された放電用抵抗、を備える保護用回路をさらに備え、

前記保護用コンデンサーが前記スイッチング素子の許容ピーク電圧より低い電圧まで充電し、前記負荷誘導コイルが少なくとも部分的に短絡し、前記保護用コンデンサーの電荷が前記スイッチング素子の前記許容ピーク電圧まで増大するときに、前記第 1 及び第 2 の整流コンデンサーから付加的な電荷を吸収し、それによって、前記短絡時に非伝導状態の前記スイッチング素子の両端の電圧が前記非伝導状態のスイッチング素子の許容ピーク電圧より低く維持されることを特徴とする、故障に対する耐性を有する電源。

【請求項 8】

前記スイッチ回路の各々に対して備えられたスナバ回路であって：

50

スナバコンデンサー；
第 1 スナバ抵抗；
スナバダイオード；及び、

前記スナバダイオードと前記第 1 スナバ抵抗との直列結合に並列に接続された第 2 スナバ抵抗を備え、

前記スナバコンデンサー、前記スナバ抵抗、及び前記スナバダイオードの直列結合が前記スイッチ回路に並列に接続されており、前記スナバダイオードのアノードが前記スイッチング素子のアノードに接続されているスナバ回路をさらに備える、請求項 7 に記載の故障に対する耐性を有する電源。

【請求項 9】

正及び負の直流バスを有する直流出力を備えた直流電源；

スイッチモジュールの組を備えるインバーターレグであって、前記スイッチモジュールの組の各々がスイッチ回路と直列に接続された di/dt リアクトルを備え、前記スイッチ回路の各々が逆並列ダイオードに逆並列に接続されたスイッチング素子を備え、前記スイッチモジュールの組の第 1 の組の前記スイッチング素子のアノードが前記スイッチモジュールの組の第 1 組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第 2 の組の前記スイッチング素子のカソードが前記スイッチモジュールの組の第 2 組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第 1 組の前記 di/dt リアクトルが正の前記直流バスに接続されており、前記スイッチモジュールの組の第 2 組の前記 di/dt リアクトルが負の前記直流バスに接続されており、前記スイッチモジュールの組が前記スイッチモジュールの組の第 1 組のカソードと前記スイッチモジュールの組の第 2 組のアノードを接続するスイッチ共通接点を有する、インバーターレグ；

前記直流電源の前記直流出力の両端のそれぞれに、直列に接続され、かつ、コンデンサー共通接点で互いに接続された第 1 及び第 2 の整流コンデンサー；及び、

前記スイッチ共通接点と前記コンデンサー共通接点との間に接続された負荷誘導コイルを備える故障に対する耐性を有する電源において；

保護用回路であって；

保護用コンデンサー；

前記保護用コンデンサーと直列に接続されたカソードを持つ阻止ダイオードであって、前記保護用コンデンサーと前記阻止ダイオードが第 1 共通接点で共通に接続されており、前記阻止ダイオードと前記保護用コンデンサーとの直列結合が前記スイッチモジュールの第 1 組の前記スイッチ回路の前記スイッチング素子のアノードと前記スイッチモジュールの第 2 組の前記スイッチ回路の前記スイッチング素子のカソードに接続されている阻止ダイオード；

前記第 1 共通接点に接続された第 1 抵抗端子を備える放電用抵抗；及び、

前記放電用抵抗の第 2 抵抗端子に接続された第 1 チョーク端子、及び正の前記直流バスに接続された第 2 チョーク端子を備えるチョークを備える保護用回路；及び、

前記スイッチ回路の各々に対するスナバ回路であって；

スナバコンデンサー；

スナバダイオード；及び、

前記スナバダイオードに並列に接続されたスナバ抵抗を備え、

前記スナバコンデンサー及び前記スナバダイオードの直列結合が前記スイッチ回路に並列に接続されており、前記スナバダイオードのアノードが前記スイッチング素子のアノードに接続されているスナバ回路をさらに備え、

前記保護用コンデンサーが前記スイッチング素子の許容ピーク電圧より低い電圧まで充電し、前記逆並列ダイオードが逆方向バイアスに遷移したときに前記スイッチング素子の両端の電圧オーバーシュートをクランプし、前記負荷誘導コイルが少なくとも部分的に短絡し、前記保護用コンデンサーの電荷が前記スイッチング素子の前記許容ピーク電圧まで増大するときに、前記第 1 及び第 2 の整流コンデンサーから付加的な電荷を吸収し、それによって、前記短絡時に非伝導状態の前記スイッチング素子の両端の電圧が前記非伝導状

10

20

30

40

50

態のスイッチング素子の許容ピーク電圧より低く維持されることを特徴とする、故障に対する耐性を有する電源。

【請求項 10】

正及び負の直流バスを有する直流出力を備えた直流電源；

各々がスイッチモジュールの組を備える一組のインバーターレグであって、前記スイッチモジュールの組の各々がスイッチ回路と直列に接続された di/dt リアクトルを備え、前記スイッチ回路の各々が逆並列ダイオードに逆並列に接続されたスイッチング素子を備え、前記スイッチモジュールの組の第1の組の前記スイッチング素子のアノードが前記スイッチモジュールの組の第1組の前記 di/dt リアクトルに接続されており、前記スイッチモジュールの組の第2の組の前記スイッチング素子のカソードが前記スイッチモジュールの組の第2組の前記 di/dt リアクトルに接続されており、前記インバーターレグの組の各々の前記スイッチモジュールの組の第1組の前記 di/dt リアクトルが正の前記直流バスに接続されており、前記インバーターレグの組の各々の前記スイッチモジュールの組の第2組の前記 di/dt リアクトルが負の前記直流バスに接続されており、前記インバーターレグの組の各々の前記スイッチモジュールの組が前記インバーターレグの組の各々の前記スイッチモジュールの組の第1組のカソードと前記スイッチモジュールの組の第2組のアノードを接続するスイッチ共通接点を有する、一組のインバーターレグ；

10

負荷誘導コイル；及び、

前記負荷誘導コイルと直列に接続された整流コンデンサーであって、前記負荷誘導コイルと前記整流コンデンサーとの直列結合が前記インバーターレグの組の第1の組のスイッチ共通接点と前記インバーターレグの組の第2の組のスイッチ共通接点との間に接続されている整流コンデンサーを備える故障に対する耐性を有する電源において；

20

前記インバーターレグの組の各々に対する保護用回路であって；

保護用コンデンサー；

前記保護用コンデンサーと直列に接続されたカソードを持つ阻止ダイオードであって、前記保護用コンデンサーと前記阻止ダイオードが第1共通接点で共通に接続されており、前記阻止ダイオードと前記保護用コンデンサーとの直列結合が前記スイッチモジュールの第1組の前記スイッチ回路の前記スイッチング素子のアノードと前記スイッチモジュールの第2組の前記スイッチ回路の前記スイッチング素子のカソードに接続されている阻止ダイオード；

30

前記第1共通接点に接続された第1抵抗端子を備える放電用抵抗；及び、

前記放電用抵抗の第2抵抗端子に接続された第1チョーク端子、及び正の前記直流バスに接続された第2チョーク端子を備えるチョークを備える保護用回路；及び、

前記スイッチ回路の各々に対するスナバ回路であって；

スナバコンデンサー；

スナバダイオード；及び、

前記スナバダイオードに並列に接続されたスナバ抵抗を備え、

前記スナバコンデンサー及び前記スナバダイオードの直列結合が前記スイッチ回路に並列に接続されており、前記スナバダイオードのアノードが前記スイッチング素子のアノードに接続されているスナバ回路をさらに備え、

40

前記保護用コンデンサーが前記スイッチング素子の許容ピーク電圧より低い電圧まで充電し、前記逆並列ダイオードが逆方向バイアスに遷移したときに前記スイッチング素子の両端の電圧オーバーシュートをクランプし、前記負荷誘導コイルが少なくとも部分的に短絡し、前記保護用コンデンサーの電荷が前記スイッチング素子の前記許容ピーク電圧まで増大するときに、前記整流コンデンサーから付加的な電荷を吸収し、それによって、前記短絡時に非伝導状態の前記スイッチング素子の両端の電圧が前記非伝導状態のスイッチング素子の許容ピーク電圧より低く維持されることを特徴とする、故障に対する耐性を有する電源。

【請求項 11】

故障に対する耐性を有する電源を使用して、誘導性負荷のための電力供給する方法であ

50

って：

前記電源が：

スイッチモジュールの組を備えるインバーターレグであって：前記スイッチモジュールの組の各々がスイッチ回路と直列に接続された di/dt リアクトルを備え、前記スイッチ回路が逆並列ダイオードに逆並列に接続されたスイッチング素子を備え；前記スイッチモジュールの組の各々の前記スイッチ回路がスイッチ共通接点に接続されており、前記インバーターレグが直流電源の直流出力の両端に接続されているインバーターレグ；

前記直流電源の直流出力に直列に接続された、一組の整流コンデンサー；及び、

前記スイッチ共通接点と前記整流コンデンサーの組の共通接点に接続された誘導性負荷であって、前記スイッチモジュールの組の各々のスイッチング素子が前記誘導性負荷に交流電力を与えるために逆平行配置で配置されている誘導性負荷を備え；

10

前記スイッチ回路の組の両側に接続されている保護用コンデンサーを前記スイッチング素子の許容ピーク電圧より低い電圧まで充電すること；及び、

前記誘導性負荷が少なくとも部分的に短絡したときに、前記スイッチング素子の前記許容ピーク電圧より低い電圧まで、前記整流コンデンサーの組から電荷を吸収することのステップを含む方法。

【請求項 1 2】

前記保護用コンデンサーを前記保護用コンデンサーに並列に接続された抵抗を介して放電することをさらに含む、請求項 1 1 に記載の方法。

【請求項 1 3】

20

前記保護用コンデンサーを前記保護用コンデンサーと前記直流電源の正の前記直流バスとの間に接続された抵抗を介して放電することをさらに含む、請求項 1 1 に記載の方法。

【請求項 1 4】

前記逆並列ダイオードが逆方向バイアスに遷移したときに、前記スイッチング素子の両端の電圧オーバーシュートをクランピングすることをさらに含む、請求項 1 1 に記載の方法。

【請求項 1 5】

前記保護用コンデンサーを前記保護用コンデンサーと前記直流電源の正の前記直流バスとの間に直列に接続された抵抗及びチョークを介して放電することをさらに含む、請求項 1 4 に記載の方法。

30

【請求項 1 6】

故障に対する耐性を有する電源を使用して、誘導性負荷のための電力供給する方法であって：

前記電源が：

各々がスイッチモジュールの組を備える第 1 及び第 2 のインバーターレグであって：前記スイッチモジュールの組の各々がスイッチ回路と直列に接続された di/dt リアクトルを備え、前記スイッチ回路が逆並列ダイオードに逆並列に接続されたスイッチング素子を備え；前記インバーターレグの組の各々の前記スイッチモジュールの組の各々の前記スイッチ回路がスイッチ共通接点に接続されており、前記第 1 及び第 2 インバーターレグが直流電源の直流出力の両端に接続されているインバーターレグ；及び、

40

整流コンデンサーに直列に接続された誘導性負荷であって、前記誘導性負荷に交流電力を与えるために、前記誘導性負荷と前記整流コンデンサーの直列結合が前記第 1 インバーターレグの前記スイッチ共通接点と前記第 2 インバーターレグの前記スイッチ共通接点との間に接続されている誘導性負荷を備え；

前記第 1 インバーターレグの前記スイッチ回路の組の両側に接続されている第 1 保護用コンデンサーを前記スイッチング素子の許容ピーク電圧より低い電圧まで充電すること；

前記第 2 インバーターレグの前記スイッチ回路の組の両側に接続されている第 2 保護用コンデンサーを前記スイッチング素子の許容ピーク電圧より低い電圧まで充電すること；

50

前記誘導性負荷が少なくとも部分的に短絡したときに、前記スイッチング素子の前記許容ピーク電圧より低い電圧まで、前記整流コンデンサの組から前記第 1 保護用コンデンサーに電荷を吸収すること；及び、

前記誘導性負荷が少なくとも部分的に短絡したときに、前記スイッチング素子の前記許容ピーク電圧より低い電圧まで、前記整流コンデンサの組から前記第 2 保護用コンデンサーに電荷を吸収することのステップを備える方法。

【請求項 17】

前記保護用コンデンサーを前記保護用コンデンサーに並列に接続された抵抗を介して放電することをさらに含む、請求項 16 に記載の方法。

【請求項 18】

前記保護用コンデンサーを前記保護用コンデンサーと前記直流電源の正の前記直流バスとの間に接続された抵抗を介して放電することをさらに含む、請求項 16 に記載の方法。

【請求項 19】

前記逆並列ダイオードが逆方向バイアスに遷移したときに、前記スイッチング素子の両端の電圧オーバーシュートをクランピングすることをさらに含む、請求項 16 に記載の方法。

【請求項 20】

前記保護用コンデンサーを前記保護用コンデンサーと前記直流電源の正の前記直流バスとの間に直列に接続された抵抗及びチョークを介して放電することをさらに含む、請求項 19 に記載の方法。

【発明の詳細な説明】

【0001】

(関連する出願への参照)

本願は 2001 年 8 月 13 日に出願された米国特許出願 No. 60/311,822 の優先権を主張する。

【0002】

(発明の分野)

本発明は例えば、誘導加熱や溶融等の用途で使用する誘導性負荷に交流電流を供給するために使用される電力供給回路または電源回路に関し、特に、電源のトポロジー（または、配置及び構成）に依存して、電源内で使用されるスイッチング素子に高レベルの故障電圧または故障電流を生じさせる短絡（または、ショート）を起こす可能性がある誘導性負荷の電源回路に関する。

【0003】

(発明の背景)

誘導炉や実質的に誘導性のインピーダンスを持った他の負荷に対して使用される従来の直列共振直流 - 交流インバーター電源回路 (series-resonant dc-to-ac inverter power supply circuit) は直流電源及び、1 つまたは複数の直列に接続されたスイッチ回路の組を有するインバーターを含む。各スイッチ回路は誘導性のリアクトル (inductive reactor) と、逆並列ダイオード (antiparallel diode) が両端に接続された、シリコン制御整流器 (SCR (silicon-controlled rectifier)) 等の、スイッチング素子との直列結合から成る。誘導性リアクトルはターンオン (turn-on) されたとき（または、電流の方向が転換 (commutate) したとき）、対応する SCR を通って流れる電流の時間に対する変化の割合または速度を制限するので、 di/dt リアクトルとも呼ばれる。インバーターの複数の SCR は誘導コイル等の誘導性負荷に接続され、非伝導状態と伝導状態とを切り替えるために、交互にゲート制御される（または、トリガーされる）。この構成により、SCR の組の各 SCR は電流が交互に誘導コイル内を反対方向に流れることを可能にし、結果として、コイル内を流れる交流電流を確立する。

【0004】

並列共振直流 - 交流インバーター電源回路 (parallel-resonant dc-to-ac inverter power supply circuit) もまた誘導性負荷と共に利用される。しかしながら、優れた制御性を

10

20

30

40

50

有するという理由で、直列共振直流 - 交流インバーター電源回路の方が好まれている。しかしながら、直列共振直流 - 交流インバーター電源回路は誘導性負荷内で短絡（または、ショート）が発生したときに、故障を起こしやすいという欠点を有する。例えば、負荷が金属溶融のための電気誘導炉で使用される誘導コイルの場合、こぼれた溶融金属や炉に導入されるべき金属の破片等がコイルと接触し、2つまたはそれ以上のコイルの巻きの間に、少なくとも部分的な短絡を起こすことがある。結果として、短絡時にインバーター内の非伝導状態のスイッチング素子に生ずる瞬間的な過電圧状態（over-voltage condition）は素子または装置を劣化させたり破損させたりする可能性がある。この問題に対する従来の解決策は素子の両端の過電圧状態を排除するために、非伝導状態のスイッチング素子を伝導状態にトリガーさせる（または、伝導状態に瞬時に切り替える）ことである。しかしながら、この解決策はスイッチング素子に非常に大きな電流が流れることを引き起こし、素子が瞬間的に高熱を発するという欠点を有する。したがって、スイッチング素子は過電圧状態を排除するために、非常に大きな電流に耐える必要がある。スイッチング素子にこのような高いレベルの電流を流すことは素子を劣化させ、故障を招く可能性がある。

【0005】

米国特許No.6,038,157には、この問題に対する解決策の1つが開示されている。この特許は図1に図示されているように、負荷の誘導コイルと直列に保護用インダクターを付加することによる、スイッチング素子に対する過電圧保護を教授している。回路110は整流ブリッジ回路120（概略的に図示）、直列フィルターインダクター（series filter inductor）174、及び並列フィルターコンデンサー（parallel filter capacitor）172から成る直流電源、並びに、逆平行状態に配置された、2つの固体スイッチング素子（solid state switching device）130を含む。各スイッチング素子の1つの端子は直流電源の出力バスに接続されている。逆並列ダイオード132はスイッチング素子の両端に接続されている。制限ではないが、好まれるスイッチング素子はSCR（シリコン制御整流器）等の、ゲート制御式半導体素子である。di/dtリアクトル140は、図1に示されているように、一組のスイッチング素子の間に直列に接続されている。保護用コイル150の第1端子はdi/dtリアクトル140の電氣的にほぼ中央の点に接続されており、第2端子は負荷誘導コイル160に接続されている。負荷誘導コイル160の第2端子は2つの直列に接続された整流コンデンサーまたはタンクコンデンサー170の共通接点に接続されている。そして、整流コンデンサー170は互いに直列に接続した状態で、直流電源の出力バスの両端に接続されている。誘導性金属溶融の場合、負荷誘導コイル160は通常、加熱炉等の外部に巻かれる。電源から供給される直流電流は負荷誘導コイル160に交流電流を供給するために、スイッチング素子130を介して正及び負に切り替えられる。コイル160を通して流れる電流は炉内の金属負荷と誘導結合する磁場を生ずる。発生した磁場は金属負荷内に渦電流を引き起こし、金属を加熱する。保護用コイル150は常に負荷電流の実質的に全てを流すことになるので、コイル150は比較的大きな電力損失を生じ、電源回路の全体的な効率を下げる。さらに、この損失は電源供給のスイッチング周波数と共に増大する。負荷誘導コイル160が短絡した場合、スイッチング素子130に印加される電圧は保護用コイル150及びdi/dtリアクトル140から成る分圧回路によって減少させられる。

【0006】

本発明の目的は通常の動作時の回路の効率を下げることなく、かつ、過電圧を避けるためにスイッチング素子に高レベルの電流を流すことなく、負荷誘導コイルの短絡による過電圧状態の影響を受けることによるスイッチング素子の故障問題を解決することである。

【0007】

（発明の要約）

1つの側面において、本発明は保護用の容量性要素（または、容量性部材）によりインバーター回路のレッグ（または、脚部）でスイッチング素子の組をまたぐ（または、迂回する）ことによって過剰な過電圧からデリケートな電力スイッチング素子を保護する、故障に対する耐性を有する、誘導性負荷のための電源回路を提供する。保護用の容量性要素は

10

20

30

40

50

負荷回路に短絡が発生したときにスイッチング素子の両端に印加される可能性がある過電圧を抑制する。

【 0 0 0 8 】

もう1つの側面において、本発明は誘導性負荷が短絡したときに、非伝導状態のスイッチング素子の両端の電圧が非伝導状態のスイッチング素子の許容ピーク電圧を超えることを防止する保護用回路を備える、故障に対する耐性を有する電源回路を提供する。保護用回路は直列に接続された阻止ダイオード (blocking diode) と保護用コンデンサー、及び、放電用抵抗 (discharge resistor) から成る。阻止ダイオードと保護用コンデンサーとの直列結合はスイッチ回路の組の直列結合の両端に接続される。各スイッチ回路は逆並列ダイオード (antiparallel diode) と逆並列に接続されたスイッチング素子から成る。放電用抵抗は保護用コンデンサーの両端か、または、直列接続された阻止ダイオードと保護用コンデンサーの共通接点と正の直流バスとの間に接続される。保護用回路は全ブリッジインバーター (full-bridge inverter) 等の、スイッチ回路の複数の組と共に、電源内のスイッチ回路の各組に対して使用することができる。

10

【 0 0 0 9 】

もう1つの側面において、本発明は誘導性負荷が短絡したときに、非伝導状態のスイッチング素子の両端の電圧が非伝導状態のスイッチング素子の許容ピーク電圧を超えることを防止する保護用回路を備える、故障に対する耐性を有する電源回路を提供する。保護用回路はまた、逆並列ダイオードが逆方向バイアスに遷移したときに、スイッチング素子の両端の電圧のオーバーシュート (overshoot) をクランプする (または、特定の電圧に抑える)。保護用回路は直列に接続された阻止ダイオードと保護用コンデンサー、及び、直列に接続された放電用抵抗とチョーク (choke) から成る。放電用抵抗の一方の端子は直列に接続された阻止ダイオードと保護用コンデンサーの共通接点に接続され、もう一方の端子はチョークを介して正の直流バスに接続される。保護用回路は全ブリッジインバーター等の、スイッチ回路の複数の組と共に、電源内のスイッチ回路の各組に対して使用することができる。

20

【 0 0 1 0 】

本発明の他の特徴は以下の詳細な説明及び付随する請求の範囲に記載されている。本発明をより詳細に説明するために、目下のところ好まれる実施例を図面と共に、以下に説明する。しかしながら、本発明が実施例の配置や手段のみに限定されないことは理解されなければならない。図面において、同一または同様な構成要素は同一または同様な番号で示されている。

30

【 0 0 1 1 】

(発明の詳細な説明)

図 2 a を参照すると、本発明の故障に対する耐性を有する電源回路 1 0 の例が示されている。(制限ではないが、) 好まれるものとして S C R (シリコン制御整流器) 等である、2つのスイッチング素子 3 0 a 及び 3 0 b の各々は、それぞれ、スイッチ回路 3 1 a 及び 3 1 b を形成するために、逆並列ダイオード 3 2 a 及び 3 2 b と逆並列に接続されている。スイッチ回路の第 1 端子は、共にスイッチ共通接点 9 3 に接続されている。di/dtリアクトル 4 0 a 及び 4 0 b の第 1 端子は、それぞれ、スイッチモジュール 3 7 a 及び 3 7 b を形成するために、スイッチ回路 3 1 a 及び 3 1 b の第 2 端子に接続されている。di/dtリアクトル 4 0 a 及び 4 0 b の第 2 端子は、それぞれ、直流電源 2 0 の正及び負の直流バス (出力ライン) に接続されている。電源は選択的な直列フィルタインダクター (series filter inductor) 7 4 を備えた整流ブリッジ (rectifier bridge) 2 0 (概略的に図示) 及び並列フィルタコンデンサー (parallel filter capacitor) 7 2 から成る。

40

【 0 0 1 2 】

保護用回路 5 5 は図 2 a に示されているように、共通接点 9 5 と共に直列に接続された阻止ダイオード (blocking diode) 5 2 と保護用コンデンサー (protective capacitor) 5 4、及び、コンデンサー 5 4 に並列に接続された放電用抵抗 5 3 から成る。保護用コンデンサー 5 4 の容量は、後で詳細に説明されるように、コンデンサー 5 4 がスイッチング素

50

子の許容ピーク電圧 (peak allowable voltage) より低いピーク電圧値まで充電 (または、帯電) されるように選択される。スイッチング素子の許容ピーク電圧は素子の反復性のある定格順方向阻止電圧 (forward blocking voltage) であり、すなわち、反復的に許容可能な、素子の両端に発生する順方向電圧 (または、順電圧) の瞬間的な最大値である。保護用回路 55 のライン 90 及び 91 は di/dt リアクトル 40a 及び 40b の第 1 端子に (すなわち、スイッチ回路 31a 及び 31b の第 2 端子に)、それぞれ接続される。

【0013】

負荷誘導コイル 60 の第 1 端子はスイッチ共通接点 93 に接続される。負荷誘導コイル 60 の第 2 端子は 2 つの直列接続整流コンデンサ—またはタンクコンデンサ—70a 及び 70b の間のコンデンサ—共通接点 94 に接続される。そして、整流コンデンサ—70a 及び 70b は互いに直列接続した状態で、直流電源の正及び負の直流バスに、それぞれ接続される。整流コンデンサ—は負荷電流が保持電流 (holding current) 以下に下がり、スイッチング素子をオフさせるまで、負荷電流をスイッチング素子からそらす。スイッチモジュールの組は負荷誘導コイルに対して逆平行配置 (inverse parallel configuration) で接続される。

10

【0014】

di/dt リアクトルが使用される場合、通常、転流 (commutation) 中のスイッチング素子及び逆並列ダイオードの両端の電圧遷移、並びに、スイッチング素子の両端の電圧の時間に対する変化率 (dv/dt) を制御するためにスナバ回路 (snubber circuit) が使用される。(制限ではないが、) 典型的なスナバ回路 65 の例が図 2a に図示されている。スナバ回路は直列に接続されたコンデンサ—36、抵抗 34、及びダイオード 33、並びに、ダイオード 33 と抵抗 34 の直列結合に並列に接続された抵抗 35 から成る。コンデンサ—36 及び抵抗 34 は対応するスイッチモジュールの di/dt リアクトルと共に直列共振回路 (series resonant circuit) を形成する。抵抗 35 は対応するスイッチ回路内のスイッチング素子を通るコンデンサ—36 の放電電流を低下させるため、一般に、抵抗 34 に対してかなり大きい抵抗値を有する。

20

【0015】

誘導性金属溶融の場合、負荷誘導コイル 60 は通常、金属負荷が積載される炉の外部に巻かれる。スイッチング素子 30a 及び 30b が交互にオン・オフすることにより、電源 20 からの直流出力電流は負荷誘導コイル 60 を通過する交流電流を確立する。コイルを流れる交流電流は炉内の金属負荷と誘導結合する磁場を生ずる。磁場は金属負荷内に渦電流を発生し、金属を溶融する。

30

【0016】

電源回路 10 の動作中、保護用コンデンサ—54 は直流バス電圧よりいくぶん高く、スイッチング素子 30a 及び 30b の許容ピーク電圧より低いピーク電圧まで充電される。直流の充電電流は逆並列ダイオードが順方向バイアスから逆方向バイアスに遷移するとき、電源 20 からダイオード 52 を通って供給される。抵抗 53 及びコンデンサ—54 のインピーダンスの値は回路の RC 時定数が素子 30a 及び 30b のスイッチング周波数によって確立される動作周波数の期間に対して十分大きくなるように選択される。一般に、この条件を満足させ、電力損失を最小化するために、抵抗 53 はコンデンサ—54 に対して少なくとも 60 秒の完全な放電時間を与える程度に十分大きくなければならない。この時間は、フィルターコンデンサ— (filter capacitor) 72 が使用される場合、フィルターコンデンサ—72 を放電させるための時間を超えてはいけない。さらに、抵抗 53 の抵抗値とコンデンサ—54 の容量値の積の逆数はスイッチ回路の動作スイッチング周波数に対してかなり大きい値となるだろう。

40

【0017】

保護用回路 55 の動作の例において、負荷誘導コイル 60 に不意の短絡が発生したときのワーストケース条件はスイッチング素子 30a を通る電流がゼロ基準を交差し、逆並列ダイオード 32a が導電を開始した直後に起こる。この時、負荷誘導コイル 60 と整流コンデンサ—70b の両端の電圧は最大値となる。これらの条件に対する等価回路は、コイル

50

60が短絡し(従って、図示せず)、スイッチング素子30bが非伝導であるとして、図3に示されている。

【0018】

整流コンデンサ70bの両端の最大電圧はダイオード32a及び52、保護用コンデンサ54、及び、 di/dt リアクトル40bの両端に印加される。コンデンサの両端の電圧は瞬時には変化しないので、コンデンサ70bと保護用コンデンサ54の間の電位差は瞬間的に di/dt リアクトル40bの両端に印加されるはずである。(順方向にバイアスされて電流を流しているときに無視できる程度の電圧降下を生ずるダイオード32a及び52を介して)保護用コンデンサ54に並列に接続された非伝導状態のスイッチング素子30bにも保護用コンデンサ54と同じ電圧が印加されるだろう。保護用コンデンサ54の容量は、短絡電流がコンデンサ54をスイッチング素子30a及び30bの許容ピーク電圧を超える電圧まで充電することがないように選択される。それにより、保護用コンデンサ54の容量はスイッチング素子30a及び30bの定格許容ピーク電圧より低い電圧まで、整流コンデンサ70a及び70bからの電荷を吸収するのに十分な程度となるだろう。

10

【0019】

図2bは半ブリッジ整流器ではなく、全ブリッジ整流器を備えるインバーターに対する、図2aと同様な保護機構を図示している。直列に接続された負荷誘導コイル60と共に、単一の整流コンデンサ70が全ブリッジの交流出力の間に配置される。保護用回路55は全ブリッジインバーターの2つのレッグ(または、脚部)を構成する2組のスイッチモジュールの組の各々に対して備えられる。

20

【0020】

図2cは本発明の故障に対する耐性を有する電源回路のもう1つの例を図示している。図2cの実施例において、保護用回路55aの放電用抵抗53の第1端子は共通接点95に接続され、放電用抵抗53の第2端子は電源20の正の直流バスに接続される。したがって、保護用コンデンサ54は正の直流バスを介して放電される。図2dは半ブリッジ整流器ではなく、全ブリッジ整流器を備えるインバーターに対する、図2cと同様な保護機構を図示している。直列に接続された負荷誘導コイル60と共に、単一の整流コンデンサ70が全ブリッジの交流出力の間に配置される。保護用回路55aは全ブリッジインバーターの2つのレッグ(または、脚部)を構成する2組のスイッチモジュールの組の各々に対して備えられる。

30

【0021】

図7は保護用コンデンサ54に対する適当な容量の値(C_{54})を決定するための1つの方法を図示している。図7のy軸は直流電源の直流電圧(E)に対する許容ピーク電圧の比として表された、スイッチング素子30a及び30bの両端の許容ピーク電圧(V_{pk})を表している。図7のx軸は、半ブリッジインバーターの場合、整流コンデンサ70a及び70bの容量の合計に等しく、全ブリッジインバーターの場合、単一の整流コンデンサ70の容量に等しい、等価整流容量または等価タンク容量(C_{com})に対する容量(C_{54})の比として表された容量(C_{54})の適当な選択を表している。図7の曲線81、82、83は、直流電源の電圧(E)に対する(半ブリッジ回路の場合、実質的に同じである)コンデンサ70aまたは70bのどちらかの両端の、あるいは、(全ブリッジ回路の場合)コンデンサ70の両端の電圧(V_{tcap})の比($R = V_{tcap} / E$)の固有の値によって規定される曲線の一群(family)を表している。比 R は曲線81から83の方向に向かって、その湾曲が増加する。図7を使用して容量(C_{54})の適当な値を選択する方法を説明するために、「S」が例えば1800V等の、許容ピーク電圧(V_{pk})に対する、許容できるy軸の比を表していると仮定する。このとき、 C_{54} に対するx軸の比は(特定の用途に対して通常、固定された動作電圧 V_{tcap} によって決定される)適当な曲線の、点線「S」の下斜線領域にある部分から選択されなければならない。直流電源の電圧 E は通常、特定の動作システムに対し、実質的に一定である。

40

【0022】

50

保護用コンデンサー 54 の所望の容量に影響を与える要因は：スイッチング素子 30a 及び 30b の最大許容ピーク電圧；整流コンデンサーの両端で観測されるピーク電圧；負荷誘導コイル 60 の短絡の直前の、保護用コンデンサー 54 の両端の電圧；及び、整流コンデンサーの容量である。例えば、コイル 60 が短絡する直前の保護用コンデンサー 54 の両端が 1,000V であり；スイッチング素子 30a 及び 30b に対する最大許容ピーク電圧が 1,800V であり；さらに、整流コンデンサーの両端で観測されるピーク電圧は 4,200 であるとする、保護用コンデンサー 54 の所望の容量は等価整流容量（または、整流コンデンサーの等価容量）の、少なくとも 5 倍である。

【0023】

図 4a 及び図 4b は図 2a から図 2d に示されている、本発明の保護用コンデンサー 55 の長所をグラフによって図示した図である。曲線 V_{70b} は時間（この例においては、ミリ秒 (ms)）に対する整流コンデンサー 70b の両端の電圧を表している。曲線 V_{60} は時間に対する負荷誘導コイル 60 の両端の電圧を表している。曲線 V_{30b} は時間に対するスイッチング素子 30b の両端の電圧を表している。曲線 V_{30a} は時間に対するスイッチング素子 30a の両端の電圧を表している。曲線 V_{54} は時間に対する保護用コンデンサー 54 の両端の電圧を表している。図 4a 及び図 4b において、不意の短絡は時間「SC」で発生する。（保護用コンデンサー 54 を備えていない）図 4b の場合、スイッチング素子 30b の両端の電圧は、ほぼ 4,000V まで上昇する。（保護用コンデンサー 54 を備えている）図 4a の場合、時間 SC における、スイッチング素子 30b の両端の電圧は保護用コンデンサー 54 の電圧である、約 1,450V に抑えられており、スイッチング素子 30a 及び 30b に対する最大許容ピーク電圧 1,800V より低い。短絡の発生の前に、保護用コンデンサー 54 は約 1,000V まで充電される。（短絡の発生時、）保護用コンデンサー 54 の電圧は整流コンデンサー 70b からの充電により、付加的な 450 だけ上昇する。

【0024】

図 5a は本発明の故障に対する耐性を有する電源回路のもう 1 つの例を図示している。この実施例において、スナバ回路 65a は図 2a から図 2d に示されているような充電用抵抗 (charging resistor) 34 を使用しない。図 5a の保護用回路 55 は共通接点 95a と共に直列に接続されたダイオード 52a と保護用コンデンサー 54a を含む。放電用抵抗 53a の第 1 端子は共通接点 95a に接続されており、抵抗 53a の第 2 端子はチョーク 56 の第 1 端子に接続されている。そして、チョーク 56 の第 2 端子は直流電源の正の直流バスに接続されている。保護用回路 55b のライン 90a 及び 91a はそれぞれ、 di/dt リアクトル 40a 及び 40b の第 1 端子（すなわち、スイッチ回路 31a 及び 31b の第 2 端子）に接続されている。

【0025】

図 2a から図 2d に示されているスナバ充電用抵抗 (snubber charging resistor) 34 は di/dt リアクトル及び対応するスナバコンデンサー (snubber capacitor) 36 によって形成される直列共振回路の発振を減衰させるために使用される。これはもう一方のスイッチ回路の逆並列ダイオードが逆方向バイアスに遷移したときに、対応するスイッチング素子の電圧スパイクを減少させる。しかしながら、充電用抵抗 34 は対応するスイッチング素子の非伝導状態 dv/dt (non-conducting dv/dt) を増大させ、スイッチング周波数の増大と共に増大する電力損失を生じさせるので、充電用抵抗 34 の使用はある程度の悪影響を与える。

【0026】

図 5a に示されている故障に対する耐性を有する保護電源回路の保護用回路 55b はスイッチング素子 30a 及び 30b の両端に接続されているので、この実施例の保護電源回路はスナバ充電用抵抗を使用せずに使用することができる。上述のように、保護用コンデンサー 54a の使用が選択された場合、保護用コンデンサー 54a はもう一方のスイッチ回路の逆並列ダイオードが逆方向バイアスに遷移したときに、スイッチング素子の両端に発生する電圧のオーバーシュートをクランプするために十分な容量を持つだろう。図 6 は図

5 a に示されている保護用回路 5 5 b の長所をグラフによって図示している図である。曲線 V_{54a} は時間（この例においては、ミリ秒（ms））に対する充電された保護用コンデンサ 5 4 a の両端の電圧を表している。この実施例において、その電圧は 1,000 V である。曲線 V'_{30} は図 2 a から図 2 d に示されている回路のスイッチング素子 3 0 a 及び 3 0 b の両端の、時間に対する電圧を表している。曲線 V_{30} は図 5 a に示されている回路のスイッチング素子 3 0 a 及び 3 0 b の両端の、時間に対する電圧を表している。曲線 I_{54a} は図 5 a の保護用コンデンサ 5 4 a の時間に対する電流を表している。曲線 V_{30} により図示されているように、図 5 のスイッチング素子 3 0 a 及び 3 0 b の両端の電圧は保護用コンデンサ 5 4 a の電圧にクランプされるだろう。この曲線を図 2 a から図 2 d に示されているスナバ充電用抵抗を利用した回路のスイッチング素子の両端の電圧をあらわす曲線 V'_{30} と比較すると、電圧曲線 V_{30} と V'_{30} との差は充電用抵抗 3 4 の電圧降下に等しいので、スナバ充電用抵抗を備えた回路に対する dv/dt がスナバ充電用抵抗を備えない回路より大きいことがわかる。

10

【0027】

図 5 a の回路に使用されている一組の逆並列ダイオードは回路のスイッチング素子の組のスイッチング周波数で順方向バイアス（伝導状態）から逆方向バイアス（非伝導状態）にスイッチするので、 V_{30} のクランピングは保護用コンデンサ 5 4 a のさらなる充電を引き起こす結果となる。この保護用コンデンサ 5 4 a の付加的な充電または付加的な電圧は抵抗 5 3 a 及びチョーク 5 6 を介して放電されるだろう。抵抗 5 3 a の抵抗値及びチョーク 5 6 a のインダクタンスはスナバ回路 6 5 a から直流電源へのエネルギーの戻りを最適にし、かつ、適当なクランプ電圧が保持されるように選択される。チョーク 5 6 と直列に接続された抵抗 5 3 a はさらに、保護用コンデンサ 5 4 a を介する放電電流 I_{54a} の実効値（RMS（Root Mean Square））及びジッター（jitter）を減少させる。したがって、結果的に放電用抵抗 5 3 a の電力損失を減少させる。チョーク 5 6 が適当な値の抵抗値を持って製造された場合、抵抗 5 3 及びチョーク 5 6 は単体の抵抗性／誘電性部材に置き換えられてもよい。

20

【0028】

図 5 a 示されているスナバ回路 6 5 a が図 2 a から図 2 d のスナバ回路 6 5 と同じ値の dv/dt 値を持つように選択された部材を含む場合、図 5 a のスナバコンデンサ 3 6 の容量は図 2 a から図 2 d のスナバコンデンサ 3 6 の容量より小さくされるだろう。したがって、結果的に図 5 a のスナバ抵抗 3 5 の電力損失は図 2 a から図 2 d のスナバ抵抗より小さくなるだろう。

30

【0029】

図 5 b は半ブリッジ整流器ではなく、全ブリッジ整流器を備えるインバーターに対する、図 5 a と同様な保護機構を図示している。負荷誘導コイル 6 0 と直列に接続された単一の整流コンデンサ 7 0 が全ブリッジの交流出力の間に配置される。保護用回路 5 5 は全ブリッジインバーターの 2 つのレッグ（または、脚部）を構成する 2 組のスイッチモジュールの組の各々に対して備えられる。

【0030】

本発明の実施例は特定の電気部材を参照して説明されている。しかしながら、説明された部材の代わりに、同一または同様ではないが、本発明の所望の状態または結果を生ずる他の種類の部材を使用して本発明を実施できることは当業者に明白であるだろう。例えば、実施例において単一の部材が複数の部材によって実施されたり、または、逆に、複数の部材が単一の部材に置き換えられたりしてもよい。さらに、本発明の所望の状態または結果を生ずる他の構成または配置を使用して本発明を実施できることも当業者に明白であるだろう。さらに、本発明は単一の組のスイッチ回路と共に説明されてきたが、本発明を実施するために、並列に接続された複数の組のスイッチ回路が利用されてもよい。また、本発明の全ての実施例において、負荷誘導コイルの短絡はコイルの部分的な短絡であってもよい。さらに、本発明は直列共振電源の動作と共に説明されてきたが、本発明が適当な変更と共に、他の電源のトポロジー（または、配置及び構成）に対して適用されてもよいこと

40

50

は、当業者に明白であるだろう。

【 0 0 3 1 】

したがって、上述の実施例は本発明の範囲を限定するためのものではない。本発明の範囲は付随する請求の範囲によって規定される。

【図面の簡単な説明】

【図 1】 従来の故障に対する耐性を有する電源回路の概略的な図である。

【図 2 a】 半ブリッジインバーターを使用した、本発明に従った故障に対する耐性を有する電源回路の 1 つの例の概略的な図である。

【図 2 b】 全ブリッジインバーターを使用した、本発明に従った故障に対する耐性を有する電源回路の 1 つの例の概略的な図である。

10

【図 2 c】 半ブリッジインバーターを使用した、本発明に従った故障に対する耐性を有する電源回路の 1 つの例の概略的な図である。

【図 2 d】 全ブリッジインバーターを使用した、本発明に従った故障に対する耐性を有する電源回路の 1 つの例の概略的な図である。

【図 3】 図 2 a の S C R (3 0 b) が非伝導状態である場合に、回路内の誘導コイルに短絡が発生した直後の、本発明に従った故障に対する耐性を有する電源回路の等価回路の概略的な図である。

【図 4 a】 図 2 a または図 2 c に示されている本発明に従った故障に対する耐性を有する電源回路によって達成される、短絡保護特性を図示している波形図である。

【図 4 b】 図 2 a または図 2 c に示されている本発明に従った故障に対する耐性を有する電源回路によって与えられる保護がない場合の、電源回路の短絡保護特性を図示している波形図である。

20

【図 5 a】 半ブリッジインバーターを使用した、本発明に従った故障に対する耐性を有する電源回路のもう 1 つの例の概略的な図である。

【図 5 b】 全ブリッジインバーターを使用した、本発明に従った故障に対する耐性を有する電源回路のもう 1 つの例の概略的な図である。

【図 6】 図 5 a に示されている本発明に従った故障に対する耐性を有する電源回路によって達成される、電圧クランピング特性を図示している波形図である。

【図 7】 本発明に従った故障に対する耐性を有する電源回路で使用される保護用コンデンサの容量を選択する方法を図示するためのグラフである。

30

【符号の説明】

1 0 故障に対する耐性を有する電源回路

2 0 整流ブリッジ回路 (直流電源)

3 0 a , 3 0 b スイッチング素子

3 1 a , 3 1 b スイッチ回路

3 2 a , 3 2 b 逆並列ダイオード

3 3 ダイオード

3 4 充電用抵抗

3 5 抵抗

3 6 コンデンサー

40

3 7 a , 3 7 b スイッチモジュール

4 0 a , 4 0 b di/dt リアクトル

5 2 阻止ダイオード

5 3 放電用抵抗

5 4 保護用コンデンサー

5 5 保護用回路

5 6 チョーク

6 0 負荷誘導コイル

6 5 スナバ回路

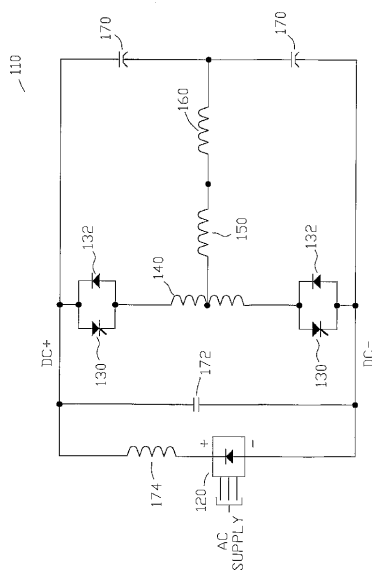
7 0 整流コンデンサー

50

- 7 2 フィルターコンデンサー
- 9 0 , 9 1 保護用回路のライン
- 9 3 スイッチ共通接点
- 9 4 コンデンサー共通接点
- 9 5 共通接点
- 1 1 0 電源回路（従来技術）
- 1 2 0 整流ブリッジ回路（直流電源）
- 1 3 0 スイッチング素子
- 1 3 2 逆並列ダイオード
- 1 4 0 di/dtリアクトル
- 1 5 0 保護用コイル
- 1 6 0 負荷誘導コイル
- 1 7 0 整流コンデンサー

10

【図 1】

PRIOR ART
FIG. 1

【図 2 a】

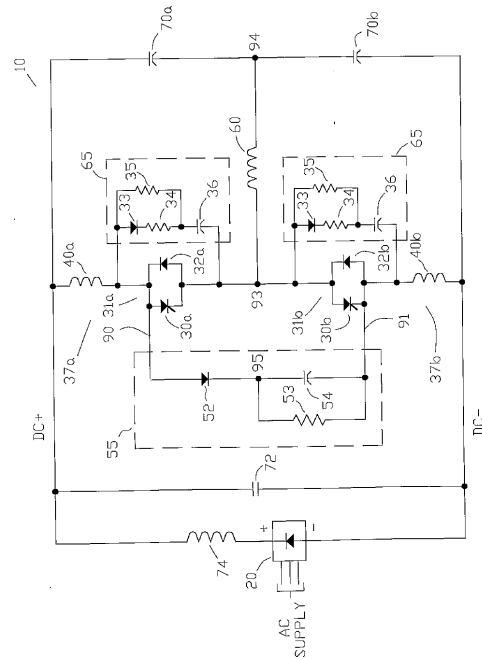


FIG. 2(a)

【図 2 b】

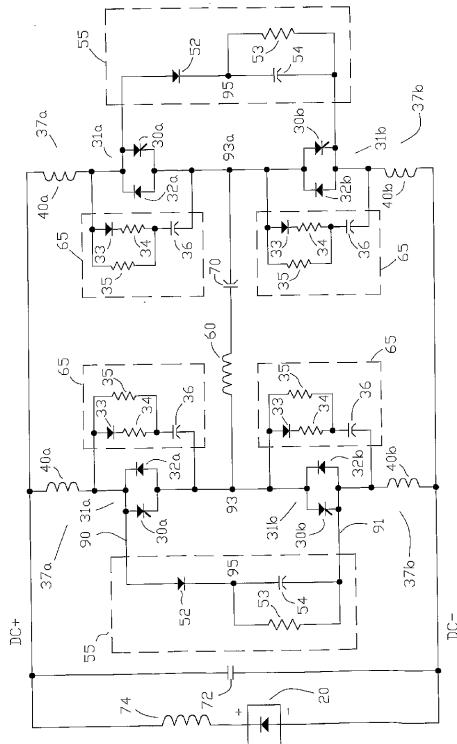
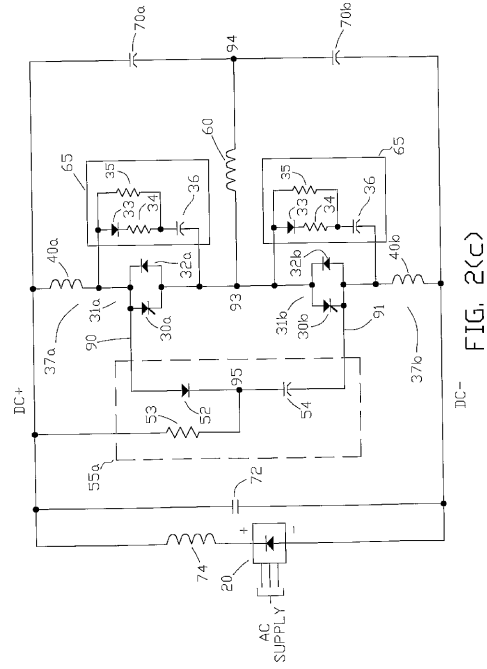


FIG. 2(b)

【図 2 c】



【 図 5 a 】

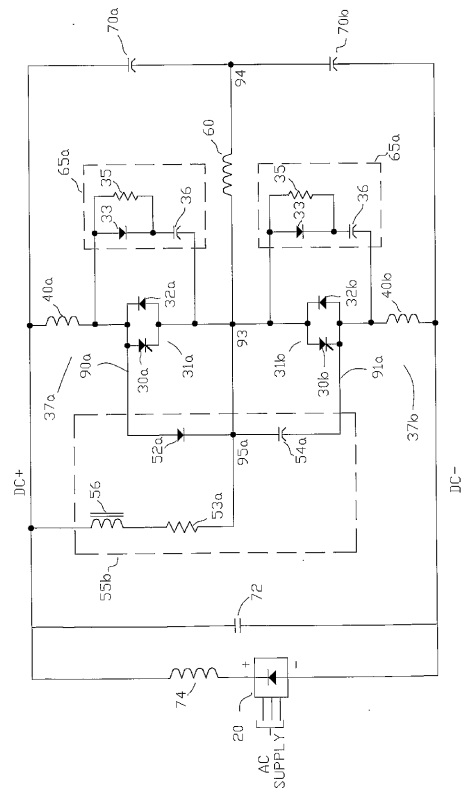


FIG. 5(a)

【 図 6 】

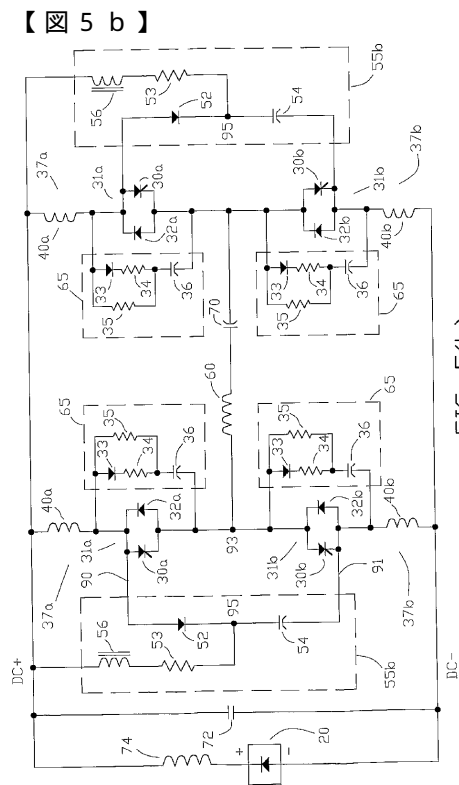


FIG. 5(b)

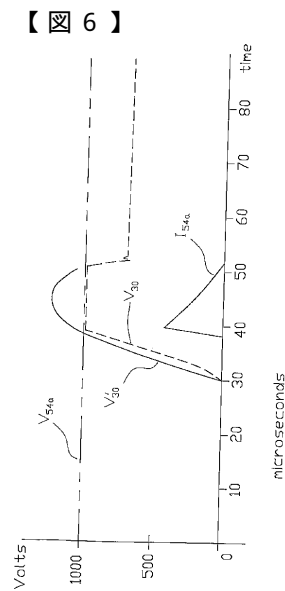


FIG. 6

【図 7】

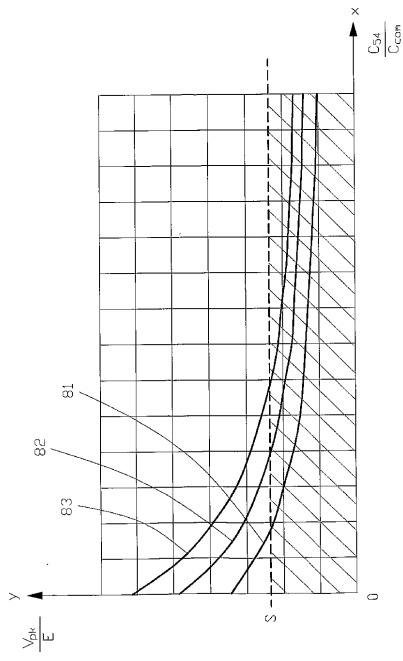


FIG. 7

フロントページの続き

(72)発明者 オーレグ エス . フィッシュマン

アメリカ合衆国 1 9 0 0 2 ペンシルベニア、メイプル グレン、サルジヨン コート 1

審査官 牧 初

(56)参考文献 国際公開第 9 8 / 0 1 9 3 9 (W O , A 1)

特開昭 6 1 - 2 5 4 0 8 0 (J P , A)

特開昭 6 0 - 4 6 7 7 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H02M 7/42-7/98