

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年8月29日(29.08.2013)



(10) 国際公開番号

WO 2013/125264 A1

- (51) 国際特許分類:
H01L 31/04 (2006.01)
- (21) 国際出願番号: PCT/JP2013/050729
- (22) 国際出願日: 2013年1月17日(17.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-033787 2012年2月20日(20.02.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番22号 Osaka (JP).
- (72) 発明者: 佐野 雄一(SANO, Yuichi). 林 敬司(HAYASHI, Keiji).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

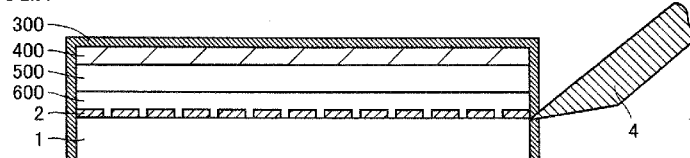
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: METHOD FOR MANUFACTURING PHOTOELECTRIC CONVERSION ELEMENT, PHOTOELECTRIC CONVERSION ELEMENT, AND PHOTOELECTRIC CONVERSION ELEMENT MODULE

(54) 発明の名称: 光電変換素子の製造方法、光電変換素子および光電変換素子モジュール

FIG. 7



(57) Abstract: After forming a porous layer (2) on a first substrate (1), a part of the porous layer (2) is removed by pattern etching. After forming a buffer layer (600), an i-type nitride semiconductor layer (500), an n-type nitride semiconductor layer (400) and a metal layer (300) on the porous layer (2) and the first substrate (1), the first substrate (1) is removed from the buffer layer (600) using a cutting tool (4).

(57) 要約: 第1の基板(1)上に多孔質層(2)を形成してから、パターンエッチングによって多孔質層(2)の一部を除去する。多孔質層(2)上および第1の基板(1)上に、バッファ層(600)、i型窒化物半導体層(500)、n型窒化物半導体層(400)および金属層(300)を形成してから、切削工具(4)を用いて第1の基板(1)をバッファ層(600)から除去する。



WO 2013/125264 A1

明 細 書

発明の名称：

光電変換素子の製造方法、光電変換素子および光電変換素子モジュール 技術分野

[0001] 本発明は、光電変換素子の製造方法、光電変換素子および光電変換素子モジュールに関する。

背景技術

[0002] シリコン系材料からなる光電変換素子のバンドギャップエネルギーは、 $1.1 \sim 1.8 \text{ eV}$ である。そのため、シリコン系材料からなる光電変換素子には、エネルギーの高い $0.5 \mu\text{m}$ 以下の短波長領域の光に対して感度が小さく、よって、太陽光スペクトルの全ての波長領域を有効に活用できないという材料固有の課題が存在していた。

[0003] 一方、 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 < x + y \leq 1$) で表される窒化物半導体のバンドギャップエネルギーは、組成比 x および y に対応して、 $0.7 \text{ eV} \sim 6.0 \text{ eV}$ という極めて広い範囲で変化する。このような窒化物半導体は、発光ダイオード (LED) およびレーザーダイオード (LD) などの発光素子用の材料として開発が盛んに行われてきた。上記の組成を有する窒化物半導体を光電変換素子に用いた場合には、 $0.5 \mu\text{m}$ 以下の短波長領域の光に対しても感度を持たせることができるようになる。そのため、このような窒化物半導体は、光電変換素子用の次世代の材料として大変注目されている。

[0004] 窒化物半導体を用いた従来の光電変換素子は、光の入射側から、 p 型不純物がドーピングされた GaN 層の下に、 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 < x + y \leq 1$) の式で表わされる、 InGaN 、 AlGaN または AlInGaN などからなる*i*型窒化物半導体層 (光吸収層として機能) と n 型不純物がドーピングされた GaN 層とが設けられた構成を有している。

[0005] たとえば特許文献1 (特開2003-318434号公報) には、次に示

す方法にしたがって製造された光電変換素子が開示されている。図18の模式的断面図に示すように、サファイア基板1000の[0001]面上に、窒化物半導体バッファ層（図示せず）、p型窒化物半導体層6000、i型窒化物半導体層5000およびn型窒化物半導体層4000をこの順序で積層する。素子分離を行ない、保護膜8000を形成した後、n型窒化物半導体層4000上にパッド電極3000および支持基板2000を形成する。サファイア基板1000側からエキシマレーザー光60を照射して、サファイア基板1000を除去する。

[0006] 特許文献1には、次に示すことも開示されている。特許文献1に記載の光電変換素子では、n型窒化物半導体層からp型窒化物半導体層に向かう積層方向を[000-1]方向と一致させることにより、格子定数の違いから生ずる圧電電界が、p-i界面近傍において光を吸収して発生した電子-正孔対の分離を促進し且つn-i界面近傍において伝導帯のヘテロ障壁を低くする方向に、発生する。よって、特許文献1に記載の光電変換素子は高い変換効率を発現する。

[0007] しかしながら、このような光電変換素子については、大面積のものを製造することが困難である。そのため、比較的小面積の光電変換素子を多数実装して太陽電池モジュールなどの光電変換素子モジュールを製造する必要があった。

[0008] また、たとえば特許文献2（特許第4672753号（特開2009-7241号公報））には、サファイア基板上に窒化物半導体層を積層した後にサファイア基板の温度を常温に戻すことによって、窒化物半導体層をサファイア基板から自然に剥離させる技術が開示されている。

[0009] さらに、たとえば特許文献3（特許第4599442号（特開2010-56210号公報））には、窒化物半導体層をサファイア基板から剥離させる別の技術が開示されている。具体的には、サファイア基板上に、AlNからなる第1のバッファ層、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ （ $0.8 \leq x < 1$ ）からなる第2のバッファ層、Ga₂N層またはAlGaInN層からなる半導体層およびp型

半導体層をこの順に形成する。その後、Ga_{0.5}N_{0.5}の禁制帯幅に相当するエネルギーを有する波長よりも波長が短いレーザー光を照射する。

[0010] しかしながら、特許文献2および特許文献3に記載のいずれの技術も、太陽電池モジュールなどの光電変換素子モジュールに必要な大面積の光電変換素子の製造に適用できない。

先行技術文献

特許文献

[0011] 特許文献1：特開2003-318434号公報

特許文献2：特許第4672753号（特開2009-7241号公報）

特許文献3：特許第4599442号（特開2010-56210号公報）

発明の概要

発明が解決しようとする課題

[0012] 上記の事情に鑑みて、本発明の目的は、窒化物半導体を用いた大面積の光電変換素子を低コストで製造することが可能な光電変換素子の製造方法、光電変換素子および光電変換素子モジュールを提供することにある。

課題を解決するための手段

[0013] 本発明の光電変換素子の製造方法は、第1の基板上に多孔質層を形成する工程と、パターンエッチングによって多孔質層の一部を除去する工程と、多孔質層上および第1の基板上にバッファ層を形成する工程と、バッファ層上にi型窒化物半導体層を形成する工程と、i型窒化物半導体層上にn型窒化物半導体層を形成する工程と、n型窒化物半導体層上に金属層を形成する工程と、切削工具を用いて第1の基板をバッファ層から除去する工程と、金属層に第2の基板を貼り付ける工程と、バッファ層を除去する工程と、バッファ層の除去後にi型窒化物半導体層の表面部にp型窒化物半導体層を形成する工程とを含む。

[0014] 第1の基板を除去する工程は、第1の基板と多孔質層との界面近傍を切削工具で切削する工程を含むことが好ましい。

- [0015] 切削工具は、多孔質層およびバッファ層よりもヌープ硬度が高い材料で構成されていることが好ましい。
- [0016] パターンエッチングで使用されるマスクには、多孔質層を覆う領域または多孔質層を露出する領域が間隔をあけて配置されてなるパターンが形成されていることが好ましい。マスクにおいて多孔質層を覆う領域または多孔質層を露出する領域が隣り合う間隔は、 $5\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であることが好ましい。マスクから露出する多孔質層の上面の面積の合計は、多孔質層の上面の全面積に対して 50% 以上 90% 以下であることが好ましい。
- [0017] バッファ層は、 GaN 、 InGaN 、 AlGaIn 、および InN の少なくとも1つを含むことが好ましい。
- [0018] p型窒化物半導体層を形成する工程は、i型窒化物半導体層の表面部であって周縁領域以外の領域にp型不純物イオンを注入する工程を含むことが好ましい。
- [0019] i型窒化物半導体層は $\text{Al}_{x1}\text{In}_{y1}\text{Ga}_{z1}\text{N}$ ($0 \leq x1 \leq 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、 $x1 + y1 + z1 \neq 0$) の式で表わされる窒化物半導体結晶を含むことが好ましく、n型窒化物半導体層は $\text{Al}_{x2}\text{In}_{y2}\text{Ga}_{z2}\text{N}$ ($0 \leq x2 \leq 1$ 、 $0 \leq y2 \leq 1$ 、 $0 \leq z2 \leq 1$ 、 $x2 + y2 + z2 \neq 0$) の式で表わされる窒化物半導体結晶を含むことが好ましい。
- [0020] 第2の基板の表面のうち金属層が設けられた表面とは反対側の表面にAgを含む金属膜を形成する工程をさらに含むことが好ましい。
- [0021] 本発明の光電変換素子は、本発明の光電変換素子の製造方法により製造され、第2の基板上に設けられた金属層と、金属層上に設けられたn型窒化物半導体層と、n型窒化物半導体層上に設けられたi型窒化物半導体層と、i型窒化物半導体層の表面部であって周縁領域以外の領域に設けられたp型窒化物半導体層とを備える。
- [0022] 第2の基板は、可撓性を有することが好ましい。
- 本発明の光電変換素子モジュールは、本発明の光電変換素子を含む。

発明の効果

[0023] 本発明によれば、窒化物半導体を用いた大面積の光電変換素子を低コストで製造することが可能な光電変換素子の製造方法、光電変換素子および光電変換素子モジュールを提供することができる。

図面の簡単な説明

[0024] [図1]実施の形態の光電変換素子の製造方法の製造工程の一部を図解する模式的な断面図である。

[図2]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図3]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図4]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図5]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図6]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図7]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図8]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図9]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図10]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図11]実施の形態の光電変換素子の製造方法の製造工程の他の一部を図解する模式的な断面図である。

[図12]実施の形態の光電変換素子の模式的な断面図である。

[図13]実施の形態の光電変換素子モジュールの模式的な構成図である。

[図14]第1の基板上に形成された多孔質層をパターエッチングするときを使用されるマスクの一例を示す模式的な平面図である。

[図15]第1の基板上に形成された多孔質層をパターエッチングするときを使用されるマスクの別の一例を示す模式的な平面図である。

[図16]第1の基板上に形成された多孔質層をパターエッチングするときを使用されるマスクの別の一例を示す模式的な平面図である。

[図17]第1の基板上に形成された多孔質層をパターエッチングするときを使用されるマスクの別の一例を示す模式的な平面図である。

[図18]特許文献1に記載の光電変換素子の製造方法を図解する模式的な断面図である。

発明を実施するための形態

[0025] 以下、図面を用いて、本発明の光電変換素子の製造方法の一例である実施の形態の光電変換素子の製造方法、本発明の光電変換素子の一例である実施の形態の光電変換素子の構成、および本発明の光電変換素子モジュールの一例である実施の形態の光電変換素子モジュールの構成について説明する。なお、本発明の図面において、同一の参照符号は、同一部分または相当部分を表すものである。また、長さ、幅、厚さ、深さなどの寸法関係は図面の明瞭化と簡略化のために適宜変更されており、実際の寸法関係を表すものではない。

[0026] 図1～図11は、実施の形態の光電変換素子の製造方法を工程順に示す模式的な断面図である。まず、図1に示すように、第1の基板1上に多孔質層2を形成する。その後、図2に示すように、パターンエッチングにより多孔質層2の一部を除去する。なお、大面積の第1の基板1としては、たとえば、幅10mm×長さ10mm以上の面積を有する基板を挙げることができる。

[0027] 第1の基板1の材料は、特に限定されないが、低コストで光電変換素子を製造する観点からは、GaAsまたはサファイアを用いることが好ましい。

[0028] 多孔質層2の構成は、特に限定されない。多孔質層2は、たとえばSOG

(Sign on Glass) 膜（膜厚がたとえば $1 \sim 2 \mu\text{m}$ である）であることが好ましい。

[0029] 本明細書において、「パターンエッチング」とは、一部を除去したい膜（本実施の形態では多孔質層 2）の上面にマスク（このマスクは所定のパターンを有する）を形成した後、マスクから露出する膜の部分をエッチングにより除去することを意味する。マスクの形成方法としては、特に限定されず、フォトリソを塗布してパターンを露光するという方法を挙げることができる。また、エッチングの手法としては、特に限定されず、ウェットエッチングまたはドライエッチングを選択することができる。

[0030] パターンエッチングで使用されるマスクの構成は特に限定されないが、マスクは多孔質層 2 を覆う領域または多孔質層 2 を露出する領域が間隔をあけて配置されてなるパターンを有していることが好ましい。多孔質層 2 を覆う領域または多孔質層 2 を露出する領域は、マスクにおいて、格子状に配置されていても良いし、幅方向または長さ方向に間隔をあけて配置されていても良い。多孔質層 2 を覆う領域または多孔質層 2 を露出する領域の平面形状は特に限定されず、矩形などの多角形であっても良いし、円形であっても良い。

[0031] 多孔質層 2 を覆う領域または多孔質層 2 を露出する領域が隣り合う間隔は、 $5 \mu\text{m}$ 以上 $30 \mu\text{m}$ 以下であることが好ましく、より好ましくは $6 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下である。多孔質層 2 を覆う領域または多孔質層 2 を露出する領域の隣り合う間隔が $5 \mu\text{m}$ 未満であれば、パターンの形成が困難となる場合がある。一方、多孔質層 2 を覆う領域または多孔質層 2 を露出する領域の隣り合う間隔が $30 \mu\text{m}$ を超えると、第 1 の基板 1 と多孔質層 2 との界面に切削工具 4 を挿入することが困難となることが予想され、そのため、加工不良の発生を招くことがある。

[0032] 除去面積比（除去面積比とは、多孔質層 2 の上面の全面積に対する、マスクから露出する多孔質層 2 の上面の合計面積の割合である。）は 50% 以上 90% 以下であることが好ましく、より好ましくは 55% 以上 85% 以下で

ある。除去面積比が50%未満であれば、多孔質層2を除去し損なうことがあり、そのため、多孔質層2の削り残しが発生するなどの理由から加工不良の発生を招くことがある。一方、除去面積比が90%を超えると、多孔質層2が除去される部分が多くなるため、図7に示す工程において第1の基板1の剥離による除去が難しくなることがある。以下では、図14～図17を用いてマスクの具体的な構成を示す。図14～図17は、それぞれ、第1の基板1上に形成された多孔質層2をパターンエッチングするときに使用されるマスク15の一例を示す模式的な平面図である。

[0033] 図14に示すマスク15は、多孔質層2を覆う領域が格子状に配置されるパターンを有する。そのため、図14に示すマスク15を多孔質層2上に形成してからエッチングを行なうと、多孔質層2は第1の基板1の上面において格子状に残存することとなる。図14に示すマスク15において、多孔質層2を覆う領域の隣り合う間隔 x を $0.3\mu\text{m}$ とし、多孔質層2を覆う領域の一边 y を $4.7\mu\text{m}$ とした場合、除去面積比は88%となる。また、図14に示すマスク15において、多孔質層2を覆う領域の隣り合う間隔 x を $8.5\mu\text{m}$ とし、多孔質層2を覆う領域の一边 y を $21.5\mu\text{m}$ とした場合、除去面積比は51%となる。なお、どちらの場合においても、多孔質層2の上面の大きさを幅 10mm ×長さ 10mm として除去面積比を算出した。

[0034] 図15に示すマスク15は、多孔質層2を露出する領域が格子状に配置されて構成されている。そのため、図15に示すマスク15を多孔質層2上に形成してからエッチングを行なうと、多孔質層2には第1の基板1の上面を露出する貫通孔が格子状に形成されることとなる。図15に示すマスク15において、多孔質層2を露出する領域が隣り合う間隔 x を $5.4\mu\text{m}$ とし、多孔質層2を露出する領域の一边 y を $0.6\mu\text{m}$ とした場合、除去面積比は81%となる。なお、この場合においても、多孔質層2の上面の大きさを幅 10mm ×長さ 10mm として除去面積比を算出した。

[0035] 図14に示すマスク15において、多孔質層2を覆う領域の平面形状は矩

形に限定されず、多角形であっても良いし、図16に示すように円形であっても良い。図16に示すマスク15において、多孔質層2を覆う領域の隣り合う間隔 x を $5\mu\text{m}$ とし、多孔質層2を覆う領域の直径 ϕ を $20\mu\text{m}$ とした場合、除去面積比は50%となる。なお、この場合においても、多孔質層2の上面の大きさを幅 10mm ×長さ 10mm として除去面積比を算出した。

[0036] 図14に示すマスク15において、多孔質層2を覆う領域の配置形態は格子状に限定されない。多孔質層2を覆う領域は、たとえば、多孔質層2の長さ方向に間隔をあけて配置されていても良いし、図17に示すように多孔質層2の幅方向に間隔をあけて配置されていても良い。図17に示すマスク15において、多孔質層2を覆う領域の隣り合う間隔 x を $5\mu\text{m}$ とし、多孔質層2を覆う領域を構成する辺のうち多孔質層2を覆う領域が配置される方向（図17の横方向）における辺の長さ y を $15\mu\text{m}$ とした場合、除去面積比は75%となる。なお、この場合においても、多孔質層2の上面の大きさを幅 10mm ×長さ 10mm として除去面積比を算出した。

[0037] なお、図15に示すマスク15においても、多孔質層2を露出する領域の平面形状は矩形に限定されず、多角形であっても良いし、円形であっても良い。また、図15に示すマスク15においても、多孔質層2を露出する領域の配置形態は格子状に限定されない。多孔質層2を露出する領域は、多孔質層2の長さ方向に間隔をあけて配置されていても良いし、多孔質層2の幅方向に間隔をあけて配置されていても良い。

[0038] 次に、図3に示すように、多孔質層2上および第1の基板1上にバッファ層600を形成する。バッファ層600は、たとえばMOCVD (Metal Organic Chemical Vapor Deposition) 法によって形成することができる。

[0039] バッファ層600を構成する材料としては、特に限定されないが、GaN、InGaN、AlGaIn、およびInNから選択される少なくとも1種類を用いることができる。また、バッファ層600の厚さは、たとえば、30nm以上50nm以下とすることができる。

[0040] 次に、図4に示すように、バッファ層600上にi型窒化物半導体層50

0を形成する。i型窒化物半導体層500は、たとえばMOCVD法によって、バッファ層600上に形成することができる。

[0041] i型窒化物半導体層500は、たとえば、 $\text{Al}_{x1}\text{In}_{y1}\text{Ga}_{z1}\text{N}$ ($0 \leq x1 \leq 1$ 、 $0 \leq y1 \leq 1$ 、 $0 \leq z1 \leq 1$ 、 $x1 + y1 + z1 \neq 0$) の式で表わされる窒化物半導体結晶を含むことが好ましい。i型窒化物半導体層500は、窒化物半導体結晶のMQW（多重量子井戸）構造またはSQW（単一量子井戸）構造を有していることが好ましい。

[0042] i型窒化物半導体層500の厚さは、20nm以上400nm以下であることが好ましい。i型窒化物半導体層500の厚さが20nm以上である場合には、i型窒化物半導体層500が太陽光などの光を十分に吸収してフォトキャリアを十分に発生させることができる。i型窒化物半導体層500の厚さが400nm以下である場合には、i型窒化物半導体層500が厚くなりすぎないため、後述するn型窒化物半導体層とp型窒化物半導体層とによって形成される内部電界がi型窒化物半導体層500に十分に印加される傾向にある。

[0043] i型窒化物半導体層500のより具体的な例としては、たとえば、厚さ45nmのノンドープの $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ 膜が挙げられる。ノンドープの $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ 膜は、たとえば、MOCVD装置の反応炉に、TMG（トリメチルガリウム）を10μmol、TMI（トリメチルインジウム）を54μmolおよびNH₃（アンモニア）を420mmol供給することによって、形成される。

[0044] i型窒化物半導体層500のより具体的な他の例としては、たとえば、バッファ層600上に、厚さ3.5nmの $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ からなる量子井戸層と、厚さ6nmのGa₂Nからなる障壁層とが交互に6層積層されたMQW構造が挙げられる。なお、この場合に量子井戸層と障壁層との交互積層数が6層に限定されないことは言うまでもない。

[0045] また、i型窒化物半導体層500は、後述するn型窒化物半導体層との格子不整合を緩和するための緩衝層を有していてもよい。緩衝層としては、た

例えば、厚さ2 nm未満の $\text{In}_s\text{Ga}_{1-s}\text{N}$ ($s < 0.1$) からなる量子井戸層と、厚さ2 nm未満の GaN からなる障壁層とが交互に20層積層されたMQW構造が挙げられる。

[0046] 次に、図5に示すように、i型窒化物半導体層500上にn型窒化物半導体層400を形成する。n型窒化物半導体層400は、たとえばMOCVD法によって、i型窒化物半導体層500上に形成することができる。

[0047] n型窒化物半導体層400としては、たとえば、 $\text{Al}_{x2}\text{In}_{y2}\text{Ga}_{z2}\text{N}$ ($0 \leq x2 \leq 1$ 、 $0 \leq y2 \leq 1$ 、 $0 \leq z2 \leq 1$ 、 $x2 + y2 + z2 \neq 0$) の式で表わされる窒化物半導体結晶にn型不純物をドーピングしたものを用いることができる。n型不純物としては、たとえば、Si、P、AsまたはSbなどが挙げられる。なお、n型窒化物半導体層400とi型窒化物半導体層500とは同一の組成の窒化物半導体結晶を用いてもよく、異なる組成の窒化物半導体結晶を用いてもよい。

[0048] n型窒化物半導体層400としては、なかでも、Siが GaN 結晶にドーピングされたn型 GaN 層を用いることが好ましい。

[0049] n型窒化物半導体層400は、i型窒化物半導体層500よりも大きなバンドギャップエネルギーを有していることが好ましい。この場合には、n型窒化物半導体層400によって吸収される光強度の減少を最小限にすることができ、i型窒化物半導体層500に入射する光の光強度が大きくなるため、多くのフォトキャリアが発生する傾向にある。

[0050] n型窒化物半導体層400におけるn型不純物濃度は、特に限定されないが、 1×10^{18} 個/ cm^3 以上 1×10^{20} 個/ cm^3 以下であることが好ましい。この場合には、n型窒化物半導体層400の導電率を高くすることができるとともに、n型窒化物半導体層400の表面が荒れることなく、i型窒化物半導体層500の結晶性を向上することができる傾向にある。

[0051] 次に、図6に示すように、n型窒化物半導体層400上に金属層300を形成する。金属層300は、たとえばスパッタ法またはメッキ法によって、n型窒化物半導体層400上に形成することができる。なお、本実施の形態

においては、金属層 300 は、n 型窒化物半導体層 400 の上面だけでなく、n 型窒化物半導体層 400、i 型窒化物半導体層 500、バッファ層 600、多孔質層 2 および第 1 の基板 1 のそれぞれの側面にも形成されている。

[0052] このような金属層 300 の具体的な例としては、厚さ 40 nm の Ni 層、厚さ 200 nm の Pt 層および Au 層、ならびに厚さ 80 nm の Ag 層をこの順序に積層した構成が挙げられる。

[0053] 次に、図 7 に示すように、切削工具 4 を用いて第 1 の基板 1 を除去する。第 1 の基板 1 の除去は、たとえば第 1 の基板 1 と多孔質層 2 との界面近傍に切削工具 4 を押し当てて、当該界面近傍を切削工具 4 で切削することにより行なうことができる。切削工具 4 としては、たとえばタングステンカーバイトなどからなる切削工具を用いることができる。

[0054] 多孔質層 2 はバッファ層 600 よりヌープ硬度が低く、切削工具 4 は、バッファ層 600 及び多孔質層 2 よりもヌープ硬度が高いことが好ましい。この場合には、切削工具 4 で多孔質層 2 を容易に削り取ることができるため、第 1 の基板 1 の剥離による除去が容易となる傾向にある。

[0055] GaN、GaAs、AlGaAs およびサファイアのヌープ硬度は、それぞれ、 850 kg/mm^2 、 730 kg/mm^2 、 $430 \sim 520 \text{ kg/mm}^2$ および $1500 \sim 1800 \text{ kg/mm}^2$ である。SOG 膜のヌープ硬度は孔の密度に依存し、 400 kg/mm^2 以下である。したがって、たとえば、第 1 の基板 1 がサファイアからなり、多孔質層 2 が SOG 膜であり、バッファ層 600 が GaN または AlGaAs からなる場合には、第 1 の基板 1 と多孔質層 2 との界面近傍にタングステンカーバイトからなる切削工具 4 を押し当てて、多孔質層 2 を削り取ることができる。

[0056] より具体的には、ダイプラ・ウィンテス社製 SAICAS (表面および界面切削加工装置) で、幅 5 mm の切削工具を用いて、多孔質層 2 を幅 5 mm × 長さ 5 mm の大きさに削り取ることができる。なお、幅のより広い切削工具を用いた場合には、幅 5 mm 以上の多孔質層 2 を削り取ることができる。

[0057] ここで、ヌープ硬度の測定方法は特に限定されないが、たとえばヌープカ

たさ試験機(Knoop hardness)を用いてヌーブ硬度を測定することができる。

[0058] 次に、図8に示すように、金属層300に第2の基板200を貼り付ける。第2の基板200は、たとえば銀ペーストなどを用いて金属層300に貼り付けることができる。

[0059] 第2の基板200の材料は、特に限定されないが、たとえば、アルミナ系または酸化チタン系のセラミックであっても良いし、セラミックよりも軽量である雲母であっても良い。なかでも、第2の基板200としては、耐熱性樹脂などの可撓性を有する基板を用いることが好ましい。第2の基板200が耐熱性樹脂などの可撓性を有する基板であれば、可撓性を有する光電変換素子を製造することができる。

[0060] 第2の基板200の表面のうち金属層300が貼り付けられた面とは反対側に位置する面（図8における第2の基板200の下面）にAgを含む金属膜を形成する工程をさらに含むことが好ましい。この場合には、後述する工程においてバッファ層600を王水で除去する場合に、Agを含む金属膜を第2の基板200の保護膜として用いることができる。たとえば、第2の基板200の表面にAg膜を形成した場合には、王水によってAg膜の表面にAgClの保護膜が形成されるので、第2の基板200を除去せずに残すことができる傾向にある。また、第2の基板200の表面にAgを含む金属膜が形成された場合には、後述するように、光電変換素子をモジュール化する場合に、当該金属膜を配線の接続部とすることができる。

[0061] 次に、図9に示すように、バッファ層600を除去する。バッファ層600は、たとえば王水またはプラズマエッチングなどによって除去することができる。

[0062] 次に、図10に示すように、バッファ層600の除去後に、i型窒化物半導体層500にp型窒化物半導体層502を形成する。たとえば、i型窒化物半導体層500の周縁領域をマスクするパターンを有するマスク5をイオン注入マスクとして、p型不純物のイオン6をi型窒化物半導体層500にイオン注入する。その後、i型窒化物半導体層500をアニールする。これ

により、たとえば図11に示すように、i型窒化物半導体層500の表面部であって周縁領域以外の領域に、p型窒化物半導体層502を形成することができる。p型窒化物半導体層502がi型窒化物半導体層500の表面部であって周縁領域以外の領域に形成されるので、光電変換素子の端面部での電流リークを回避することができる。ここで、i型窒化物半導体層500の表面部とは、n型窒化物半導体層400が形成されているi型窒化物半導体層500の表面側とは反対側を意味する。

[0063] p型不純物のイオン6としては、たとえばマグネシウムのイオンなどを用いることができる。また、p型不純物のイオン6の加速エネルギーは、たとえば30keVとすることができる。また、p型窒化物半導体層502におけるp型不純物濃度は、特に限定されないが、たとえば 1×10^{17} 個/cm³以上 2×10^{19} 個/cm³以下とすることが好ましい。

[0064] また、i型窒化物半導体層500のアニールは、たとえば、800℃の窒素雰囲気中、5分間行なうことが好ましい。

[0065] より具体的には、i型窒化物半導体層500の表面部であって周縁領域以外の領域に、約30keVの加速エネルギーでp型不純物のイオン6としてのマグネシウムイオンをイオン注入し、窒素雰囲気中、800℃で5分間アニールを行なう。これにより、p型不純物であるマグネシウム濃度が 1×10^{19} 個/cm³程度のp型窒化物半導体層502を形成することができる。

[0066] 次に、図11に示すように、p型窒化物半導体層502上に透明電極層700を形成する。透明電極層700は、たとえばマグネトロンスパッタ法またはイオンプレーティング法によって、p型窒化物半導体層502上に形成することができる。

[0067] 透明電極層700の材料は、特に限定されないが、亜鉛、インジウム、錫およびマグネシウムからなる群から選択された少なくとも1種の金属の酸化物からなる単層または複数層の積層体を用いることが好ましい。

[0068] 透明電極層700の具体的な例としては、厚さ320nmの2%のアルミニウムがドーパされた酸化亜鉛が挙げられる。

[0069] なお、透明電極層 700 上に集電電極を形成してもよい。集電電極としては、たとえば、ニッケル、白金、金および銀からなる群から選択された少なくとも 1 種からなる楕形状の集電電極などを形成することができる。

[0070] 以上により、本発明の光電変換素子の一例である実施の形態の大面積の光電変換素子 100 を製造することができる。

[0071] このようにして製造された光電変換素子 100 は、図 12 に示すように、第 2 の基板 200 と、第 2 の基板 200 上に設けられた金属層 300 と、金属層 300 上に設けられた n 型窒化物半導体層 400 と、n 型窒化物半導体層 400 上に設けられた i 型窒化物半導体層 500 と、i 型窒化物半導体層 500 の表面部であって周縁領域以外の領域に設けられた p 型窒化物半導体層 502 と、p 型窒化物半導体層 502 上に設けられた透明電極層 700 とを備えている。なお、図 12 は、実施の形態の光電変換素子 100 の構成を示す模式的な断面図である。

[0072] 光電変換素子 100 においては、透明電極層 700 側から入射し、透明電極層 700 および p 型窒化物半導体層 502 を透過して、i 型窒化物半導体層 500 に到達した光は、光吸収層としての i 型窒化物半導体層 500 で吸収される。そして、i 型窒化物半導体層 500 で発生したキャリアは、金属層 300 および透明電極層 700 から、光電変換素子 100 の外部に取り出すことができる。なお、金属層 300 は、n 型窒化物半導体層 400 を透過してきた光を i 型窒化物半導体層 500 側に反射させる反射層として機能させることができる。

[0073] たとえば図 13 に示すように、上記のようにして製造された大面積の光電変換素子 100 の複数を電氣的に接続することによって、光電変換素子モジュール 101 を製造することができる。図 13 は、実施の形態の光電変換素子モジュール 101 の構成を示す模式的な断面図である。

[0074] 図 13 に示す光電変換素子モジュール 101 は、背面板 11 を備えた枠体 10 と、枠体 10 内にアレイ状に配列された複数の光電変換素子 100 と、光電変換素子 100 が電氣的に直列または並列に接続された配線 12 と、を

備えている。また、枠体 10 は、光電変換素子 100 と配線 12 とを外部環境および外部衝撃から保護するための封止材 13 および保護材 14 を備えている。

[0075] なお、光電変換素子モジュール 101 における光電変換素子 100 の直列数および並列数は、光電変換素子モジュール 101 の定格電圧および定格電流に応じて定めることができる。

[0076] また、枠体 10 の平面形状は、特に限定されず、たとえば、図 13 に示す四角形以外にも多角形、円形状または楕円形などの形状であってもよい。

[0077] また、第 2 の基板 200 の材料に可撓性を有する材料を用いた場合には、車体等の曲面に光電変換素子 100 を実装して軽量化した光電変換素子モジュール 101 を構成することができる。

[0078] 上記の光電変換素子 100 および光電変換素子モジュール 101 の製造においては、i 型窒化物半導体層 500 および n 型窒化物半導体層 400 の成長に用いた大面積の第 1 の基板 1 の除去を、従来のようにレーザー光の照射および基板の温度変化によって行なうのではなく、切削工具 4 を用いて行なっている。そのため、第 1 の基板 1 として大面積の基板を用いた場合でも、第 1 の基板 1 の除去を従来よりも容易に、かつ低コストで行なうことができる。よって、大面積の光電変換素子 100 およびそれを用いた光電変換素子モジュール 101 を低コストで製造することができる。

[0079] また、上記の光電変換素子 100 および光電変換素子モジュール 101 の製造においては、第 1 の基板 1 の上に多孔質層 2 を設けているので、切削工具 4 で多孔質層 2 を容易に削り取ることができる。つまり、第 1 の基板 1 の上に多孔質層 2 を設けることにより、第 1 の基板 1 の剥離による除去が容易となる。よって、第 1 の基板 1 として大面積の基板を用いた場合でも、第 1 の基板 1 の除去を従来よりも容易に、かつ低コストで行なうことができる。したがって、大面積の光電変換素子 100 およびそれを用いた光電変換素子モジュール 101 を低コストで製造することができる。この効果は、多孔質層 2 およびバッファ層 600 の各ヌープ硬度が切削工具 4 のヌープ硬度より

も低い場合に、顕著となる。

[0080] また、多孔質層 2 をパターンエッチングにより形成するとき使用されるマスクにおいては、多孔質層 2 を覆う領域または多孔質層 2 を露出する領域が隣り合う間隔は $5\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であることが好ましく、除去面積比は 50% 以上 90% 以下であることが好ましい。これにより、多孔質層 2 の形成が容易となり、切削工具 4 による多孔質層 2 の削り取りがさらに容易となる。よって、第 1 の基板 1 の剥離による除去がさらに容易となる。したがって、第 1 の基板 1 として大面積の基板を用いた場合でも、第 1 の基板 1 の除去を従来よりもさらに容易且つ低コストで行なうことができる。

[0081] また、第 1 の基板 1 として、高価な窒化物半導体基板ではなく、再利用可能であって比較的安価なサファイア基板を用いた場合には、大面積の光電変換素子 100 をさらに低コストで製造することができる。

[0082] さらに、実施の形態の光電変換素子 100 には、光吸収層として、窒化物半導体結晶からなる i 型窒化物半導体層 500 を用いていることから、Si 等に比べ光吸収率が非常に高く、光電変換素子 100 を従来よりも薄く形成することができる。そのため、第 2 の基板 200 の選択の自由度が向上し、可撓性を有し、かつ軽量の光電変換素子 100 および光電変換素子モジュール 101 を形成することができる。

[0083] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0084] 1 第 1 の基板、2 多孔質層、4 切削工具、5 マスク、6 p 型不純物イオン、10 枠体、11 背面板、12 配線、13 封止材、14 保護材、15 マスク、60 エキシマレーザー光、100 光電変換素子、101 光電変換素子モジュール、200 第 2 の基板、300 金属層、400、4000 n 型窒化物半導体層、500、5000 i 型窒化

物半導体層、502, 6000 p型窒化物半導体層、600 バッファ層、700 透明電極層、1000 サファイア基板、2000 支持基板、3000 パッド電極、8000 保護膜。

請求の範囲

- [請求項1] 第1の基板上に多孔質層を形成する工程と、
パターンエッチングによって前記多孔質層の一部を除去する工程と、
、
前記多孔質層上および前記第1の基板上にバッファ層を形成する工程と、
前記バッファ層上にi型窒化物半導体層を形成する工程と、
前記i型窒化物半導体層上にn型窒化物半導体層を形成する工程と、
、
前記n型窒化物半導体層上に金属層を形成する工程と、
切削工具を用いて前記第1の基板を前記バッファ層から除去する工程と、
前記金属層に第2の基板を貼り付ける工程と、
前記バッファ層を除去する工程と、
前記バッファ層の除去後に、前記i型窒化物半導体層の表面部にp型窒化物半導体層を形成する工程と、を含む、光電変換素子の製造方法。
- [請求項2] 前記第1の基板を除去する工程は、前記第1の基板と前記多孔質層との界面近傍を前記切削工具で切削する工程を含む、請求項1に記載の光電変換素子の製造方法。
- [請求項3] 前記切削工具は、前記多孔質層および前記バッファ層よりもヌープ硬度が高い材料で構成されている、請求項2に記載の光電変換素子の製造方法。
- [請求項4] 前記パターンエッチングで使用されるマスクには、前記多孔質層を覆う領域または前記多孔質層を露出させる領域が間隔をあけて配置されてなるパターンが形成されており、
前記マスクにおいて前記多孔質層を覆う領域または前記多孔質層を露出する領域が隣り合う間隔は、 $5\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であり、

前記マスクから露出する多孔質層の上面の面積の合計は、前記多孔質層の上面の全面積に対して50%以上90%以下である請求項1～3のいずれかに記載の光電変換素子の製造方法。

[請求項5] 前記バッファ層は、Ga_{1-x}N、InGa_{1-x}N、AlGa_{1-x}N、およびInNの少なくとも1つを含む、請求項1～4のいずれかに記載の光電変換素子の製造方法。

[請求項6] 前記p型窒化物半導体層を形成する工程は、前記i型窒化物半導体層の前記表面部であって周縁領域以外の領域にp型不純物イオンを注入する工程を含む、請求項1～5のいずれかに記載の光電変換素子の製造方法。

[請求項7] 前記i型窒化物半導体層は、Al_{x1}In_{y1}Ga_{z1}N ($0 \leq x_1 \leq 1$ 、 $0 \leq y_1 \leq 1$ 、 $0 \leq z_1 \leq 1$ 、 $x_1 + y_1 + z_1 \neq 0$) の式で表わされる窒化物半導体結晶を含み、

前記n型窒化物半導体層は、Al_{x2}In_{y2}Ga_{z2}N ($0 \leq x_2 \leq 1$ 、 $0 \leq y_2 \leq 1$ 、 $0 \leq z_2 \leq 1$ 、 $x_2 + y_2 + z_2 \neq 0$) の式で表わされる窒化物半導体結晶を含む、請求項1～6のいずれかに記載の光電変換素子の製造方法。

[請求項8] 前記第2の基板の表面のうち前記金属層が貼り付けられた表面とは反対側の表面にAgを含む金属膜を形成する工程をさらに含む、請求項1～7のいずれかに記載の光電変換素子の製造方法。

[請求項9] 請求項1～8のいずれかに記載の光電変換素子の製造方法により製造された光電変換素子であって、

前記第2の基板上に設けられた金属層と、

前記金属層上に設けられたn型窒化物半導体層と、

前記n型窒化物半導体層上に設けられたi型窒化物半導体層と、

前記i型窒化物半導体層の表面部であって周縁領域以外の領域に設けられたp型窒化物半導体層とを備えた、光電変換素子。

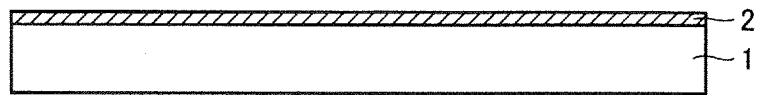
[請求項10] 前記第2の基板は、可撓性を有する、請求項9に記載の光電変換素子

子。

[請求項11] 請求項9または10に記載の光電変換素子を含む、光電変換素子モジュール。

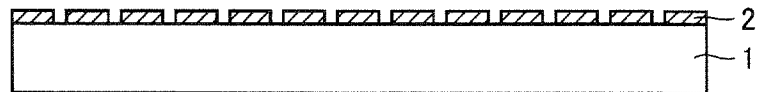
[図1]

FIG.1



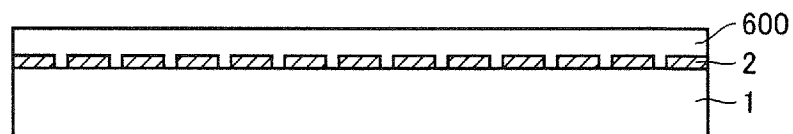
[図2]

FIG.2



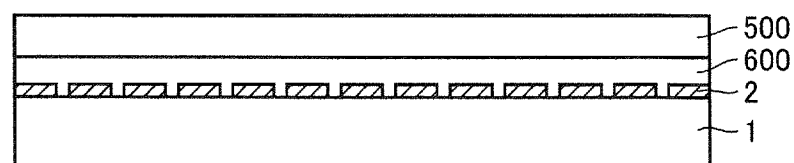
[図3]

FIG.3



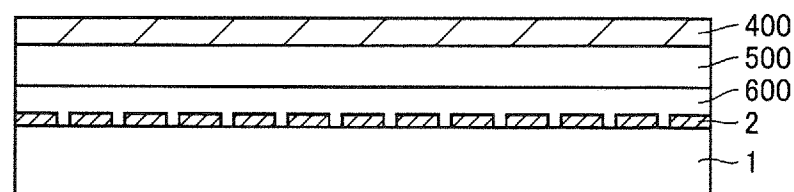
[図4]

FIG.4



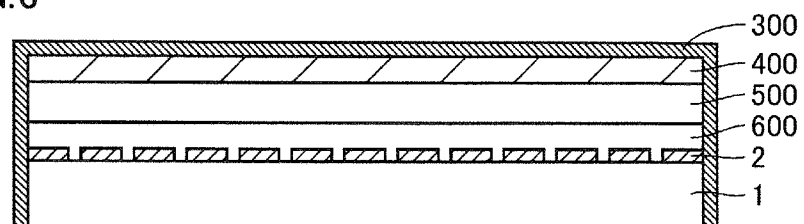
[図5]

FIG.5



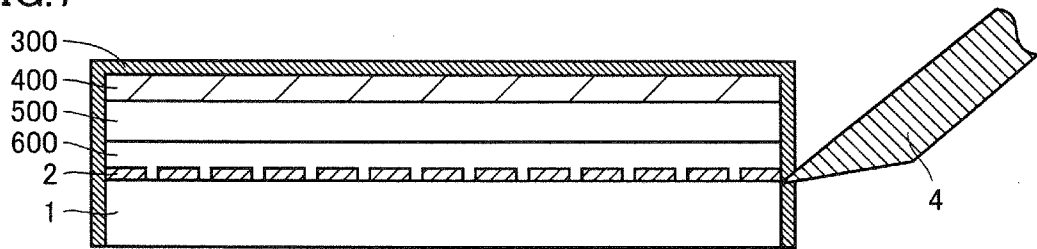
[図6]

FIG.6



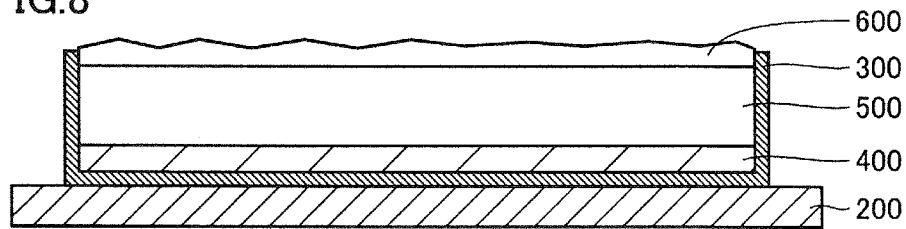
[図7]

FIG.7



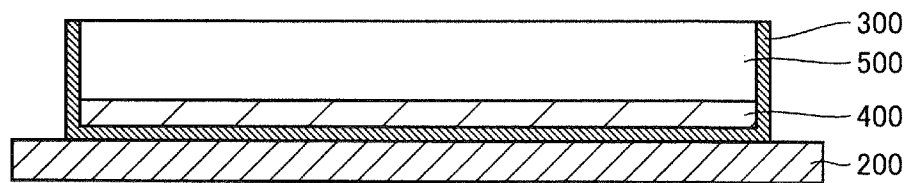
[図8]

FIG.8



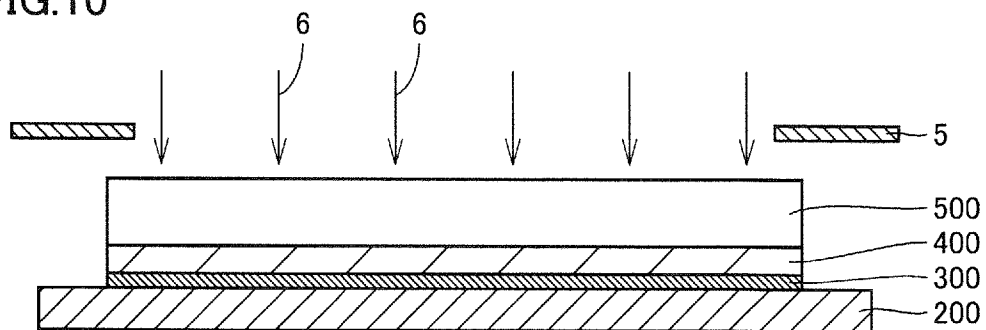
[図9]

FIG.9



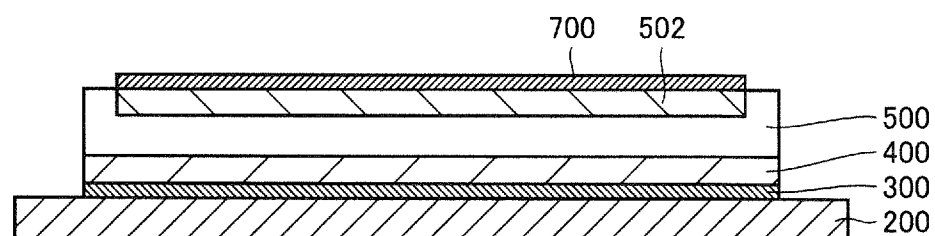
[図10]

FIG.10



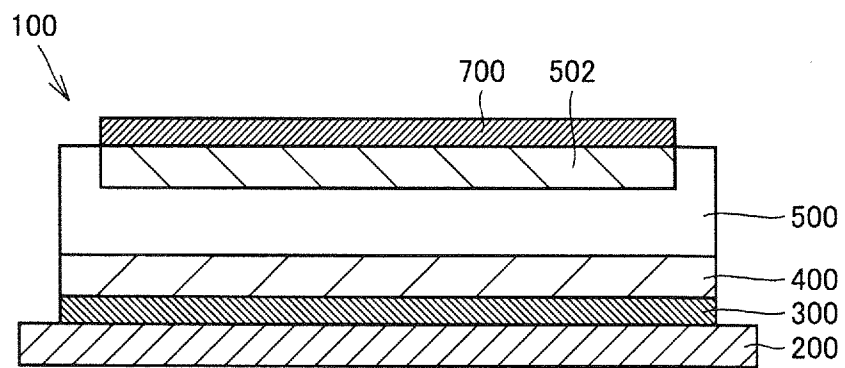
[図11]

FIG.11



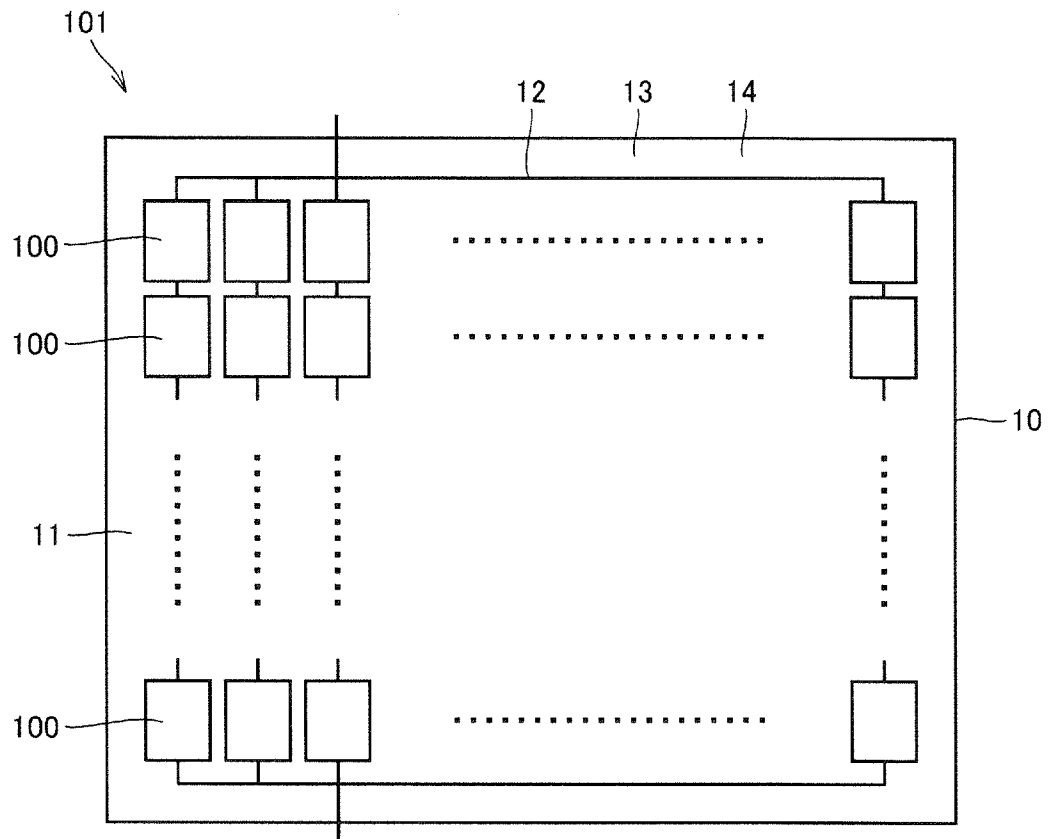
[図12]

FIG.12



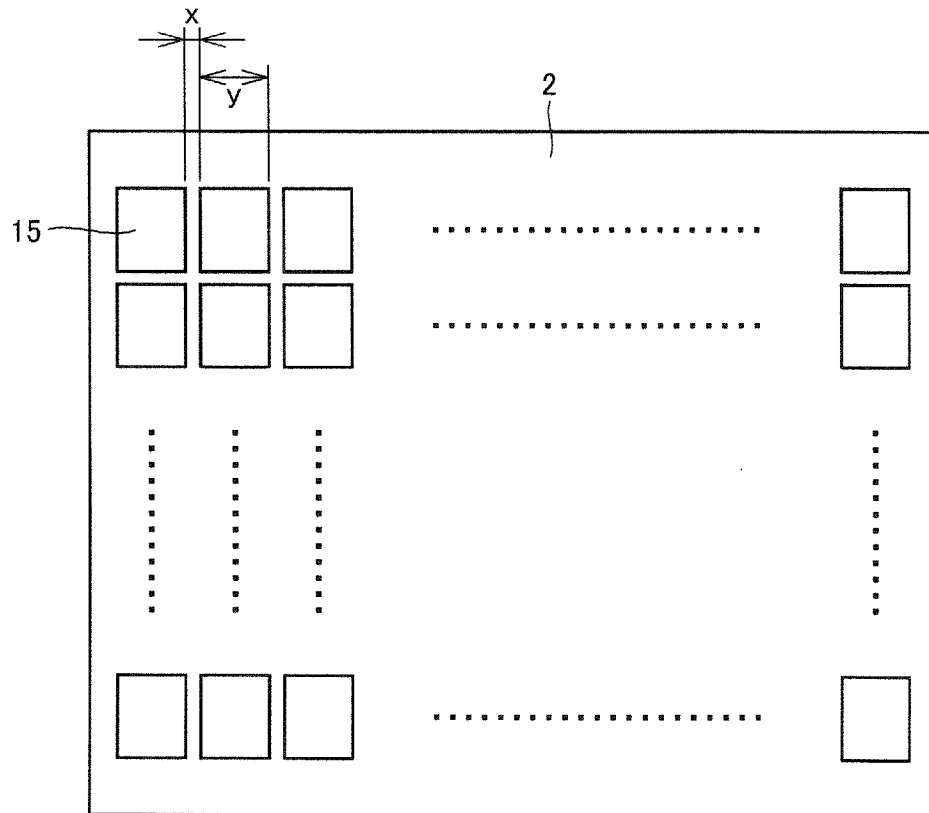
[図13]

FIG.13



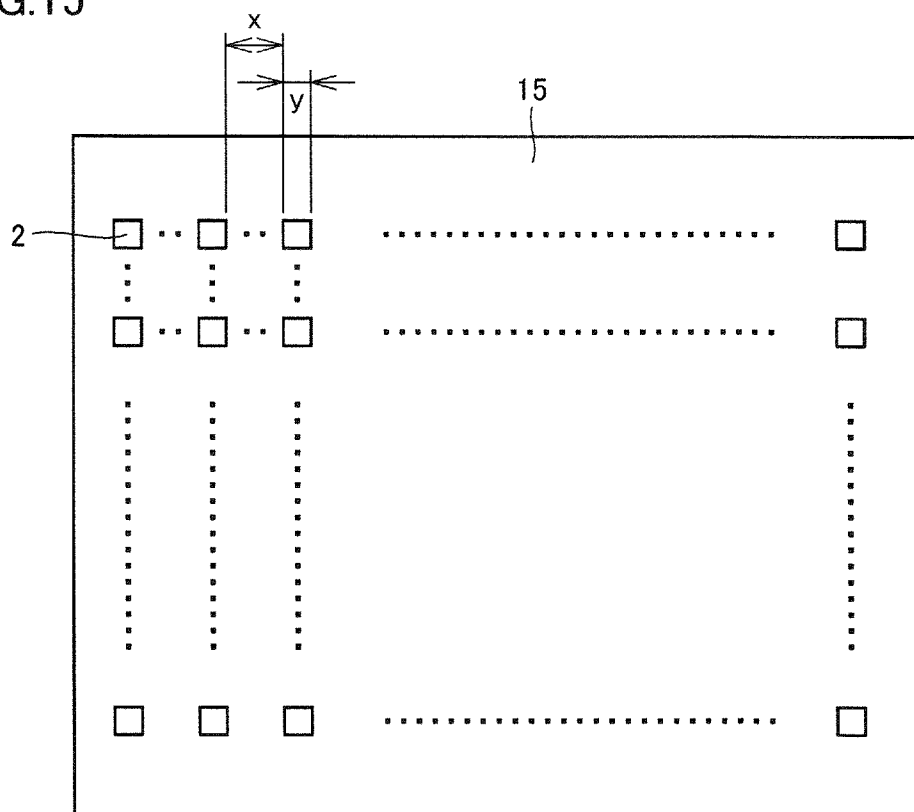
[図14]

FIG.14



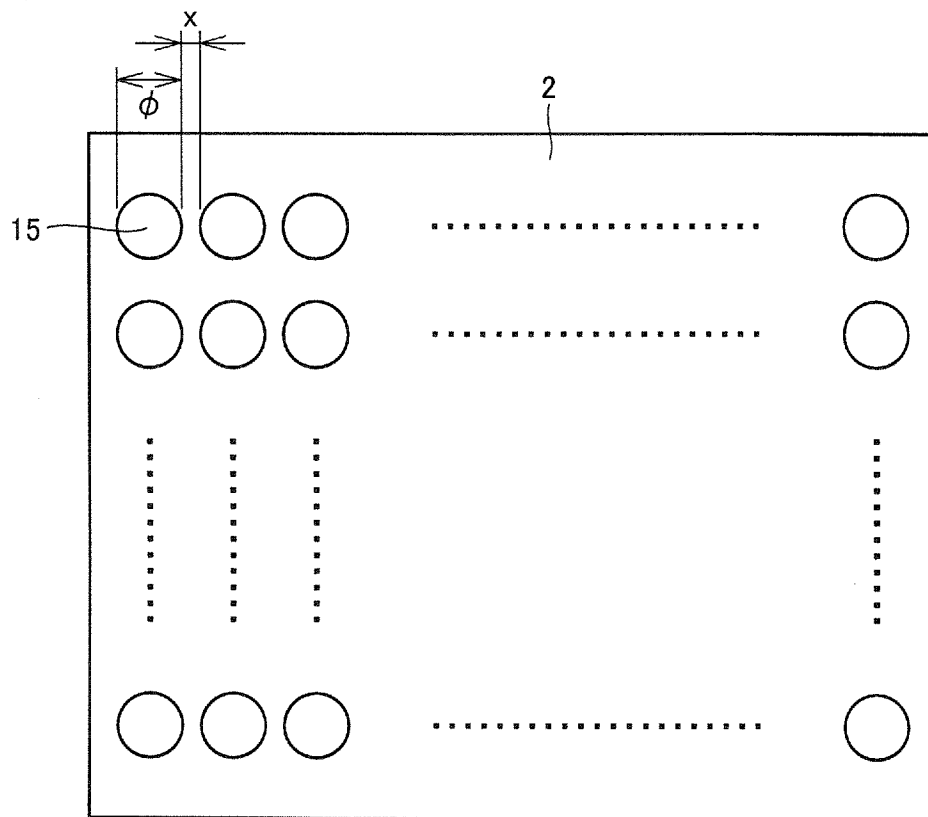
[図15]

FIG.15



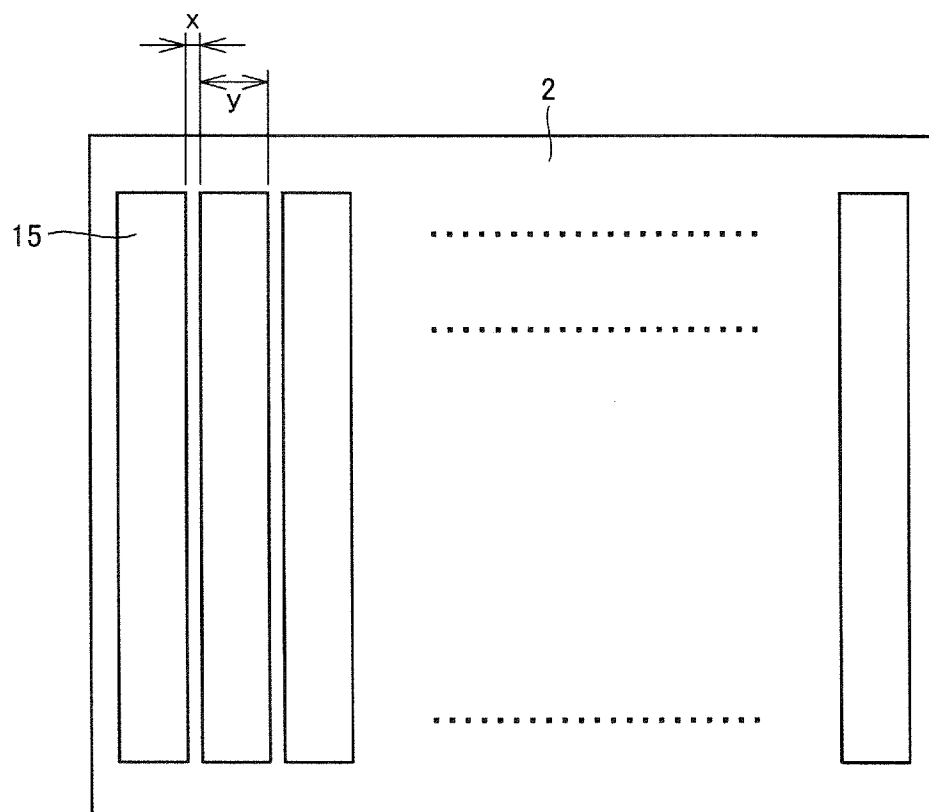
[図16]

FIG.16



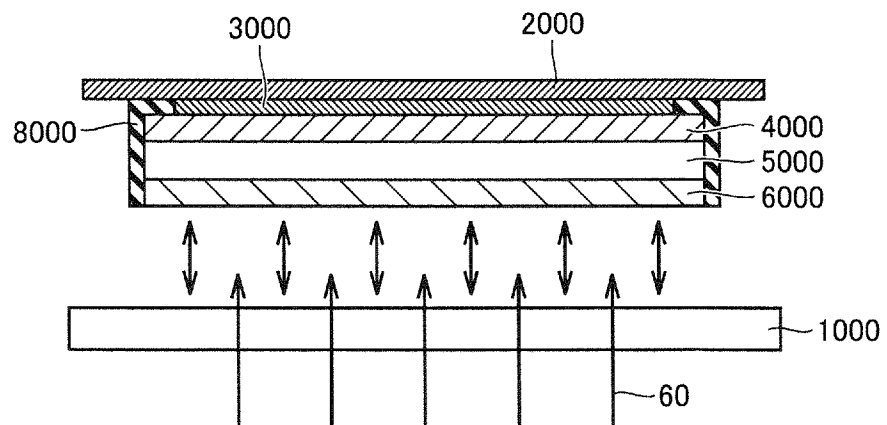
[図17]

FIG.17



[図18]

FIG.18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050729

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/00-31/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-318434 A (Nichia Chemical Industries, Ltd.), 07 November 2003 (07.11.2003), fig. 9 to 14 (Family: none)	9-11 1-8
Y A	JP 10-012903 A (Kyocera Corp.), 16 January 1998 (16.01.1998), paragraph [0021]; fig. 1 (Family: none)	9-11 1-8
A	JP 2010-267934 A (Panasonic Corp.), 25 November 2010 (25.11.2010), claim 1; paragraph [0042] (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 February, 2013 (25.02.13)Date of mailing of the international search report
05 March, 2013 (05.03.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050729

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-229588 A (Canon Inc.), 15 August 2003 (15.08.2003), paragraph [0032]; fig. 2 (Family: none)	1-11
A	JP 2000-036609 A (Canon Inc.), 02 February 2000 (02.02.2000), paragraphs [0032], [0033], [0057]; fig. 1 to 4 & US 6331208 B1	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L31/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/00-31/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2013年
日本国実用新案登録公報	1996-2013年
日本国登録実用新案公報	1994-2013年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2003-318434 A（日亜化学工業株式会社）2003. 11. 07, 図9-図14（ファミリーなし）	9-11 1-8
Y A	JP 10-012903 A（京セラ株式会社）1998. 01. 16, 【0021】，【図1】（ファミリーなし）	9-11 1-8
A	JP 2010-267934 A（パナソニック株式会社）2010. 11. 25, 【請求項1】，【0042】（ファミリーなし）	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25. 02. 2013

国際調査報告の発送日

05. 03. 2013

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

井上 徹

2 K

3607

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-229588 A (キヤノン株式会社) 2003. 08. 15, 【0032】 , 【図 2】 (ファミリーなし)	1-11
A	JP 2000-036609 A (キヤノン株式会社) 2000. 02. 02, 【0032】 , 【0033】 , 【0057】 , 【図 1】 - 【図 4】 & US 6331208 B1	1-11