

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-516180

(P2006-516180A)

(43) 公表日 平成18年6月22日(2006.6.22)

(51) Int. Cl. F I テーマコード (参考)  
**HO3M 1/12 (2006.01)** HO3M 1/12 A 5J022

審査請求 未請求 予備審査請求 未請求 (全 18 頁)

(21) 出願番号 特願2004-547122 (P2004-547122)  
 (86) (22) 出願日 平成15年10月23日 (2003.10.23)  
 (85) 翻訳文提出日 平成16年9月28日 (2004.9.28)  
 (86) 国際出願番号 PCT/US2003/033748  
 (87) 国際公開番号 W02004/038922  
 (87) 国際公開日 平成16年5月6日 (2004.5.6)  
 (31) 優先権主張番号 10/280, 680  
 (32) 優先日 平成14年10月25日 (2002.10.25)  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), AU, CA, JP, KR, NO, SG

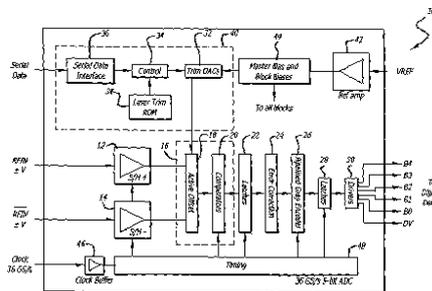
(71) 出願人 390039147  
 レイセオン・カンパニー  
 Raytheon Company  
 アメリカ合衆国、マサチューセッツ州 O  
 2451-1449、ウォルサム、ウィン  
 ター・ストリート 870  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100084618  
 弁理士 村松 貞男  
 (74) 代理人 100092196  
 弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 進歩したデジタルアンテナモジュール

(57) 【要約】

電磁信号を受信し励起するための進歩したデジタルアンテナモジュール (ADAM) である。ADAM ASIC はモノリシック SiGe 装置に完全な受信機 / 励起装置機能を統合し、直接デジタル - RF (無線周波数) と RF - デジタル変換を可能にしている。本発明は比較装置の優れたオフセット方法による改良されたアナログデジタル変換器 (ADC) 10 を含んでいる。ADCアーキテクチャ10は、入力信号を受信する第1の回路12、14と、各前置増幅器の出力の加重されたユニット電流源66を有する予め定められた数の前置増幅器60を使用して予め定められた数のしきい値を設定する第2の回路18と、入力をしきい値と比較する第3の回路20とを含んでいる。好ましい実施形態では、ADC10はトリム可能な電流源66を含んでいる。本発明のADC10はまた改良された比較装置回路62を含んでいる。この比較装置62は、捕捉時間を増加し再生時定数を減少するためのスプリット負荷抵抗の対R25 (アクティブモード) とR26および対R24 (アクティブモード) とR49と、再生ノードの容量負荷を減少するためラッチ対抵抗Q61およびQ62上



**【特許請求の範囲】****【請求項 1】**

入力信号を受信するための第 1 の回路 ( 12、14 ) と、  
予め定められた数の前置増幅器 ( 60 ) を含み、それらの各前置増幅器はその出力において加重されたユニット電流ソース ( 66 ) を有している予め定められた数のしきい値を設定する第 2 の回路 ( 18 ) と、

前記入力を前記しきい値と比較する第 3 の回路 ( 20 ) とを具備していることを特徴とするアナログデジタル変換器 ( 10 ) 。

**【請求項 2】**

前記入力は差動入力である請求項 1 記載のアナログデジタル変換器。

10

**【請求項 3】**

第 3 の回路 ( 20 ) はそれぞれ 1 つの前置増幅器 ( 60 ) に接続されている予め定められた数の比較装置 ( 62 ) を含んでいる請求項 1 記載のアナログデジタル変換器。

**【請求項 4】**

前記アナログデジタル変換器 ( 10 ) はさらに前記しきい値をトリムするための第 4 の回路 ( 40 ) を含んでいる請求項 1 記載のアナログデジタル変換器。

**【請求項 5】**

前記第 4 の回路 ( 40 ) はトリム可能な電流源 ( 66 ) を含んでいる請求項 4 記載のアナログデジタル変換器。

**【請求項 6】**

前記第 4 の回路 ( 40 ) はトリム可能なデジタルアナログ変換器 ( 32 ) を含んでいる請求項 4 記載のアナログデジタル変換器。

20

**【請求項 7】**

前記比較装置 ( 62 ) は、

スプリット負荷抵抗の対 R 2 5 ( アクチブモード ) および R 2 6 と、抵抗の対 R 2 4 ( アクチブモード ) と R 4 9 と、

抵抗 R 2 6 および R 4 9 にそれぞれ接続されているラッチ対トランジスタ Q 6 1 および Q 6 2 と、

ラッチ対トランジスタ Q 6 1 および Q 6 2 上のそれぞれのエミッタホロワーバッファ Q 8 7 および Q 8 5 と、

抵抗 R 2 5 および R 2 4 にそれぞれ接続されているカスコードトランジスタ Q 6 4 および Q 1 1 9 とを含んでいる請求項 3 記載のアナログデジタル変換器。

30

**【請求項 8】**

前記アナログデジタル変換器 ( 10 ) はさらに前記第 3 の回路 ( 20 ) に後続するラッチ ( 22 ) とエラー補正 ( 24 ) を含んでいる請求項 1 記載のアナログデジタル変換器。

**【請求項 9】**

前記アナログデジタル変換器 ( 10 ) はさらに前記第 3 の回路 ( 20 ) に後続して配置されたパイプライングレーエンコーダ ( 26 ) を含んでいる請求項 1 記載のアナログデジタル変換器。

**【請求項 10】**

前記アナログデジタル変換器 ( 10 ) は 3 6 G S / s で動作する請求項 1 記載のアナログデジタル変換器。

40

**【請求項 11】**

前記アナログデジタル変換器 ( 10 ) は 5 ビットのアナログデジタル変換器である請求項 1 記載のアナログデジタル変換器。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は電磁通信システム、特に直接デジタル合成 ( D D S ) および無線周波数 ( R F ) 信号の直接デジタル化に関する。

50

## 【背景技術】

## 【0002】

現在および将来の応用では、空間ベースのレーダは軽い重量および小さい容積で高性能を必要とする。例えば2008年までに、このようなシステムは合成開口レーダ(SAR)、地上移動ターゲット指示(GMTI)、航空機上の移動ターゲット指示(AMTI)、デジタル地勢仰角検出(DTED)、およびその他のマルチインテリジェンス(INT)機能のような多数のタスクを処理することが期待されている。現在のシステムはストップ煙突のような狭く焦点を結び、単一の機能を行わせるようにする傾向がある。さらに、これらのシステムのペイ負荷は平方メートル当たり4kg程度(今日のシステムよりも3倍軽い)の重量密度と、約1500:1(典型的な圧縮比は現在3から5対1)の容積圧縮を有することが必要とされている。潜在的な消費者は(予算の縮小を考慮して)今日実現できるよりも低価格で全てのこれらの改良の必要性を強調している。

10

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

現在のスペースベースのレーダシステムは統合された受信機と励起装置を含んでいる。これらの解決策は多数の独立した位相センタ(典型的に8よりも少数)を必要とせず、マルチINTミッションを実行する必要がなく、平方メートル当たり12kgよりも軽い量しか必要とせず、過剰に広い帯域幅を必要としないようなシステムに適している。さらに今日の受信機の機能の現在の解決策は(空間を限定されたハードウェアでは)チャンネル当り約\$1Mの価格であり、これは例えば32を超える独立した受信機を必要とするシステムには許容されない。したがって、現在のハードウェアは高価で、かさばり、重く、比較的特殊化され、将来の要求を満たすには適していない。

20

## 【0004】

したがって、現在のシステムよりも小さく、軽く、廉価である電磁信号の受信および励起するための改良されたシステムまたは方法が技術で必要とされている。

## 【課題を解決するための手段】

## 【0005】

このような技術の要求は本発明の優れたアナログデジタル変換器(ADC)および直接デジタルシンセサイザ(DDS)アーキテクチャにより解決される。優れたADCアーキテクチャは、入力信号を受信するための第1の回路と、各前置増幅器の出力において加重されたユニット電流ソースをそれぞれ有する予め定められた数の前置増幅器を使用して予め定められた数のしきい値を設定する第2の回路と、入力をしきい値と比較する第3の回路とを含んでいる。本発明のアクチブオフセット方法は、通常のADCの抵抗ラダーに関連するR-C時定数を除去し、トリム可能な抵抗を必要とせずに個々のしきい値を容易にトリムする能力を提供する。好ましい実施形態では、ADCはトリム可能な電流源を含んでいる。

30

## 【0006】

最良のモードでは、本発明のADCは改良された比較装置回路を備えている。この優れた比較装置は、捕捉時間を増加し再生時定数を減少するためのスプリット負荷抵抗と、再生ノードの容量性負荷を減少させるためのラッチ対トランジスタのエミッタホローバッファと、再生ノードから出力負荷効果を除去するために負荷抵抗に結合されたカスコードトランジスタとを含んでいる。これらの全ての改良により、高速度の捕捉時間と再生時定数が論理的限界であるトランジスタの順方向転位時間の程度にすることが可能である。

40

## 【0007】

電磁波信号を受信し励起するための進歩したデジタルアンテナモジュール(ADAM)として構成されるとき、ADAM用途特定集積回路(ASIC)はモノリシックシリコンゲルマニウム(SiGe)装置に完全な受信機/励起装置機能を統合し、直接デジタル-RF(無線周波数)およびRF-デジタル変換を可能にする。したがって、ここで開示する技術は優れたアクチブオフセット比較方法による改良されたアナログデジタル変換器(

50

A D C ) を提供する。

【 0 0 0 8 】

優れた D D S アーキテクチャは、変換器の異なる非線形をデジタル的にトリムする能力によりデジタルアナログ変換器 ( D A S ) 構造の既存の正確性とダイナミックな限定を克服する。さらに、トランジスタの自己加熱が変換器のダイナミック範囲に与える制限を解決するデジタルアルゴリズムが実行される。

【 発明を実施するための最良の形態 】

【 0 0 0 9 】

図示の実施形態および例示的な応用を本発明の有効な考察を説明するために添付図面を参照して説明する。

10

本発明をここでは特定の応用の実施形態を参照して説明するが、本発明はそれに限定されないことが理解されるべきである。ここで与えられた考察を利用する当業者は、その技術的範囲内および本発明が非常に有効である付加的な分野において付加的な変形、応用、実施形態を認識するであろう。

【 0 0 1 0 】

本発明は、モノリシック S i G e 装置に完全な受信機 / 励起装置機能を統合し、直接デジタル - R F ( 無線周波数 ) と R F - デジタル変換を可能にする進歩したデジタルアンテナモジュール ( A D A M ) である。受信機能は優れたアクチブオフセット方法を有する改良されたフラッシュアナログデジタル変換器 ( A D C ) と、改良された高速度比較装置とを含んでいる。

20

【 0 0 1 1 】

A D A M A S I C の受信機セクションは 2 8 p s 解像度の真のデジタル時間遅延が後続する 5 ビットフラッシュ A D C 10 と、デジタルフィルタおよびデシメーションセクション 80 と、レーザ変調器の 1 組の駆動装置からなる。図 1 は A D C 10 のブロック図である。示されているように、A D C 10 は 2 つのシングルエンドサンプルおよび保持 ( S / H ) 回路 12 および 14 を使用する差動入力を有している。各サンプラは所望の周波数範囲にわたって利得のロールオフを最小にするために広い入力帯域幅を有している。好ましい実施形態では、改良されたダイオードブリッジサンプリングゲートアーキテクチャはこの性能を実現するために使用される。

【 0 0 1 2 】

5 ビットの A D C 10 は高い入力帯域幅を得るために進歩したフロントエンドアーキテクチャ 16 を使用する。このフロントエンドアーキテクチャ 16 はアクチブなオフセットブロック 18 と比較装置ブロック 20 とを含んでいる。優れたアクチブオフセット技術は  $2^N - 1$  の高速度比較装置によりサンプルされる  $2^N - 1$  の別々の信号レベルに信号を分割し、ここで N はビットの数である。好ましい実施形態では、N = 5 であり、3 1 個の比較装置を生じる。これは古い直線のフラッシュおよび折畳み / 補間アーキテクチャ中に存在する受動的な基準抵抗ラダーのスキューと帯域幅制限を除去する。改良された高速度比較装置アーキテクチャはクロック変換レートを満たすのに必要な要求される捕捉時間と再生時間とを実現する。

30

【 0 0 1 3 】

比較装置 20 に後続する随意選択的なラッチ 22 およびエラー補正手段 24 はビット誤り率 ( B E R ) を減少するために挿入される。エラー補正手段 24 に後続して、パイプライングレーエンコーダ 26 がコード依存エラーを最少にするために二進エンコーダの代わりに構成される。ラッチ 28 と駆動装置 30 がグレーエンコーダ 26 に後続し、出力はデジタル遅延、整合されたフィルタおよびデシメーション回路 80 ( 図 8 に示されている ) に送信される。

40

【 0 0 1 4 】

説明する実施形態では、本発明の A D C 10 はさらに、比較装置のしきい値パスの差動および一体の D C エラーを最少にするための線形トリム回路 40 を含んでいる。好ましい実施形態では、線形トリム回路 40 はトリム可能なデジタルアナログ変換器 32 を含んでいる。制御装置 34 はデジタルシリアルインターフェース ( D S I ) 36 とオンチップレーザリンク R

50

OM38を介して較正DAC32を外部で制御する。好ましい実施形態では、デジタルシリアルインターフェース36は相補型金属酸化膜半導体(CMOS)中に構成されている。しかしながら、本発明はCMOS技術に限定されない。

【0015】

ADC10はまた基準信号VREFを増幅し、それをマスターバイアスおよびブロックバイアス回路44へ送信する増幅器42を含んでいる。マスターバイアスおよびブロックバイアス回路44は他のブロックにより必要とされるバイアス信号を提供する。ADC10はまたクロックバッファ46と、クロック信号を回路ブロックに供給するタイミング回路48を含んでいる。

【0016】

改良されたフラッシュADC10は、比較装置の優れたアクチブオフセット方法による差動量子化装置を含んでいる。典型的なNビットフラッシュADCでは、 $2^N - 1$ のしきい値または量子化或いはQレベルが存在する。各 $2^N - 1$ のしきい値は $2^N - 1$ の比較装置の入力の1つでゼロ交差により設定される。入力信号はこれらの各しきい値に対して同時に比較され、信号が各 $2^N - 1$ の比較装置の基準と比較される場所に基づいて、デジタルワードに符号化される。

【0017】

先のADCはシングルエンドの入力と静止抵抗分割器ラダーにより設定される $2^N - 1$ の比較装置基準、またはダイナミックな差動直列抵抗ラダーを有する差動入力のいずれかにより設計されている。シングルエンド方法は共通モード電圧変化を処理することが困難であるため欠点を有している。しかしながら差動入力ラダーは直列抵抗ラダーを通る入力のR-C時定数のために速度が遅い。本発明の方法は差動入力を維持しながら、R-Cの問題を除去する。

【0018】

図2aは、8個の前置増幅器および比較装置を有する(飽和検出に対して1つの)3ビットADCのフロントエンドアーキテクチャを示している。差動入力抵抗は入力と、 $2^N - 1$ 前置増幅器60の入力に並列に接続されている差動信号との両者から除去されている。しきい値は各 $2^N - 1$ 前置増幅器出力の加重されたユニットオフセット電流源64または66(図2bと2cに示されている)により設定されており、これは前置増幅器の利得により分割され、各入力において異なるゼロ交差を与える。図2bは、オフセット電流源64を示しており、図2cは、線形トリム66を有するオフセット電流源を示している。それ故、入力信号が変化するとき、各前置増幅器60の出力は異なるゼロ交差しきい値を有する。前置増幅器の出力は1つの比較装置62をそれぞれ駆動し、信号はその後、それが前置増幅器の出力状態に関する場所に基づいてデジタル的に符号化される。

【0019】

本発明の優れたアクチブオフセット方法は、差動信号を維持しながら、ADCに対して高い帯域幅を可能にする。ADCで高い入力帯域幅を実現するために、dc基準を有するシングルエンド入力は基準レベルを設定する差動直列抵抗ラダーを有する差動入力よりも望ましい。本発明は差動入力を維持するが、比較装置に対する異なるしきい値を発生するために直列抵抗ラダーの必要性をなくす。代わりに、dcオフセットは $2^N - 1$ の前置増幅器毎の出力で誘起される。

【0020】

図3は本発明の教示にしたがって設計された前置増幅器の回路図である。差動入力VINPとVINNはそれぞれトランジスタQ10とQ9のベースへ入力される。Q10とQ9のコレクタは抵抗R18によりトランジスタQ34のエミッタへ接続されている。Q34のベースおよびコレクタはバイアス信号PS\_PAに接続されている。Q9のエミッタはQ56のベースと抵抗R14によりQ3のコレクタに接続されている。Q10のエミッタはQ53のベースと抵抗R61によりQ8のコレクタに接続されている。Q3およびQ8のベースはバイアス信号VB1P1に接続され、エミッタは抵抗R53およびR1によりそれぞれVNSに接続されている。Q53とQ56のエミッタはそれぞれ抵抗R36と

10

20

30

40

50

R 3 8によりQ 1のコレクタに接続されている。トランジスタQ 1のベースはV B 1 P 1 Bに接続され、エミッタは抵抗R 3 0によりV N Sに接続されている。Q 5 3のコレクタはQ 4 1のコレクタとQ 2のエミッタに接続されている。Q 4 1のエミッタはオフセットまたはトリム電流源64または66により供給される信号I O S Nに接続されている。Q 5 6のコレクタはQ 4 0のコレクタとQ 0のエミッタに接続されている。Q 4 0のエミッタはオフセットまたはトリム電流源により供給される信号I O S Pに接続されている。Q 2のコレクタはQ 6のベースと抵抗R 0とダイオードD 1によりQ 2 6のエミッタに接続されている。好ましい実施形態では、ダイオードD 1はショットキーダイオードである。しかしながら、本発明はショットキーダイオードの使用に限定されない。ダイオード接続のトランジスタを含む任意のダイオードが使用されることが可能である。Q 0のコレクタはQ 4のベースと抵抗R 3 3とダイオードD 1によりQ 2 6のエミッタに接続されている。Q 2 6のベースおよびコレクタはP S \_ P Aに接続されている。Q 4とQ 6のコレクタは抵抗R 5 1によりP S \_ P Aに接続されている。Q 4のエミッタはQ 4 5のベースおよびコレクタに接続されている。Q 6のエミッタはQ 4 6のベースおよびコレクタに接続されている。Q 4 5およびQ 4 6のエミッタはそれぞれV O PとV O Nに接続されている。Q 0とQ 2のベースはQ 3 5のエミッタとQ 3 7のコレクタおよびベースに接続されている。Q 3 5のベースおよびコレクタはQ 2 6のエミッタに接続されている。Q 3 7のエミッタはダイオードD 2に接続され、それに接続された抵抗R 6 2がQ 2 8のコレクタに接続されている。Q 4 0とQ 4 1のベースはR 6 2を介してQ 2 8のコレクタに接続されている。Q 2 8のエミッタはR 5 5によりV N Sへ接続されている。Q 2 8、Q 2 1、Q 2 2のベースはV B 1 P 1に接続されている。Q 2 1のエミッタは並列抵抗R 5 9とR 6 0によりV N Sへ接続されている。Q 2 2のエミッタは並列抵抗R 5 7とR 5 8によりV N Sに接続されている。Q 2 1のコレクタはR 5 0によりV O Pに接続され、Q 2 2のコレクタはR 4 9によりV O Nに接続されている。

10

20

30

40

50

#### 【0021】

各前置増幅器の出力は前置増幅器の負荷抵抗中の異なるオフセット電流 ( I O S NとI O S P ) によりオフセットされる。前置増幅器の出力 ( ゼロ交差しきい値 ) は飽和のために  $-3 I R$ 、 $-2 I R$ 、 $I R$ 、 $0$ 、 $+ I R$ 、 $+ 2 I R$ 、 $+ 3 I R$ 、 $+ 4 I R$ によりオフセットされる。Rは前置増幅器の負荷抵抗R 0またはR 3 3であり、Iはユニットオフセット電流である。

#### 【0022】

図4は、オフセット電流源64の図である。トランジスタのエミッタに直列接続されている3つの抵抗の16のセットは並列に接続されている。16のセットは、{ R 3、R 9、R 7、Q 1 0 }、{ R 1 2、R 1 0、R 1 1、Q 1 5 }、{ R 5 8、R 6 0、R 5 9、Q 1 6 }、{ R 6 1、R 6 3、R 6 2、Q 1 7 }、{ R 6 4、R 6 6、R 6 5、Q 2 0 }、{ R 6 7、R 6 9、R 6 8、Q 1 9 }、{ R 7 0、R 7 2、R 7 1、Q 1 8 }、{ R 7 3、R 7 5、R 7 4、Q 2 1 }、{ R 7 6、R 7 8、R 7 7、Q 2 2 }、{ R 7 9、R 8 1、R 8 0、Q 2 3 }、{ R 8 2、R 8 4、R 8 3、Q 2 5 }、{ R 8 5、R 8 7、R 8 6、Q 2 4 }、{ R 8 8、R 9 0、R 8 9、Q 2 6 }、{ R 9 1、R 9 3、R 9 2、Q 2 7 }、{ R 9 4、R 9 6、R 9 5、Q 2 8 }、{ R 9 7、R 9 9、R 9 8、Q 2 9 }である。各セットの第1の抵抗はV N Sに接続されている。各トランジスタのベースはV R E Fに接続されている。トランジスタQ 1 0、Q 1 5、Q 2 8、Q 2 9のコレクタはI 4 Pに接続され、電流 $+ 4 I$ を発生する。トランジスタQ 1 7、Q 2 0、Q 2 7のコレクタはI 3 Pに接続され、電流 $+ 3 I$ を発生する。トランジスタQ 1 9、Q 1 8のコレクタはI 2 Pに接続され、電流 $+ 2 I$ を発生する。トランジスタQ 2 1のコレクタはI 1 Pに接続され、電流 $+ I$ を発生する。トランジスタQ 2 2のコレクタはI 1 Nに接続され、電流 $- I$ を発生する。トランジスタQ 2 3、Q 2 5のコレクタはI 2 Nに接続され、電流 $- 2 I$ を発生する。トランジスタQ 1 6、Q 2 4、Q 2 6のコレクタはI 3 Nに接続され、電流 $- 3 I$ を発生する。好ましい実施形態では、電流は値において負であるが、これらが進む入力 ( I O S N、I O S P ) に基づいて、 $+ / -$  オフセットを生成できる。

## 【0023】

通常のADCの抵抗ラダーに関連するR-C時定数を除去することに加えて、本発明のアクチブオフセット方法はトリム可能な抵抗を必要とせずに容易に個々のしきい値をトリムする能力を可能にする。理想的なADCでは、 $2^N - 1$ しきい値は等しく間隔を隔てられた量子化レベルで設定される。しかしながら、実際には、不整合のために非線形が存在する。これらのエラーは優れた線形トリム方法を使用して取出されることができる。小さいトリム可能な電流は前置増幅器の出力のゼロ交差しきい値を動かすために前置増幅器60の負荷抵抗R0とR33を横切って使用される。

## 【0024】

図5は、本発明の考察にしたがった線形トリム66を有するオフセット電流源を示している。図5に示されているように、図4のオフセット電流源の各トランジスタはエミッタで付加的な抵抗およびトリム抵抗回路68に接続されている。

10

## 【0025】

図6は、トリム抵抗回路68を示している。直列の4つの抵抗{R25、R26、R24、R23}はREとRTの間に接続されている。直列の2つの抵抗{R4とR10}はREとVNS\_\_TRIMの間で、直列の4つの抵抗{R12、R11、R13、R14}と、直列の8つの抵抗{R17、R18、R16、R15、R20、R19、R21、R22}と並列して接続されている。

## 【0026】

前置増幅器の利得により割算されるこの小さいオフセットは非線形エラーを除去または最小にするために入力でゼロ交差を効率的に動かす。この設計では、前置増幅器のゼロ交差入力エラーは入力オフセット×前置増幅器の利得から反対の方向で前置増幅器の出力でオフセットを導入することにより最少にされることができる。トリム電流*i*はカスコードトランジスタQ41とQ40を通して前置増幅器の負荷抵抗R0とR33の両者に流れる。本発明では、電流*i*はレーザリンクのヒューズが開かれたとき抵抗が変化することにより変化する。

20

## 【0027】

このトリム電流は電流源(電流DAC)のCMOSスイッチに接続されている抵抗を使用して実現されることができる。これらのスイッチは(図1に示されているように)しきい値のデジタル較正を可能にするデジタル制御インターフェースを通してアドレスされる。いずれかの方法では、前置増幅器の負荷抵抗Rにより乗算される*i*の変化、デルタ*i*は前置増幅器の出力でデルタ電圧オフセットを生成し、それは入力オフセットエラーに対抗するために入力へ戻される。

30

## 【0028】

本発明のADCはまた優れた比較装置のアーキテクチャを含んでいる。ADCの変換レートは比較装置の捕捉および再生速度により限定される。この優れた比較装置アーキテクチャは速度の性能を改良するために従来のアーキテクチャを改良する。

## 【0029】

図7のaおよびbは、本発明にしたがって設計された比較装置62を示している。入力VINPとVINNはそれぞれトランジスタQ0とQ3のベースに接続されている。Q0とQ3のエミッタはQ51のコレクタに接続されている。Q51のベースはVB1P1Bに接続され、エミッタは抵抗R57を介してVNSに接続されている。Q0のコレクタはQ54とQ55のエミッタに接続されている。Q3のコレクタはQ1およびQ2のエミッタに接続されている。Q1とQ55のコレクタはQ61およびQ62のエミッタに接続されている。Q61のコレクタは直列のR26とR25とによりQ64のエミッタに接続されている。Q62のコレクタは直列のR49とR24とによりQ119のエミッタに接続されている。Q64とQ119のコレクタはそれぞれR13とR14によりVPS7P5に接続されている。Q54のコレクタはR26とR25との間に接続されている。Q2のコレクタはR49とR24との間に接続されている。

40

## 【0030】

50

Q 5 4 と Q 2 のベースは Q 1 1 7 のエミッタに接続されている。Q 5 5 と Q 1 のベースは Q 1 1 8 のエミッタに接続されている。Q 1 1 7 のベースは C L K N に接続され、Q 1 1 8 のベースは C L K P に接続されている。Q 1 1 7 と Q 1 1 8 のコレクタは R 4 4 により Q 1 0 9 のエミッタに接続されている。Q 1 0 9 のベースおよびコレクタは Q 9 3 のエミッタに接続されている。Q 9 3 のベースおよびコレクタは V P S 7 P 5 に接続されている。Q 1 1 7 のエミッタは R 1 5 により Q 7 9 のコレクタに接続されている。Q 1 1 8 のエミッタは R 1 6 により Q 7 8 のコレクタに接続されている。Q 7 9 のエミッタは R 2 2 により V N S に接続されている。Q 7 8 のエミッタは R 2 1 により V N S に接続されている。

#### 【 0 0 3 1 】

Q 6 1 のコレクタは Q 8 7 のベースに接続されている。Q 6 2 のコレクタは Q 8 5 のベースに接続されている。Q 8 7 と Q 8 5 のコレクタは R 9 により Q 9 2 のエミッタに接続されている。Q 9 2 のベースおよびコレクタは V P S 7 P 5 に接続されている。Q 8 7 のエミッタは Q 1 1 5 のベースおよびコレクタに接続されている。Q 8 5 のエミッタは Q 1 1 6 のベースおよびコレクタに接続されている。Q 1 1 5 のエミッタは Q 9 8 のベースおよびコレクタに接続されている。Q 1 1 6 のエミッタは Q 9 7 のベースおよびコレクタに接続されている。Q 9 8 のエミッタは Q 8 9 のコレクタに接続されている。Q 9 7 のエミッタは Q 8 6 のコレクタに接続されている。Q 8 9 および Q 8 6 のエミッタはそれぞれ R 1 および R 2 により V N S に接続されている。Q 7 9、Q 7 8、Q 8 9、Q 8 6 のベースは V B 1 P 1 に接続されている。

#### 【 0 0 3 2 】

Q 6 4 および Q 1 1 9 のベースはそれぞれ R 1 1 および R 4 2 により Q 6 5 のエミッタに接続されている。Q 6 5 のベースおよびコレクタは V P S 7 P 5 に接続されている。Q 6 5 のエミッタは R 4 3 により Q 1 0 1 のベースおよびコレクタに接続されている。Q 6 7 のエミッタは Q 6 8 のベースおよびコレクタに接続されている。Q 6 8 のエミッタは Q 6 9 のベースおよびコレクタに接続されている。Q 6 9 のエミッタは Q 1 0 8 のコレクタに接続されている。Q 1 0 8 のエミッタは R 3 により V N S に接続されている。

#### 【 0 0 3 3 】

Q 6 4 のコレクタは Q 5 6 のベースに接続されている。Q 1 1 9 のコレクタは Q 5 7 のベースに接続されている。Q 5 6 と Q 5 7 のコレクタは R 1 2 により V P S 7 P 5 に接続されている。Q 5 6 のエミッタは Q 1 0 0 のベースおよびコレクタに接続されている。Q 5 7 のエミッタは Q 9 9 のベースとコレクタに接続されている。Q 1 0 0 のエミッタは Q 1 0 5 のベースとコレクタに接続されている。Q 9 9 のエミッタは Q 1 0 4 のベースとコレクタに接続されている。Q 1 0 5 のエミッタは Q 1 0 3 のベースとコレクタに接続されている。Q 1 0 4 のエミッタは Q 1 0 2 のベースおよびコレクタに接続されている。Q 1 0 3 のエミッタは V O N と Q 7 0 のベースおよびコレクタに接続されている。Q 1 0 2 のエミッタは V O P と Q 7 5 のベースおよびコレクタに接続されている。Q 7 0 のエミッタは Q 5 8 のコレクタに接続されている。Q 7 5 のエミッタは Q 5 9 のコレクタに接続されている。Q 5 8 と Q 5 9 のエミッタはそれぞれ R 7 と R 8 により V N S に接続されている。Q 1 0 8 と Q 5 8 と Q 5 9 のベースは V B 1 P 1 に接続されている。

#### 【 0 0 3 4 】

比較装置 62 は性能を強化する 3 つの特性を有している。負荷抵抗対 R 2 5 (アクティブモード) と R 2 6 および抵抗対 R 2 4 (アクティブモード) と R 4 9 は分割され、そのため捕捉期間中に、カスコードトランジスタ Q 5 4 と Q 2 を介する Q 0 と Q 3 の利得は減少されるが、帯域幅は捕捉時間を増加するために増加される。ラッチ時間中、利得は再生速度を増加する (再生時定数を減少する) ためにラッチ対 Q 6 1 と Q 6 2 (R 2 5 と R 2 6 はアクティブであり、R 2 4 と R 4 9 はアクティブである) で増加される。別の利点は再生ノード (Q 6 1 と Q 6 2 のコレクタ) の容量性負荷を減少するラッチトランジスタ対 Q 6 1 と Q 6 2 のエミッタホロワーバッファ Q 8 5 および Q 8 7 の付加である。最後に、出力負荷効果は再生ノードから除去され、カスコードのトランジスタ Q 6 4 と Q 1 1 9 にわたって取

10

20

30

40

50

出される。これらの全ての改良により、高速度の捕捉時間と再生時定数がトランジスタの順方向転位時間に類似することが可能であり、これは論理的限定である。

【0035】

優れたアクチブオフセットトリムおよび改良された比較装置はADCが与えられた技術で高い入力周波数で動作し、最適なクロックレートと最適な性能を有することを可能にする。

【0036】

5ビットADC10の出力は36GS/sの並列データ流である。このデータ流はサンプルされたRFを表し、通常、高速度信号プロセッサへの入力である。好ましい実施形態では、プログラム可能な整合フィルタとデシメーション能力がADAMASICチップに含まれて処理の負担を減少し、理想的なI/O(入力/出力)パスを与えることを助ける。

10

【0037】

図8は、整合フィルタとデシメーション回路80を含んでいるADAMASICの受信機セクション100を示している。これは16ビットシフトレジスタを介して時系列データワードにデマルチプレクスされる5ビットデータ流を与える。レジスタ内の各ビットはサンプル時間を表している。同様のサンプル時間(1乃至16)が16の5ビットレジスタへ集められ、これらはその後、加重された複素数フェーザで乗算される。このプロセスは整合された濾波/ベースバンド化/FIR(有限インパルス応答)濾波動作の初期ステップを行う。乗算の出力はI(実数)とQ(虚数)により表される複素数である。I数とQ数の加算により、デシメーション/濾波が完了され、複素数ワード(7ビットの実数、7ビットの虚数)が生成され、1つのベースバンドサンプルを表す。ワードの実数部と虚数部の両者はピンを節約するために4.5GHzデータ流に多重化される。

20

【0038】

ADAMASICの直接RF合成された励起装置のサブセクション200が図9で特徴付けされている。図9aは直接RFの合成された励起装置のサブセクションのフロントエンド200aを示し、図9bはバックエンド200bを示している。直接デジタルシンセサイザ(DDS)202の第1の機能、周波数累算装置204は周波数発生に必要とされる初期積分対ランプレート入力からの時間を与える。これは位相累算装置206に与えられ、位相累算装置206は(直角位相シフトキーイング{QPSK}、2相変調等に必要とされる)位相および位相変調を生成するのに必要な第2の積分を行う。位相累算装置206の出力はSINELックアップ関数210を与える。この関数は正弦波点を発生し、復号ブロック212に供給され、これはこれらのコードをデジタルアナログ変換器(DAC)214のデジタル信号へ変換する(位相から振幅への変換)。周波数/位相累算装置(204、206)の桁上げ/加算フォーマットもまた機能の実行に必要とされるデジタル回路を非常に減少し、低い電力と小さいチップサイズを結果とする利点を有する。桁上げ/加算出力は桁上げ先見加算器(CLA)208で分明される。

30

【0039】

本発明によれば、DACの単一電流は前述のADCと類似の方法でトリムされる。このトリミング技術はDACのDC差動および統合非線形を最小にする。

40

【0040】

ADAMDDSの設計で最も挑戦的な要求は高いスパのないダイナミック範囲(SFDR)を維持しながら直接デジタル合成の帯域幅のマルチGHzを実現する方法である。通常のDDSのDACのダイナミックな非線形は高い変換率で使用可能なダイナミック範囲を限定する。優れたDC線形でさえも、回路の自己加熱および寄生は高速度のDACのダイナミックな過渡的性能を限定し、それらのSFDRを劣化する。本発明のDDS方法は、代理人番号第01W185(発明の名称“DIGITAL-PHASE TO DIGITAL AMPLITUDE TRANSLATOR WITH FIRST BIT OFF PRIORITY CODED OUTPUT FOR INPUT TO UNIT WEIGHTED DIGITAL TO ANALOG CONVERTER”)で十分に説明されている優れた正弦ルックアップおよびデコーダ設計を使用することによりSFDRを改良し、これらの内容はここで参考文献とされてい

50

る。目的は自己加熱および寄生応答が各出力サイクルでほぼ一定であるようにほぼビット的に50%のデューティサイクルを実現することである。

#### 【0041】

図10は、単一の振幅のデジタルトレースを理想的なDAC正弦波出力とオーバーレイすることによりこの設計およびサポートする波形を示している。DAC歪のこのデジタルの解は、X帯域での直接デジタル合成を従来はL帯域でのみ実現可能なSFDR性能により可能にする。

#### 【0042】

この方法は単一の電流スイッチで最も効率的であり、高い分解能のDACは典型的にデコードのサイズを減少するため区分化を必要とする。本発明のDACはそうでなければ長いR-2RネットワークのRC時定数を最小にする(設定時間および忠実度を改善する)ため変換器の低いビットを二進およびR-2Rセグメントへ分割する。この設定時間の改善はさらに高い信号忠実度を有するX帯域で合成することを可能にする。

10

#### 【0043】

DDSのデジタル的複雑性も正弦振幅の12ビット、位相データの32ビット、(X帯域の合成における)48GHzクロックレートで作動する周波数データの48ビットにおいて挑戦的である。複雑性は前述したように単一のパイプ累算装置に対する効率的な読取専用メモリ(ROM)正弦ルックアップアルゴリズムと桁上げ/加算フォーマットにより部分的に最少にされる。桁上げ/加算出力は桁上げ先見加算器(CLA)で分明される。

#### 【0044】

好ましい実施形態では、DACへ48GHzデータ流を発生し、RFを12GHzまで増進するために2つのDDSが時分割多重化される。したがって、許容可能な伝播遅延をほぼ二倍にすることにより危険性を減少する。このアーキテクチャは0.2乃至9GHzの範囲の周波数で動作するときパワーを減少するために一方のDDSがエネーブルされ、他方がディスエーブルされる帯域選択モードも与える。さらに励起装置の範囲全体にわたって±0.6dBの振幅平坦さを維持するために、2ビットのみの振幅制御が必要とされる。これらのビットは固有の正弦波×オーバー×ロールオフの静的補正である。

20

#### 【0045】

好ましい実施形態では、ADAMASIC受信機のサブセクションは4つの独立した受信チャンネルを有する。これは幾つかの重要な技術的理由に基づいている。第1に、レーダと通信システムの両者は送信容量よりも受信容量を非常に大きくすることを必要とする。例えば偵察レーダシステムは典型的に電子逆探(ECCM)消去を行うために8を超える独立したチャンネルを必要とするが、送信チャンネルは1つしか必要としない。さらに、衛星が必要とする同時的なマルチINT(即ちレーダ、信号インテリジェンス[SIGINT]、電磁波インテリジェンス[ELINT]、通信)容量はアンテナ/機能的区画化のためにさらに多くの独立した受信チャンネルを必要とする。(1)国際シヨナル・ビジネス・マシン(IBM)の次世代トランジスタ(NGT)プロセスの使用、(2)生産対ダイ寸法の考慮、(3)ヘテロ結合バイポーラトランジスタ(HBT)密度、(4)バイポーラCMOS(BiCMOS)ゲート密度のようなファクターを考慮すると、受信の4つのチャンネルはADAMASIC内に構成されるように選択された。

30

40

#### 【0046】

さらに、ダイナミックなデジタルディザリングはADCとDACの両者の量子化エラーの相関をなくすために使用されることができる。このディザリングは問題とする帯域幅外で実行されることができ、信号路の信号遅延に影響しない。これらのディザリング技術は技術的によく知られている。ディザリングのプロセスにより、大きいアクチブアンテナアレイは利得の処理により、個々のアンテナ素子のダイナミック範囲よりも数倍大きな改良である効率的なダイナミック範囲を実現できる。

#### 【0047】

以上、本発明を特定の応用の特別な実施形態を参照してここで説明した。本発明の教示を利用する当業者はその技術的範囲内で付加的な変形、応用、実施形態を認識するである

50

う。

【0048】

それ故、特許請求の範囲に記載されている本発明の技術的範囲によって全てのこのような応用、変形および実施形態をカバーされることが意図される。

【図面の簡単な説明】

【0049】

【図1】本発明の考察にしたがって設計されたアナログデジタル変換器のブロック図。

【図2a】3ビットADCのフロントエンドアーキテクチャを示す図。

【図2b】図2aの前置増幅器のオフセット電流源を示す図。

【図2c】図2aの前置増幅器の線形トリムを有するオフセット電流源を示す図。

10

【図3】本発明の教示にしたがって設計された前置増幅器の回路図。

【図4】本発明の教示にしたがって設計されたオフセット電流源の回路図。

【図5】本発明の教示にしたがって設計された線形トリムを有するオフセット電流源を示す回路図。

【図6】図5の線形トリムを有する電流源のトリム抵抗回路を示す回路図。

【図7a】本発明の教示にしたがって設計された比較装置を示す図。

【図7b】本発明の教示にしたがって設計された比較装置を示す図。

【図8】整合されたフィルタとデシメーション回路を含んでいるADAM ASICの受信機セクションを示す図。

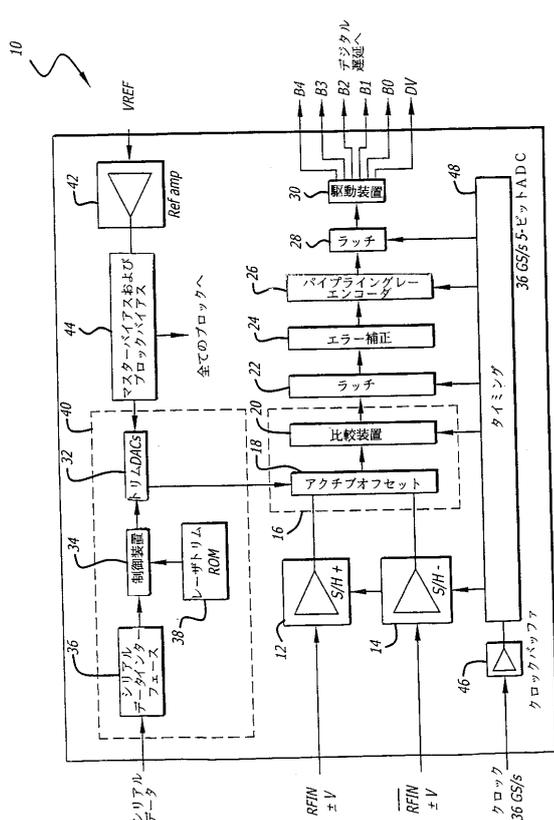
【図9a】本発明の教示にしたがって設計された直接RFの合成された励起装置のサブセクションのフロントエンドを示す図。

20

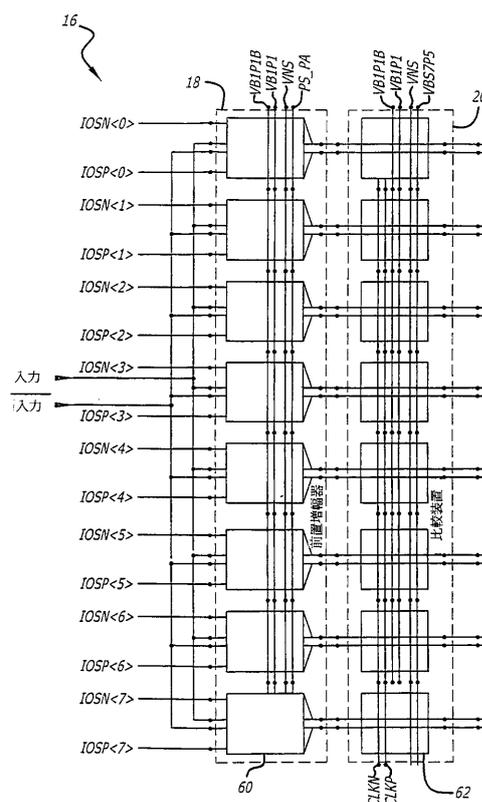
【図9b】本発明の教示にしたがって設計された直接RFの合成された励起装置のサブセクションのバックエンドを示す図。

【図10】単一のデジタルアナログ変換器を有するDDS正弦ルックアップを示す図。

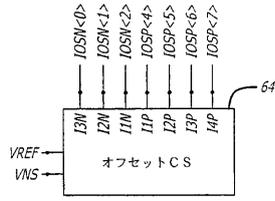
【図1】



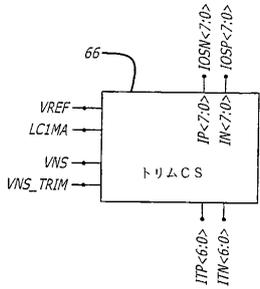
【図2a】



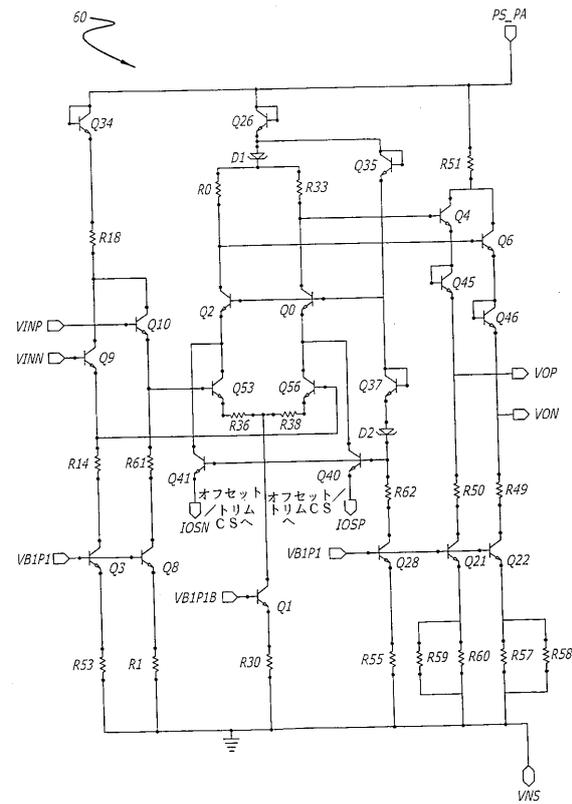
【図 2 b】



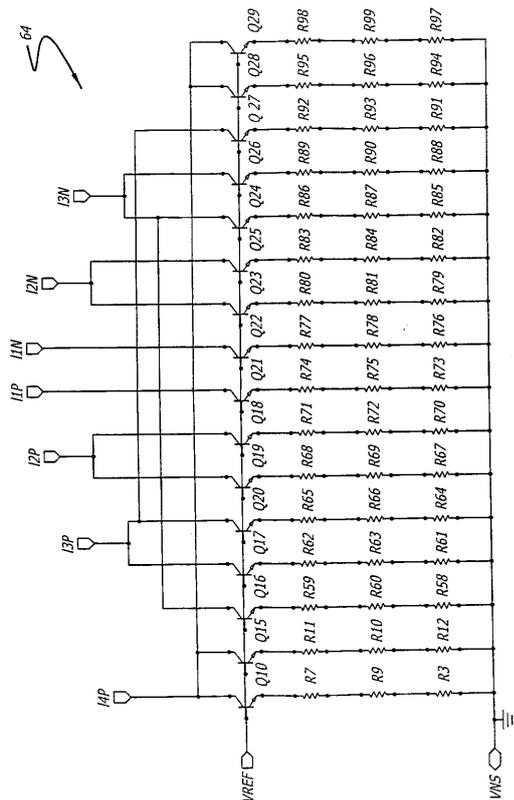
【図 2 c】



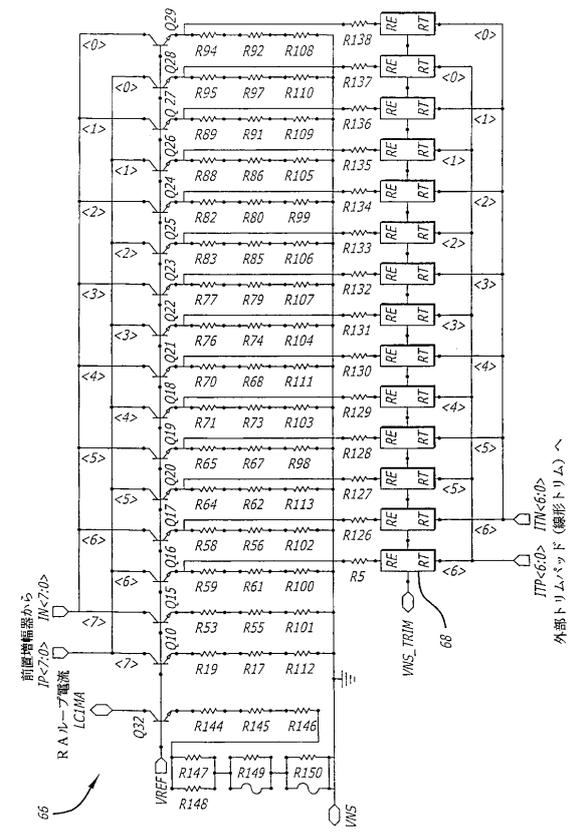
【図 3】



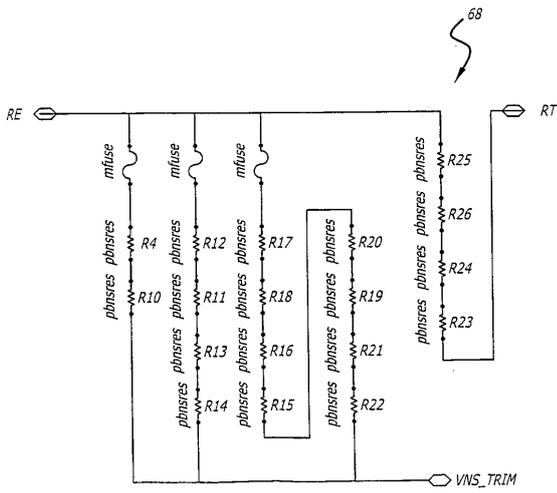
【図 4】



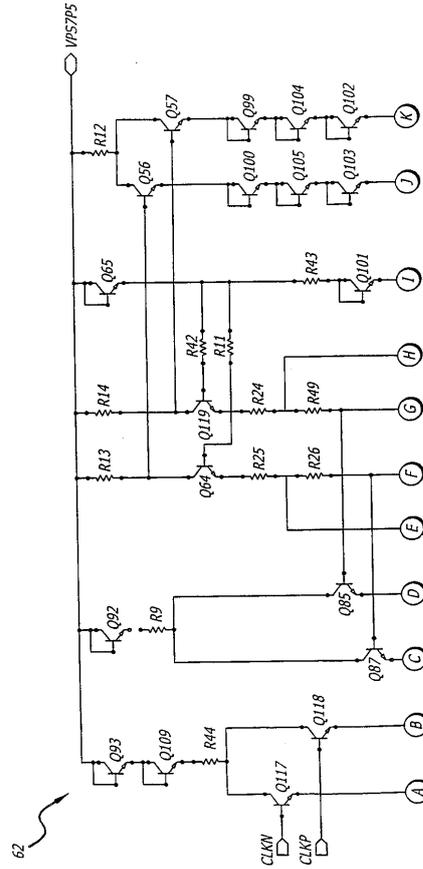
【図 5】



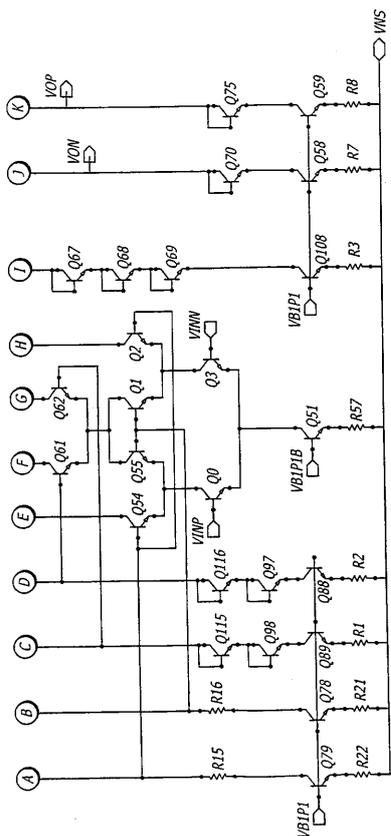
【図6】



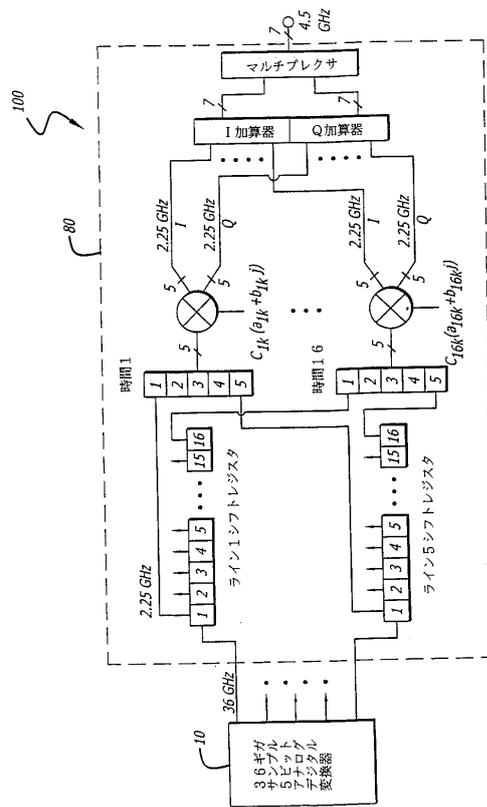
【図7a】



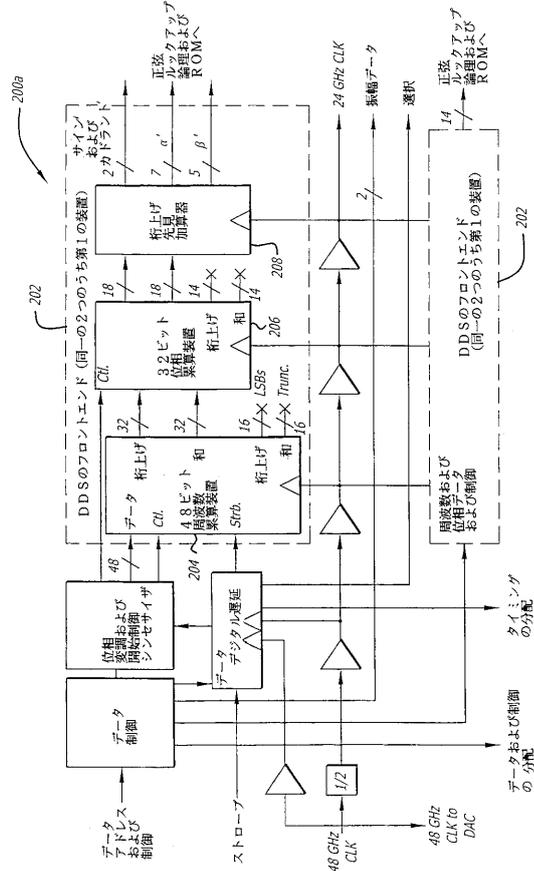
【図7b】



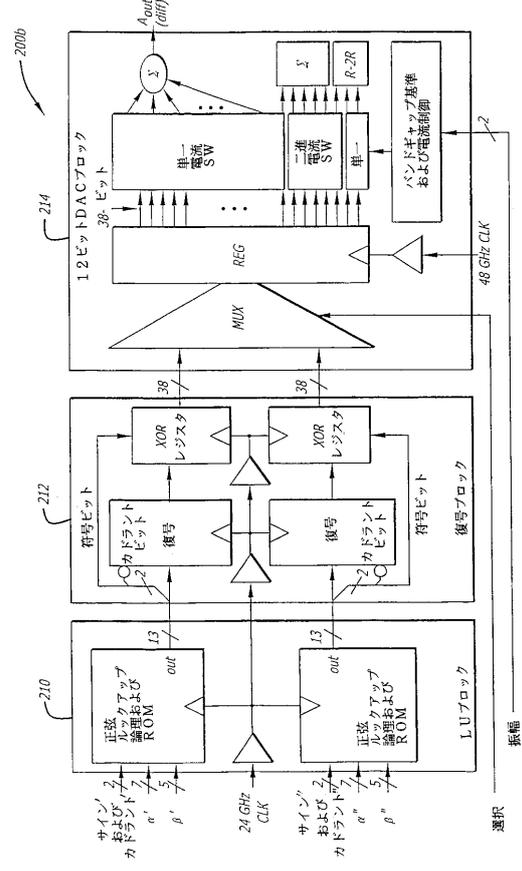
【図8】



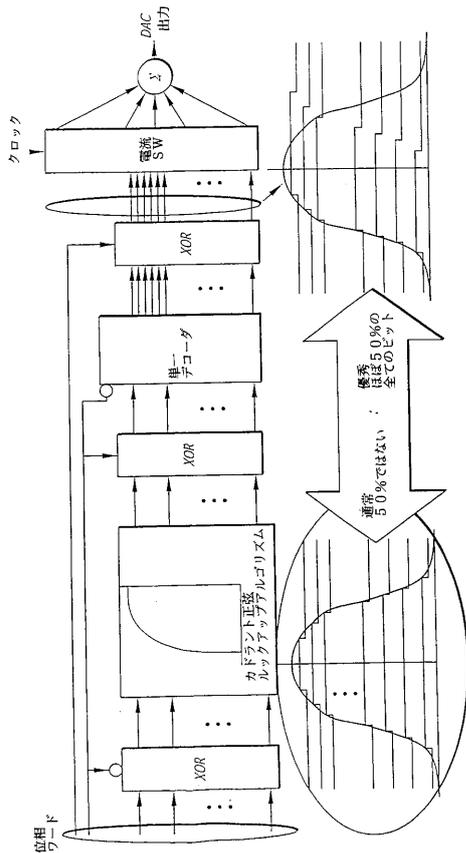
【図9a】



【図9b】



【図10】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 03/33748
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03M1/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03M H03F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, IBM-TDB, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 835 046 A (MAGNUSSON PER ET AL) 10 November 1998 (1998-11-10)	1-3,8-11
Y	abstract figures 1,2 column 1, line 53 - line 65 column 2, line 23 - line 34	4-6
Y	US 4 851 786 A (NGUYEN THINH C ET AL) 25 July 1989 (1989-07-25) abstract figures 1,5 column 2, line 8 - line 19 column 3, line 47 - line 60	4-6
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
*A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the international search  18 May 2004		Date of mailing of the international search report  04/06/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax (+31-70) 340-3016		Authorized officer  Oliveira, J.

## INTERNATIONAL SEARCH REPORT

 International Application No  
 PCT/US 03/33748

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 388 521 B1 (HENRY PAUL MIKE) 14 May 2002 (2002-05-14) abstract figures 1,4,6 column 1, line 39 - line 59 column 2, line 61 - column 3, line 5 column 4, line 1 - line 17 column 4, line 65 - column 6, line 4 -----	4-6
A	PATENT ABSTRACTS OF JAPAN vol. 0171, no. 40 (E-1336), 22 March 1993 (1993-03-22) & JP 4 310022 A (MATSUSHITA ELECTRIC IND CO LTD), 2 November 1992 (1992-11-02) abstract -----	1

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 03/33748

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5835046	A	10-11-1998	CA	2222848 A1	23-07-1998
US 4851786	A	25-07-1989	JP	2224509 A	06-09-1990
			JP	2924910 B2	26-07-1999
US 6388521	B1	14-05-2002	NONE		
JP 4310022	A	02-11-1992	NONE		

## フロントページの続き

- (72)発明者 メイアーズ、クリフォード・ダブリュ  
アメリカ合衆国、カリフォルニア州 9 2 1 2 6、サン・ディエゴ、ナンバー 1 1 7、ミラ・メサ  
・ブールバード 9 0 1 1
- (72)発明者 リンダー、ロイド・エフ  
アメリカ合衆国、カリフォルニア州 9 1 3 0 1、アグーラ、パトリック・ヘンリー 3 7 3 0
- (72)発明者 エッセンワンジャー、ケニス・エー  
アメリカ合衆国、カリフォルニア州 9 1 7 8 9、ウォルナット、イー・エンプティ・サドル・  
ロード 1 9 5 6 3
- (72)発明者 チェン、ウィリアム・ダブリュ  
アメリカ合衆国、カリフォルニア州 9 0 2 7 8、レドンド・ビーチ、スタンフォード・アベニュー  
1 2 2 9
- (72)発明者 デベンドルフ、ドン・シー  
アメリカ合衆国、カリフォルニア州 9 2 0 0 9、カールスバッド、カラコル・コート 2 0 1 6
- (72)発明者 ヒラタ、エリック・エム  
アメリカ合衆国、カリフォルニア州 9 0 5 0 3、トーレンス、オーシャン・アベニュー 2 1 9  
1 7
- Fターム(参考) 5J022 AA06 BA05 CB03 CB06 CF01 CF02 CF04

## 【要約の続き】

のエミッタホロワーバッファQ 8 5およびQ 8 7と、再生ノードから出力負荷効果を削除するため負荷抵抗に結合するカスコードトランジスタQ 6 4およびQ 1 1 9とを含んでいる。好ましい実施形態では、本発明はデジタル的にトリムされた単一の電流および優れた正弦ルックアップと、高い変換レートの通常のダイナミック範囲限定を克服するデコーダ設計を有するDDS/DACアーキテクチャ200も含んでいる。