(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-86580
(P2014-86580A)
(43)公開日　平成26年5月12日(2014.5.12)

| (51)Int.Cl. | | F I | | | テーマコード（参考） |
|---|---|---|---|---|---|
| H01L 27/04 | (2006.01) | H01L | 27/04 | H | 5F038 |
| H01L 21/822 | (2006.01) | H01L | 27/06 | 311B | 5F048 |
| H01L 27/06 | (2006.01) | H01L | 27/06 | 311C | 5J055 |
| H03K 17/08 | (2006.01) | H03K | 17/08 | C | |

審査請求 未請求　請求項の数 5　ＯＬ　（全 8 頁）

(21)出願番号　特願2012-234621 (P2012-234621)
(22)出願日　平成24年10月24日 (2012.10.24)

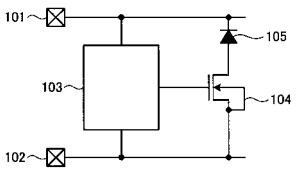
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100089118
弁理士　酒井　宏明
(72)発明者　加藤　一洋
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　壱岐村　岳人
東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考)　5F038 BH02 BH03 BH05 BH07 BH13 BH15 EZ20
5F048 AA02 CC01 CC05 CC06 CC08

最終頁に続く

(54)【発明の名称】保護回路

(57)【要約】
【課題】ＥＳＤ等に対する保護動作が可能であり、かつ、保護動作時における電源電圧の過剰な低下を回避できる保護回路を提供する。
【解決手段】電源端子間には、制御回路が接続される。制御回路は、サージ等により、電源端子間の電圧が所定の値を超えた時に、制御信号を出力する。その制御信号により導通状態が制御されるシャントトランジスタの出力電流路に、電源端子間の電源電圧により逆バイアスされるＰＮ接合を有する電圧クランプ素子が、直列接続される。
【選択図】図１



【特許請求の範囲】
【請求項１】
高電位側の電源電圧が印加される第１の電源端子と、
低電位側の電源電圧が印加される第２の電源端子と、
前記第１、第２の電源端子間に接続され、前記第１と第２の電源端子間の電圧が所定の値を超えた時に、制御信号を出力する制御回路と、
前記第１、第２の電源端子間にその出力電流路が接続され、その導通状態が前記制御信号によって制御されるシャントトランジスタと、
前記第１、第２の電源端子間の電源電圧により逆バイアスされるＰＮ接合を有し、前記シャントトランジスタの出力電流路に直列接続される電圧クランプ素子と、
を具備することを特徴とする保護回路。
【請求項２】
前記制御回路は、
前記第１と第２の電源端子間に接続される抵抗とコンデンサの直列回路からなるバイアス回路と、
前記抵抗とコンデンサの接続部にゲート電極が接続され、その出力電流路が前記第１、第２の電源端子間に接続されるＭＯＳトランジスタを有し、前記ＭＯＳトランジスタのドレイン電極から前記制御信号が出力されることを特徴とする請求項１に記載の保護回路。
【請求項３】
前記電圧クランプ素子のＰＮ接合は、ダイオードのＰＮ接合であることを特徴とする請求項１または２に記載の保護回路。
【請求項４】
前記シャントトランジスタは、ＮＭＯＳトランジスタであり、前記電圧クランプ素子は、前記ＮＭＯＳトランジスタのドレイン電極と前記第１の電源端子間に接続されることを特徴とする請求項１乃至３のいずれか一項に記載の保護回路。
【請求項５】
前記シャントトランジスタは、ＰＭＯＳトランジスタであり、前記電圧クランプ素子は、前記ＰＭＯＳトランジスタのドレイン電極と前記第２の電源端子間に接続されることを特徴とする請求項１乃至３のいずれか一項に記載の保護回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態は、ＥＳＤ等に対する保護動作が達成でき、かつ、出力電圧の低下による内部回路の誤動作が防止できる保護回路に関する。
【背景技術】
【０００２】
従来、ＥＳＤ（Ｅｌｅｃｔｒｏｓｔａｔｉｃ　Ｄｉｓｃｈａｒｇｅ)に対する保護回路の提案が、種々行われている。ＥＳＤは、静電気により帯電した人間や機械からの半導体デバイスへの放電や、帯電した半導体デバイスからの接地電位への放電等を指す。半導体デバイスに対してＥＳＤが起こると、その端子から大量の電荷が電流となって半導体デバイスへ流入し、その電荷が半導体デバイス内部で高電圧を生成し、内部素子の絶縁破壊や半導体デバイスの故障を引き起こす。また、車載用の半導体デバイスの場合、モータやリレー等の誘導性負荷で発生する瞬時的なサージの影響を受ける場合も有り、電源電圧に対する保護対策が重要である。
【０００３】
一方、ＥＳＤ保護回路として、ＲＣタイマーパワークランプ等を適用した場合、シャントトランジスタのオンにより、チャージを吸収する動作を行う為、電源電圧が低下する。この為、保護回路の動作の時間が長時間に亘る場合、電源電圧の低下により内部回路が誤動作したり、あるいは、シャントトランジスタが長時間オンすることによりシャントトランジスタ自体が破壊に至ると言った事態が生じる恐れがある。

【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００９－２６７０７２号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
本発明の一つの実施形態は、サージ等による異常電圧に対して、内部回路を保護すると共に、保護動作時に電源電圧が低下することにより、内部回路が誤動作する不都合を回避した保護回路を提供することを目的とする。
【課題を解決するための手段】
【０００６】
本発明の一つの実施形態によれば、高電位側の電源電圧が印加される第１の電源端子と、低電位側の電源電圧が印加される第２の電源端子と、前記第１、第２の電源端子間に接続され、前記第１と第２の電源端子間の電圧が所定の値を超えた時に、制御信号を出力する制御回路と、前記第１、第２の電源端子間にその出力電流路が接続され、その導通状態が前記制御信号によって制御されるシャントトランジスタと、前記第１、第２の電源端子間の電源電圧により逆バイアスされるＰＮ接合を有し、前記シャントトランジスタの出力電流路に直列接続される電圧クランプ素子とを具備することを特徴とする保護回路が提供される。
【図面の簡単な説明】
【０００７】
【図１】図１は、第１の実施形態を示す図である。
【図２】図２は、第１の実施形態の具体的な構成を示す回路図である。
【図３】図３は、第２の実施形態を示す図である。
【図４】図４は、第２の実施形態の具体的な構成を示す回路図である。
【発明を実施するための形態】
【０００８】
以下に添付図面を参照して、実施形態にかかる保護回路を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。
【０００９】
（第１の実施形態）
図１は、第１の実施形態の保護回路を示す図である。第１の電源端子（１０１）には、高電位側の電源電圧、例えば、１８Ｖが印加される。第２の電源端子（１０２）には、低電位側の電源電圧、例えば、接地電位（０Ｖ）が印加される。第１、第２の電源端子間には、制御回路（１０３）が接続される。制御回路（１０３）は、サージ等により過渡的な電圧変動が生じ、第１、第２の電源端子間の電圧が所定の値を超えた時に、制御信号を出力する。ソース電極、ゲート電極、及び、ドレイン電極を有するシャントＮＭＯＳトランジスタ（１０４）のゲート電極は、制御回路（１０３）に接続され、制御信号を受ける。シャントＮＭＯＳトランジスタ（１０４）のソース電極とバックゲート電極は、第２の電源端子（１０２）に接続される。第１、第２の電源端子間に接続される電源電圧により逆バイアスされるＰＮ接合を有する電圧クランプ素子（１０５）が、シャントＮＭＯＳトランジスタ（１０４）のドレイン電極と、第１の電源端子（１０１）間に接続される。すなわち、電圧クランプ素子（１０５）は、シャントＮＭＯＳトランジスタ（１０４）の出力電流に直列接続される。第１、第２の電源端子間には、内部回路（図示せず）が、接続される。
【００１０】
制御回路（１０３）からの制御信号によりシャントＮＭＯＳトランジスタ（１０４）がオン状態となっても、第１、第２の電源端子間の電圧が、電圧クランプ素子（１０５）のＰＮ接合の降伏電圧以上にならないと、シャントＮＭＯＳトランジスタ（１０４）と電圧

クランプ素子（１０５）を介しての電流路は形成されない為、シャントＮＭＯＳトランジスタ（１０４）によるシャント動作は行われない。この為、第１、第２の電源端子間の電圧は、電圧クランプ素子（１０５）のＰＮ接合の降伏電圧とシャントＮＭＯＳトランジスタ(１０４)のソース・ドレイン間電圧の和の電圧以下に低下することが無い。

【００１１】

電圧クランプ素子（１０５）のクランプ電圧は、第１の電源端子（１０１）と第２の電源端子（１０２）間に接続される内部回路（図示せず）の動作電圧、あるいは、耐圧を考慮して、適宜設定する。具体的には、電圧クランプ素子（１０５）のクランプ電圧とシャントＮＭＯＳトランジスタ(１０４)のオン状態のソース・ドレイン電圧の和が、内部回路の耐圧以下になるように設定する。電圧クランプ素子(１０５)としては、例えば、半導体基板のＮ型ウェル領域内にＰ型の領域を形成し、Ｎ型ウェル領域とＰ型の領域間に形成されるダイオードのＰＮ接合を利用することが出来る。各領域の不純物濃度、寸法等の調整によりＰＮ接合の耐圧を調整し、クランプ電圧を調整することが出来る。

【００１２】

車載用の内部回路の場合、動作電圧は、例えば、１８Ｖ程度の高い電圧となる。本実施形態によれば、クランプされる電源電圧は、逆バイアスされるダイオードのＰＮ接合の降伏電圧とシャントＮＭＯＳトランジスタ（１０４）のオン状態でのソース・ドレイン間電圧となる。シャントＮＭＯＳトランジスタ(１０４)のオン状態でのソース・ドレイン間電圧は、ダイオードの降伏電圧に比べると、十分小さい為、電源電圧のクランプ電圧は、ダイオードの降伏電圧により調整することが出来る。すなわち、電圧クランプ素子（１０５）のダイオード、従って通常は一個のダイオードの降伏電圧の調整により、シャント動作を行わせる電源電圧と、シャント動作時に維持する電源電圧を、設定することが出来る。かかる設定により、ＥＳＤ等により電源電圧が異常に高くなる状態をシャントＮＭＯＳトランジスタ（１０４）によるシャント動作により回避し、同時に、シャント動作時に、電源電圧が異常に低下する状態が継続する事態を電圧クランプ素子（１０５）により回避することができる。これにより、電源電圧の低下による内部回路の誤動作を防ぐことができる。

【００１３】

また、電源電圧が電圧クランプ素子（１０５）のクランプ電圧とシャントＮＭＯＳトランジスタ（１０４）のソース・ドレイン電圧の和より低くなるとシャントＮＭＯＳトランジスタ（１０４）には電流が流れなくなる為、シャントＮＭＯＳトランジスタ（１０４）に長時間電流が流れ続ける事態を回避することが出来る。これにより、シャントＮＭＯＳトランジスタ（１０４）の破壊を防ぐ事が出来る。

【００１４】

シャントＮＭＯＳトランジスタ(１０４)の出力電流路に、逆バイアスされる一個のダイオードを直列に接続する構成であるため、本実施形態の保護回路を搭載する半導体デバイスのチップ面積が大幅に大きくなることも無い。

【００１５】

図２は、図１に示す第１の実施形態の保護回路を、具体的に示す回路図である。図１の構成要素に対応する構成要素については、同一符号を付し、説明を省略する。制御回路（１０３）は、第１の電源端子（１０１）と第２の電源端子（１０２）間に接続される抵抗（２０５）とコンデンサ（２０６）からなるバイアス回路（２００）を有する。制御回路（１０３）は、ゲート電極が抵抗（２０５）とコンデンサ（２０６）の接続部に接続され、そのソース・ドレイン路である出力電流路が第１、第２の電源端子間に接続されるＰＭＯＳトランジスタ（２０７）を備える。ＰＭＯＳトランジスタ（２０７）のドレイン電極は、抵抗（１０８）を介して、第２の電源端子（１０２）に接続される。

【００１６】

サージ等により過渡的な電圧変動が生じ、第１、第２の電源端子間の電圧が上昇し、バイアス回路（２００）の抵抗（２０５）の電圧降下が、ＰＭＯＳトランジスタ(２０７)の閾値を超えると、ＰＭＯＳトランジスタ（２０７）はオンとなり、ドレイン電流を出力す

る。このドレイン電流が、シャントＮＭＯＳトランジスタ（１０４）への制御信号となる。ＰＭＯＳトランジスタ（２０７）のドレイン電流により、抵抗（１０８）における電圧降下が、シャントＮＭＯＳトランジスタ（１０４）の閾値を超えると、シャントＮＭＯＳトランジスタ（１０４）がオンする。すなわち、電源端子間の電圧が、ＰＭＯＳトランジスタ（２０７）の閾値で決まる所定の電圧を越えた時に、制御回路（１０３）が、シャントＮＭＯＳトランジスタ（１０４）の導通状態を制御する制御信号を供給することになる。制御信号がシャントＮＭＯＳトランジスタ（１０４）のゲートに供給された時に、第１、第２の電源端子間の電圧が、電圧クランプ素子（１０５）のクランプ電圧と、シャントＮＭＯＳトランジスタ(１０４)のオン時のソース・ドレイン間電圧の和以上に高くなっていると、シャントＮＭＯＳトランジスタ（１０４）とクランプ素子（１０５）の電流路が形成され、シャント動作が行われる。抵抗（１０８）における電圧降下が、シャントＮＭＯＳトランジスタ（１０４）の閾値を超える状態であっても、電源端子間の電圧が、電圧クランプ素子（１０５）のクランプ電圧以下であれば、シャントＮＭＯＳトランジスタ（１０４）によるシャント動作は行われない、あるいは、シャント動作が終了する。

【００１７】

（第２の実施形態）

図３は、第２の実施形態を示す図である。本実施形態においては、シャントトランジスタとして、ＰＭＯＳトランジスタが用いられている。第１の実施形態と共通の構成要素については、同一の番号を付し、説明を省略する。第１の電源端子（１０１）と第２の電源端子（１０２）間に、制御回路（１１３）が接続される。制御回路（１１３）は、第１、第２の電源端子間の電圧が、ＥＳＤ等により、所定の電圧を越えて上昇した場合に制御信号を出力する。シャントＰＭＯＳトランジスタ（１０６）のソース電極とバックゲート電極は、第１の電源端子（１０１）に接続される。シャントＰＭＯＳトランジスタ（１０６）のドレイン電極と第２の電源端子（１０２）間には、逆バイアスされるＰＮ接合を有する電圧クランプ素子（１０５）が接続される。すなわち、電圧クランプ素子（１０５）は、第１、第２の電源端子間に接続されるシャントＰＭＯＳトランジスタ（１０６）の出力電流路に、直列接続される。第１、第２の電源端子間には、内部回路（図示せず）が、接続される。

【００１８】

サージ等により過渡的な電圧変動が生じ、第１、第２の電源端子間の電圧が、所定の電圧を越えて上昇すると、制御回路（１１３）は、制御信号を出力する。この制御信号は、シャントＰＭＯＳトランジスタ（１０６）のゲート電極に供給される。制御信号により、シャントＰＭＯＳトランジスタ（１０６）がオン状態となっても、第１、第２の電源端子間の電圧が、電圧クランプ素子（１０５）のＰＮ接合の降伏電圧を超えない場合には、シャントＰＭＯＳトランジスタ（１０６）と電圧クランプ素子（１０５）を介しての電流路が形成されない為、シャントＰＭＯＳトランジスタ（１０６）によるシャント動作は行われない。電源電圧が、電圧クランプ素子（１０５）の降伏電圧と、オン状態でのシャントＰＭＯＳトランジスタ（１０６）のソース・ドレイン間電圧の和の電圧を越えて上昇した状態で、制御回路（１１３）からの制御信号をシャントＰＭＯＳトランジスタ（１０６）が受けると、シャントＰＭＯＳトランジスタ（１０６）によるシャント動作が行われる。

【００１９】

第２の実施形態においても、ＥＳＤ等により電源電圧が異常に高くなる状態をシャントＰＭＯＳトランジスタ(１０６)のシャント動作により回避することが出来る。シャント動作時において、電源端子間の電圧は、電圧クランプ素子（１０５）の降伏電圧と、シャントＰＭＯＳトランジスタ（１０６）のオン時のソース・ドレイン間電圧となるため、電源電圧が異常に低下する状態が継続する事態を回避することができる。これにより、内部回路の誤動作を防ぐことができる。

【００２０】

また、電源電圧が電圧クランプ素子（１０５）のクランプ電圧とシャントＰＭＯＳトランジスタ（１０６）のソース・ドレイン電圧の和より低くなるとシャントＰＭＯＳトラン

ジスタ（１０６）には電流が流れなくなる為、シャントＰＭＯＳトランジスタ（１０６）に長時間電流が流れ続ける事態を回避することが出来る。これにより、シャントＰＭＯＳトランジスタ（１０６）の破壊を防ぐ事が出来る。

【００２１】

図４は、図３に示す第２の実施形態の保護回路を、具体的に示す回路図である。図３の構成要素に対応する構成要素については、同一符号を付し、説明を省略する。制御回路（１１３）は、第１の電源端子（１０１）と第２の電源端子（１０２）間に接続されるコンデンサ（２１６）と抵抗（２１５）からなるバイアス回路（２１０）を有する。制御回路（１１３）は、ゲート電極がコンデンサ（２１６）と抵抗（２１５）の接続部に接続され、そのソース・ドレイン路である出力電流路が第１、第２の電源端子間に接続されるＮＭＯＳトランジスタ（２１７）を備える。ＮＭＯＳトランジスタ（２１７）のソース電極とバックゲート電極は、第２の電源端子（１０２）に接続され、ドレイン電極は、抵抗（２１８）を介して、第１の電源端子（１０１）に接続される。

【００２２】

サージ等により過渡的な電圧変動が生じ、第１、第２の電源端子間の電圧が上昇し、バイアス回路（２１０）の抵抗（２１５）の電圧降下が、ＮＭＯＳトランジスタ（２１７）の閾値を超えると、ＮＭＯＳトランジスタ（２１７）はオンとなり、ドレイン電流を出力する。このドレイン電流が、シャントＰＭＯＳトランジスタ（１０６）への制御信号となる。ＮＭＯＳトランジスタ（２１７）のドレイン電流により、抵抗（２１８）における電圧降下が、シャントＰＭＯＳランジスタ（１０６）の閾値を超えると、シャントＰＭＯＳトランジスタ（１０６）がオンする。すなわち、電源端子間の電圧が、ＮＭＯＳトランジスタ（２１７）の閾値で決まる所定の電圧を越えた時に、制御回路（１１３）が、シャントＰＭＯＳトランジスタ（１０６）の導通状態を制御する制御信号を供給することになる。抵抗（２１８）における電圧降下が、シャントＰＭＯＳトランジスタ（１０６）の閾値を超える状態であっても、電源端子間の電圧が、電圧クランプ素子（１０５）のクランプ電圧以下であれば、シャントＰＭＯＳトランジスタ（１０６）によるシャント動作は行われない、あるいは、シャント動作が終了する。

【００２３】

電圧クランプ素子として用いられるダイオードは、一定電圧でクランプすることの出来る、ツェナーダイオードを用いることが出来る。あるいは、ＭＯＳトランジスタのソースとゲートとバックゲートを共通接続させ、その共通接続とドレイン間に形成されるＰＮ接合を利用することもできる。更には、バイポーラトランジスタのベース・エミッタ間を共通接続させ、その共通接続とコレクタ間に形成されるＰＮ接合を利用する構成とすることも出来る。

【００２４】

シャントトランジスタとしては、耐圧の高い、ＤＭＯＳ（Ｄｏｕｂｌｅ－Ｄｉｆｆｕｓｅｄ　ＭＯＳ）トランジスタを用いても良い。更に、バイポーラトランジスタをシャントトランジスタとして用いることも可能である。

【００２５】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

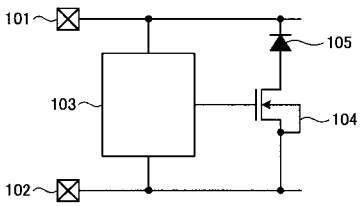
【符号の説明】

【００２６】

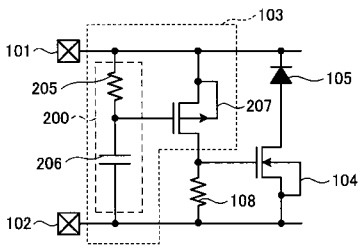
１０１　第１の電源端子、１０２　第２の電源端子、１０３　制御回路、１０４　シャントＮＭＯＳトランジスタ、１０５　電圧クランプ素子、１０６　シャントＰＭＯＳトランジスタ、１０３及び１１３　制御回路、１０８　抵抗、２００及び２１０　バイアス回

路、２０５及び２１５　抵抗、２０６及び２１６　コンデンサ、２０７　ＰＭＯＳトランジスタ、２１７　ＮＭＯＳトランジスタ、２１８　抵抗。

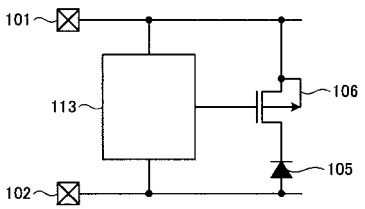
【図１】



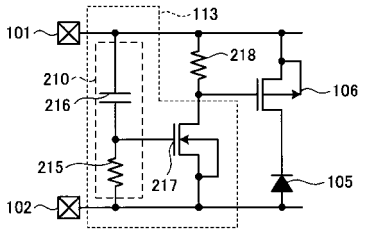

【図２】




【図３】




【図４】



フロントページの続き

Ｆターム(参考) 5J055 AX32 AX64 BX44 DX13 DX14 DX22 DX72 DX82 EX07 EY01
EY10 EY12 EY21 EZ16 EZ61 GX01