

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5763659号
(P5763659)

(45) 発行日 平成27年8月12日(2015.8.12)

(24) 登録日 平成27年6月19日(2015.6.19)

(51) Int. Cl.	F I				
G 1 1 C 11/417 (2006.01)	G 1 1 C	11/34	3 0 5		
G 1 1 C 11/413 (2006.01)	G 1 1 C	11/34		M	
G 1 1 C 11/412 (2006.01)	G 1 1 C	11/40	3 0 1		

請求項の数 17 (全 16 頁)

(21) 出願番号	特願2012-536153 (P2012-536153)	(73) 特許権者	514315159
(86) (22) 出願日	平成23年7月26日(2011.7.26)		株式会社ソシオネクスト
(86) 国際出願番号	PCT/JP2011/004216		神奈川県横浜市港北区新横浜2丁目10番 23
(87) 国際公開番号	W02012/042723	(74) 代理人	110001427
(87) 国際公開日	平成24年4月5日(2012.4.5)		特許業務法人前田特許事務所
審査請求日	平成26年5月9日(2014.5.9)	(72) 発明者	黒田 直喜
(31) 優先権主張番号	特願2011-3176 (P2011-3176)		大阪府門真市大字門真1006番地 パナ ソニック株式会社内
(32) 優先日	平成23年1月11日(2011.1.11)	審査官	後藤 彰
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願2010-223964 (P2010-223964)		
(32) 優先日	平成22年10月1日(2010.10.1)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1及び第2の回路要素によりデータを記憶するように構成されたデータ保持回路と、当該データ保持回路と読み出し用ビット線及び書き込み用ビット線対とを繋ぐように配置されたトランジスタを含む回路とで構成されたメモリセルと、

前記読み出し用ビット線に繋がったデータ増幅器と、

前記書き込み用ビット線対に各々繋がったプルダウントランジスタとを備え、

前記データ増幅器の出力が一方の前記プルダウントランジスタのゲート電極に接続されて、他方の前記プルダウントランジスタのゲート電極に前記書き込み用ビット線対の一方が接続されていることを特徴とする半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置において、

前記データ増幅器の出力が接続されるプルダウントランジスタのトランジスタサイズは、前記書き込み用ビット線対の一方に接続されているプルダウントランジスタのトランジスタサイズより大きいことを特徴とする半導体記憶装置。

【請求項3】

請求項2記載の半導体記憶装置において、

前記それぞれのプルダウントランジスタと前記書き込み用ビット線対との間に直列に接続されたNチャネルトランジスタを更に備え、

前記Nチャネルトランジスタのゲート電極は書き込み用制御回路の出力信号に接続され

10

20

ていることを特徴とする半導体記憶装置。

【請求項 4】

請求項 2 記載の半導体記憶装置において、
前記それぞれのプルダウントランジスタのソース線が電源線以外の信号線に接続されていることを特徴とする半導体記憶装置。

【請求項 5】

請求項 4 記載の半導体記憶装置において、
前記信号線は、ロウデコーダ内に配置された制御回路からの信号線であることを特徴とする半導体記憶装置。

【請求項 6】

請求項 3 記載の半導体記憶装置において、
前記書き込み用制御回路の出力信号は、前記メモリセルで配置された読み出し用及び書き込み用ワード線と同じ方向に配置されていることを特徴とする半導体記憶装置。

【請求項 7】

請求項 3 記載の半導体記憶装置において、
前記書き込み用制御回路の出力信号は、書き込み時に非選択となった書き込み用ビット線対と同じアドレスを選択する信号のみ活性化することを特徴とする半導体記憶装置。

【請求項 8】

請求項 3 記載の半導体記憶装置において、
前記直列に接続された N チャンネルトランジスタとプルダウントランジスタとのトランジスタサイズが同じであることを特徴とする半導体記憶装置。

【請求項 9】

請求項 2 記載の半導体記憶装置において、
前記プルダウントランジスタのトランジスタサイズは、前記書き込み用ビット線対に繋がったライトバッファのバッファサイズより小さいことを特徴とする半導体記憶装置。

【請求項 10】

請求項 2 記載の半導体記憶装置において、
前記書き込み用ビット線対に 2 つの P チャンネルトランジスタが、ゲート電極は前記書き込み用ビット線対の一方に、ソースは電源電圧に、ドレインは前記書き込み用ビット線対の他方にそれぞれ繋がっていることを特徴とする半導体記憶装置。

【請求項 11】

請求項 1 記載の半導体記憶装置において、
入力データを前記書き込み用ビット線対に転送するライトバッファ機能と、前記データ増幅器の出力を前記書き込み用ビット線対に転送するライトバック機能とを有するライトバッファを更に備えたことを特徴とする半導体記憶装置。

【請求項 12】

請求項 11 記載の半導体記憶装置において、
前記プルダウントランジスタのサイズは、前記ライトバッファを構成する N チャンネルトランジスタのサイズより小さいことを特徴とする半導体記憶装置。

【請求項 13】

請求項 11 記載の半導体記憶装置において、
前記ライトバック機能は、前記プルダウントランジスタの一方が活性化された後に活性化されることを特徴とする半導体記憶装置。

【請求項 14】

請求項 3 記載の半導体記憶装置において、
前記プルダウントランジスタ及び前記 N チャンネルトランジスタを含む制御回路が、前記データ増幅器と同じ領域に配置され、かつ前記領域はメモリアレイ内に 1 つ以上存在するメモリアレイとメモリアレイとの間の境界領域であることを特徴とする半導体記憶装置。

【請求項 15】

請求項 14 記載の半導体記憶装置において、

10

20

30

40

50

前記境界領域上で前記メモリアレイとメモリアレイを接続するように配置されたNチャネルトランスファークゲートを更に備え、

前記Nチャネルトランスファークゲートのゲート電極が前記書き込み用制御回路からの選択信号に接続されていることを特徴とする半導体記憶装置。

【請求項16】

請求項15記載の半導体記憶装置において、

前記Nチャネルトランスファークゲートに繋がる出力信号は、非選択となった書き込み用ビット線対と同じアドレスでかつ選択されたメモリセルを含む前記メモリセルアレイの境界領域にある出力信号のみ活性化することを特徴とする半導体記憶装置。

【請求項17】

請求項3記載の半導体記憶装置において、

前記書き込み用制御回路の出力信号は、書き込み動作をマスクされた書き込み用ビット線対を示すアドレス信号を活性化することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置、特にデータ書き込み時の非選択メモリセルのデータ破壊を防止しつつ高速動作を実現する半導体記憶装置に関するものである。

【背景技術】

【0002】

従来のSRAM（スタティック・ランダム・アクセス・メモリ）において、メモリセルを構成するトランジスタの微細化によってトランジスタ特性のばらつきが大きくなり、メモリ動作中に保持しているメモリセルデータが破壊されてしまう課題があった。

【0003】

読み出し動作時のデータ破壊を防ぐ方法としてビット線を書き込み用と読み出し用とに分ける技術があった。また、書き込み動作時の非選択メモリセルのデータ破壊を防ぐ方法として、非選択メモリセルから読み出したデータを書き戻す技術があった（特許文献1及び2参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-4888号公報

【特許文献2】国際公開第2008/032549号

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記従来技術の半導体記憶装置における書き込み動作時のデータ破壊を解決する技術では、以下の課題があった。

【0006】

まず、書き込み動作時に非選択メモリセルへ一度読み出したデータを書き戻す動作を行うために、単純な書き込み動作及び読み出し動作に比べて動作時間が長いという課題があり、SRAMの動作を速くできないといった課題があった。

【0007】

次に、データを書き戻す動作を実現するために、従来の書き込み動作に使用していたライトバッファと同等の能力を持つ書き込み回路が必要であり、また正確な書き戻しタイミング制御が必要なために部品点数が増え、結果としてSRAMの回路面積が大きくなる課題があった。

【0008】

本発明は、上記課題を解決するものであって、書き込み用ビット線対のそれぞれのプリチャージ電位を、非選択メモリセルのデータに応じた電位レベルに設定する機能を備える

10

20

30

40

50

ことで、動作を高速化しつつメモリセルのデータ破壊を防止する半導体記憶装置を実現することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明に係る半導体記憶装置は、第1及び第2の回路要素によりデータを記憶するように構成されたデータ保持回路と、当該データ保持回路と読み出し用ビット線及び書き込み用ビット線対とを繋ぐように配置されたトランジスタを含む回路とで構成されたメモリセルと、読み出し用ビット線に繋がったデータ増幅器と、書き込み用ビット線対に各々繋がったプルダウントランジスタとを備え、データ増幅器の出力が一方のプルダウントランジスタのゲート電極に接続されて、他方のプルダウントランジスタのゲート電極に書き込み用ビット線対の一方が接続されていることを特徴とする。

10

【発明の効果】

【0011】

本発明により、書き込み用ビット線対のそれぞれのプリチャージ電位を、非選択メモリセルのデータに応じた電位レベルに設定する機能を備えることで、動作を高速化し、かつ小面積化を実現しつつ、メモリセルのデータ破壊を防止する半導体記憶装置を実現することができる。

【図面の簡単な説明】

【0012】

【図1】本発明の実施形態1における半導体記憶装置の主要構成を示すブロック図である。

20

【図2】図1中のメモリセルの詳細構成例を示す回路図である。

【図3】図1中のローカルアンプ回路の詳細構成例を示す回路図である。

【図4】図1中のキーパー回路の詳細構成例を示す回路図である。

【図5】本発明の実施形態1における半導体記憶装置の主要動作を示すタイミングチャートである。

【図6】本発明の実施形態1の第1変形例におけるローカルアンプ回路の詳細構成を示す回路図である。

【図7】本発明の実施形態1の第1変形例における半導体記憶装置の主要動作を示すタイミングチャートである。

30

【図8】本発明の実施形態1の第2変形例におけるI/F回路の詳細構成を示すブロック図である。

【図9】本発明の実施形態1の第2変形例における半導体記憶装置の主要動作を示すタイミングチャートである。

【図10】本発明の実施形態2における半導体記憶装置の主要構成を示すブロック図である。

【図11】本発明の実施形態2における半導体記憶装置の主要動作を示すタイミングチャートである。

【発明を実施するための形態】

【0013】

40

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、以下の各実施形態及び変形例において、他の実施形態及び変形例と同様の機能を有する構成要素については同一の符号を付して説明を省略する。

【0014】

《実施形態1》

本発明の実施形態1の半導体記憶装置に関して、具体的な例として図1、図2、図3、図4を用いながら説明する。

【0015】

図1に示す半導体記憶装置は、マトリクス状に配置された複数のメモリセル1と、各メモリセル1に繋がる読み出し用ビット線RBLU0/RBLLO/RBLU1/RBL

50

L1のデータを増幅するデータ増幅器2と、読み出しデータを使ってメモリセル1に繋がる書き込み用ビット線対WBL0/NWBL0;WBL1/NWBL1のプリチャージ電位を再設定する機能を持つプリチャージ電位再設定回路3と、これらデータ増幅器2及びプリチャージ電位再設定回路3を含みメモリセル1とメモリセル1との間に配置されたローカルアンプ回路4と、書き込み用ビット線対WBL0/NWBL0;WBL1/NWBL1の電源電位(VDDレベル又はHレベル)を一方のグランド電位(VSSレベル又はLレベル)を使って保持するキーパー回路5と、書き込み用ビット線対WBL0/NWBL0;WBL1/NWBL1に入力データDIを転送するためのライトバッファ6と、データ増幅器2からの出力データ線GRBL0/GRBL1をドライブして出力データDOを出力するための出力バッファ7と、これらキーパー回路5、ライトバッファ6及び出力バッファ7を含むI/F回路8と、メモリセル1の書き込み用ワード線WWL0/WWL1及び読み出し用ワード線RWL0/RWL1並びにローカルアンプ回路4で制御信号として使われる読み出し制御信号SE0/SE1及びプリチャージ電位再設定制御信号CA0/CA1を生成するロウデコーダ9と、クロック信号CLKに加えてアドレス信号ADD、制御信号CTR等を入力してI/F回路8、ロウデコーダ9等を制御するための制御回路10とを備えている。

10

【0016】

図2、図3及び図4は、図1中のメモリセル1、ローカルアンプ回路4及びキーパー回路5の各々の詳細構成例を示す回路図である。ただし、図2、図3及び図4では、図1中の読み出し用ビット線RBLU0/RBLU1/RBLU0/RBLU1、書き込み用ビット線対WBL0/NWBL0;WBL1/NWBL1、出力データ線GRBL0/GRBL1、書き込み用ワード線WWL0/WWL1、読み出し用ワード線RWL0/RWL1、読み出し制御信号SE0/SE1、プリチャージ電位再設定制御信号CA0/CA1における末尾の「0」又は「1」を省略している。

20

【0017】

メモリセル1は、図2で示す2つのインバータ構成のトランジスタ21~24でラッチ回路を構成し、2つのNチャンネルトランジスタ25,26で書き込み用ビット線対WBL/NWBLからラッチ回路へのデータ入力を書き込み用ワード線WWLで制御する、6つのトランジスタ21~26で構成されるデータ保持回路11と、2つのNチャンネルトランジスタ27,28が直列に接続され、一方のNチャンネルトランジスタ27のゲート電極がデータ保持回路11の内部ノードに接続され、他方のNチャンネルトランジスタ28のゲート電極が読み出し用ワード線RWLで読み出し用ビット線RBLへデータ出力を制御するデータ読み出し回路12とを備えている。

30

【0018】

また、ローカルアンプ回路4は、図3で示すように、2本の読み出し用ビット線RBLU及びRBLU上の信号を2入力として受け取るAND回路31で構成されたシングルエンドアンプと、2つのNチャンネルトランジスタ32,33が直列に接続され、一方のNチャンネルトランジスタ33のゲート電極が読み出し制御信号SEで制御され、他方のNチャンネルトランジスタ32がAND回路31の出力信号で出力データ線GRBLへのデータ転送を制御するデータ転送制御回路13とを含むデータ増幅器2と、2つのNチャンネルトランジスタ34,35が直列に接続され、一方のNチャンネルトランジスタ34のゲート電極がAND回路31の出力信号で制御され、他方のNチャンネルトランジスタ35のゲート電極はプリチャージ電位再設定制御信号CAで制御され第1の書き込み用ビット線WBLに接続された第1のプリチャージ電位再設定回路14と、2つのNチャンネルトランジスタ36,37が直列に接続され、一方のNチャンネルトランジスタ36のゲート電極が第1の書き込み用ビット線WBLで制御され、他方のNチャンネルトランジスタ37のゲート電極はプリチャージ電位再設定制御信号CAで制御され第2の書き込み用ビット線NWBLに接続された第2のプリチャージ電位再設定回路15とを備えている。

40

【0019】

また、キーパー回路5は、図4で示す2つのPチャンネルトランジスタ41,42で構成

50

され、一方のPチャネルトランジスタ41のゲート電極は第1の書き込み用ビット線WBLに繋がり、ドレイン電極は第2の書き込み用ビット線NWBLに繋がり、他方のPチャネルトランジスタ42のゲート電極は第2の書き込み用ビット線NWBLに繋がり、ドレイン電極は第1の書き込み用ビット線WBLに繋がり、それぞれのソース電極は電源電位(VDDレベル又はHレベル)に繋がる構成を備えている。

【0020】

以上の構成を備えた半導体記憶装置の書き込み動作及び読み出し動作を、図5のタイミングチャートを使いながら説明する。なお、時刻TAから時刻TBまでのクロック信号CLKの1サイクルの間に書き込み動作が完了し、時刻TBから時刻TCまでのクロック信号CLKの1サイクルの間に読み出し動作が完了するものとする。

10

【0021】

まず、書き込み動作、特に、非選択メモリセル1のデータ破壊を防止することが目的のため、書き込み動作時の非選択メモリセル1、詳細には、選択された書き込み用ワード線WWLに繋がる、非選択メモリセル1、すなわち書き込み用ビット線対WBL/NWBLにデータが書き込まれないメモリセル1の書き込み動作時の制御動作に関して説明する。

【0022】

まず、時刻TA以前ではスタンバイ状態のため、書き込み用ビット線対WBL0/NWBL0及びWBL1/NWBL1はプリチャージ電位である電源電位(VDD電位又はHレベル)にプリチャージされている。

【0023】

次に、時刻TAで書き込み動作を示すWRITEコマンドが入力されると、メモリセル1内のデータ読み出し回路12に繋がる読み出し用ワード線RWL0が活性化される。このとき、書き込み用ビット線対WBL0/NWBL0に繋がるメモリセル1は選択されていないため、データ破壊を注意しなければならないメモリセルとなる。読み出し用ワード線RWL0の活性化によって、読み出し用ビット線RBL0及びRBL1にはデータが転送される。ただし、この場合、読み出し用ビット線RBL1のデータは本発明の動作には関係がないので割愛している。非選択のメモリセル1に保持されたデータがHレベルの場合、読み出し用ビット線RBL0にLレベルのデータが転送されローカルアンプ回路4内のAND回路31で増幅され、第1のプリチャージ電位再設定回路14にLレベル信号として転送される。次に、プリチャージ電位再設定制御信号CA0/CA1のうちCA0のみが活性化されるが第1のプリチャージ電位再設定回路14は前記Lレベル信号によって活性化されないため、第1の書き込み用ビット線WBL0はプリチャージ電位(VDDレベル又はHレベル)を保持する。この第1の書き込み用ビット線WBL0のHレベルによって第2のプリチャージ電位再設定回路15が活性化され、第2の書き込み用ビット線NWBL0をLレベルへ引き抜く。この動作により、書き込み用ビット線対WBL0/NWBL0に、非選択のメモリセル1に保持されたHレベルのデータと同じ電位関係、すなわち書き込み用ビット線対WBL0/NWBL0のうち第1の書き込み用ビット線WBL0にHレベル、第2の書き込み用ビット線NWBL0にLレベルのプリチャージ電位が再設定される。このとき、図5に示すように、第2の書き込み用ビット線NWBL0はグラウンド電位までプルダウンされないことが分かる。つまり、再設定されたプリチャージ電位のHレベル及びLレベルは論理値レベルで記述されるVDD電位及びグラウンド電位のみを言及しているわけではなく、相補の書き込み用ビット線対WBL0/NWBL0の電位レベルが一方より高い場合をHレベル、又は一方より低いレベルをLレベルという設定でよいことは言うまでもない。この機能の有効性は、メモリセル1のSNM(スタティック・ノイズ・マージン)の向上、すなわちデータ破壊防止には、ビット線対のそれぞれの電位を保持しているデータに依存した関係に電位差をつけるだけで劇的に改善することから裏付けられている。

20

30

40

【0024】

次に、書き込み用ワード線WWL0が活性化されるが、そのタイミングは読み出し用ワード線RWL0と同じタイミングにできる。これは、非選択のメモリセル1に書き戻す動

50

作を主眼にしているのではなく、非選択のメモリセル1の保持データと同じ電位関係に書き込み用ビット線対WBL0/NWBL0のプリチャージ電位を再設定するためである。つまり、書き込み用ビット線対WBL0/NWBL0のHレベル及びLレベルが十分電源電位及びグランド電位にならなくてもよく、よって読み出し用ワード線RWL0が活性化されてから十分の時間経過後に書き込み用ワード線WWL0を活性化させる従来の発明ほどタイミングマージンを取る必要がないためである。一方で、非選択メモリセル1のSNM不足によるデータ破壊の防止には書き込み用ビット線対WBL0/NWBL0にプリチャージ電位を再設定できてからの方がよいは言うまでもなく、読み出し用ワード線RWL0の活性化より少し遅いタイミングで、書き込み用ワード線WWL0を活性化してもよいことは言うまでもない。また、これと同時に、選択されたメモリセル1に繋がる書き込み用ビット線対WBL1/NWBL1は通常書き込み動作と同様、入力データDIからライトバッファ6を通じてデータが転送され、所望のメモリセル1への書き込み動作が完了する。

10

【0025】

次に、時刻TBで読み出し動作を示すREADコマンドが入力されると、メモリセル1内のデータ読み出し回路12に繋がる読み出し用ワード線RWL0のみが活性化される。読み出し用ワード線RWL0の活性化によって、読み出し用ビット線RBL0及びRBL1には読み出しデータが転送される。次にローカルアンプ回路4内のデータ増幅器2がロウデコーダ9からの読み出し制御信号SE0が活性化していることを受けて、読み出し用ビット線RBL0のデータを出力データ線GRBL0に転送し出力バッファ7によってデータ出力DOにデータDO1が出力される。同時に、読み出し用ビット線RBL1は非選択状態のため出力データ線GRBL1に読み出されることはない。また、本動作は読み出し動作のため、プリチャージ電位再設定制御信号CA0/CA1が活性化されることもない。

20

【0026】

以上のように、書き込み動作中に非選択メモリセル1で保持しているデータを読み出して、そのデータに対応した電位関係に書き込み用ビット線対WBL/NWBLのプリチャージ電位を再設定することで、メモリセル1のSNMを飛躍的に向上させ、データ破壊を防ぐことができる。また、読み出したデータを書き戻すライトバック動作と比較しても、プリチャージ電位を再設定するだけなので読み出し用ワード線RWLの活性化と書き込み用ワード線WWLの活性化とのタイミング間隔を十分取る必要がないため書き込み動作を遅延させることなく実現できる。またメモリセル1とメモリセル1との境界領域に配置したローカルアンプ回路4内に本回路ブロックを配置し読み出し動作時に使うデータ増幅器2を使うことで、従来の一度周辺回路まで読み出してライトバックする動作と比較しても、高速にかつ小面積でプリチャージ電位再設定動作を実現できる。

30

【0027】

なお、本発明では書き込み動作時に仕様上十分な書き込み時間がある場合には、プリチャージ電位再設定動作が書き込み用ビット線対WBL/NWBLへのデータ再書き込み動作、すなわち書き込み用ビット線対WBL/NWBLの電位レベルが一方はVDD電位、他方がグランド電位になるライトバック動作に等しくなることは言うまでもない。また、第2のプリチャージ電位再設定回路15のNチャンネルトランジスタ36のゲート電極の制御に一方の書き込み用ビット線WBLを使用する技術によって、読み出された論理値データをデコードする、すなわち論理ゲートを付加する必要がないため、特に素子数の増加が面積オーバーヘッドの原因になるローカルアンプ回路4内等に配置することは、面積削減効果として有効である。

40

【0028】

また、ここでは本発明を分かりやすくするためにメモリセル1はデータ保持回路11とデータ読み出し回路12との合計8個のトランジスタで構成されているが、違う構成のメモリセル、例えばデータ保持回路11しかない従来の6トランジスタで構成されたメモリセルに使用してもプリチャージ電位再設定機能として有効であることは言うまでもない。

50

あわせてデータ増幅器 2 で使われているシングルエンドアンプに代えて差動アンプを使ってもよいことは言うまでもない。

【 0 0 2 9 】

また、第 1 のプリチャージ電位再設定回路 1 4 内の N チャンネルトランジスタ 3 4 のサイズ、例えばチャンネル長が、第 2 のプリチャージ電位再設定回路 1 5 内の N チャンネルトランジスタ 3 6 のサイズ、例えばチャンネル長より大きいことを特徴とする。すなわち、第 1 のプリチャージ電位再設定回路 1 4 のトランジスタ能力が、第 2 のプリチャージ電位再設定回路 1 5 のトランジスタ能力より大きいことを特徴とする。

【 0 0 3 0 】

このように、一方のプルダウントランジスタ 3 4 のトランジスタサイズが、他方のプルダウントランジスタ 3 6 のトランジスタサイズより大きい、つまり直接読み出しデータの信号によって活性化される第 1 のプリチャージ電位再設定回路 1 4 のトランジスタ能力を大きくすることで、データ増幅器 2 のデータが H データ (V D D 電位又は電源電位) の場合に、書き込み用ビット線対 W B L / N W B L のプリチャージ電位が H レベル (V D D 電位) のためプリチャージ電位再設定制御信号 C A が活性化されると、第 2 の書き込み用ビット線 N W B L を L レベルに引き抜く以前に第 1 の書き込み用ビット線 W B L を L レベルに引き抜くことができる。これによって、第 2 のプリチャージ電位再設定回路 1 5 内のゲート電極が第 1 の書き込み用ビット線 W B L に繋がる N チャンネルトランジスタ 3 6 を非活性状態にすることができ、誤ったプリチャージ電位を再設定することはない。

【 0 0 3 1 】

なお、第 1 のプリチャージ電位再設定回路 1 4 のトランジスタ能力を第 2 のプリチャージ電位再設定回路 1 5 より大きくすることとしたが、第 2 のプリチャージ電位再設定回路 1 5 のトランジスタサイズを十分小さくする、例えばチャンネル長を小さく、もしくはチャンネル幅を太くすることでも、所定時間内にプリチャージ電位を再設定できる能力があれば十分であることは言うまでもない。

【 0 0 3 2 】

また、図 3 に示したように、第 1 及び第 2 のプリチャージ電位再設定回路 1 4 , 1 5 内の N チャンネルプルダウントランジスタ 3 4 , 3 6 と書き込み用ビット線対 W B L / N W B L との間に直列に接続された N チャンネルトランジスタ 3 5 , 3 7 とを備え、N チャンネルトランジスタ 3 5 , 3 7 のゲート電極は書き込み用制御回路の出力信号、すなわちプリチャージ電位再設定制御信号 C A に接続されていることを特徴とする。これによって、第 2 の書き込み用ビット線 N W B L をプリチャージするたびに、当該第 2 の書き込み用ビット線 N W B L が勝手にプルダウン動作する誤動作を防ぐことができる。

【 0 0 3 3 】

なお、第 1 及び第 2 のプリチャージ電位再設定回路 1 4 , 1 5 にはプリチャージ電位再設定制御信号 C A で制御する N チャンネルトランジスタ 3 5 , 3 7 を備えているが、それぞれの N チャンネルトランジスタ 3 5 , 3 7 のゲート電極をプリチャージ電位再設定制御信号 C A の論理を加味した制御信号に変えることで、直列に 2 段ならんだ N チャンネルトランジスタを 1 段にすることができるのは言うまでもない。又は、書き込み用ビット線対 W B L / N W B L を H レベル (V D D 電位又は電源電位) のプリチャージではなく、L レベル (グランド電位又は V S S 電位) のプリチャージとして、非選択メモリセル 1 に繋がる書き込み用ビット線対 W B L / N W B L のみプリチャージ電位再設定制御信号 C A の活性化後に H レベルへプリチャージする書き込み用ビット線対 W B L / N W B L のプリチャージデコード方式でも直列に 2 段ならんだ N チャンネルトランジスタを 1 段にすることができるのは言うまでもない。なお、書き込み用ビット線対 W B L / N W B L のプリチャージ電位が H レベルの場合に言及しているため、第 1 及び第 2 のプリチャージ電位再設定回路 1 4 , 1 5 は N チャンネルトランジスタ 3 4 ~ 3 7 で構成されているが、書き込み用ビット線対 W B L / N W B L のプリチャージ電位が L レベル (グランド電位又は V S S 電位) の場合には P チャンネルトランジスタで構成すればよいことは言うまでもない。

【 0 0 3 4 】

また、書き込み用制御回路の出力信号すなわちプリチャージ電位再設定制御信号CAはメモリセル1で配置された読み出し用ワード線RWL及び書き込み用ワード線WWLと同じ方向に配置されていることを特徴とする。これによって、特にローカルアンプ回路4を持つ場合は、ビット線方向に制御信号を配置するより効率的に配置できるため面積オーバーヘッドの削減として有効である。

【0035】

また、第1及び第2のプリチャージ電位再設定回路14, 15内の直列に接続されたNチャンネルトランジスタ35, 37とNチャンネルプルダウントランジスタ34, 36とのトランジスタサイズが同じであることを特徴とする。これによって、プルダウン能力を一定にできるためトランジスタばらつき等の影響を受けにくいメリットがある。

10

【0036】

また、第1及び第2のプリチャージ電位再設定回路14, 15のNチャンネルプルダウントランジスタ34, 36のトランジスタサイズ、すなわちトランジスタ能力は、書き込み用ビット線対WBL/NWBLに繋がったライトバッファ6のバッファサイズより小さいことを特徴とする。書き込み用ビット線対WBL/NWBLのプリチャージを再設定する能力があればよい第1及び第2のプリチャージ電位再設定回路14, 15のトランジスタ能力を十分小さくすることで、ローカルアンプ回路4内の面積オーバーヘッドを小さくすることができる。

【0037】

また、書き込み用ビット線対WBL/NWBLに2つのPチャンネルトランジスタ41, 42からなる図4のキーパー回路5を備えることを特徴とする。これによって、プルダウン機能しかない第1及び第2のプリチャージ電位再設定回路14, 15で誤動作、すなわちHデータ(VDD電位又は電源電位)がLデータへ変化した場合に、一方のプルアップPチャンネルトランジスタ41又は42でHデータへプルアップできる。また、ライトバッファ6がNチャンネルトランジスタのみで構成されている、すなわちプルダウン機能しかない場合は、ライト動作を補助する機能としても併用できるため、動作の安定性と面積オーバーヘッドの削減を実現できる。

20

【0038】

また、プルダウントランジスタ34, 36及びNチャンネルトランジスタ35, 37を含む制御回路、すなわち第1及び第2のプリチャージ電位再設定回路14, 15が、データ増幅器2と同じ領域に配置され、かつ当該領域はメモリアレイ内に1つ以上存在する、メモリセル1とメモリセル1との間の境界領域であることを特徴とする。すなわち、ローカルアンプ回路4内のように、メモリアレイとメモリアレイとの境界に配置することで、本発明の対象となる非選択メモリセル1からの物理距離が周辺回路に配置されたライトバック回路と比較して短くなり、より高速にプリチャージ電位再設定動作を書き込み用ビット線対WBL/NWBLに実現できる。なお、ローカルアンプ回路4がI/F回路8にしか配置していない場合にも本発明はライトバック動作に比べて有効であることは言うまでもない。

30

【0039】

また、ロウデコーダ9からの書き込み用制御回路の出力信号は、書き込み動作をマスクされた書き込み用ビット線対WBL/NWBLを示すアドレス信号を活性化することを特徴とする。すなわち、図5で示す書き込み用ビット線対WBL1/NWBL1に繋がった選択メモリセル1へのライト動作にマスク機能が付加された場合、すなわち選択的に書き込みをマスクする場合に、対象アドレス、つまりプリチャージ電位再設定制御信号CA1が活性化されて書き込み用ビット線対WBL1/NWBL1のプリチャージを再設定する機能を有する。これによって、書き込み時にマスクされたことによって非選択となったメモリセル1のSNMの向上を実現することができる。

40

【0040】

《実施形態1の第1変形例》

本発明の実施形態1の第1変形例は、基本的な形態及び効果が実施形態1と同じである

50

。以下、実施形態 1 の第 1 変形例に関して図 6 の回路図を用いながら説明する。図 6 で示す半導体記憶装置は、図 3 で示す回路図に対して、N チャンネルトランジスタ 35, 37 を削除し、N チャンネルプルダウントランジスタ 34, 36 の各々のソース電位を VSS 電位（又は接地電位）から信号線 NCA に変更した回路である。つまり、第 1 及び第 2 のプリチャージ電位再設定回路 14, 15 がそれぞれ 1 段の N チャンネルトランジスタ 34, 36 で構成される。なお、図 6 でも、図 3 と同様に信号線及び信号における末尾の「0」又は「1」を省略している。

【0041】

以上の構成を備えた半導体記憶装置の書き込み動作時の選択動作に関して、図 7 のタイミングチャートは、図 5 のタイミングチャート中のプリチャージ電位再設定制御信号 CA の論理値が反転して信号 NCA になったものである。

10

【0042】

以上のように、N チャンネルトランジスタ 35, 37 を削除し、N チャンネルプルダウントランジスタ 34, 36 のソース電位を VSS 電位（又は接地電位）から信号線 NCA に変更することで、上記実施形態 1 の効果に加えて、ローカルアンプ回路 4 内のトランジスタ数を削減できることで面積削減に有効である。

【0043】

また、信号線 NCA の制御回路をロウデコーダ 9 内に配置することで、もともとローカルアンプ回路 4 に対応したデッドスペースとなるロウデコーダ 9 内の領域を有効利用できるため、面積の大きなオーバーヘッドなしに容易に回路動作を実現できて有効である。

20

【0044】

なお、信号 NCA の制御回路はロウデコーダ 9 内に配置するとしているが、I/F 回路 8 内に配置してもよいことは言うまでもない。

【0045】

《実施形態 1 の第 2 変形例》

本発明の実施形態 1 の第 2 変形例は、基本的な形態及び効果が実施形態 1 と同じである。以下、実施形態 1 の第 2 変形例に関して図 8 のブロック図を用いながら説明する。図 8 で示す半導体記憶装置は、図 1 で示す半導体記憶装置のライトバッファ 6 がライトバック機能付ライトバッファ 6a に置き換えられ、出力バッファ 7 からデータ出力信号 DO に相当するライトバックデータ WB がライトバッファ 6a に入力される構成となっている。なお、図 8 でも、図 2 ~ 4 及び図 6 と同様に信号線及び信号における末尾の「0」又は「1」を省略している。

30

【0046】

以上の構成を備えた半導体記憶装置の書き込み動作時の、主として非選択メモリセル 1 の制御動作に関して、図 9 を用いて説明する。まず、時刻 TA で WRITE コマンドが入力されると、読み出し用ワード線 RWL0 が活性化され、非選択メモリセル 1 の保持データが読み出され、そのデータに対応した電位関係に書き込み用ビット線対 WBL0 / NWBL0 のプリチャージ電位が再設定される。この動作は、図 3 にて説明したものと同様である。

【0047】

次に、書き込み用ワード線 WWL0 が活性化されると、データ増幅器 2 は読み出し制御信号 SE0 が活性化されているため出力データ線 GRBL0 に非選択メモリセル 1 のデータを転送する。この信号を出力バッファ 7 で増幅したライトバックデータ WB を使ってライトバッファ 6a によりデータを書き込む、すなわちライトバック動作が実施される。また、これと同時に、選択されたメモリセル 1 に繋がる書き込み用ビット線対 WBL1 / NWBL1 は通常書き込み動作と同様、入力データ DI からライトバッファ 6a を通じてデータが転送され、所望のメモリセル 1 への書き込み動作が完了する。

40

【0048】

以上のように、書き込み動作中に非選択メモリセル 1 で保持しているデータを読み出して、そのデータに対応した電位関係に書き込み用ビット線対 WBL / NWBL のプリチャ

50

ージ電位を再設定し、その後ライトバッファ6 aを使ってデータをライトバックすることで、メモリセル1のS N Mを飛躍的に向上させ、データ破壊を防ぐことができる。また、読み出したデータを書き戻すライトバック動作しか持たない半導体記憶装置と比較しても、選択ワード線が活性化された直後にプリチャージ電位を再設定することで、ワード線活性化直後のS N M不良を改善できるとともに、その後ライトバックすることで確実にデータリストアを実現できるため、S N Mの向上には有効である。

【0049】

なお、プリチャージ電位再設定回路3内のNチャネルプルダウントランジスタ3 4, 3 6のサイズは、ライトバッファ6 a内のNチャネルトランジスタのサイズより小さい、すなわちトランジスタ能力が小さいことを特徴とする。このように、ライトバッファ6 a内のNチャネルトランジスタのサイズよりプリチャージ電位再設定回路3内のNチャネルプルダウントランジスタ3 4, 3 6のサイズを小さくすることで、選択メモリセル1に場所として近い、すなわち配線負荷が軽く見えるプリチャージ電位再設定回路3内のNチャネルプルダウントランジスタ3 4, 3 6によるドライブ能力を抑え、以てデータリストアの誤動作を防ぐとともに、ローカルアンプ回路4を小さくできるため省面積化に有効である。

【0050】

また、プリチャージ電位再設定回路3内のNチャネルプルダウントランジスタ3 4, 3 6の一方が活性化した後にライトバッファ6 a内のNチャネルトランジスタを活性化する、すなわちドライブ能力の小さなドライバで一定の電位レベルまで書き戻した後、ドライブ能力の大きなドライバで一気に入き戻すことで、データリストア動作の誤動作やピーク電流を抑制することができる。

【0051】

《実施形態2》

本発明の実施形態2の半導体記憶装置を、図10のブロック図を用いながら説明する。図10に示す半導体記憶装置は、図1で示すブロック図に対して、書き込み用ビット線対W B L 0 / N W B L 0及びW B L 1 / N W B L 1に、NチャネルトランスファークゲートN 0, N 1, N 2, N 3, N 4, N 5, N 6, N 7, N 8, N 9, N 10, N 11, N 12, N 13, N 14及びN 15が付加され、書き込み制御用選択信号S E L 0, S E L 1, S E L 2, S E L 3, S E L 4, S E L 5, S E L 6及びS E L 7でスイッチ動作を制御する機能を備える。

【0052】

以上の構成を備えた半導体記憶装置の書き込み動作時の選択動作に関して、図11のタイミングチャートを使いながら説明する。なお、時刻T Aから時刻T Bまでのクロック信号C L Kの1サイクルの間に書き込み動作が完了するものとする。

【0053】

時刻T AでW R I T Eコマンドの入力により書き込み動作が開始され、選択されたアドレスに対応する書き込み用ワード線W W L 1及び読み出し用ワード線R W L 1が活性化される。また、書き込まれるメモリセル1はセル# 5であるためにセル# 1が非選択メモリセルとなり、本発明の実施形態1のプリチャージ電位再設定動作が行われる。このとき、NチャネルトランスファークゲートN 0 ~ N 7に繋がる選択信号S E L 0 ~ S E L 3は、非選択となった書き込み用ビット線対W B L 0 / N W B L 0と同じアドレスでかつ選択されたメモリセル1を含むメモリセルアレイの境界領域にある出力信号のみ活性化する、すなわち書き込み制御用選択信号S E L 1のみが活性化のままで、他の書き込み制御用選択信号S E L 0, S E L 2, S E L 3は非活性化状態になる。また選択されたセル# 5に繋がる書き込み用ビット線対W B L 1 / N W B L 1は入力データをセル# 5に転送する必要があるために、書き込み用ビット線対W B L 1 / N W B L 1に繋がる全てのNチャネルトランスファークゲートN 8 ~ N 15を制御する書き込み制御用選択信号S E L 4, S E L 5, S E L 6及びS E L 7は活性化状態を維持し、書き込み動作が行われる。

【0054】

以上のように、書き込み制御用選択信号SEL0～SEL3のうちSEL1のみが活性化されることによってセル#1に繋がる書き込み用ビット線対WBL0/NWBL0の配線負荷が通常の場合と比べて小さくできるため、メモリセル1のデータ保持性能を阻害する外部からの負荷ノイズを軽減することができ、メモリセル1のSNM向上には有効である。また、書き込み用ビット線対WBL0/NWBL0の配線負荷が小さいことは、プリチャージ電位再設定動作に使われる第1及び第2のプリチャージ電位再設定回路14, 15のトランジスタ能力を抑制しても高速にプリチャージ電位再設定動作を実現できるため、高速かつ小面積な半導体記憶装置を実現することができる。

【0055】

なお、書き込み用ビット線対WBL0/NWBL0に繋がるNチャンネルトランスファークラークゲートN2及びN3のみの活性化を維持する制御の一例を示したが、例えば、NチャンネルトランスファークラークゲートN4及びN5も活性化を維持する、すなわち前例より配線負荷が若干増えるが配線制御の複雑性を削減することで回路面積を削減する手段でもよいことは言うまでもない。

【0056】

また、書き込み用ビット線対WBL1/NWBL1に配置されたNチャンネルトランスファークラークゲートN8～N15は活性化状態を維持する制御をしているが、書き込み用ビット線対WBL0/NWBL0に繋がるNチャンネルトランスファークラークゲートN0～N7と同じ制御にして、書き込み動作をローカルアンプ回路4に配置されたライトバッファもしくは第1及び第2のプリチャージ電位再設定回路14, 15を使って書き込む機能を備えることで、書き込み動作時の配線負荷を軽減でき、かつI/F回路8からの書き込み動作時に負荷となるNチャンネルトランスファークラークゲートN0～N15の影響を削減できるために高速書き込み動作を実現できることは言うまでもない。特に、第1及び第2のプリチャージ電位再設定回路14, 15をライトバッファとして併用する制御を持つことは、I/F回路8内のライトバッファ6を削減できるので面積削減に有効である。

【0057】

なお、本実施形態と上記実施形態1又はその変形例とを組み合わせることで、より一層の効果を期待できることは言うまでもない。

【産業上の利用可能性】

【0058】

本発明に係る半導体記憶装置は、特に微細化されたメモリセルを安定的に動作させかつ高速動作を実現する技術を有し、多数かつ多種類の仕様のメモリを搭載するシステムLSI等に有用である。

【符号の説明】

【0059】

- 1 メモリセル
- 2 データ増幅器
- 3 プリチャージ電位再設定回路
- 4 ローカルアンプ回路
- 5 キーパー回路
- 6 ライトバッファ
- 6 a ライトバック機能付ライトバッファ
- 7 出力バッファ
- 8 I/F回路
- 9 ロウデコーダ
- 10 制御回路
- 11 データ保持回路
- 12 データ読み出し回路
- 13 データ転送制御回路
- 14, 15 第1及び第2のプリチャージ電位再設定回路

10

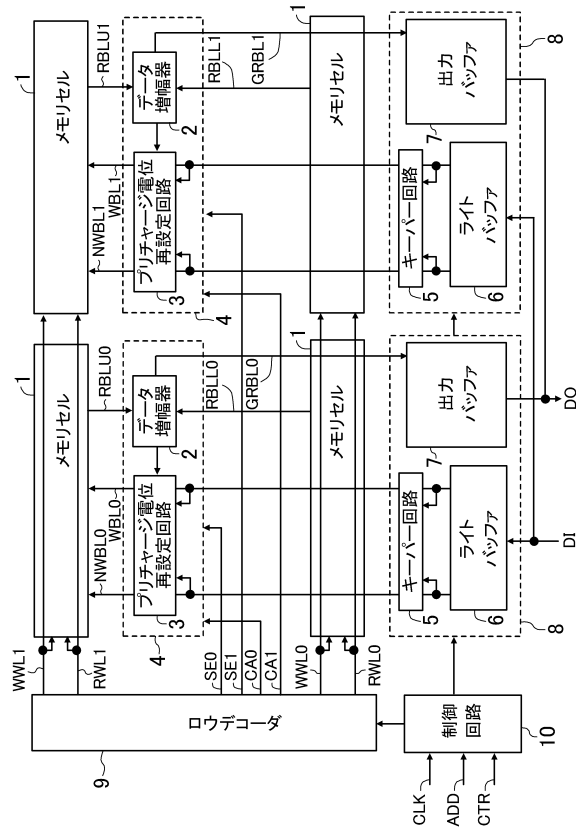
20

30

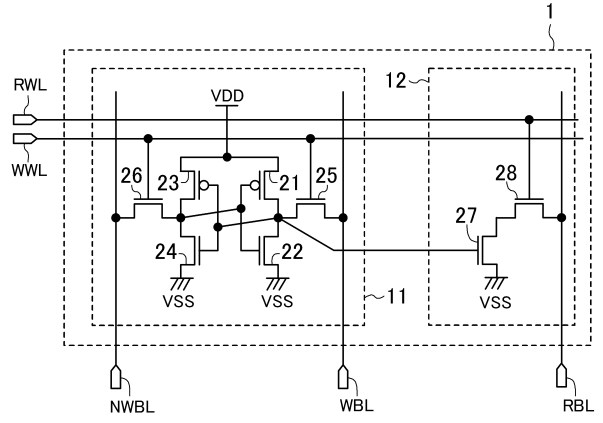
40

50

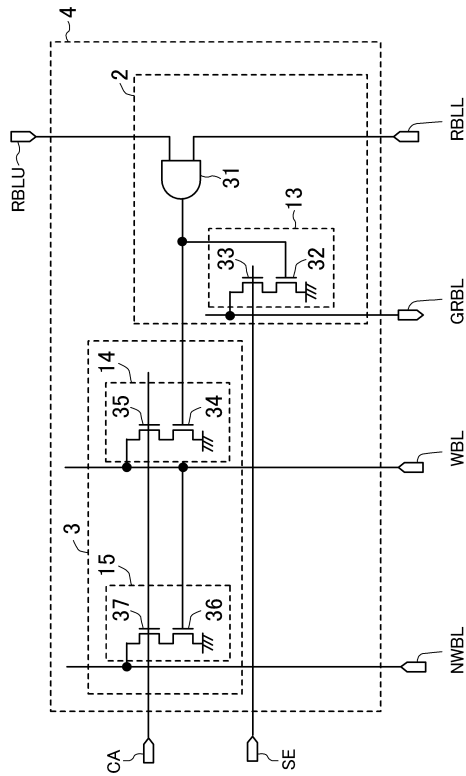
【図1】



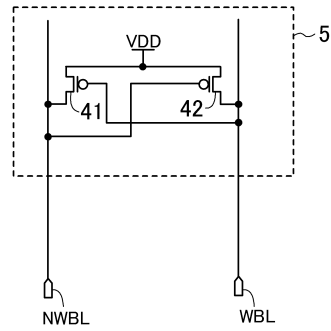
【図2】



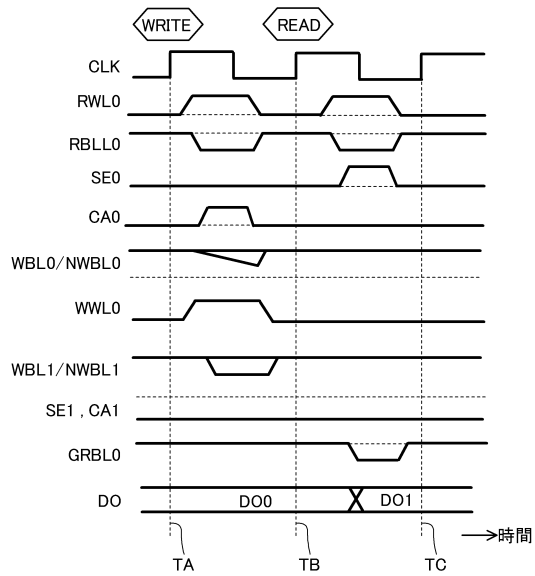
【図3】



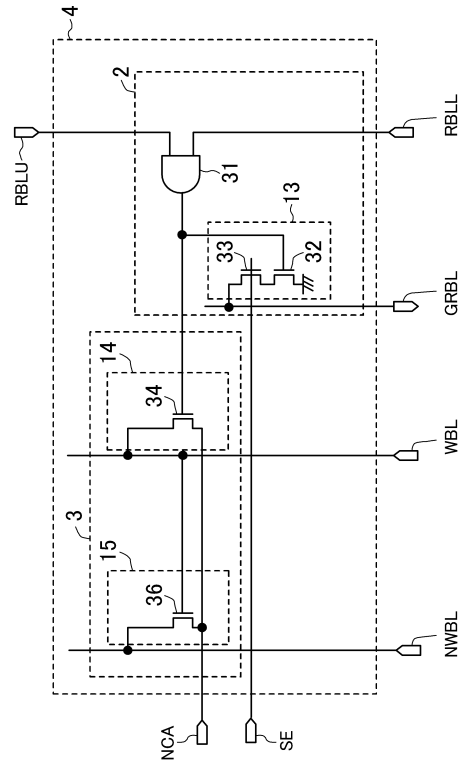
【図4】



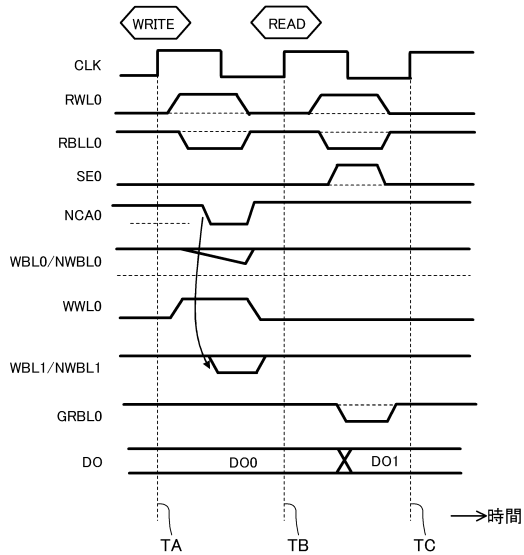
【図5】



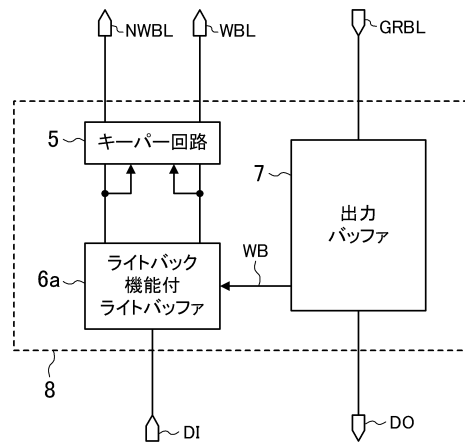
【図6】



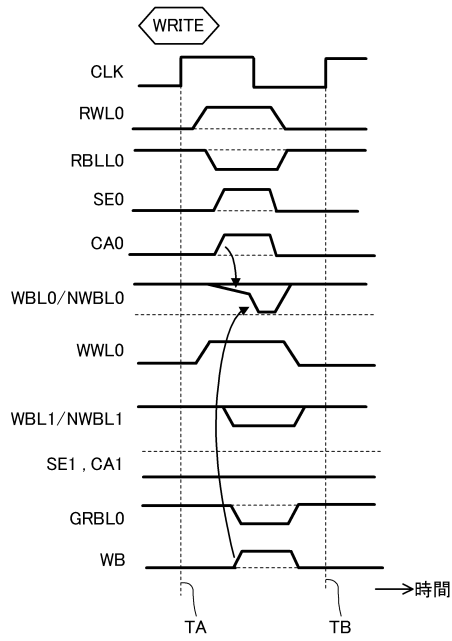
【図7】



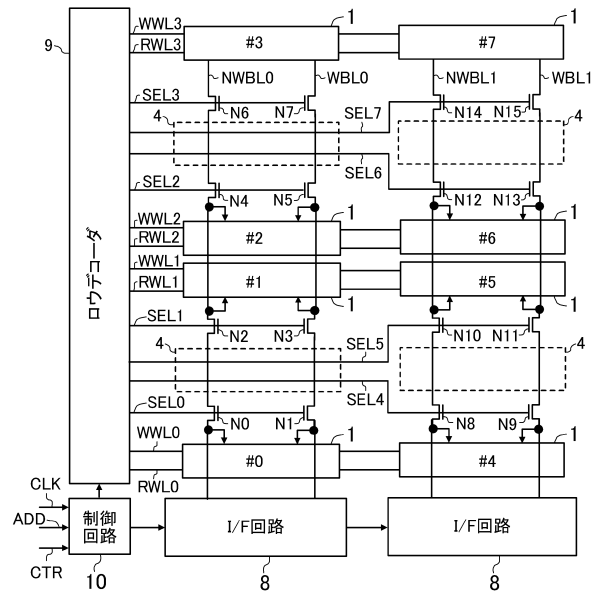
【図8】



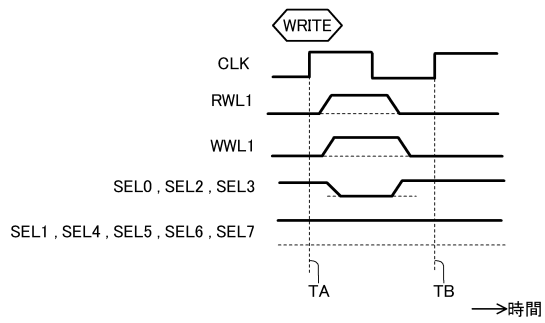
【図9】



【図10】



【図11】



フロントページの続き

- (56)参考文献 特開2008-198242(JP,A)
特開2007-004888(JP,A)
特開2004-071106(JP,A)
特開2005-275382(JP,A)
国際公開第2008/032549(WO,A1)
特開2009-163787(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/412
G11C 11/413
G11C 11/419