(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3754201号
(P3754201)
(45)発行日　平成18年3月8日(2006.3.8)　(24)登録日　平成17年12月22日(2005.12.22)

(51)Int.Cl.　　F I
G11C 11/407 (2006.01)　　G11C 11/34 362S
G11C 11/413 (2006.01)　　G11C 11/34 354C
G11C 11/34 J

請求項の数 14　(全 15 頁)

(21)出願番号　特願平10-49740
(22)出願日　平成10年3月2日(1998.3.2)
(65)公開番号　特開平10-302465
(43)公開日　平成10年11月13日(1998.11.13)
審査請求日　平成14年8月5日(2002.8.5)
(31)優先権主張番号　97-15004
(32)優先日　平成9年4月22日(1997.4.22)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞４１６
416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100093908
弁理士　松本　研一

最終頁に続く

(54)【発明の名称】半導体メモリ装置の動作制御装置

(57)【特許請求の範囲】
【請求項１】
半導体メモリ装置をＳＤＲモード又はＤＤＲモードに設定して動作させる半導体メモリ装置の動作制御装置において、
所定のマスター信号を発生させるモード選択部と、
前記ＳＤＲモード時に前記マスター信号に応答して所定のクロック信号を伝送する第1伝送手段と、
前記ＳＤＲモード時に前記第1伝送手段により伝送された前記クロック信号の単一方向の遷移に対応して、その出力信号のレベルを遷移させるシフトレジスタと、
前記ＤＤＲモード時に前記マスター信号に応答して前記クロック信号を伝送する第2伝送手段と、
前記ＤＤＲモード時に前記第2伝送手段により伝送された前記クロック信号の両方向の遷移に対応して、その出力信号のレベルを遷移させる中継器と、
前記ＳＤＲモード時に前記マスター信号に応答して前記シフトレジスタの出力信号をパルス発生端に伝送する第3伝送手段と、
前記ＤＤＲモード時に前記マスター信号に応答して前記中継器の出力信号を前記パルス発生端に伝送する第4伝送手段と、
前記パルス発生端の信号の遷移が発生する都度、パルスを発生させるパルス発生装置とを具備し、
前記モード選択部は、フォトマスクによって電源電圧又は接地電圧を選択するように構

成されて前記マスター信号を発生するスイッチを含む、
ことを特徴とする半導体メモリ装置の動作制御装置。
【請求項２】
半導体メモリ装置をＳＤＲモード又はＤＤＲモードに設定して動作させる半導体メモリ装置の動作制御装置において、
所定のマスター信号を発生させるモード選択部と、
前記ＳＤＲモード時に前記マスター信号に応答して所定のクロック信号を伝送する第1伝送手段と、
前記ＳＤＲモード時に前記第1伝送手段により伝送された前記クロック信号の単一方向の遷移に対応して、その出力信号のレベルを遷移させるシフトレジスタと、
前記ＤＤＲモード時に前記マスター信号に応答して前記クロック信号を伝送する第2伝送手段と、
前記ＤＤＲモード時に前記第2伝送手段により伝送された前記クロック信号の両方向の遷移に対応して、その出力信号のレベルを遷移させる中継器と、
前記ＳＤＲモード時に前記マスター信号に応答して前記シフトレジスタの出力信号をパルス発生端に伝送する第3伝送手段と、
前記ＤＤＲモード時に前記マスター信号に応答して前記中継器の出力信号を前記パルス発生端に伝送する第4伝送手段と、
前記パルス発生端の信号の遷移が発生する都度、パルスを発生させるパルス発生装置とを具備し、
前記モード選択部は、ヒューズが切断されているか否かに応じたレベルの前記マスター信号を発生することを特徴とする半導体メモリ装置の動作制御装置。
【請求項３】
前記モード選択部は、そのソースが接地電圧に接続され、そのゲートが電源電圧に接続されたNMOSトランジスタと、
その第1端子が電源電圧に接続され、その第2端子が前記NMOSトランジスタのドレーンと接続されたヒューズと、
を具備し、前記NMOSトランジスタのドレーンから前記マスター信号を出力することを特徴とする請求項2に記載の半導体メモリ装置の動作制御装置。
【請求項４】
前記シフトレジスタは、
前記クロック信号が下降遷移をする時、所定の内部信号を伝送する第1伝送ゲートと、
前記ＳＤＲモード時にイネーブルされ、前記第1伝送ゲートにより伝送された前記内部信号に応答する第1論理積反転手段と、
前記第1論理積反転手段の出力信号を反転させる第1反転手段と、
前記クロック信号が上昇遷移をする時、前記第1反転手段の出力信号を伝送する第2伝送ゲートと、
前記ＳＤＲモード時にイネーブルされ、前記第2伝送ゲートにより伝送された前記第1反転手段の出力信号に応答して前記所定の内部信号を発生する第2論理積反転手段と、
前記クロック信号が上昇遷移をする時、前記第1論理積反転手段の出力信号をラッチする第1ラッチ手段と、
前記クロック信号が下降遷移をする時、前記第2論理積反転出力信号をラッチする第2ラッチ手段と、
を具備することを特徴とする請求項1又は請求項2に記載の半導体メモリ装置の動作制御装置。
【請求項５】
前記第1ラッチ手段は、
前記第1論理積反転手段の出力信号を反転させる第2反転手段と、
前記クロック信号が上昇遷移をする時、前記第1論理積反転手段の入力端に前記第2反転手段の出力信号を伝送する第3伝送ゲートと、

を具備することを特徴とする請求項４に記載の半導体メモリ装置の動作制御装置。
【請求項６】
前記第2ラッチ手段は、
前記第2論理積反転手段の出力信号を反転させる第3反転手段と、
前記クロック信号が下降遷移をする時、前記第2論理積反転手段の入力端に前記第3反転手段の出力信号を伝送する第4伝送ゲートと、
を具備することを特徴とする請求項４に記載の半導体メモリ装置の動作制御装置。
【請求項７】
前記シフトレジスタは、前記所定の内部信号をバッファリングして前記シフトレジスタの出力信号を生成するバッファ手段をさらに具備することを特徴とする請求項４に記載の半導体メモリ装置の動作制御装置。
【請求項８】
前記シフトレジスタは、
前記クロック信号が上昇遷移をする時、所定の内部信号を伝送する第1伝送ゲートと、
前記ＳＤＲモード時にイネーブルされ、前記第1伝送ゲートにより伝送された前記内部信号に応答する第1論理積反転手段と、
前記第1論理積反転手段の出力信号を反転させる第1反転手段と、
前記クロック信号が下降遷移をする時、前記第1反転手段の出力信号を伝送する第2伝送ゲートと、
前記ＳＤＲモード時にイネーブルされ、前記第2伝送ゲートにより伝送された前記第1反転手段の出力信号に応答して前記所定の内部信号を発生する第2論理積反転手段と、
前記クロック信号が下降遷移をする時、前記第1論理積反転出力信号をラッチする第1ラッチ手段と、
前記クロック信号が上昇遷移をする時、前記第2論理積反転手段の出力信号をラッチする第2ラッチ手段と、
を具備することを特徴とする請求項1に記載の半導体メモリ装置の動作制御装置。
【請求項９】
前記第1ラッチ手段は、
前記第1論理積反転手段の出力信号を反転させる第2反転手段と、
前記クロック信号が下降遷移をする時、前記第1論理積反転手段の入力端に前記第2反転手段の出力信号を伝送する第3伝送ゲートと、
を具備することを特徴とする請求項８に記載の半導体メモリ装置の動作制御装置。
【請求項１０】
前記第2ラッチ手段は、
前記第2論理積反転手段の出力信号を反転させる第3反転手段と、
前記クロック信号が上昇遷移をする時、前記第2論理積反転手段の入力端に前記第3反転手段の出力信号を伝送する第4伝送ゲートと、
を具備することを特徴とする請求項８に記載の半導体メモリ装置の動作制御装置。
【請求項１１】
前記シフトレジスタは、前記所定の内部信号をバッファリングして前記シフトレジスタの出力信号を生成するバッファ手段をさらに具備することを特徴とする請求項８に記載の半導体メモリ装置の動作制御装置。
【請求項１２】
前記中継器は、前記第2伝送手段により伝送された前記クロック信号をバッファリングして前記中継器の出力信号を生成するバッファ手段を具備することを特徴とする請求項1又は請求項2に記載の半導体メモリ装置の動作制御装置。
【請求項１３】
前記パルス発生装置は、
前記パルス発生端の信号を反転させる第1反転手段と、
前記パルス発生端の信号を反転して遅延させる反転遅延手段と、

前記反転遅延手段の出力信号を反転させる第2反転手段と、
前記第1反転手段の出力信号と前記第2反転手段の出力信号との論理積を反転して出力する第1論理積反転手段と、
前記パルス発生端の信号と前記反転遅延手段の出力信号との論理積を反転して出力する第2論理積反転手段と、
前記第1論理積反転手段の出力信号と前記第2論理積反転手段の出力信号との論理積を反転して出力する第3論理積反転手段と、
を具備することを特徴とする請求項1又は請求項2に記載の半導体メモリ装置の動作制御装置。
【請求項１４】
前記反転遅延手段は、
前記パルス発生端の信号を反転させるインバータと、
電源電圧及び接地電圧のいずれか一方と前記インバータの出力端の間に形成されたキャパシタと、
を具備することを特徴とする請求項１３に記載の半導体メモリ装置の動作制御装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体メモリ装置に係り、特に単一データ率(SINGLE DATA RATE,以下SDRと言う）モードと二重データ率(DOUBLE DATA RATE、以下DDRと言う）モードとを一つの製品に実装した半導体メモリ装置の動作制御装置に関する。
【０００２】
【従来の技術】
一般に、コンピューターシステムは、与えられた作業に対応する命令を実行するための中央処理装置(CPU)と、CPUが要求するデータやプログラムなどを格納するための主メモリとを有する。従って、コンピューターシステムの性能向上のためには、CPUの動作速度を向上させることや、CPUを待機時間なく動作させて主メモリへのアクセス時間をできる限り短くすることが要求される。このような要求に応じて、システムクロックの制御を受けて動作し、主メモリへのアクセス時間が非常に短い同期式DRAM(SDRAM）が登場した。
【０００３】
一般に、SDRAMは、システムクロックの遷移により発生するパルス信号に応答して動作が制御されることを特徴とする。そして、システムクロックの遷移によるパルス信号の発生方式は、SDRモードとDDRモードとに分けることができる。SDRモードは、システムクロックの"ハイ(HIGH)からロー(LOW)"又は"ローからハイ"の遷移のうち、一つの方向の遷移に対してだけパルス信号を発生させてDRAM素子を動作させる方式である。一方、DDRモードは、システムクロックの"ハイからロー"又は"ローからハイ"の遷移の両方向の遷移に対してパルス信号を発生させてDRAM素子を動作させる方式である。
【０００４】
DDRモードは、システムクロックの遷移の都度、データの出力又は入力動作が実行されるため、広い動作可能周波数(BAND WIDTH)特性を有する。従って、DDRモードは超高速SDRAMの実現のために非常に大きい利点を有する。一方、SDRモードは設計が容易であるという利点を有する。一般には、超高速システムで要求されるメモリ素子には、DDRモードが採択され、他のメモリ素子にはSDRモードが採択される。
【０００５】
図1は、SDRモードを採用した従来技術に係る半導体メモリ装置の動作制御装置を示す図であり、図2は、DDRモードを採用した従来技術に係る半導体メモリ装置の動作制御装置を示すである。
【０００６】
DDRモードを採用したメモリ装置の信号セットアップタイム(SIGNAL SET-UP TIME)とホールドタイム(HOLD TIME）は、SDRモードを採用するメモリ装置とは異なって、システムク

ロックの両方向の遷移について定義され、データ出力も該両方向の遷移に付随して行われる。したがって、DDRモードを採用したメモリ装置とSDRモードを採用したメモリ装置とは互換性がない。その結果、従来技術に係る半導体メモリ装置の動作制御装置は、DDRモードとSDRモードとをオプションとして選択することができず、各モードの半導体メモリ装置を別個の素子として製造する必要があり、生産効率が悪く生産費用も高い。

【０００７】

【発明が解決しようとする課題】

本発明は、上記の事情に鑑みてなされたものであり、その目的は、SDRモードとDDRモードとを選択可能なオプション方式を導入することにより、生産性を向上して生産費用を低減することを目的とする。

【０００８】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係るメモリ装置の動作制御装置は、外部から入力される調節信号に応答して、システムクロック信号の単一方向の遷移に対応してパルスを発生するSDRモード、又は、システムクロック信号の両方向の遷移に対向してパルスを発生するDDRモードを選択する機能を有する。

【０００９】

上記の半導体メモリ装置の動作制御装置は、所定のマスター信号を発生させるモード選択部と、単一方向遷移モード時に前記マスター信号に応答して所定のクロック信号を伝送する第1伝送手段と、単一方向遷移モード時に前記第1伝送手段により伝送された前記クロック信号の単一方向の遷移に対応して出力信号のレベルを遷移させるシフトレジスタと、両方向遷移モード時に前記マスター信号に応答して前記クロック信号を伝送する第2伝送手段と、両方向遷移モード時に前記第2伝送手段により伝送された前記クロック信号の両方向の遷移に対応して出力信号のレベルを遷移させる中継器と、単一方向遷移モード時に前記マスター信号に応答して前記シフトレジスタの出力信号をパルス発生端に伝送する第3伝送手段と、両方向遷移モード時に前記マスター信号に応答して前記中継器の出力信号を前記パルス発生端に伝送する第4伝送手段と、前記パルス発生端の信号の遷移が発生する都度、パルスを発生するパルス発生装置とを具備することを特徴とする。

【００１０】

【発明の実施の形態】

以下、添付図面を参照しながら本発明の好適な実施の形態を詳細に説明する。なお、各図面において、同一の構成要素には同一の符号を付している。

【００１１】

図3は、本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置の構成を示すブロック図である。この半導体メモリ装置の動作制御装置は、モード選択部301、第1伝送手段303、シフトレジスタ305、第2伝送手段307、中継器309、第3伝送手段311、第4伝送手段313、及びパルス発生装置315を具備する。

【００１２】

モード選択部301は、所定のマスター信号XMASを発生する。そして、第1伝送手段303は、単一方向遷移(SDR)モード時にマスター信号XMASに応答して所定のクロック信号XCLKを伝送する。そして、シフトレジスタ305は、SDRモード時に第1伝送手段303により伝送されたクロック信号XCLKの単一方向の遷移に対応して出力信号P3のレベルを遷移させる。

【００１３】

第2伝送手段307は、両方向遷移(DDR)モード時にマスター信号XMASに応答してクロック信号XCLKを伝送する。そして、中継器309は、DDRモード時に第2伝送手段307により伝送されたクロック信号XCLKの両方向の遷移に対応して出力信号P4のレベルを遷移させる。

【００１４】

第3伝送手段311は、SDRモード時にマスター信号XMASに応答してシフトレジスタ305の出力信号P3を信号P5としてパルス出力端に伝送する。第4伝送手段313は、DDRモード時にマスター信号XMASに応答して中継器309の出力信号P4を信号P5としてパルス出力端に伝送する

。
【００１５】
パルス発生器315は、パルス出力端の信号P5が遷移する都度、パルスXOUTを発生する。
【００１６】
本実施の形態では、モード選択部301の出力信号であるマスター信号XMASのレベルが"ハイ"の時は、第1伝送手段303と第3伝送手段311がターンオンされ、シフトレジスタ305も動作する。したがって、パルス出力端の信号P5の論理状態の遷移はクロック信号XCLKの単一方向の遷移に対してのみ発生する。その結果、モード選択部301の出力信号であるマスター信号XMASのレベルが"ハイ"の時は、パルス発生器315の出力信号XOUTは、クロック信号XCLKの単一方向の遷移に対してのみパルスを発生するSDRモードが選択される。
【００１７】
一方、モード選択部301の出力信号であるマスター信号XMASのレベルが"ロー"の時は、第2伝送手段307と第4伝送手段313がターンオンされる。したがって、パルス出力端の信号P5の論理状態の遷移は、クロック信号XCLKの両方向の遷移に対して発生する。その結果、モード選択部301の出力信号であるマスター信号XMASのレベルが"ロー"の時は、パルス発生器315の出力信号XOUTは、クロック信号XCLKの両方向の遷移に対してパルスを発生するSDRモードが選択される。
【００１８】
図4Aは、本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のモード選択部301の構成例を示す図である。この構成例に係るモード選択部301は、フォトマスク(PHOTO MASK)によって電源電圧VCC及び接地電圧VSSのいずれか一方を選択してマスター信号XMASを発生するスイッチ401を具備する。したがって、モード選択部の出力端N402がVCCに接続されると、マスター信号XMASのレベルは"ハイ"になって、半導体メモリ装置はSDRモードで動作することになる。一方、モード選択部の出力端N402がVSSと接続されると、マスター信号XMASのレベルは"ロー"になって、半導体メモリ装置はDDRモードで動作することになる。
【００１９】
図4Bは、本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のモード選択部301の他の構成例を示す図である。この構成例に係るモード選択部301は、NMOSトランジスタ403及びヒューズ405を具備する。
【００２０】
NMOSトランジスタ403は、そのソースが接地電圧VSSに接続され、そのゲートが電源電圧VCCに接続されている。そして、ヒューズ405は、その第1端子が電源電圧VCCに接続され、その第2端子がNMOSトランジスタ403のドレーンと接続されている。マスター信号XMASはNMOSトランジスタ403のドレーンから出力される。
【００２１】
ヒューズ405が切断されると、モード選択部の出力端N406のレベルがNMOSトランジスタ403によってVSSにされマスター信号XMASのレベルは"ロー"になり、半導体メモリ装置はDDRモードで動作することになる。ヒューズ405を切断しない場合には、モード選択部の出力端N406のレベルがVCCにされマスター信号XMASのレベルは"ハイ"になり、半導体メモリ装置はSDRモードで動作することになる。
【００２２】
図5は、本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のシフトレジスタ305の構成例を示す図である。この構成例に係るシフトレジスタ305は、第1伝送ゲート501、第1論理積反転手段503、第1反転手段505、第2伝送ゲート507、第2論理積反転手段509、第1ラッチ手段511、及び第2ラッチ手段513を具備する。
【００２３】
第1伝送ゲート501は、クロック信号XCLKが下降遷移をする時、すなわち、信号P1が下降遷移をする時、所定の内部信号XI1を伝送する。第1論理積反転手段503は、単一方向遷移(SDR)モードでイネーブルされて第1伝送ゲート501により伝送された内部信号XI1に応答する

。第1反転手段は、第1論理積反転手段503の出力信号(N504)を反転して出力する。

【００２４】

第2伝送ゲート507は、クロック信号XCLKが上昇遷移をする時、すなわち、信号P1が上昇遷移をする時、第1反転手段505の出力(N506)信号を伝送する。第2論理積反転手段509は、単一方向遷移(SDR)モードでイネーブルされて第2伝送ゲート507により伝送された第1反転手段505の出力信号に応答して所定の内部信号XI1を発生する。

【００２５】

第1ラッチ手段511は、クロック信号XCLKが上昇遷移をする時、すなわち、信号P1が上昇遷移をする時、第1論理積反転手段503の出力(N504)信号をラッチする。第2ラッチ手段513は、クロック信号XCLKが下降遷移をする時、すなわち、信号P1が下降遷移をする時、第2論理積反転手段503の出力信号XI1をラッチする。

【００２６】

第1ラッチ手段511は、第2反転手段515及び第3伝送ゲート517を具備する。第2反転手段515は、第1論理積反転手段503の出力(N504)信号を反転させる。そして第3伝送ゲート517は、クロック信号XCLKが上昇遷移をする時、すなわち、信号P1が上昇遷移をする時、第1論理積反転手段503の入力端(N502)に第2反転手段515の出力(N516)信号を伝送する。

【００２７】

第2ラッチ手段513は、第3反転手段519及び第4伝送ゲート521を具備する。第3反転手段519は、第2論理積反転手段509の出力信号XI1を反転させる。そして、第4伝送ゲート521はクロック信号XCLKが下降遷移をする時、すなわち、信号P1が下降遷移をする時、第2論理積反転手段509の入力端(N508)に第3反転手段519の出力(N520)信号を伝送する。

【００２８】

シフトレジスタ305は、所定の内部信号XI1をバッファリングしてシフトレジスタ305の出力信号P3を発生させるバッファ手段523をさらに具備する。

【００２９】

図6は、図5に示すシフトレジスタ305における主要な信号のタイミング図である。モード選択部301の出力信号であるXMASのレベルが"ハイ"の時、シフトレジスタ305がイネーブルされる。

【００３０】

外部から入力される入力クロックがクロックバッファ302によってバッファリングされたXCLKはパルス波であり、第1伝送手段303の出力信号P1も同様にパルス波である。

【００３１】

まず、初期状態で信号P1のレベルはロー、内部信号XI1のレベルはハイであるものとして、図5に示すシフトレジスタ305の主要信号のレベルを考える。端子N502及び端子N506のレベルはハイ、端子N508のレベルはロー、シフトレジスタの出力信号であるP3のレベルはローである。

【００３２】

信号P1のレベルがハイに上昇すると、第2伝送ゲート507はターンオンされ、第4伝送ゲート521はターンオフされる。端子N508のレベルは、端子N506のレベルが伝送されてハイに上昇する。端子N508のレベルがハイに上昇すると、内部信号XI1のレベルはローになり、P3のレベルはハイになる。そして、第1伝送ゲート501がターンオフされ、第3伝送ゲート517がターンオンされることによって、端子N502のレベルは以前のレベルであるハイ状態をそのまま維持する。

【００３３】

信号P1のレベルが再びローに下降すると、第1伝送ゲート501はターンオンされ、第3伝送ゲート517はターンオフされる。端子N502のレベルは、内部信号XI1のレベルが伝送されてローに下降し、端子N506のレベルもローになる。そして、第2伝送ゲート507がターンオフされ、第4伝送ゲート521がターンオンされることによって、内部信号XI1のレベルは以前のレベルであるロー状態をそのまま維持する。したがって、信号P3のレベルは"ハイ"状態をそのまま維持する。

【００３４】
その結果、図5に示す構成例に係るシフトレジスタでは、XCLKのレベルがローからハイに遷移する時に、内部信号XI1及び信号P3のレベルが遷移する単一方向遷移(SDR)モードになる。
【００３５】
図7は、本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のシフトレジスタ305の他の構成例を示す図である。この構成例に係るシフトレジスタ305は、第1伝送ゲート701、第1論理積反転手段703、第1反転手段705、第2伝送ゲート707、第2論理積反転手段709、第1ラッチ手段711、及び第2ラッチ手段713を具備する。
【００３６】
第1伝送ゲート701は、クロック信号XCLKが上昇遷移をする時、すなわち、信号P1が上昇遷移をする時、所定の内部信号XI1を伝送する。第1論理積反転手段703は、単一方向遷移(SDR)モードでイネーブルされ、第1伝送ゲート701により伝送された内部信号XI2に応答する。第1反転手段705は、第1論理積反転手段703の出力(N704)信号を反転させる。
【００３７】
第2伝送ゲート707は、クロック信号XCLKが下降遷移をする時、すなわち、信号P1が下降遷移をする時、第1反転手段705の出力(N706)信号を伝送する。第2論理積反転手段709は、単一方向遷移(SDR)モードでイネーブルされ、第2伝送ゲート707により伝送された第1反転手段705の出力信号に応答して所定の内部信号XI2を発生する。
【００３８】
第1ラッチ手段711は、クロック信号XCLKが下降遷移をする時、すなわち、信号P1が下降遷移をする時、第1論理積反転手段703の出力(N704)信号をラッチする。第2ラッチ手段713は、クロック信号XCLKが上昇遷移をする時、すなわち、信号P1が上昇遷移をする時、第2論理積反転手段709の出力信号XI2をラッチする。
【００３９】
第1ラッチ手段711は、第2反転手段715及び第3伝送ゲート717を具備する。第2反転手段715は、第1論理積反転手段703の出力(N504)信号を反転させる。第3伝送ゲート717は、クロック信号XCLKが下降遷移をする時、すなわち、信号P1が下降遷移をする時、第1論理積反転手段703の入力端(N702)に第2反転手段715の出力(N716)信号を伝送する。
【００４０】
第2ラッチ手段713は、第3反転手段719及び第4伝送ゲート721を具備する。第3反転手段719は、第2論理積反転手段709の出力信号XI2を反転させる。第4伝送ゲート721は、クロック信号XCLKが上昇遷移をする時、すなわち、信号P1が上昇遷移をする時、第2論理積反転手段709の入力端(N708)に第3反転手段719の出力(N720)信号を伝送する。
【００４１】
この構成例に係るシフトレジスタ305は、所定の内部信号XI2をバッファリングしてシフトレジスタ305の出力信号P3を発生させるバッファ手段723をさらに具備する。
【００４２】
図8は、図7に示すシフトレジスタ305における主要信号のタイミング図を示す図である。モード選択部301の出力信号であるXMASのレベルが"ハイ"の時、シフトレジスタ305がイネーブルされる。
【００４３】
外部から入力される入力クロックがクロックバッファによってバッファリングされたXCLKはパルス波であり、第1伝送手段303の出力信号P1も同様にパルス波である。
【００４４】
まず、初期状態で信号P1のレベルはハイ、内部信号XI2のレベルはハイであるものとして、図7に示すシフトレジスタ305の主要端子のレベルを考える。端子N702と端子N706のレベルはハイ、端子N708のレベルはロー、シフトレジスタの出力信号であるP3のレベルはローである。
【００４５】

信号P1のレベルがローに下降すると、第2伝送ゲート707はターンオンされ、第4伝送ゲート721はターンオフされる。端子N708のレベルは、端子N706のレベルが伝送されてハイに上昇する。端子N708のレベルがハイに上昇すると、内部信号XI2のレベルはローになり、信号P3のレベルはハイになる。そして、第1伝送ゲート701がターンオフされ、第3伝送ゲート717がターンオンされることによって、端子N702のレベルは以前のレベルであるハイ状態をそのまま維持する。

【００４６】

信号P1のレベルが再びハイに上昇すると、第1伝送ゲート701はターンオンされ、第3伝送ゲート717はターンオフされる。端子N702のレベルは、内部信号XI2のレベルが伝送されてローに下降し、端子N706のレベルもローになる。そして、第2伝送ゲート707がターンオフされ、第4伝送ゲート721がターンオンされることによって、内部信号XI2のレベルは以前のレベルであるロー状態をそのまま維持する。したがって、信号P3のレベルは"ハイ"状態をそのまま維持する。

【００４７】

その結果、図7に示すシフトレジスタでは、XCLKのレベルがハイからローに遷移する時に、内部信号XI2及び信号P3のレベルが遷移する単一方向遷移(SDR)モードになる。

【００４８】

図9は、本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置の中継器309の構成例を示す図である。この中継器309は、第2伝送手段307により伝送されたクロック信号P2をバッファリングして出力信号P4を発生するバッファ手段を具備する。

【００４９】

図10は、図9に示す中継器309における信号の変化を示すタイミング図である。モード選択部301の出力信号であるXMASのレベルが"ロー"の時、第2伝送手段307がターンオンされてXCLKがP2に伝送される。中継器309は、信号P2をバッファリングして出力信号P4を発生する。したがって、図9に示す中継器309では、XCLKのレベルがハイからローに遷移する時とXCLKのレベルがローからハイに遷移する時の双方においてP4のレベルが遷移する両方向遷移(DDR)モードとなる。

【００５０】

図11は、本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のパルス発生器315の構成例を示す図である。このパルス発生器315は、第1反転手段1101、反転遅延手段1103、第2反転手段1105、第1論理積反転手段1107、第2論理積反転手段1109、及び第3論理積反転手段1111を具備する。

【００５１】

第1反転手段1101は、パルス発生端の信号P5を反転させる。反転遅延手段1103は、パルス発生端の信号P5を反転して遅延させる。第2反転手段1105は、反転遅延手段1103の出力(N1104)信号を反転させる。

【００５２】

第1論理積反転手段1107は、第1反転手段1101の出力(N1102)信号と第2反転手段1105の出力(N1106)信号の論理積を反転して出力する。第2論理積反転手段1109は、パルス発生端の信号P5と反転遅延手段1103の出力(N1104)信号の論理積を反転して出力する。第3論理積反転手段1111は、第1論理積反転手段1107の出力(N1108)信号と第2論理積反転手段1109の出力(N1110)信号の論理積を反転して出力する。

【００５３】

反転遅延手段1103は、パルス発生端の信号P5を反転させるインバータ1113と、電源電圧VCC又は接地電圧VSSとインバータ1103の出力端(N1114)との間に形成されたキャパシタ1115とを具備する。この構成例では、キャパシタ1115は、ソースとドレーンがVSSに共通接続され、ゲートがインバータ1103の出力端(N1114)に接続されたNMOSトランジスタで構成している。

【００５４】

図12は、図11に示すパルス発生器315の主要信号のタイミング図である。パルス発生器315

は、パルス発生端の信号P5のレベルが遷移する都度、パルスを発生する出力信号XOUTを有する。

【００５５】

図13は、図5に示すシフトレジスタを使用して構成した本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のSDRモードにおける主要信号のタイミング図である。図示のように、外部入力クロックが上昇遷移をする都度、半導体メモリ装置の動作制御装置の出力信号であるXOUTはパルスを発生する。

【００５６】

図14は、図7に示すシフトレジスタを使用して構成した本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のSDRモードにおける主要信号のタイミング図である。図示のように、外部入力クロックが下降遷移をする都度、半導体メモリ装置の動作制御装置の出力信号であるXOUTはパルスを発生する。

【００５７】

図15は、本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のDDRモードにおける主要信号のタイミング図である。図示のように、外部入力クロックが上昇遷移する時及び下降遷移する時の双方において、導体メモリ装置の動作制御装置の出力信号であるXOUTはパルスを発生する。

【００５８】

本発明は、上記の特定の実施の形態に限定されず、本発明の技術的思想の範囲内で様々な変形が可能である。

【００５９】

【発明の効果】

本発明によれば、SDRモード及びDDRモードをメモリチップ上で選択可能にすることにより、生産性を向上させ生産費用を低減することができる。

【００６０】

【図面の簡単な説明】

【図１】　SDRモードを採用した従来技術に係る半導体メモリ装置の動作制御装置を示す図である。

【図２】　DDRモードを採用した従来技術に係る半導体メモリ装置の動作制御装置を示す図である。

【図３】本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置の構成を示す図である。

【図４Ａ】本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のモード選択部の構成例を示す図である。

【図４Ｂ】本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のモード選択部の構成例を示す図である。

【図５】本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のシフトレジスタの第１の構成例を示す図である。

【図６】図５に示すシフトレジスタの主要信号のタイミング図である。

【図７】本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のシフトレジスタの第２の構成例を示す図である。

【図８】図７に示すシフトレジスタの主要信号のタイミング図である。

【図９】本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置の中継器の構成例を示す図である。

【図１０】図９に示す中継器における信号を示すタイミング図である。

【図１１】本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のパルス発生器の構成例を示す図である。

【図１２】図１１に示すパルス発生器における信号を示すタイミング図である。

【図１３】図５に示すシフトレジスタを使用して構成した本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のSDRモードにおける主要信号のイミング図である。

【図１４】図７に示すシフトレジスタを使用して構成した本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のSDRモードにおける主要信号のタイミング図である。

【図１５】本発明の好適な実施の形態に係る半導体メモリ装置の動作制御装置のDDRモードにおける主要信号のタイミング図である。

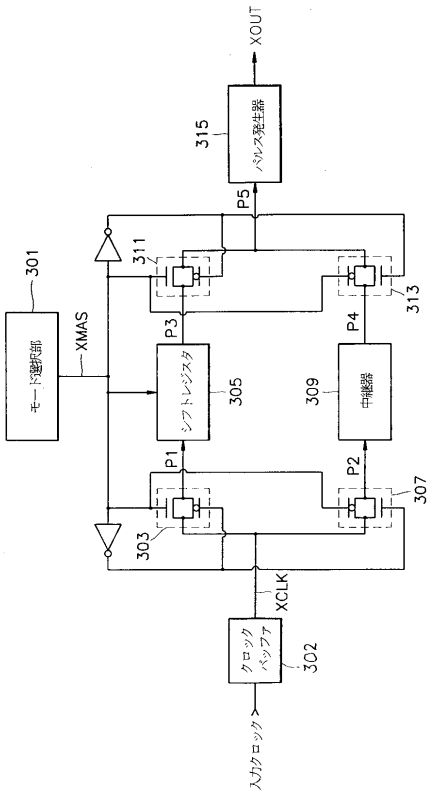
【図１】



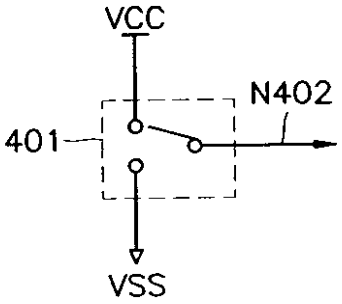
【図２】



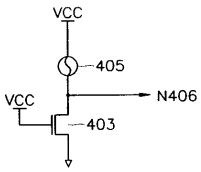
【図３】



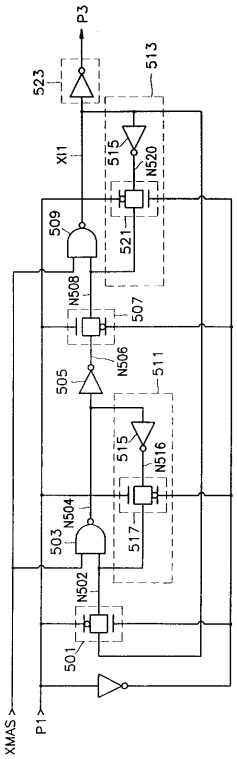
【図４Ａ】



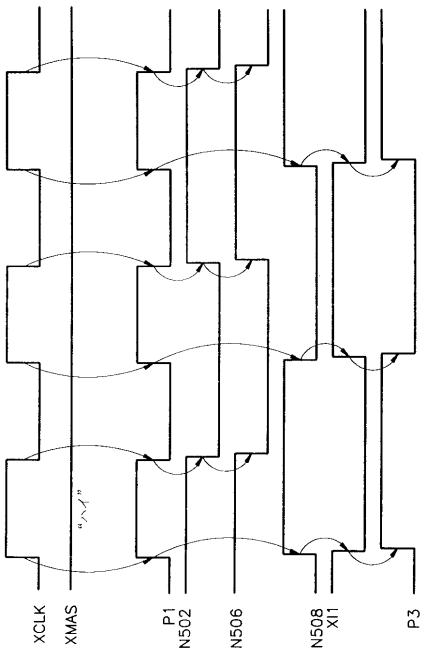
【図４Ｂ】



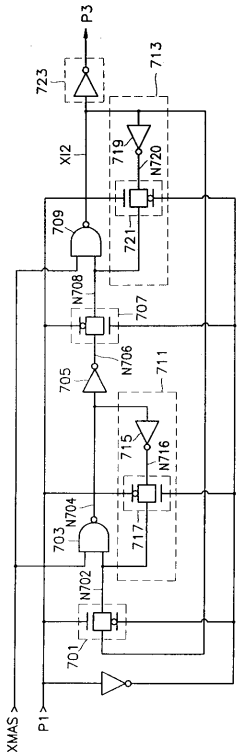
【図５】



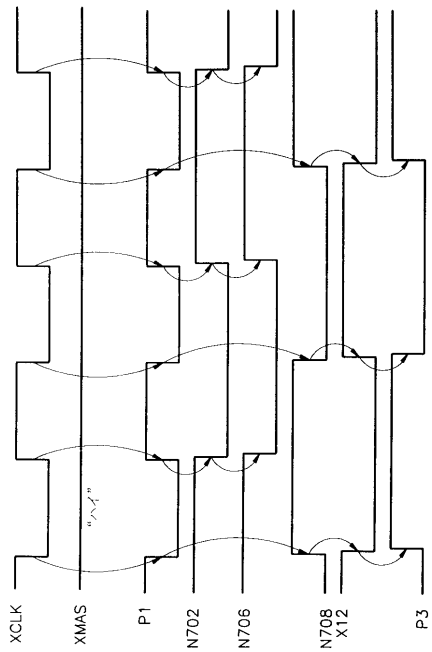
【図６】



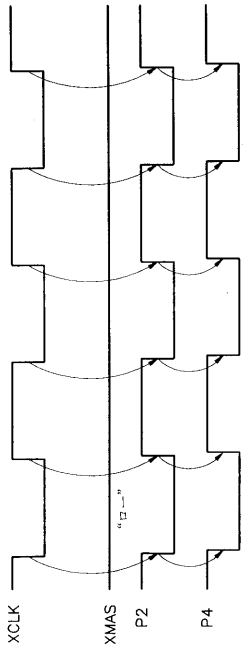
【図７】



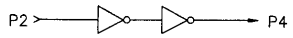
【図８】



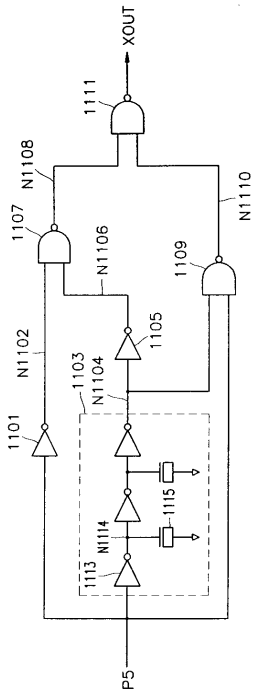
【図１０】



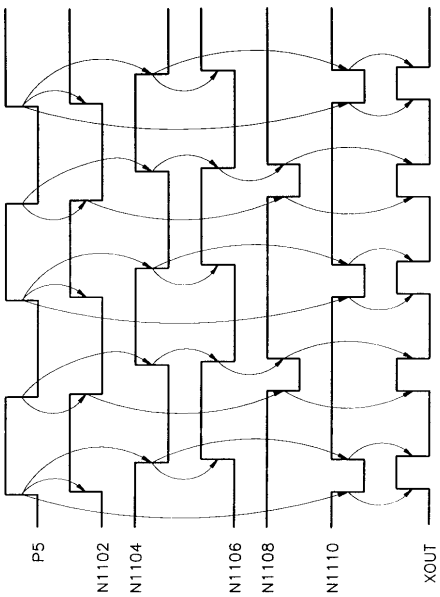
【図９】



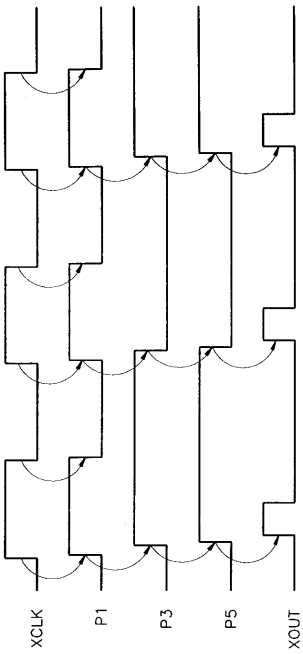
【図１１】



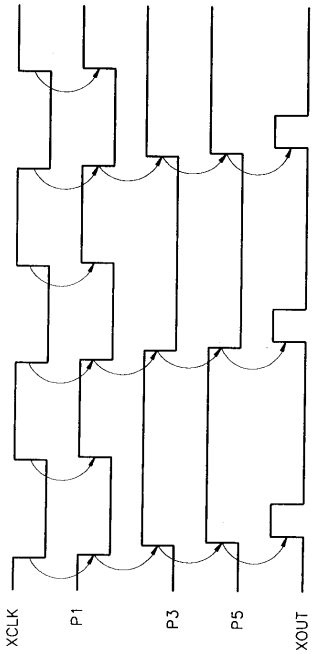
【図１２】



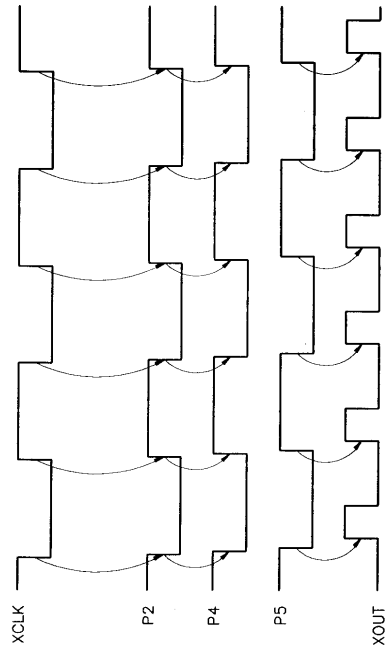
【図１３】



【図１４】



【図１５】



フロントページの続き

(72)発明者　朴燦石
大韓民国京畿道儀旺市王谷洞６０３番地忠武雙龍アパート１０２棟１５０２号

審査官　堀田　和義

(56)参考文献　特開平０６－０８４３５０（ＪＰ，Ａ）
特開平０７－３２６１８９（ＪＰ，Ａ）
特開平１０－３３４６５９（ＪＰ，Ａ）
特開平１１－２１３６６８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/407