

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年6月30日(30.06.2016)



(10) 国際公開番号
WO 2016/104177 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H04N 5/369 (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2015/084761
- (22) 国際出願日: 2015年12月11日(11.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-264288 2014年12月26日(26.12.2014) JP
特願 2015-204246 2015年10月16日(16.10.2015) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 平田 晋太郎 (HIRATA Shintarou); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 山口 哲司 (YAMAGUCHI Tetsuji); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 古閑 史彦 (KOGA Fumihiko); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内

Tokyo (JP). 福岡 慎平 (FUKUOKA Shinpei); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 萬田 周治 (MANDA Shuji); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

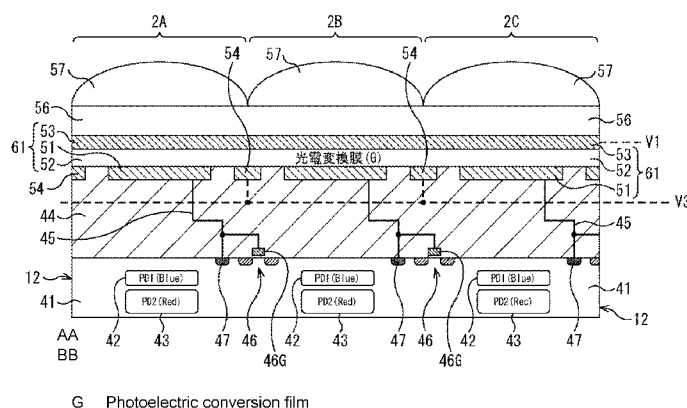
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) Title: SOLID-STATE IMAGE CAPTURE ELEMENT, METHOD FOR MANUFACTURING SAME, AND ELECTRONIC COMPONENT

(54) 発明の名称: 固体撮像素子およびその製造方法、並びに電子機器

図2



(57) Abstract: The present disclosure relates to a solid-state image capture element enabling a decrease in signal mixing due to electric capacitive coupling with an adjacent pixel, a method for manufacturing the same, and an electronic device. In the solid-state image capture element, a first pixel and a second pixel are disposed adjacent to each other. Each of the first pixel and the second pixel includes a photoelectric conversion film for photoelectric conversion of incident light, and a lower electrode disposed under the film, with another electrode different from the lower electrode provided between the lower electrodes of the first pixel and the second pixel. The present disclosure can be applied, for example, to a solid-state image capture element.

(57) 要約: 本開示は、隣接画素との電氣的容量結合による信号混合を低減することができるようにする固体撮像素子およびその製造方法、並びに電子機器に関する。固体撮像素子では、第1画素と第2画素が隣接して配置されている。第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜と、その下方に配置された下部電極を有し、第1画素と第2画素の下部電極の間に、下部電極と異なる他の電極を備える。本開示は、例えば、固体撮像素子等に適用できる。



WO 2016/104177 A1



ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 固体撮像素子およびその製造方法、並びに電子機器 技術分野

[0001] 本開示は、固体撮像素子およびその製造方法、並びに電子機器に関し、特に、隣接画素との電氣的容量結合による信号混合を低減することができるようにする固体撮像素子およびその製造方法、並びに電子機器に関する。

背景技術

[0002] 近年、有機半導体や無機化合物半導体を光電変換膜とするイメージセンサが開発されている。これらは一般的に、光電変換膜と、それを上下で挟む電極とからなり、上下の電極のうちの少なくとも一方の電極が画素ごとに分離された素子構造をしている（例えば、特許文献1参照）。

[0003] 光電変換膜で発生された電荷は、分離された電極と接続されたシリコン内の電荷蓄積部に蓄積される。そして、蓄積された電荷に応じた信号が、MOS回路等の信号読出し部によって外部に読み出される。

先行技術文献

特許文献

[0004] 特許文献1：特開2011-244010号公報

発明の概要

発明が解決しようとする課題

[0005] 各画素の電荷蓄積部は、そこに蓄積された電荷に応じた電位になっているが、周辺画素の電荷蓄積部との間に大きな電位差がある場合、電氣的容量結合により信号混合が発生する。電氣的容量結合による信号混合は、解像度の低下や混色をもたらす。

[0006] 本開示は、このような状況に鑑みてなされたものであり、隣接画素との電氣的容量結合による信号混合を低減することができるようにするものである。

課題を解決するための手段

- [0007] 本開示の第1の側面の固体撮像素子は、第1画素と第2画素が隣接して配置されており、前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜と、その下方に配置された下部電極を有し、前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極を備える。
- [0008] 本開示の第2の側面の固体撮像素子の製造方法は、隣接して配置されている第1画素と第2画素の一部として、入射された光を光電変換する光電変換膜と、その下方に配置される下部電極を形成するとともに、前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極を形成する。
- [0009] 本開示の第3の側面の電子機器は、第1画素と第2画素が隣接して配置されており、前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜と、その下方に配置された下部電極を有し、前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極を備える固体撮像素子を備える。
- [0010] 本開示の第1乃至第3の側面においては、第1画素と第2画素が隣接して配置されており、前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜と、その下方に配置された下部電極を有し、前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極が設けられる。
- [0011] 本開示の第4の側面の固体撮像素子は、第1画素と第2画素が隣接して配置されており、前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜及びバッファ層と、その下方に配置された下部電極を有し、前記バッファ層と同一層の前記第1画素と第2画素の下部電極の間に、絶縁性を有する遮断層を備える。
- [0012] 本開示の第4の側面においては、第1画素と第2画素が隣接して配置されており、前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜及びバッファ層と、その下方に配置された下部電極を有し、前記バッファ層と同一層の前記第1画素と第2画素の下部電極の間に、絶縁性を有する遮断層が設けられる。

[0013] 固体撮像素子及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

発明の効果

[0014] 本開示の第1乃至第4の側面によれば、隣接画素との電氣的容量結合による信号混合を低減することができるようにする。

[0015] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0016] [図1]本開示に係る固体撮像素子の概略構成を示す図である。

[図2]第1の実施の形態における画素の断面構成図である。

[図3]下部電極と画素間電極の平面レイアウトを示す図である。

[図4]光電変換膜に関する回路構成を示す図である。

[図5]第1の実施の形態における画素の効果を説明する図である。

[図6]画素間電極のその他のレイアウト例を示す図である。

[図7]画素間電極のその他のレイアウト例を示す図である。

[図8]第2の実施の形態における画素の断面構成図である。

[図9]第3の実施の形態における画素の断面構成図である。

[図10]配線層とコンタクトビアの平面レイアウトを示す図である。

[図11]第4の実施の形態における画素の断面構成図である。

[図12]第5の実施の形態における画素の断面構成図である。

[図13]第6の実施の形態における画素の断面構成図である。

[図14]下部電極と画素間電極の平面レイアウトを示す図である。

[図15]第7の実施の形態における画素の断面構成図である。

[図16]第1の実施の形態の製造方法を説明する図である。

[図17]第1の実施の形態の製造方法を説明する図である。

[図18]第1の実施の形態の製造方法を説明する図である。

[図19]第8の実施の形態における画素の断面構成図である。

[図20]第9の実施の形態における画素の断面構成図である。

[図21]第9の実施の形態における画素間電極のレイアウト例を示す図である。

[図22]第9の実施の形態における画素間電極のその他のレイアウト例を示す図である。

[図23]第9の実施の形態における画素間電極のその他のレイアウト例を示す図である。

[図24]第10の実施の形態における画素の断面構成図である。

[図25]第10の実施の形態における画素間電極のレイアウト例を示す図である。

[図26]第10の実施の形態における画素間電極のその他のレイアウト例を示す図である。

[図27]第10の実施の形態における画素間電極のその他のレイアウト例を示す図である。

[図28]第11の実施の形態における画素の断面構成図である。

[図29]第12の実施の形態における画素の断面構成図である。

[図30]第13の実施の形態における画素の断面構成図である。

[図31]第13の実施の形態の製造方法を説明する図である。

[図32]本開示に係る電子機器としての撮像装置の構成例を示すブロック図である。

発明を実施するための形態

[0017] 以下、本開示を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 固体撮像素子の概略構成例
2. 画素の第1の実施の形態（画素間電極を有する構成）
3. 画素の第2の実施の形態（画素間電極がGND領域に接続された構成）
4. 画素の第3の実施の形態（画素間電極が画素内の配線層に接続された構成）
5. 画素の第4の実施の形態（絶縁膜が平坦化されない構成）

6. 画素の第5の実施の形態（画素間電極と光電変換膜が接しない構成）
7. 画素の第6の実施の形態（画素間電極の電荷が蓄積される構成）
8. 画素の第7の実施の形態（光電変換膜が全波長の光を光電変換する構成）
9. 第1の実施の形態の製造方法
10. 画素の第8の実施の形態（裏面照射型の構成）
11. 画素の第9の実施の形態（画素間電極が下部電極より下層に形成される第1構成例）
12. 画素の第10の実施の形態（画素間電極が下部電極より下層に形成される第2構成例）
13. 画素の第11の実施の形態（画素間電極が下部電極より下層に形成される第3構成例）
14. 画素の第12の実施の形態（画素間電極が下部電極より下層に形成される第4構成例）
15. 画素の第13の実施の形態（光電変換部にバッファ層と遮断層を有する構成例）
16. 電子機器への適用例

[0018] <1. 固体撮像素子の概略構成例>

図1は、本開示に係る固体撮像素子の概略構成を示している。

[0019] 図1の固体撮像素子1は、半導体として例えばシリコン（Si）を用いた半導体基板12に、画素2が行列状に2次元配置されている画素アレイ部3と、その周辺の周辺回路部とを有して構成される。周辺回路部には、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6、出力回路7、制御回路8などが含まれる。

[0020] 画素2は、光電変換素子と、複数の画素トランジスタを有して成る。複数の画素トランジスタは、例えば、選択トランジスタ、リセットトランジスタ、及び、出力トランジスタ（増幅トランジスタ）の3つのMOSトランジスタで構成される。

- [0021] 垂直駆動回路4は、例えばシフトレジスタによって構成され、画素駆動配線10を選択し、選択された画素駆動配線10に画素2を駆動するためのパルスを供給し、行単位で画素2を駆動する。すなわち、垂直駆動回路4は、画素アレイ部3の各画素2を行単位で順次垂直方向に選択走査し、各画素2の光電変換部において受光量に応じて生成された電荷（信号電荷）に基づく画素信号を、垂直信号線9を通してカラム信号処理回路5に供給する。
- [0022] カラム信号処理回路5は、画素2の列ごとに配置されており、1行分の画素2から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。例えば、カラム信号処理回路5は、画素固有の固定パターンノイズを除去するためのCDS(Correlated Double Sampling：相関2重サンプリング)およびAD変換等の信号処理を行う。
- [0023] 水平駆動回路6は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から画素信号を水平信号線11に出力させる。
- [0024] 出力回路7は、カラム信号処理回路5の各々から水平信号線11を通して順次に供給される信号に対し所定の信号処理を行って、出力端子13を介して出力する。出力回路7は、例えば、バッファリングだけする場合もあるし、黒レベル調整や列ばらつき補正などの各種のデジタル信号処理が行われる場合もある。
- [0025] 制御回路8は、入力クロックと、動作モードなどを指令するデータを受け取り、また固体撮像素子1の内部情報などのデータを出力する。すなわち、制御回路8は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6などの動作の基準となるクロック信号や制御信号を生成する。そして、制御回路8は、生成したクロック信号や制御信号を、垂直駆動回路4、カラム信号処理回路5及び水平駆動回路6等に出力する。
- [0026] 以上のように構成される固体撮像素子1は、CDS処理とAD変換処理を行うカ

ラム信号処理回路 5 が画素列ごとに配置されたカラムAD方式と呼ばれるCMOSイメージセンサである。

[0027] <2. 画素の第1の実施の形態>

<画素の断面構成図>

図2を参照して、図1の固体撮像素子1の画素2の第1の実施の形態について説明する。

[0028] 図2は、第1の実施の形態における画素2の断面構成を示す図である。

[0029] なお、図2では、画素2が横方向に3個並んで配置されており、これら3個の画素2を、便宜上、図面の左側から、画素2A、画素2B、画素2Cと記述して示している。

[0030] 半導体基板12の第1導電型（例えば、P型）の半導体領域41内に、第2導電型（例えば、N型）の半導体領域42及び43を深さ方向に積層して形成することにより、PN接合によるフォトダイオードPD1およびPD2が、深さ方向に形成されている。半導体領域42を電荷蓄積領域とするフォトダイオードPD1は、青色の光を受光して光電変換する無機光電変換部であり、半導体領域43を電荷蓄積領域とするフォトダイオードPD2は、赤色の光を受光して光電変換する無機光電変換部である。

[0031] 半導体基板12の表面側（図中上側）には、複数の配線層と層間絶縁膜とからなる多層配線層44が形成されている。多層配線層44の層間絶縁膜は、例えば、ハフニウム酸化（HfO₂）膜、シリコン酸化膜、シリコン窒化膜など、透明な絶縁膜で構成される。

[0032] 多層配線層44の上側には、光電変換膜52が、その下側の下部電極51と上側の上部電極53で挟まれた形で配置されている。光電変換膜52が形成されている領域のうち、下部電極51と上部電極53で挟まれた領域が、入射光を光電変換する領域であり、下部電極51、光電変換膜52、及び上部電極53は、光電変換部61を構成する。光電変換膜52は、緑色の波長光を光電変換する膜として、例えば、ローダーミン系色素、メラシアニン系色素、キナクリドン等を含む有機光電変換材料で形成される。下部電極51

と上部電極 5 3 は、例えば、酸化インジウム錫 (ITO) 膜、酸化インジウム亜鉛膜等で形成される。

[0033] なお、光電変換膜 5 2 を、赤色の波長光を光電変換する膜とする場合には、例えば、フタロシアニン系色素を含む有機光電変換材料を用いることができる。また、青色の波長光を光電変換する膜とする場合には、クマリン系色素、トリスー 8 -ヒドロキシキノリン A1 (A1 q 3)、メラシアニン系色素等を含む有機光電変換材料を用いることができる。

[0034] 上部電極 5 3 は、全画素共通に全面に形成されているのに対して、下部電極 5 1 は、画素単位に形成されている。そして、画素ごとに分離された下部電極 5 1 の間に、下部電極 5 1 と異なる他の電極である画素間電極 5 4 が形成されている。ここで、上部電極 5 3 を第 1 の電極、下部電極 5 1 を第 2 の電極とすると、画素間電極 5 4 は、第 3 の電極である。

[0035] 本実施の形態では、画素間電極 5 4 は、下部電極 5 1 と同じ材料により形成されることとするが、タングステン (W)、アルミニウム (Al)、銅 (Cu) などの金属材料で形成することもできる。

[0036] 図 3 は、画素アレイ部 3 内の下部電極 5 1 と画素間電極 5 4 の平面レイアウトを示す図である。

[0037] 図 3 に示されるように、画素単位に形成されている矩形状の下部電極 5 1 は、画素 2 の配置に対応して 2 次元配置されている。

[0038] 一方、画素間電極 5 4 は、各画素 2 の境界上であって、隣り合う下部電極 5 1 の間に、所定のパターン幅で格子状に形成されている。

[0039] 画素間電極 5 4 は、画素アレイ部 3 の周辺の配線層 (不図示) と接続されており、その配線層を介して、画素間電極 5 4 に所定の電圧 V3 が供給される。図 2 では、例えば、垂直駆動回路 4 または制御回路 8 が、画素アレイ部 3 周辺の配線層を介して画素間電極 5 4 に電圧 V3 を供給する状態を、破線で示している。

[0040] 図 2 に戻り、画素間電極 5 4 には、画素アレイ部 3 周辺の配線層から所定の電圧 V3 が供給され、第 1 の電極である上部電極 5 3 には、画素アレイ部 3

周辺の配線層から所定の電圧V1が供給される。このとき、電圧V1と電圧V3の関係は、光電変換部61において入射光に応じて生成される信号電荷が正孔である場合、 $V1 > V3$ であり、生成される信号電荷が電子である場合、 $V1 < V3$ である。

[0041] 下部電極51は、多層配線層44内に形成された金属配線45により、出力トランジスタ46のゲート電極46Gと、半導体基板12内のFD部（フローティングディフュージョン部）47と接続されている。出力トランジスタ（増幅トランジスタ）46は、光電変換部61で生成された電荷を画素信号として画素外へ出力する出力トランジスタである。FD部47は、光電変換膜52で生成された電荷を、読み出されるまでの間、一時的に保持する領域である。FD部47は、例えば、第2導電型（例えば、N型）の半導体領域で形成されている。

[0042] なお、多層配線層44及び半導体基板12の半導体領域41には、フォトダイオードPD1およびPD2で生成された電荷の読み出し等を行う複数の画素トランジスタやFD部なども勿論形成されているが、図示が省略されている。

[0043] 上部電極53の上面には、シリコン窒化膜（SiN）、シリコン酸窒化膜（SiON）、炭化珪素（SiC）等の無機膜により、高屈折率層56が形成されている。高屈折率層56の上には、オンチップレンズ57が形成されている。オンチップレンズ57の材料には、例えば、シリコン窒化膜（SiN）、または、スチレン系樹脂、アクリル系樹脂、スチレン-アクリル共重合系樹脂、若しくはシロキサン系樹脂等の樹脂系材料が用いられる。高屈折率層56は、屈折角を大きくし、集光効率を高める効果がある。

[0044] 以上の画素構造を有する固体撮像素子1は、緑色の光については半導体基板（シリコン層）12の上方に形成された光電変換膜52で光電変換し、青色と赤色の光については半導体基板12内のフォトダイオードPD1及びPD2で光電変換する縦方向分光型の固体撮像素子である。

[0045] また、固体撮像素子1は、多層配線層44が形成されている半導体基板12の表面側から光が入射される表面照射型のCMOS固体撮像素子である。

[0046] <光電変換膜に関する回路構成例>

図4は、画素2のうち、光電変換膜52で光電変換された電荷を出力する部分の回路構成例を示している。

[0047] 画素2は、出力トランジスタ46、FD部47、光電変換部61、リセットトランジスタ62、および選択トランジスタ63を有する。

[0048] 光電変換部61は、図2で説明した下部電極51、光電変換膜52、及び上部電極53で構成され、受光した光量に応じた電荷（信号電荷）を生成し、かつ、蓄積する。光電変換部61の一部である下部電極51が、図2に示したように、FD部47と、出力トランジスタ46のゲート電極46Gに接続されている。したがって、光電変換膜52で生成された電荷は、下部電極51、FD部47、及び出力トランジスタ46のゲート電極46Gの全体で保持される。以下では、下部電極51、FD部47、及び出力トランジスタ46のゲート電極46Gを、電荷蓄積部ともいう。

[0049] FD部47は、光電変換部61で生成された電荷を蓄積する。リセットトランジスタ62は、リセット信号RSTによりオンされたとき、FD部47に蓄積されている電荷がソース（例えば、GND）に排出されることで、FD部47の電位をリセットする。

[0050] 出力トランジスタ46は、FD部47の電位に応じた画素信号を出力する。すなわち、出力トランジスタ46は、垂直信号線9を介して接続されている定電流源としての負荷MOS（不図示）とソースフォロワ回路を構成し、FD部47等に蓄積されている電荷に応じたレベルを示す画素信号が、出力トランジスタ46から選択トランジスタ63を介してカラム信号処理回路5（図1）に出力される。

[0051] 選択トランジスタ63は、選択信号SELにより画素2が選択されたときオンされ、画素2の画素信号を、垂直信号線9を介してカラム信号処理回路5に出力する。選択信号SEL及びリセット信号RSTが伝送される各信号線は、図1の画素駆動配線10に対応する。

[0052] 以上のように、光電変換膜52により光電変換する場合には、下部電極5

1、FD部47、及び出力トランジスタ46のゲート電極46Gの全体で、生成された電荷を蓄積するため、転送トランジスタは不要である。また、下部電極51と出力トランジスタ46のゲート電極46Gのみで、生成された電荷を蓄積することができれば、FD部47も省略することができる。

[0053] 画素2には、以上の構成の他、フォトダイオードPD1およびPD2と、その読み出し回路が含まれる。

[0054] 次に、図2を再び参照して、固体撮像素子1の各画素2の動作について説明する。

[0055] 各画素2の電荷蓄積部は、その画素に入射された光量に応じて生成された電荷に応じた電位となっている。ここで、画素2Aと画素2Bに異なる光量の光が入射された場合、画素2Aの電荷蓄積部の電圧 V_A と、隣りの画素2Bの電荷蓄積部の電圧 V_B に、大きな電位差が生じる。仮に、画素間電極54が設けられていない場合、画素2Aの電荷蓄積部と画素2Bの電荷蓄積部の電氣的容量結合により、信号混合が発生する。

[0056] これに対し、本実施の形態では、画素2Aの下部電極51と画素2Bの下部電極51との間に、画素間電極54が設けられており、画素間電極54には電圧V3が印加されているため、画素2Aと画素2Bの間の画素間電極54は、画素2Aと画素2Bの電荷蓄積部の容量結合をシールドする働きを持つ。これにより、画素2Aの電荷蓄積部の電圧 V_A と画素2Bの電荷蓄積部の電圧 V_B がそれぞれに保たれ、優れた空間解像度、色分離性に優れた撮像信号を得ることができる。

[0057] 次に、光電変換が長時間続いた場合、または、強い光量の光が画素2Aと画素2Bに入射された場合について説明する。

[0058] 光電変換膜52の開放電圧を V_{oc} とすると、光電変換が長時間続いた場合、または、強い光量の光が画素2Aと画素2Bに入射された場合、仮に、画素間電極54が設けられていないとすると、画素2Aの電荷蓄積部の電位 V_A と画素2Bの電荷蓄積部の電位 V_B は、上部電極53に印加されている電圧V3に開放電圧 V_{oc} を足した値 $V_{max}=V1+V_{oc}$ となる。これにより、出力トランジスタ46の

ゲート電極 46Gにも電位 $V_{\max}$ が印加される。光電変換膜 52 の特性向上のためには、上部電極 53 に印加する電圧 V_1 を大きくするのが常套手段であるが、電圧 V_1 を大きくすると、 $V_{\max}$ の値も上昇することになるので、電荷蓄積部や出力トランジスタ 46 のゲート絶縁膜に強電界が印加され、信頼性問題や白点増加を引き起こす。

[0059] これに対して、本画素構造のように、画素 2A の下部電極 51 と画素 2B の下部電極 51 との間に、画素間電極 54 が設けられている場合には、画素 2A の電荷蓄積部の電位 V_A と、画素間電極 54 の電圧 V_3 との電圧差分 $|V_A - V_3|$ が、所定の値以上になった場合に、下部電極 51 から画素間電極 54 へ、リーク電流が流れる。その結果、画素 2A の電荷蓄積部の電位 V_A を、 $V_{\max}$ より低い値に抑えることができる。これにより、上部電極 53 に印加する電圧 V_1 を、制限なく大きくすることができるようになり、光電変換膜 52 の特性向上を実現することができる。

[0060] また、本画素構造によれば、画素 2A の下部電極 51 で捕獲される電荷の数（キャリア数） N_1 と、画素間電極 54 で捕獲される電荷の数（キャリア数） N_3 のキャリア比 $M = N_1 / N_3$ を、画素間電極 54 の印加電圧 V_3 で制御することができる。具体的には、画素 2A の電荷蓄積部の電圧 V_A に対して、 $|V_1 - V_A| > |V_3 - V_A|$ となるように画素間電極 54 の印加電圧 V_3 を設定すれば、上記の比 M を大きくすることができ、 $|V_1 - V_A| < |V_3 - V_A|$ となるように画素間電極 54 の印加電圧 V_3 を設定すれば、上記のキャリア比 M を小さくすることができる。このことは、光量に応じて画素間電極 54 の印加電圧 V_3 を制御することで、画素 2A の感度を制御することができることを意味する。

[0061] 図 5 には、光電変換膜 52 の領域を、下部電極 51 と上部電極 53 で挟まれた領域 81 と、下部電極 51 がない領域 82 を分けて示した。画素間電極 54 が配置されていない場合であっても、領域 82 において僅かに電荷が発生する。このとき、下部電極 51 がない領域 82 の電界強度は、下部電極 51 がある領域 81 の電界強度と比べると弱いため、領域 82 で発生した電荷が、遅れた電荷として作用して残像となり、例えば、動被写体を撮影したと

きの問題となる。

[0062] これに対して、本画素構造のように、隣接する画素2の下部電極51の間に画素間電極54を設けた場合には、下部電極51がない領域82で発生した電荷を、不要電荷として、画素間電極54から引き抜くことができるので、残像を抑制することができる。

[0063] また、本画素構造によれば、画素2Aの電荷蓄積部の電圧 V_A を、上部電極53の印加電圧 $V1$ を制御することで、リセットすることができるという利点もある。

[0064] すなわち、画素2Aの電荷蓄積部の電圧 V_A をリセットするためには、図4を参照して説明したようにリセットトランジスタ62を設けるのが一般的であるが、上部電極53に印加する電圧 $V1$ を制御してリークを発生させることで、画素2Aの電荷蓄積部の電圧 V_A を、画素間電極54の印加電圧 $V3$ にリセットすることができる。

[0065] 具体的には、例えば、信号電荷が正孔である場合、上部電極53には電圧 $V1$ が印加され、画素間電極54には電圧 $V3$ ($V1 > V3$) が印加される。ここで、例えば垂直駆動回路4が、上部電極53に供給する電圧 $V1$ を所定の電圧以下に設定すると、下部電極51と画素間電極54との間でリークが発生し、画素2Aの電荷蓄積部の電圧 V_A が画素間電極54の印加電圧 $V3$ にリセットされる。画素間電極54の印加電圧 $V3$ がGNDである場合には、GNDにリセットすることができる。この場合、リセットトランジスタ62は省略することができる。

[0066] 以上のように、固体撮像素子1の第1の実施の形態の画素構造によれば、隣接画素との電氣的容量結合による信号混合を低減することができ、信頼性や光電変換特性を向上させることができる。

[0067] <画素間電極のその他のレイアウト例>

図6及び図7は、画素間電極54のその他のレイアウト例を示している。

[0068] 図3に示した画素間電極54のレイアウトでは、画素間電極54が、水平方向及び垂直方向に切れ目なく形成されていた。

[0069] しかしながら、画素間電極 5 4 は、例えば、図 6 に示されるように、水平方向については所定の位置で分離されるように形成されてもよい。図 6 の例は、1 画素列単位で分離されているが、複数画素列単位で分離されてもよい。また、図示は省略するが、垂直方向の所定の位置で、1 画素列以上の単位で分離されるように形成することもできる。

[0070] あるいはまた、図 7 に示されるように、格子状の画素間電極 5 4 の交差部分が省略されることにより、画素間電極 5 4 のパターンが画素アレイ部 3 内で複数に分離される形状でもよい。図 7 の例では、水平及び垂直方向において、2 画素間隔で格子状の画素間電極 5 4 の交差部分が省略されているが、3 画素以上の間隔でもよいし、1 画素間隔としてもよい。

[0071] <3. 画素の第 2 の実施の形態>

<画素の断面構成図>

次に、図 8 を参照して、図 1 の固体撮像素子 1 の画素 2 の第 2 の実施の形態について説明する。

[0072] 図 8 は、第 2 の実施の形態における画素 2 の断面構成を示す図である。

[0073] なお、第 2 の実施の形態では、上述した第 1 の実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は省略する。後述するその他の実施の形態についても同様とする。

[0074] 第 2 の実施の形態では、画素間電極 5 4 が、多層配線層 4 4 内に形成された金属配線 9 1 により、半導体領域 4 1 内の GND 領域 9 2 に接続されている点が、第 1 の実施の形態と異なる。

[0075] このようにした場合でも、固体撮像素子 1 は、上述した第 1 の実施の形態と同様の効果を有する。なお、第 1 の実施の形態における所定の電圧 V3 は、GND でもよい。

[0076] <4. 画素の第 3 の実施の形態>

<画素の断面構成図>

図 9 及び図 10 を参照して、図 1 の固体撮像素子 1 の画素 2 の第 3 の実施の形態について説明する。

- [0077] 図9は、第3の実施の形態における画素2の断面構成を示す図である。
- [0078] 第3の実施の形態では、画素間電極54の下側（半導体基板12側）に、配線層101が形成されており、画素間電極54が、コンタクトビア102を介して、配線層101と接続されている。
- [0079] 画素間電極54には、第1の実施の形態と同様に、配線層101とコンタクトビア102を介して所定の電圧V3が供給される。
- [0080] 図10は、下部電極51と画素間電極54のレイアウトに、配線層101とコンタクトビア102を重ねた平面図である。なお、コンタクトビア102は、実際には、画素間電極54よりも下側（配線層101側）に配置されているが、図10では、位置を理解しやすくするため、画素間電極54の上側に示している。
- [0081] 図10では、配線層101が、格子状の画素間電極54の列方向のみに、ストライプ状に配置されており、コンタクトビア102が、格子状の画素間電極54の交差部分に形成されている。
- [0082] このように、画素間電極54には、画素アレイ部3周辺の配線層からではなく、画素内の配線層101から電圧V3を供給することもできる。画素間電極54を、例えば、酸化インジウム錫（ITO）膜など、下部電極51と同種の抵抗の高い膜で形成した場合には、画素内の配線層101で裏打ちすることで、抵抗値を下げることができる。
- [0083] なお、図10の例では、配線層101を列方向のストライプ状に形成したが、行方向のみに形成したストライプ状としてもよい。また、画素間電極54と同様に格子状にしてもよい。さらに、コンタクトビア102の配置、すなわち、配線層101と画素間電極54との接続点も、画素間電極54の交差部分に限定されず、それ以外の場所としてもよい。
- [0084] <5. 画素の第4の実施の形態>
<画素の断面構成図>
- 図11は、第4の実施の形態における画素2の断面構成を示す図である。
- [0085] 第4の実施の形態の構造を、図2に示した第1の実施の形態と比較すると

、第４の実施の形態と第１の実施の形態とでは、多層配線層４４の最上面の形状が異なる。

[0086] すなわち、図２に示した第１の実施の形態では、多層配線層４４の最上面の位置が、下部電極５１や画素間電極５４の最上面の位置に合わせて平坦化されているのに対して、第４の実施の形態では、下部電極５１と画素間電極５４の間の多層配線層４４の位置が、下部電極５１や画素間電極５４の最上面の位置よりも高く形成されている。

[0087] 図２に示した第１の実施の形態の構造では、図１７を参照して後述するように、下部電極５１や画素間電極５４の上面に形成された多層配線層４４の絶縁膜を平坦化するプロセスが行われる。一方、第４の実施の形態の構造では、多層配線層４４の絶縁膜を平坦化するプロセスを省略することができるので、工程数を減らすことができる。

[0088] ＜６．画素の第５の実施の形態＞

＜画素の断面構成図＞

図１２は、第５の実施の形態における画素２の断面構成を示す図である。

[0089] 第５の実施の形態の構造を、図２に示した第１の実施の形態と比較すると、第５の実施の形態においても、多層配線層４４の最上面の形状が、第１の実施の形態と異なる。

[0090] すなわち、図２に示した第１の実施の形態では、多層配線層４４の最上面の位置が、下部電極５１や画素間電極５４の最上面の位置に合わせて平坦化されているのに対して、第５の実施の形態では、隣接する下部電極５１どうしの間の多層配線層４４の位置が、下部電極５１や画素間電極５４の最上面の位置よりも高く形成されている。

[0091] また、第５の実施の形態の構造を、図１１に示した第４の実施の形態と比較すると、第４の実施の形態では、画素間電極５４が光電変換膜５２と接しているのに対して、第５の実施の形態では、画素間電極５４と光電変換膜５２との間に、多層配線層４４の絶縁膜が挿入されている。多層配線層４４の絶縁膜は、光電変換機能を有さない膜である。画素間電極５４と光電変換膜

5 2 との間の多層配線層 4 4 の絶縁膜の厚みは、画素間電極 5 4 に印加される電圧 V_3 よりも低い電圧でトンネル電流が流れる厚みに設定される。

[0092] < 7. 画素の第 6 の実施の形態 >

< 画素の断面構成図 >

図 1 3 は、第 6 の実施の形態における画素 2 の断面構成を示す図である。

[0093] 第 6 の実施の形態の構造を、図 2 に示した第 1 の実施の形態と比較すると、第 6 の実施の形態と第 1 の実施の形態とでは、画素間電極 5 4 の接続先が異なる。

[0094] すなわち、図 2 に示した第 1 の実施の形態では、画素間電極 5 4 は画素アレイ部 3 周辺の配線層と接続され、画素間電極 5 4 に所定の電圧 V_3 が供給された。

[0095] 一方、第 6 の実施の形態では、画素間電極 5 4 は、それ専用につけられた出力トランジスタ 1 4 1 のゲート電極 1 4 1 G と FD 部 1 4 2 に、多層配線層 4 4 内に形成された金属配線 1 4 3 によって接続されている。また、図示は省略するが、画素間電極 5 4 で捕獲された電荷をリセットするリセットトランジスタと選択トランジスタも、光電変換部 6 1 と同様に設けられている。

[0096] 図 1 4 は、第 6 の実施の形態における下部電極 5 1 と画素間電極 5 4 の平面レイアウトを示す図である。

[0097] 第 6 の実施の形態の画素間電極 5 4 の配置は、図 7 に示した平面レイアウトとなっている。すなわち、格子状の画素間電極 5 4 の交差部分の一部が省略されることによりパターン分離された画素間電極 5 4 が、 2×2 からなる 4 画素の下部電極 5 1 の間に、十字の形状となるように配置されている。

[0098] 固体撮像素子 1 が、動作モードとして、 2×2 からなる 4 画素の画素信号を加算して出力する画素加算モードを備える場合、固体撮像素子 1 は、図 7 において破線で囲まれた 4 画素を出力単位として、破線内の画素間電極 5 4 で捕獲された電荷の信号も、画素信号の一部として出力トランジスタ 1 4 1 から出力する。これにより、出力単位となる破線内の 4 画素における画素信号は、各画素の下部電極 5 1 で捕獲された電荷の信号と、破線内の画素間電

極 5 4 で捕獲された電荷の信号とを加算した信号となり、4 画素の領域内で受光される光を、ロスなく光電変換して画素信号として出力することができる。破線で囲まれた出力単位に含まれない画素間電極 5 4 には、リセットトランジスタをオンすることにより電荷を排出させることで、上述した他の実施の形態と同様、シールド機能が働く。

[0099] また、全ての画素間電極 5 4 で捕獲された電荷を、リセットトランジスタをオンすることにより排出させるようにした場合には、上述した第 1 乃至第 5 の実施の形態と同様のシールド機能が働く。

[0100] < 8. 画素の第 7 の実施の形態 >

< 画素の断面構成図 >

図 1 5 は、第 7 の実施の形態における画素 2 の断面構成を示す図である。

[0101] 上述した第 1 乃至第 6 の実施の形態では、各画素 2 が、光電変換部 6 1 とフォトダイオード PD 1 及び PD 2 により、赤色 (R)、緑色 (G)、及び青色 (B) の全ての波長光を受光するのに対して、第 7 の実施の形態では、各画素 2 が、赤色 (R)、緑色 (G)、または、青色 (B) のいずれかの波長光のみを受光する点異なる。

[0102] 図 1 5 の第 7 の実施の形態の構造を、図 2 に示した第 1 の実施の形態と比較すると、第 7 の実施の形態と第 1 の実施の形態とでは、図 2 の緑色の波長光を光電変換する光電変換膜 5 2 が、図 1 5 では、赤色 (R)、緑色 (G)、及び青色 (B) の全ての波長光を光電変換する光電変換膜 1 6 1 に置き換えられている。また、半導体基板 1 2 内には、青色の光を受光するフォトダイオード PD 1 と、赤色の光を受光するフォトダイオード PD 2 が設けられていない。

[0103] さらに、図 1 5 では、高屈折率層 5 6 とオンチップレンズ 5 7 との間に、赤色 (R)、緑色 (G)、または青色 (B) の波長光を通過させるカラーフィルタ 1 6 2 が新たに設けられている。カラーフィルタ 1 6 2 の赤色 (R)、緑色 (G)、または青色 (B) の各色は、例えば、ベイヤー配列で配置されている。

[0104] したがって、光電変換膜 161 には、カラーフィルタ 162 を通過した赤色 (R)、緑色 (G)、または青色 (B) のいずれかの波長光のみが到達するので、各画素 2 は、赤色 (R)、緑色 (G)、または青色 (B) のいずれかの波長光のみを受光する。

[0105] 以上説明した第 2 の実施の形態乃至第 7 の実施の形態においても、第 1 の実施の形態で説明した、画素間電極 54 を備えることによる上述の効果が得られる。

[0106] <9. 第 1 の実施の形態の製造方法>

次に、図 16 乃至図 18 を参照しながら、図 2 に示した第 1 の実施の形態に係る画素 2 の製造方法について説明する。

[0107] 初めに、図 16 の A に示されるように、半導体基板 12 の半導体領域 41 内に、フォトダイオード PD1 及び PD2 が形成されるとともに、半導体基板 12 の表面側 (図中上側) には、複数の配線層と層間絶縁膜とからなる多層配線層 44 が形成される。半導体基板 12 の表面側界面には、出力トランジスタ 46、FD 部 47、フォトダイオード PD1 及び PD2 に蓄積された電荷の読み出し等を行う複数の画素トランジスタなどが形成されている。

[0108] そして、図 16 の B に示されるように、多層配線層 44 の上面に、例えば IT0 (酸化インジウム錫) 膜 201 が所定の膜厚で形成される。

[0109] 次に、図 16 の C に示されるように、多層配線層 44 の全面に形成された IT0 膜 201 のうち、所定の領域がリソグラフィによりパターニングされることにより、下部電極 51 及び画素間電極 54 が形成される。

[0110] そして、図 17 の A に示されるように、下部電極 51 及び画素間電極 54 の上側に、透明絶縁膜 202 が積層される。その後、透明絶縁膜 202 が、図 17 の B に示されるように、下部電極 51 及び画素間電極 54 と同じ膜厚となるまで、例えば CMP (Chemical Mechanical Polishing) により除去され、平坦化される。

[0111] 続いて、図 17 の C に示されるように、光電変換膜 52、上部電極 53、及び、高屈折率層 56 が、順に形成される。

[0112] 次に、図18のAに示されるように、高屈折率層56の上面にさらに、オンチップレンズ57の材料である樹脂系材料203を形成した後、フォトリジスト211がレンズ形状に形成される。そして、レンズ形状のフォトリジスト211に基づいてエッチバックすることにより、図18のBに示されるように、各画素2の最上部にオンチップレンズ57が形成される。

[0113] 以上のようにして、図2に示した第1の実施の形態の画素2を製造することができる。

[0114] <10. 画素の第8の実施の形態>

<画素の断面構成図>

図19は、第8の実施の形態における画素2の断面構成を示す図である。

[0115] 上述した第1乃至第7の実施の形態では、多層配線層44が形成されている半導体基板12の表面側を受光面側とする、いわゆる表面照射型のCMOS固体撮像素子であったが、裏面照射型の構成とすることもできる。

[0116] 図19は、固体撮像素子1を裏面照射型とした場合の画素2の断面構成を示している。

[0117] 具体的には、図19において半導体基板12の下側となる半導体基板12の表面側には、多層配線層44が形成され、反対側である半導体基板12の裏面側に、透明絶縁膜231を介して、光電変換部61や画素間電極54、高屈折率層56、及び、オンチップレンズ57が形成されている。透明絶縁膜231は、例えば、ハフニウム酸化(HfO₂)膜とシリコン酸化膜の2層または3層の膜からなる。

[0118] 表面側の多層配線層44には、上述したFD部47と、出力トランジスタ46を含む複数の画素トランジスタが形成されている。FD部47と出力トランジスタ46のゲート電極46Gは、多層配線層44内に形成された金属配線241、半導体基板12の半導体領域41を貫通して形成されている導電性プラグ242、及び、透明絶縁膜231を貫通する金属配線243により、光電変換部61の下部電極51と接続されている。金属配線241は、例えば、タングステン(W)、アルミニウム(Al)、銅(Cu)などの金属材料で形

成される。また、導電性プラグ 2 4 2 の外周は、SiO₂若しくはSiN等の絶縁膜で絶縁されている。

[0119] このような裏面照射型の画素構造においても、下部電極 5 1 の間に、画素間電極 5 4 を備えることにより、第 1 の実施の形態で説明した効果が得られる。

[0120] なお、図 1 9 は、図 2 に示した第 1 の実施の形態に係る画素構造を裏面照射型に適用した構造であるが、その他の第 2 の実施の形態乃至第 7 の実施の形態に係る画素構造を裏面照射型とすることも勿論可能である。

[0121] < 1 1 . 画素の第 9 の実施の形態 >

< 画素の断面構成図 >

図 2 0 は、第 9 の実施の形態における画素 2 の断面構成を示す図である。

[0122] 第 9 の実施の形態では、画素間電極 5 4 が、画素ごとに分離された下部電極 5 1 と同一層ではなく、下部電極 5 1 が形成された層よりも下層に形成されている。換言すれば、上述した第 1 乃至第 8 の実施の形態と第 9 の実施の形態とでは、画素間電極 5 4 が形成される深さ方向の位置が異なる。

[0123] 上述した第 1 乃至第 8 の実施の形態において画素間電極 5 4 が配置されていた、隣接する下部電極 5 1 どうしの間には、多層配線層 4 4 の絶縁膜が配置され、絶縁膜と下部電極 5 1 の上面は、同一平面に平坦化されている。

[0124] 一方、画素間電極 5 4 が形成されている層は、例えば、図 2 0 に示されるように、多層配線層 4 4 のなかの所定の配線層 4 0 1 と同じ層である。画素間電極 5 4 は、下部電極 5 1 と同じ材料で形成することができるが、タングステン (W)、アルミニウム (Al)、銅 (Cu) などの金属材料で形成することもできる。画素間電極 5 4 の材料として、配線層 4 0 1 の材料と同一の金属材料を用いた場合には、配線層 4 0 1 と同一の製造方法で、配線層 4 0 1 と同時に形成することができ、画素間電極 5 4 は遮光性を備える。なお、画素間電極 5 4 は、多層配線層 4 4 のなかの各配線層 4 0 1 のいずれとも異なる層に形成してもよい。

[0125] 図 2 0 に示したように、画素間電極 5 4 を下部電極 5 1 と異なる層に配置

することで、画素間をより縮めることが可能となるので、画素サイズをより小さくすることができる。あるいは、画素間を縮めない場合には、下部電極 5 1 の平面サイズを大きく形成することができる。

[0126] 図 2 1 は、画素間電極 5 4 を下部電極 5 1 と異なる層に配置した場合の画素間電極 5 4 と下部電極 5 1 の平面レイアウトの例を示す図である。

[0127] 画素間電極 5 4 は、基本的には、図 3 と同じように、各画素 2 の境界上であって、隣り合う下部電極 5 1 の間に、所定のパターン幅で格子状に形成することができる。

[0128] 画素間電極 5 4 は、画素アレイ部 3 の周辺の配線層（不図示）と接続されており、その配線層を介して、画素間電極 5 4 に所定の電圧 V3 が供給される。なお、画素間電極 5 4 に供給される所定の電圧 V3 は、固定（一定）の電圧値でもよいし、時間経過に応じて変動する電圧値でもよい。

[0129] 図 2 2 及び図 2 3 は、画素間電極 5 4 と下部電極 5 1 の平面レイアウトのその他の例を示す図である。

[0130] 画素間電極 5 4 は、図 2 2 に示されるように、行方向（水平方向）に隣り合う画素間については画素アレイ部 3 全体に対して線状（図 2 2 では、縦縞状）に形成され、列方向（垂直方向）に隣り合う画素間については、図 2 1 の格子状の画素間電極 5 4 の交差部分のみが形成されるようにしてもよい。

[0131] あるいはまた、図 2 3 に示されるように、画素間電極 5 4 は、行方向に隣り合う画素間についてのみ、画素アレイ部 3 全体に対して線状（縦縞状）に形成される構成や、図示は省略するが、列方向に隣り合う画素間についてのみ、画素アレイ部 3 全体に対して線状（横縞状）に形成される構成としてもよい。

[0132] < 1 2. 画素の第 1 0 の実施の形態 >

< 画素の断面構成図 >

図 2 4 は、第 1 0 の実施の形態における画素 2 の断面構成を示す図である。

[0133] 第 1 0 の実施の形態の画素間電極 5 4 は、図 2 0 に示した第 9 の実施の形

態の画素間電極 5 4 と同一部分である、平面方向に広がる平面電極部 4 0 2 A と、平面電極部 4 0 2 A の断面視中央部分において下部電極 5 1 の下面と同一平面まで上方向に伸びた突き出し電極部 4 0 2 B とで構成される。このように画素間電極 5 4 の断面形状を、平面電極部 4 0 2 A と突き出し電極部 4 0 2 B とからなる逆 T 字状に形成することで、図 2 0 に示した第 9 の実施の形態における場合よりも、画素間電極 5 4 から下部電極 5 1 までの距離が短くなるので、画素間電極 5 4 に印加される電圧 V3 によるシールド作用を、より強めることができる。

[0134] 図 2 5 乃至図 2 7 は、第 1 0 の実施の形態における画素間電極 5 4 と下部電極 5 1 の平面レイアウトの例を示す図である。

[0135] 図 2 5 に示される平面レイアウトでは、画素間電極 5 4 を構成する平面電極部 4 0 2 A と突き出し電極部 4 0 2 B のいずれも、各画素 2 の境界上であって、隣り合う下部電極 5 1 の間に、所定のパターン幅で格子状に形成されている。

[0136] これに対して、図 2 6 に示される平面レイアウトでは、平面電極部 4 0 2 A は、隣り合う下部電極 5 1 の間に、所定のパターン幅で格子状に形成されているが、突き出し電極部 4 0 2 B は、格子状の平面電極部 4 0 2 A に沿ってアイランド形状で所定の間隔を空けて形成されている。

[0137] また、図 2 7 に示される平面レイアウトでは、平面電極部 4 0 2 A は、隣り合う下部電極 5 1 の間に、所定のパターン幅で格子状に形成されているが、突き出し電極部 4 0 2 B は、格子状に形成された平面電極部 4 0 2 A の交差部分だけに、アイランド形状で形成されている。

[0138] 画素間電極 5 4 の平面レイアウトとしては、図 2 5 乃至図 2 7 に示したいずれかの配置を採用することができる。

[0139] < 1 3. 画素の第 1 1 の実施の形態 >

< 画素の断面構成図 >

図 2 8 は、第 1 1 の実施の形態における画素 2 の断面構成を示す図である。

[0140] 第11の実施の形態の画素間電極54は、平面電極部402Aと突き出し電極部402Bとで構成されている点で、図24に示した第10の実施の形態と共通する。

[0141] 一方、第11の実施の形態の画素間電極54は、平面電極部402Aの幅が、隣り合う下部電極51間の幅よりも広く形成されている点で、図24に示した第10の実施の形態と相違する。換言すれば、平面領域において、下部電極51の周辺部と平面電極部402Aの周辺部が一部重複する配置となっている。このように、隣り合う下部電極51間の幅よりも平面電極部402Aの幅を広く形成することにより、隣り合う下部電極51の空間に対して、画素間電極54による電位の変調をより均一に作用させることができる。

[0142] <14. 画素の第12の実施の形態>

<画素の断面構成図>

図29は、第12の実施の形態における画素2の断面構成を示す図である。

[0143] 第12の実施の形態は、図24に示した逆T字状の画素間電極54を、裏面照射型の固体撮像素子に適用した構成である。第12の実施の形態において、画素間電極54については、図24を参照して説明した第10の実施の形態と同様であり、その他の構成については、図19を参照して説明した第8の実施の形態と同様である。

[0144] その他、図示は省略するが、第9の実施の形態、または、第11の実施の形態の画素間電極54を、裏面照射型の固体撮像素子に適用することも可能である。

[0145] 以上説明した第9乃至第12の実施の形態によれば、画素間電極54を、下部電極51が形成された層よりも下層に形成することで、画素サイズをより小さくすることができる。また、画素間を縮めない構成とした場合には、下部電極54の平面サイズを大きく形成することができる。

[0146] <15. 画素の第13の実施の形態>

<画素の断面構成図>

図30は、第13の実施の形態における画素2の断面構成を示す図である。

[0147] 第13の実施の形態は、上述した第1乃至12の実施の形態と異なり、画素間電極54を用いない画素の形態である。

[0148] 上述した第1乃至第12の実施の形態では、光電変換部61が、下部電極51、光電変換膜52、及び上部電極53で構成されていたが、第13の実施の形態では、下部電極51と光電変換膜52との間に、バッファ層421が形成されている。バッファ層421と同一層の、下部電極51が形成されていない画素境界部分には、隣り合う下部電極51間のリークを遮断する遮断層422が構成されている。

[0149] バッファ層421は、有機材料で構成され、光電変換膜52から下部電極51へ信号電荷である正孔の転送を促進し、電子の流入を防止する機能を有する。

[0150] 一方で、バッファ層421は、配光性を有し、光電変換膜52の伝導率を増加させる作用を有するために、仮にバッファ層421が各画素の境界部分も含む画素アレイ部3全面に形成されていたとすると、そのバッファ層421がリークパスとなって、隣り合う下部電極51どうしでリークが発生する。下部電極51間のリークによって発生した電流は、暗電流として出力されてしまう。そのため、第13の実施の形態では、図30に示されるように、隣り合うバッファ層421の間の領域に、絶縁性を有し、下部電極51間のリークを遮断する遮断層422が構成されている。

[0151] 図31を参照して、第13の実施の形態に係る画素2の製造方法について説明する。

[0152] 光電変換部61と高屈折率層56を形成するまでの製造方法は、図16及び図17を参照して説明した第1の実施の形態に係る画素2の製造方法と同様である。ただし、第13の実施の形態では、図31のAに示されるように、下部電極51と光電変換膜52との間に、光電変換部61の一部を構成するバッファ層421がさらに形成されている。

[0153] 次に、遮断層 4 2 2 を形成する領域、具体的には、図 3 1 の B に示されるように、下部電極 5 1 が形成された平面領域以外の領域が開口するように、レジストマスク 4 4 1 が高屈折率層 5 6 の上面に形成され、バッファ層 4 2 1 に、窒素 (N) やボロン (B) 等の軽元素をイオン注入することで、遮断層 4 2 2 が形成される。不純物濃度分布 (ドーパントプロファイル) が、図 3 1 の B に示されるようにバッファ層 4 2 1 でピークとなるように、イオン注入深さが設定される。イオン注入する不純物を、窒素 (N) やボロン (B) 等の軽元素とすることで、高屈折率層 5 6 の表面へのダメージをできるだけ少なくすることができる。

[0154] 遮断層 4 2 2 を形成後、レジストマスク 4 4 1 が除去され、オンチップレンズ 5 7 が形成されて、図 3 0 に示した画素 2 が完成する。

[0155] 以上の第 1 3 の実施の形態によれば、光電変換膜 5 2 の伝導率を増加させる機能を有するバッファ層 4 2 1 を含む光電変換部 6 1 を備える画素 2 において、光電変換部 6 1 に所定の電圧を印加したときに、隣り合う下部電極 5 1 間で発生するリーク電流を遮断層 4 2 2 によって抑制することができ、暗電流の発生を抑制することができる。

[0156] < 1 6. 電子機器への適用例 >

本開示の技術は、固体撮像素子への適用に限られるものではない。即ち、本開示の技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機など、画像取込部 (光電変換部) に固体撮像素子を用いる電子機器全般に対して適用可能である。固体撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0157] 図 3 2 は、本開示に係る電子機器としての、撮像装置の構成例を示すブロック図である。

[0158] 図 3 2 の撮像装置 3 0 0 は、レンズ群などからなる光学部 3 0 1、図 1 の固体撮像素子 1 の構成が採用される固体撮像素子 (撮像デバイス) 3 0 2、

およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路303を備える。また、撮像装置300は、フレームメモリ304、表示部305、記録部306、操作部307、および電源部308も備える。DSP回路303、フレームメモリ304、表示部305、記録部306、操作部307および電源部308は、バスライン309を介して相互に接続されている。

[0159] 光学部301は、被写体からの入射光(像光)を取り込んで固体撮像素子302の撮像面上に結像する。固体撮像素子302は、光学部301によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像素子302として、図1の固体撮像素子1、即ち、画素毎に分離された下部電極51の間に画素間電極54を有する画素構造や、バッファ層421と遮断層422を有する画素構造の固体撮像素子を用いることができる。

[0160] 表示部305は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像素子302で撮像された動画または静止画を表示する。記録部306は、固体撮像素子302で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0161] 操作部307は、ユーザによる操作の下に、撮像装置300が持つ様々な機能について操作指令を発する。電源部308は、DSP回路303、フレームメモリ304、表示部305、記録部306および操作部307の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0162] 上述したように、固体撮像素子302として、上述した各実施の形態に係る画素2を有する固体撮像素子1を採用することで、隣接画素との電氣的容量結合による信号混合を低減し、信頼性や光電変換特性を向上させることができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置300においても、撮像画像の高画質化を図ることができる。

[0163] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、

本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0164] 上述した第1乃至第6の実施の形態では、半導体基板12の上層に1層の光電変換層（光電変換膜52）を有し、半導体基板12内に2つの無機光電変換層（フォトダイオードPD1及びPD2）を有する縦方向分光型の固体撮像素子について説明した。

[0165] しかし、本開示の技術は、半導体基板12の上層に2層の光電変換層を有し、半導体基板12内に1つの無機光電変換層を有する縦方向分光型の固体撮像素子についても同様に適用可能である。

[0166] また、上述した各実施の形態では、半導体基板12の上方に形成する光電変換部61の光電変換膜52として、有機光電変換材料を用いることとして説明したが、無機光電変換材料を採用してもよい。無機光電変換材料としては、例えば、結晶シリコン、アモルファスシリコン、CIGS（Cu, In, Ga, Se化合物）、CIS（Cu, In, Se化合物）、カルコパイライト構造半導体、GaAsなどの化合物半導体などが挙げられる。

[0167] 上述した各実施の形態では、光電変換部61を構成する上部電極53が全画素共通に全面に形成され、下部電極51が画素単位に形成されるようにしたが、上部電極53を画素単位に形成し、下部電極51を全画素共通に全面に形成してもよい。また、下部電極51と上部電極53の両方を画素単位に形成してもよい。

[0168] 上述した例では、主に、正孔を信号電荷とした固体撮像素子について説明したが、本開示は電子を信号電荷とする固体撮像素子にも勿論適用することができる。また、半導体基板12の第1導電型をP型、第2導電型をN型として説明したが、第1導電型をN型とし、第2導電型をP型として構成することもできる。

[0169] また、本開示の技術は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出

センサ等の固体撮像素子（物理量分布検知装置）全般に対して適用可能である。

[0170] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0171] 例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。

[0172] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0173] なお、本開示は以下のような構成も取ることができる。

(1)

第1画素と第2画素が隣接して配置されており、

前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜と、その下方に配置された下部電極を有し、

前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極を備える

固体撮像素子。

(2)

前記下部電極は、前記光電変換膜で生成された電荷を出力する出力トランジスタのゲート電極と接続されている

前記(1)に記載の固体撮像素子。

(3)

前記他の電極に所定の電圧を印加する電圧制御部をさらに備える

前記(1)または(2)に記載の固体撮像素子。

(4)

前記電圧制御部は、前記他の電極に印加する電圧を制御することにより、前記下部電極に捕獲される電荷の数を制御する

前記(3)に記載の固体撮像素子。

(5)

前記光電変換膜の上方に配置された上部電極に印加する電圧を制御することにより、前記下部電極の電圧が、前記他の電極の電圧にリセットされる

前記（１）乃至（４）のいずれかに記載の固体撮像素子。

（６）

前記他の電極は、画素内の配線層と接続されている

前記（１）乃至（５）のいずれかに記載の固体撮像素子。

（７）

前記他の電極は、半導体基板内に形成されたGND領域と接続されている

前記（１）乃至（６）のいずれかに記載の固体撮像素子。

（８）

前記他の電極は、前記光電変換膜と接している

前記（１）乃至（７）のいずれかに記載の固体撮像素子。

（９）

前記他の電極と前記光電変換膜との間に、絶縁膜を有する

前記（１）乃至（７）のいずれかに記載の固体撮像素子。

（１０）

前記絶縁膜は、光電変換機能を有さない膜である

前記（９）に記載の固体撮像素子。

（１１）

前記他の電極は、その上方の光電変換膜で生成された電荷を出力する出力トランジスタのゲート電極と接続されている

前記（１）乃至（１０）のいずれかに記載の固体撮像素子。

（１２）

前記他の電極は、前記下部電極よりも下層に形成されている

前記（３）、（９）、または（１０）のいずれかに記載の固体撮像素子。

（１３）

前記他の電極は、前記下部電極よりも下層に形成され、平面方向に広がる平面電極部と、前記下部電極の下面と同一平面まで上方向に伸びた突き出し

電極部とを有する

前記（１２）に記載の固体撮像素子。

（１４）

前記他の電極は、前記下部電極よりも下層に形成され、隣り合う前記下部電極の間の幅よりも広い幅を有する

前記（１２）または（１３）に記載の固体撮像素子。

（１５）

前記第１画素と第２画素のそれぞれは、半導体基板内に無機光電変換部をさらに備え、

前記無機光電変換部は、前記光電変換膜で光電変換されない波長光を光電変換する

前記（１）乃至（１４）のいずれかに記載の固体撮像素子。

（１６）

前記光電変換膜は、有機材料である

前記（１）乃至（１５）のいずれかに記載の固体撮像素子。

（１７）

裏面照射型である

前記（１）乃至（１６）のいずれかに記載の固体撮像素子。

（１８）

隣接して配置されている第１画素と第２画素の一部として、入射された光を光電変換する光電変換膜と、その下方に配置される下部電極を形成するとともに、前記第１画素と第２画素の下部電極の間に、前記下部電極と異なる他の電極を形成する

固体撮像素子の製造方法。

（１９）

第１画素と第２画素が隣接して配置されており、

前記第１画素と第２画素のそれぞれは、入射された光を光電変換する光電変換膜と、その下方に配置された下部電極を有し、

前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極を備える

固体撮像素子

を備える電子機器。

(20)

第1画素と第2画素が隣接して配置されており、

前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜及びバッファ層と、その下方に配置された下部電極を有し、

前記バッファ層と同一層の前記第1画素と第2画素の下部電極の間に、絶縁性を有する遮断層を備える

固体撮像素子。

符号の説明

[0174] 1 固体撮像素子, 2 画素, 3 画素アレイ部, 4 垂直駆動回路, 12 半導体基板, 44 多層配線層, 46 出力トランジスタ, 47 FD部, 51 下部電極, 52 光電変換膜, 53 上部電極, 54 画素間電極, 61 光電変換膜, 62 リセットトランジスタ, PD1, PD2 フォトダイオード, 91 金属配線, 92 GND領域, 101 配線層, 102 コンタクトビア, 141 出力トランジスタ, 142 FD部, 161 光電変換膜, 162 カラーフィルタ, 300 撮像装置, 302 固体撮像素子, 402A 平面電極部, 402B 突き出し電極部, 421 バッファ層, 422 遮断層

請求の範囲

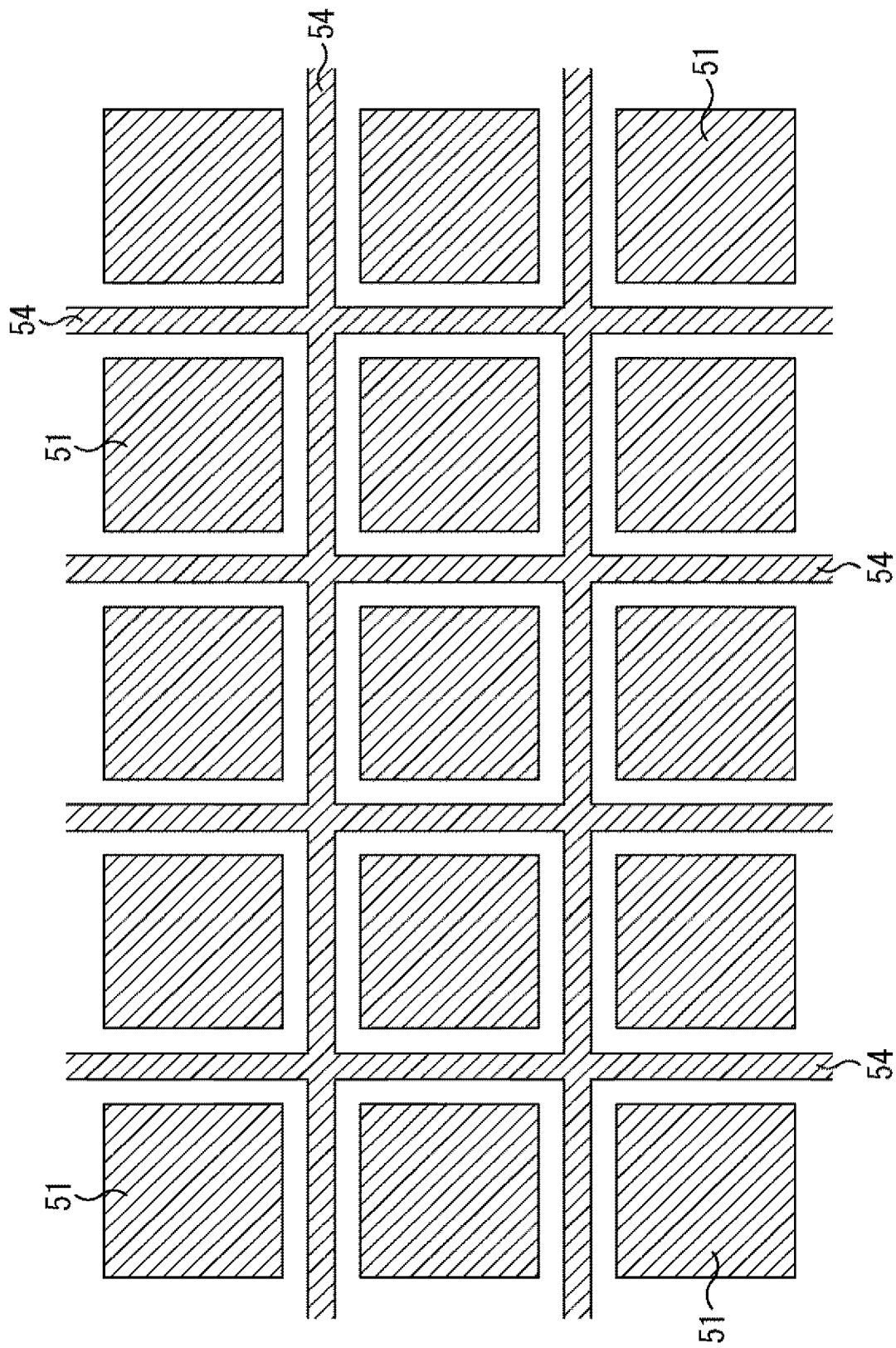
- [請求項1] 第1画素と第2画素が隣接して配置されており、
前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜と、その下方に配置された下部電極を有し、
前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極を備える
固体撮像素子。
- [請求項2] 前記下部電極は、前記光電変換膜で生成された電荷を出力する出力トランジスタのゲート電極と接続されている
請求項1に記載の固体撮像素子。
- [請求項3] 前記他の電極に所定の電圧を印加する電圧制御部をさらに備える
請求項1に記載の固体撮像素子。
- [請求項4] 前記電圧制御部は、前記他の電極に印加する電圧を制御することにより、前記下部電極に捕獲される電荷の数を制御する
請求項3に記載の固体撮像素子。
- [請求項5] 前記光電変換膜の上方に配置された上部電極に印加する電圧を制御することにより、前記下部電極の電圧が、前記他の電極の電圧にリセットされる
請求項1に記載の固体撮像素子。
- [請求項6] 前記他の電極は、画素内の配線層と接続されている
請求項1に記載の固体撮像素子。
- [請求項7] 前記他の電極は、半導体基板内に形成されたGND領域と接続されている
請求項1に記載の固体撮像素子。
- [請求項8] 前記他の電極は、前記光電変換膜と接している
請求項1に記載の固体撮像素子。
- [請求項9] 前記他の電極と前記光電変換膜との間に、絶縁膜を有する
請求項1に記載の固体撮像素子。

- [請求項10] 前記絶縁膜は、光電変換機能を有さない膜である
請求項9に記載の固体撮像素子。
- [請求項11] 前記他の電極は、その上方の光電変換膜で生成された電荷を出力する出力トランジスタのゲート電極と接続されている
請求項1に記載の固体撮像素子。
- [請求項12] 前記他の電極は、前記下部電極よりも下層に形成されている
請求項1に記載の固体撮像素子。
- [請求項13] 前記他の電極は、前記下部電極よりも下層に形成され、平面方向に広がる平面電極部と、前記下部電極の下面と同一平面まで上方向に伸びた突き出し電極部とを有する
請求項1に記載の固体撮像素子。
- [請求項14] 前記他の電極は、前記下部電極よりも下層に形成され、隣り合う前記下部電極の間の幅よりも広い幅を有する
請求項1に記載の固体撮像素子。
- [請求項15] 前記第1画素と第2画素のそれぞれは、半導体基板内に無機光電変換部をさらに備え、
前記無機光電変換部は、前記光電変換膜で光電変換されない波長光を光電変換する
請求項1に記載の固体撮像素子。
- [請求項16] 前記光電変換膜は、有機材料である
請求項1に記載の固体撮像素子。
- [請求項17] 裏面照射型である
請求項1に記載の固体撮像素子。
- [請求項18] 隣接して配置されている第1画素と第2画素の一部として、入射された光を光電変換する光電変換膜と、その下方に配置される下部電極を形成するとともに、前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極を形成する
固体撮像素子の製造方法。

- [請求項19] 第1画素と第2画素が隣接して配置されており、
前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜と、その下方に配置された下部電極を有し、
前記第1画素と第2画素の下部電極の間に、前記下部電極と異なる他の電極を備える
固体撮像素子
を備える電子機器。
- [請求項20] 第1画素と第2画素が隣接して配置されており、
前記第1画素と第2画素のそれぞれは、入射された光を光電変換する光電変換膜及びバッファ層と、その下方に配置された下部電極を有し、
前記バッファ層と同一層の前記第1画素と第2画素の下部電極の間に、絶縁性を有する遮断層を備える
固体撮像素子。

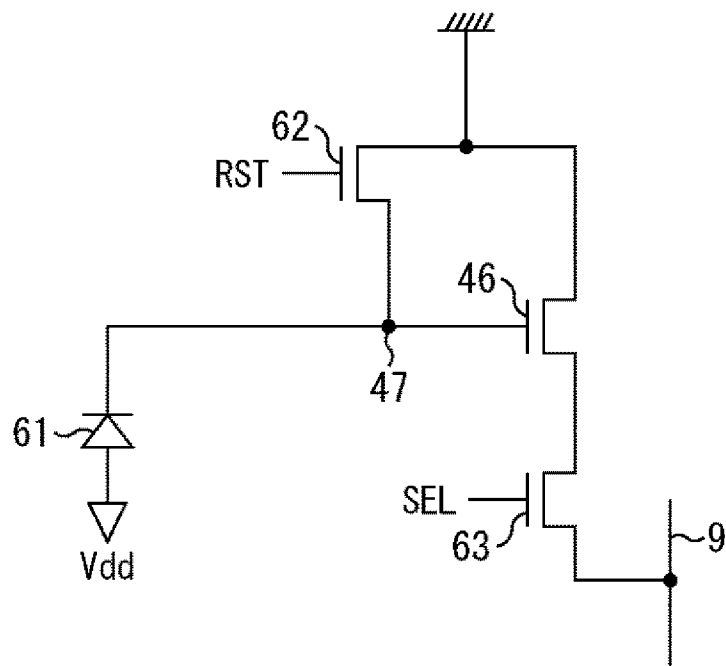
[図3]

図3



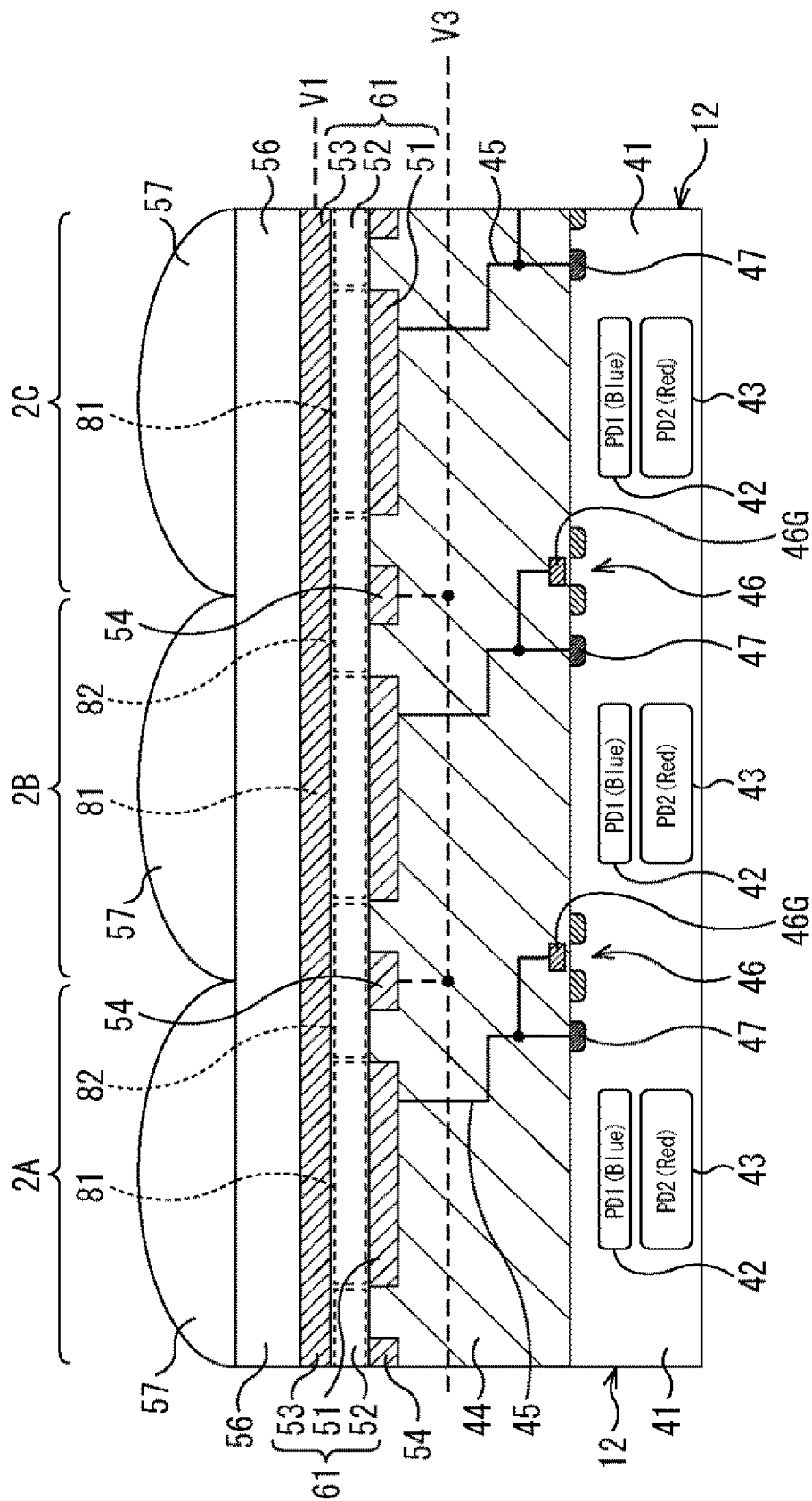
[図4]

図4



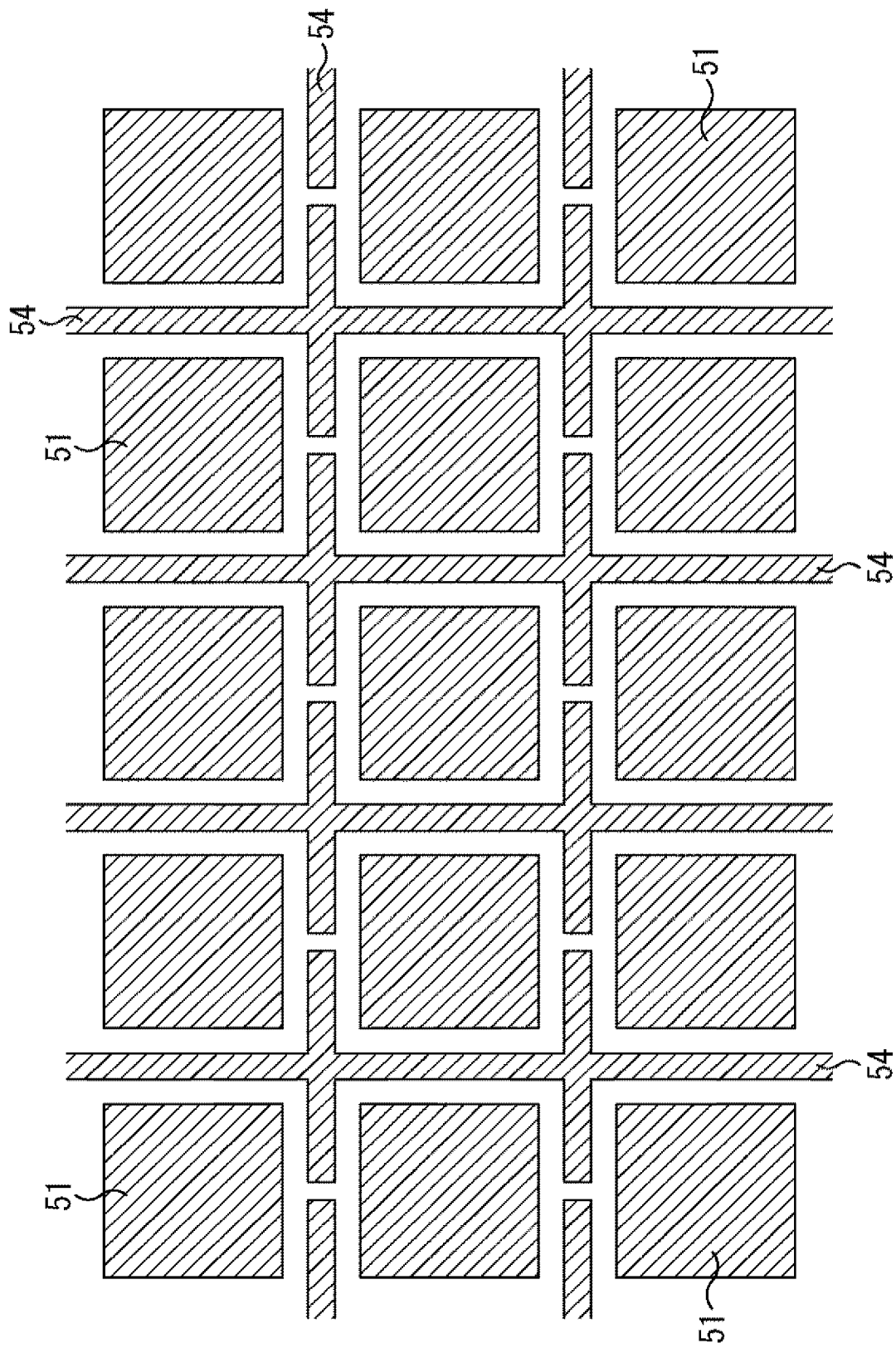
[図5]

図5



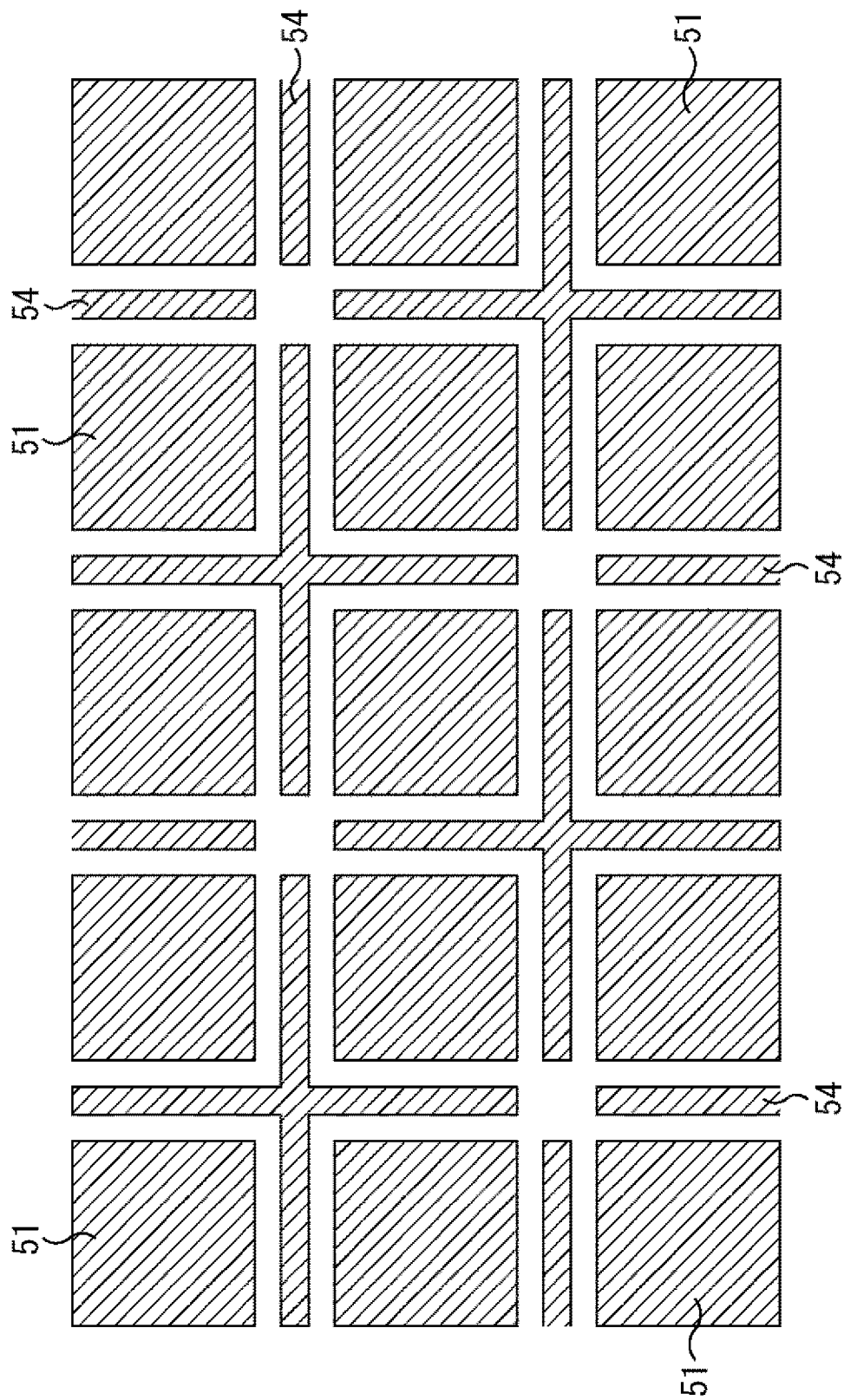
[図6]

図6



[図7]

図7



[図8]

図8

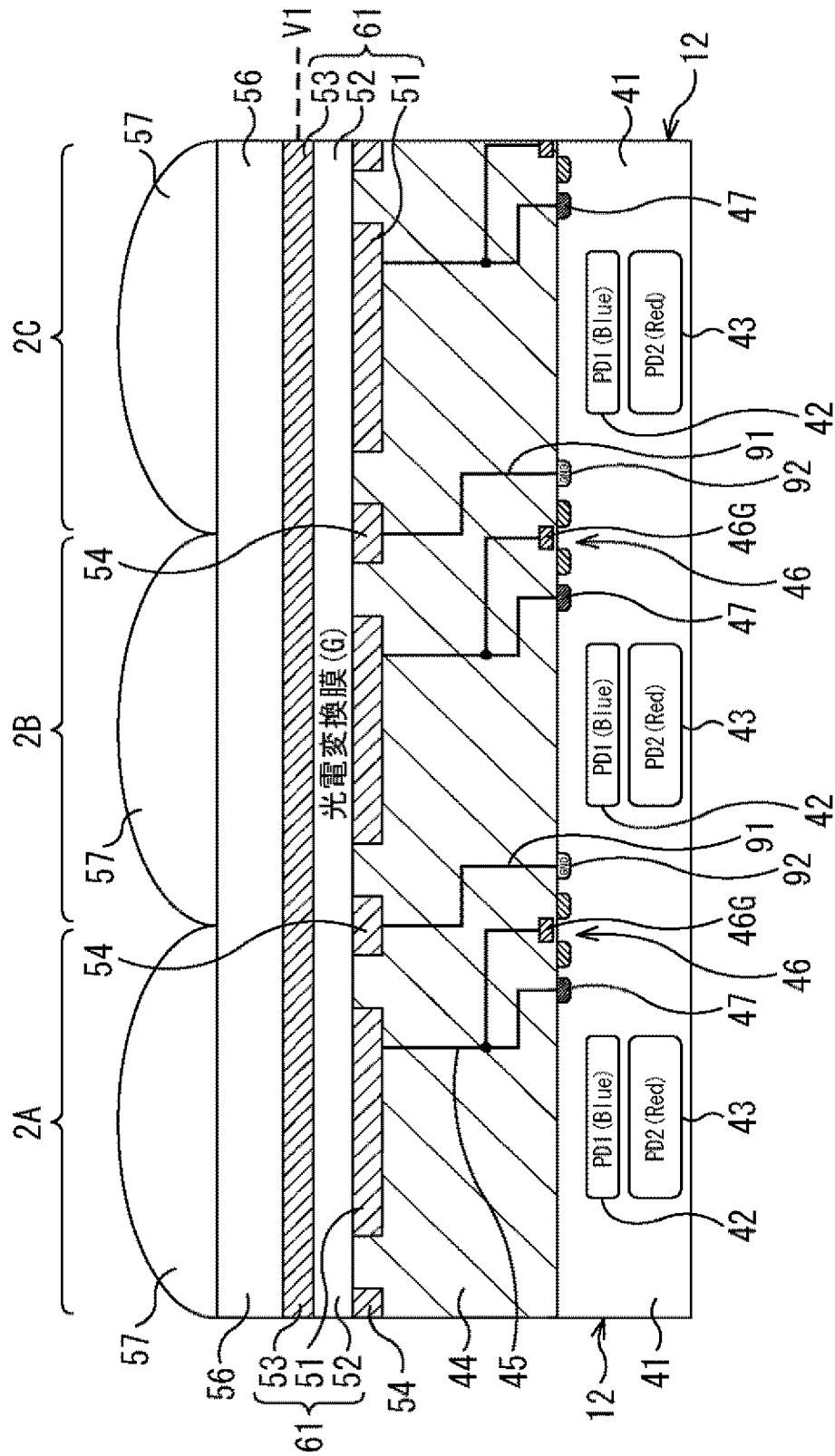
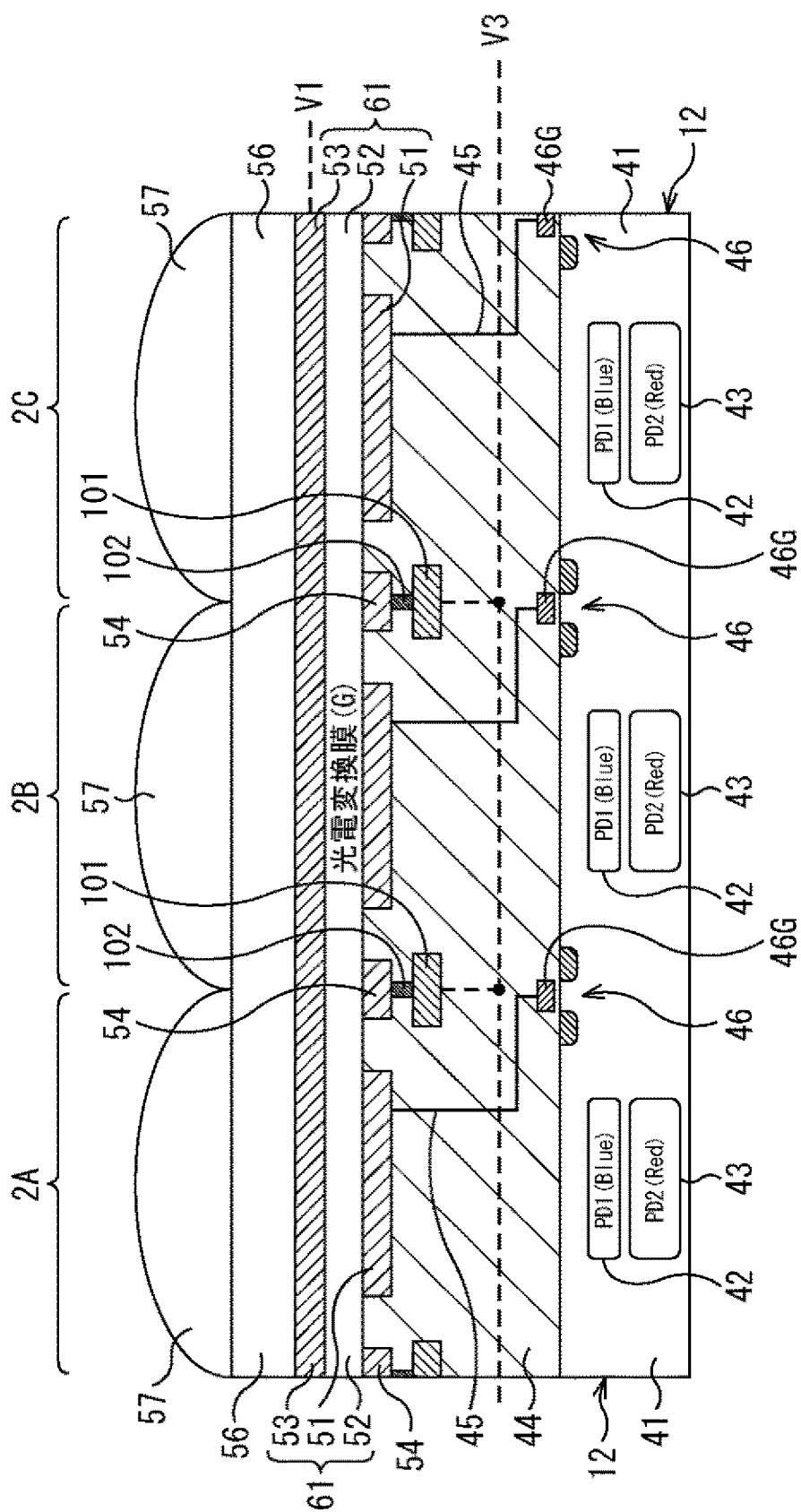
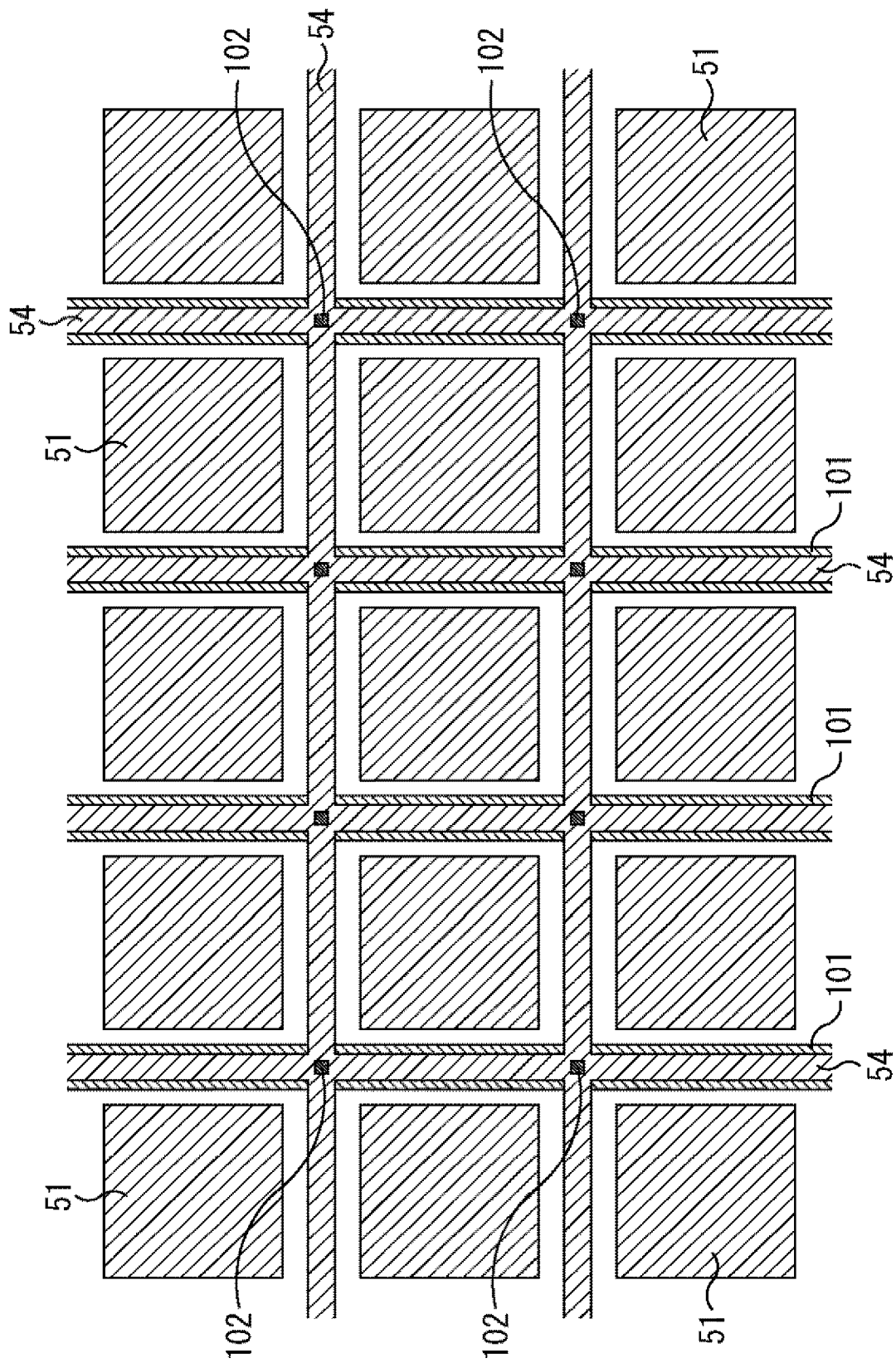


图9



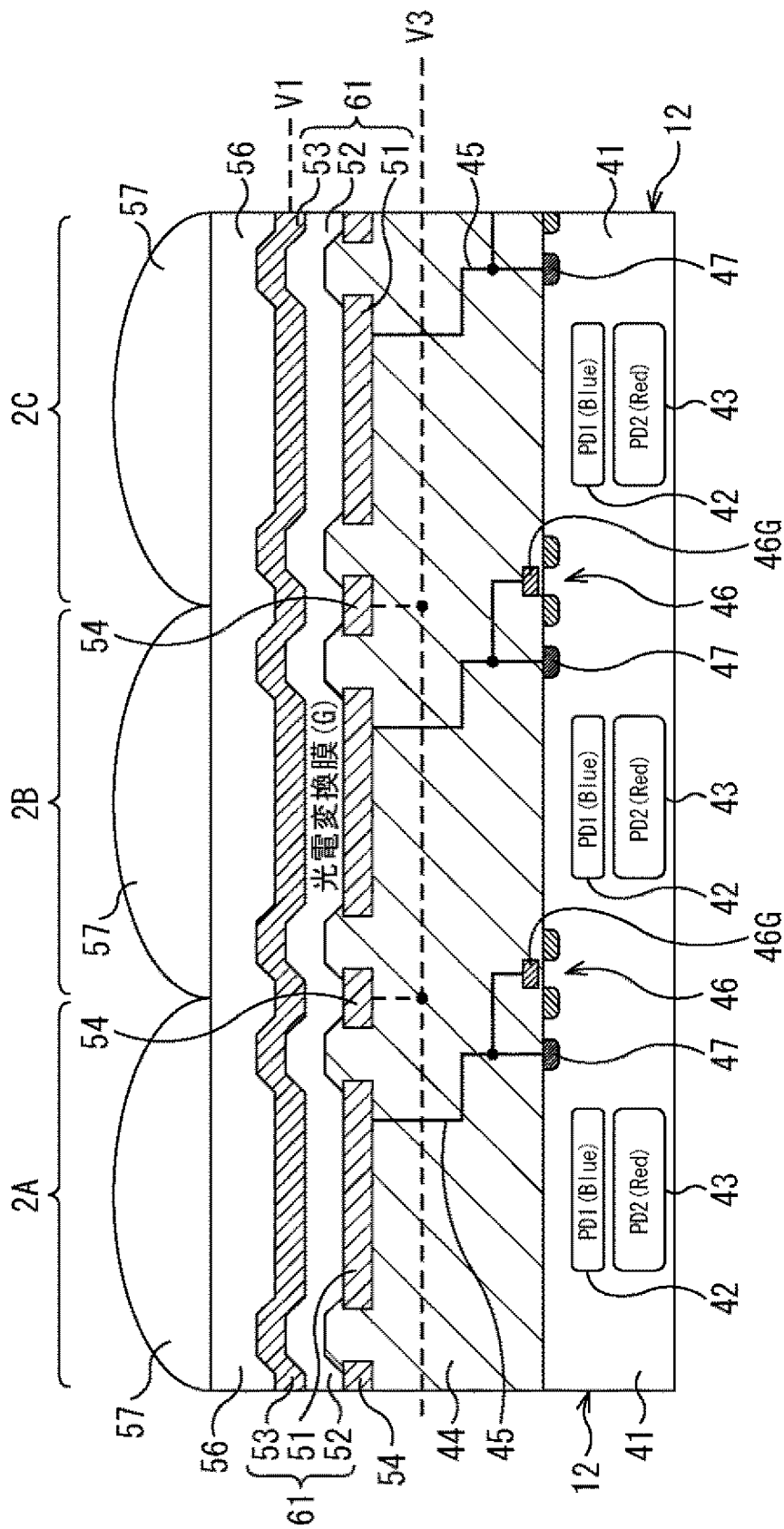
[図10]

図10



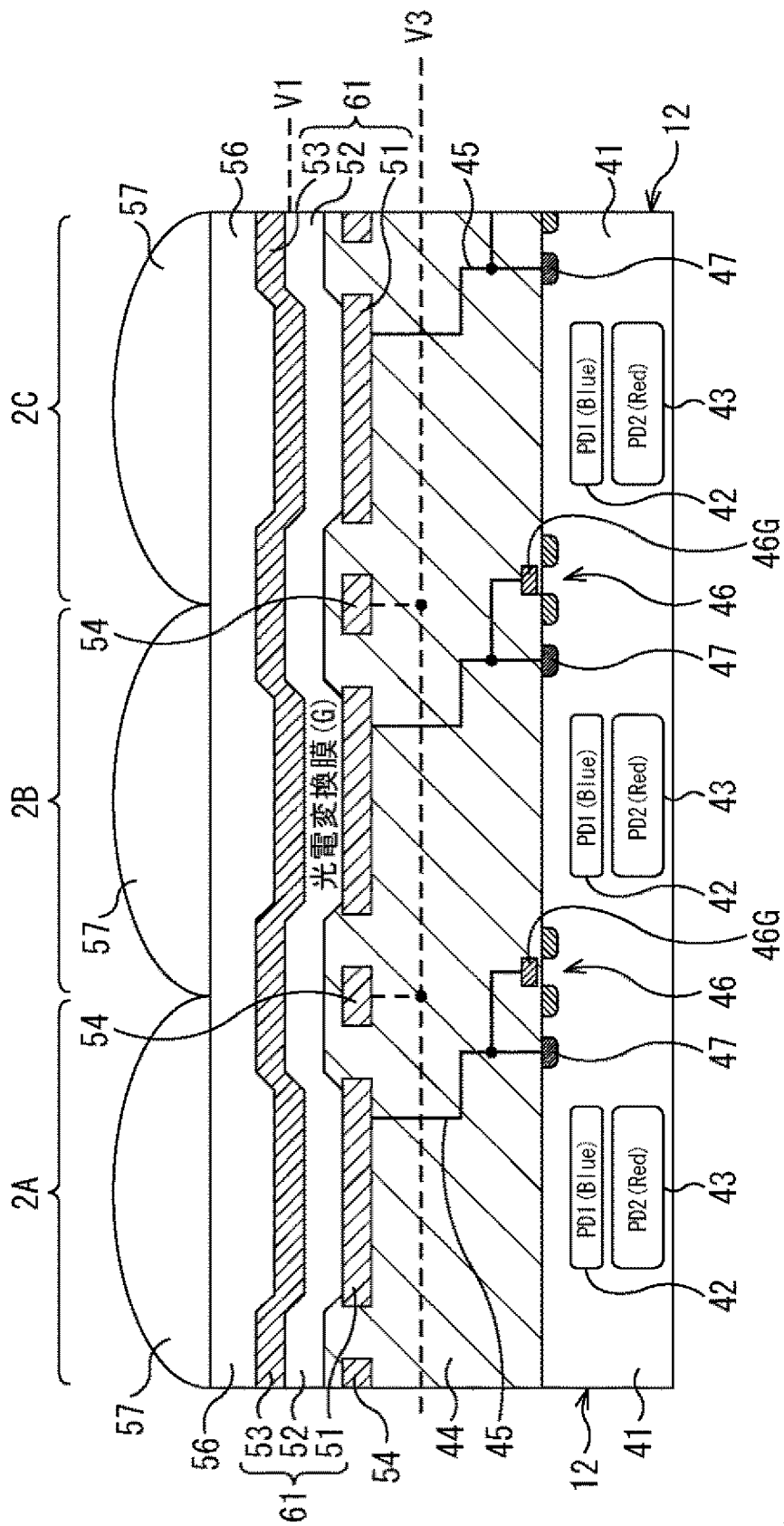
[図11]

図11



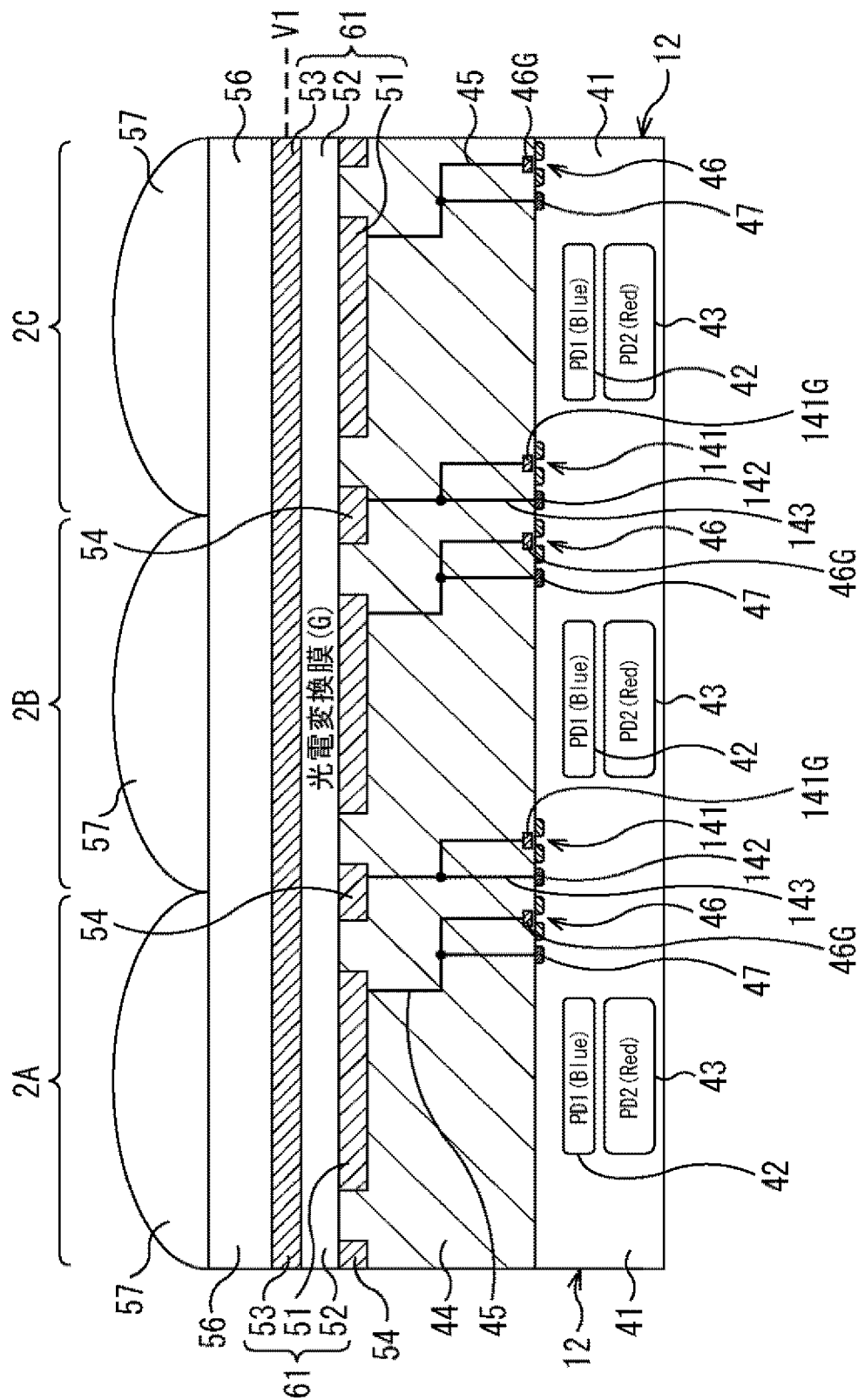
[図12]

図12



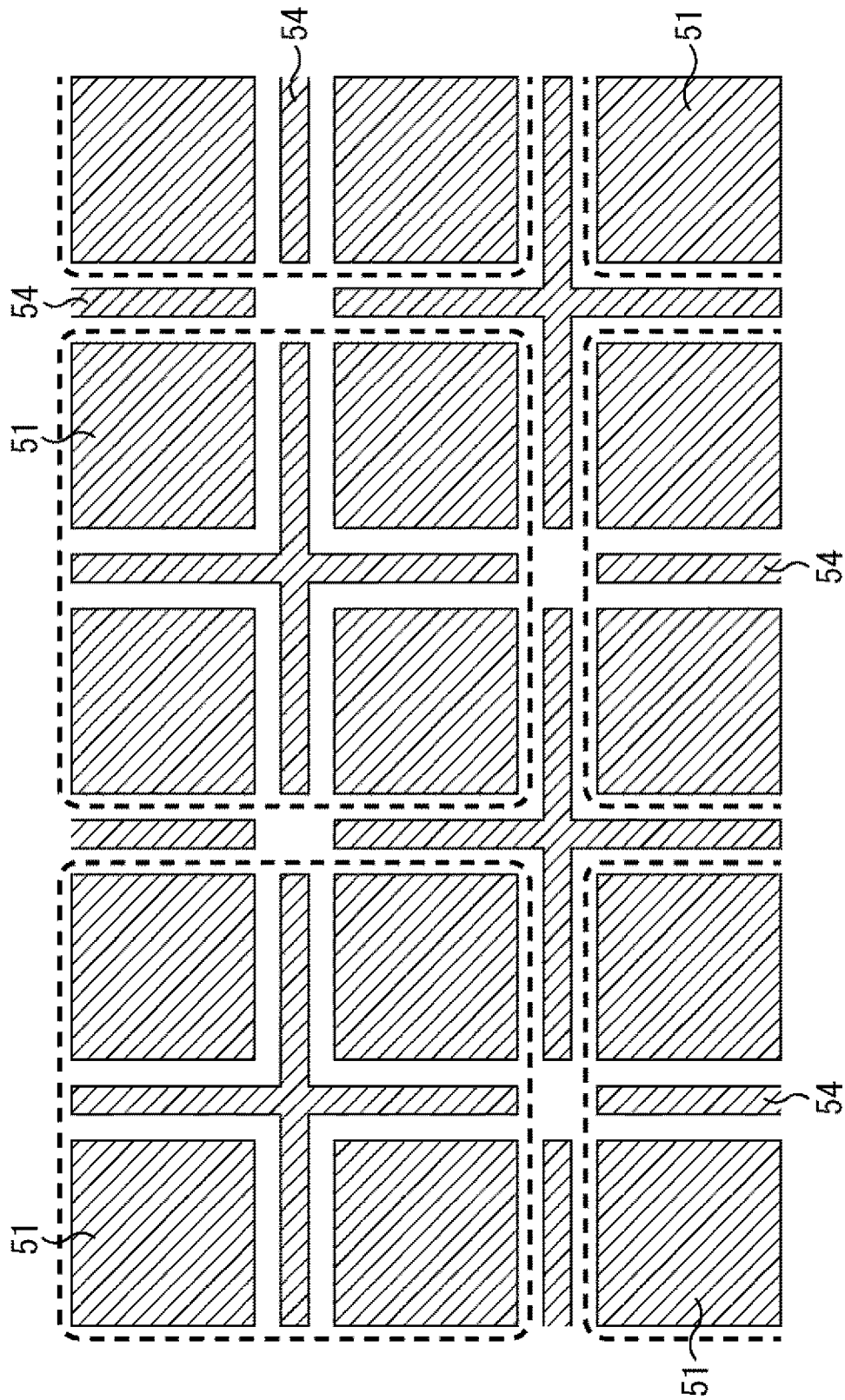
[図13]

図13



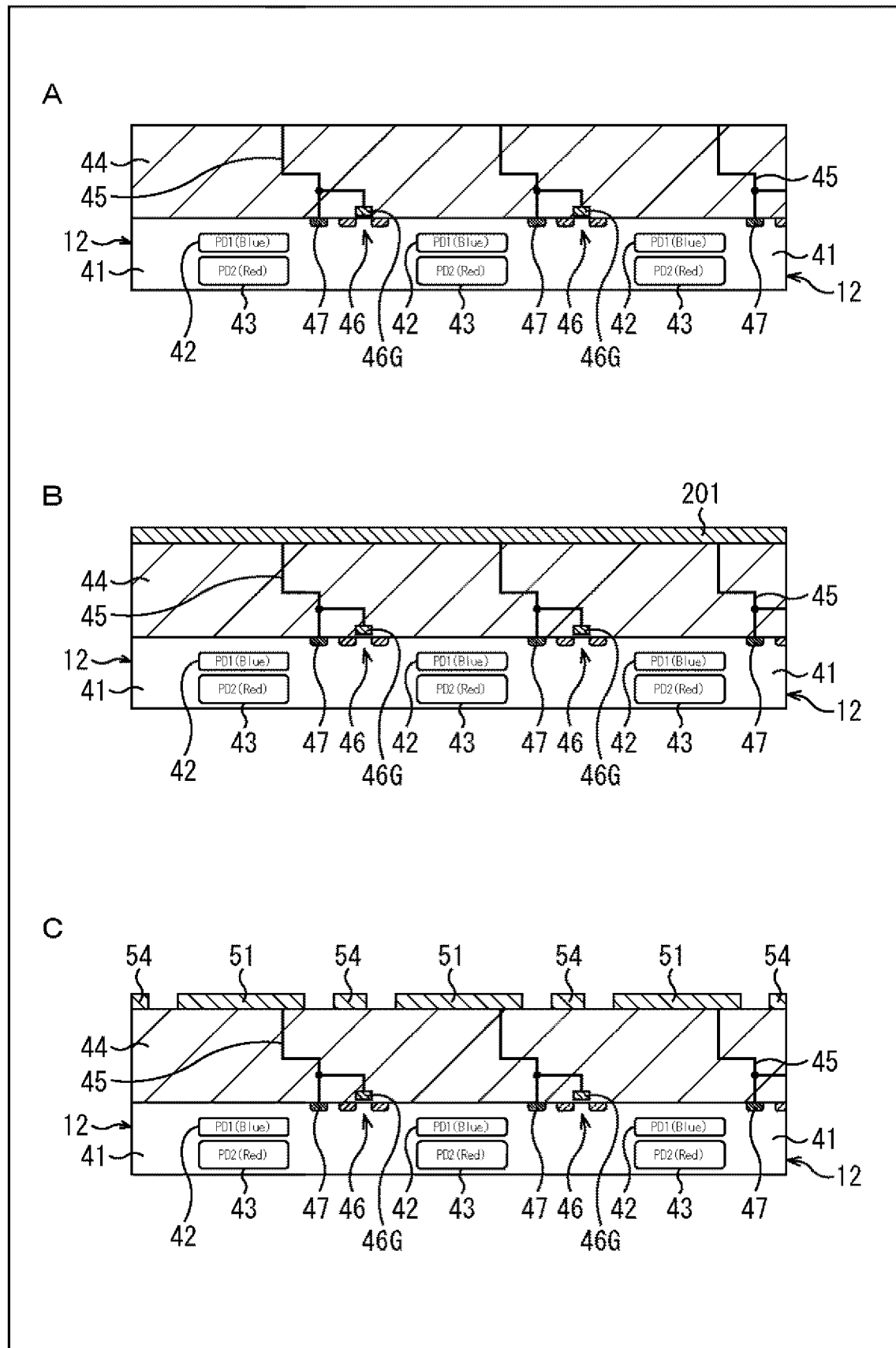
[図14]

図14



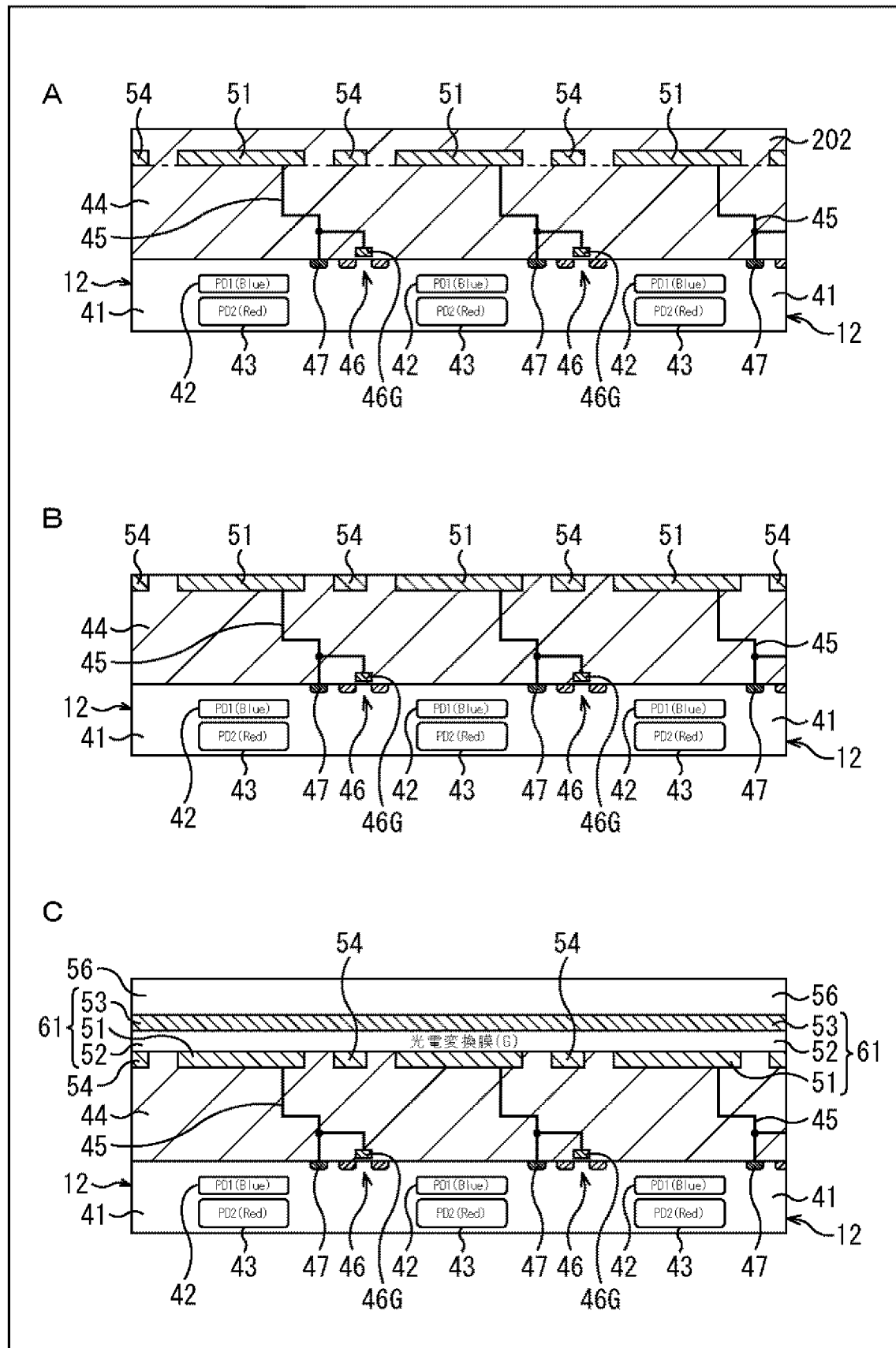
[図16]

図16



[図17]

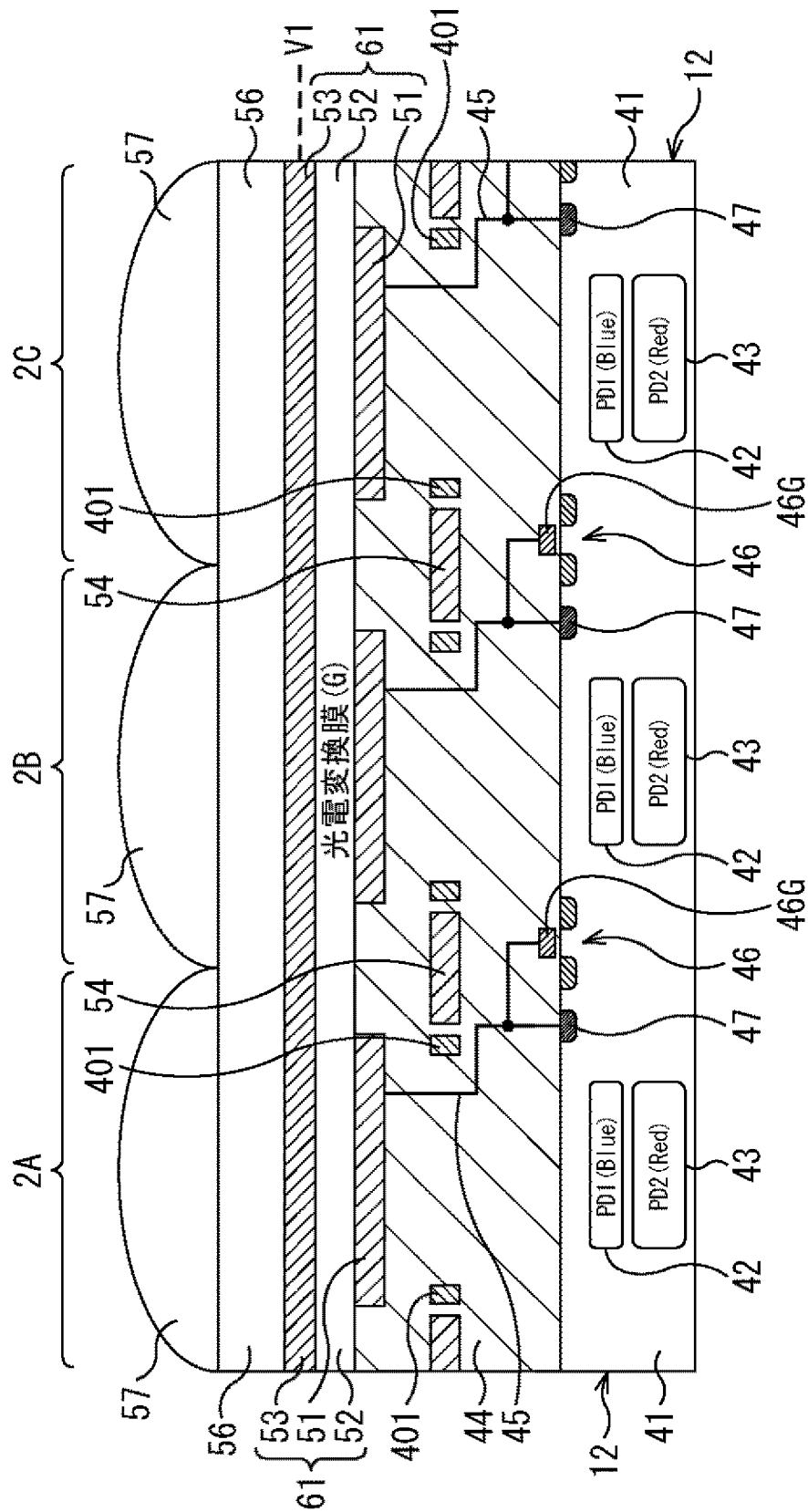
図17



[illegible]

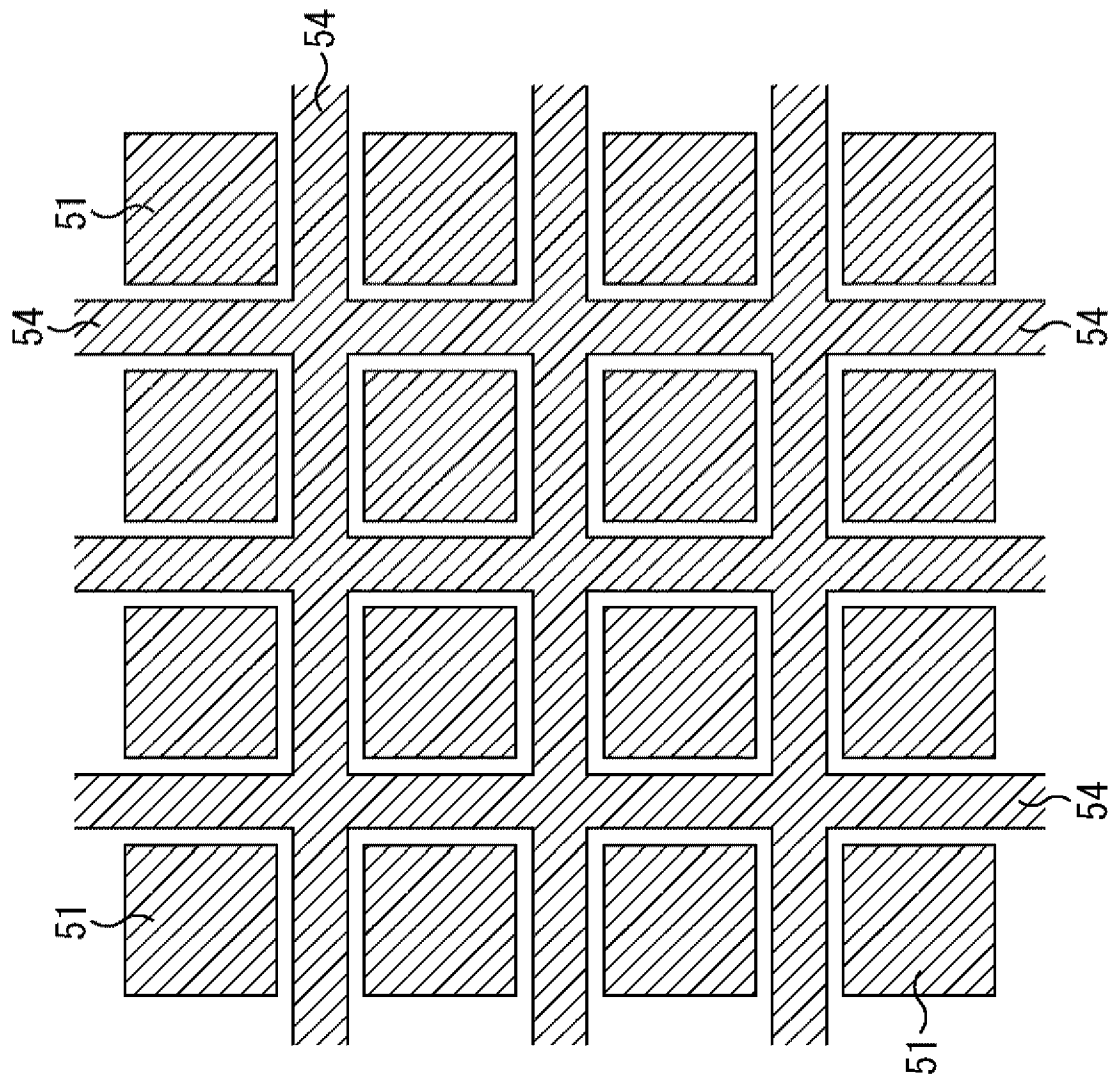
[図20]

図20



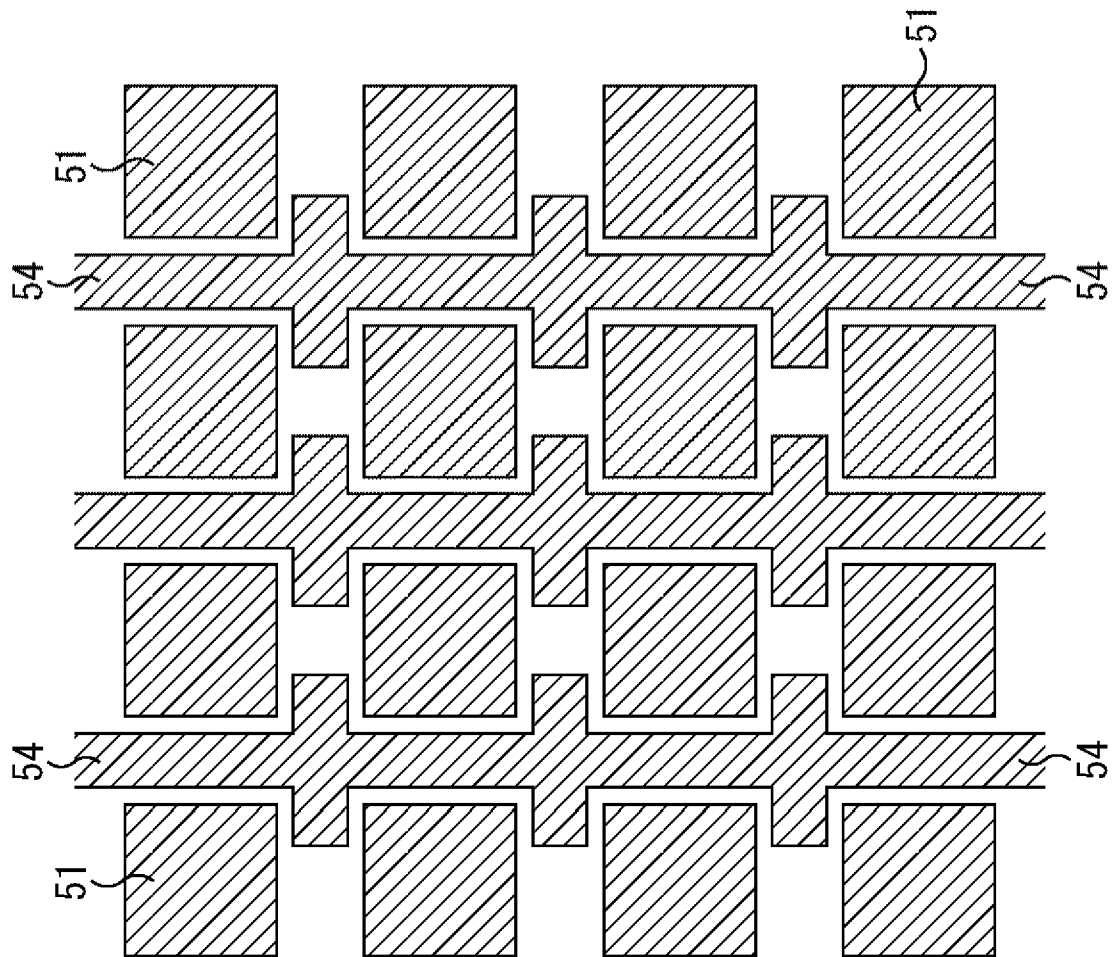
[図21]

図21



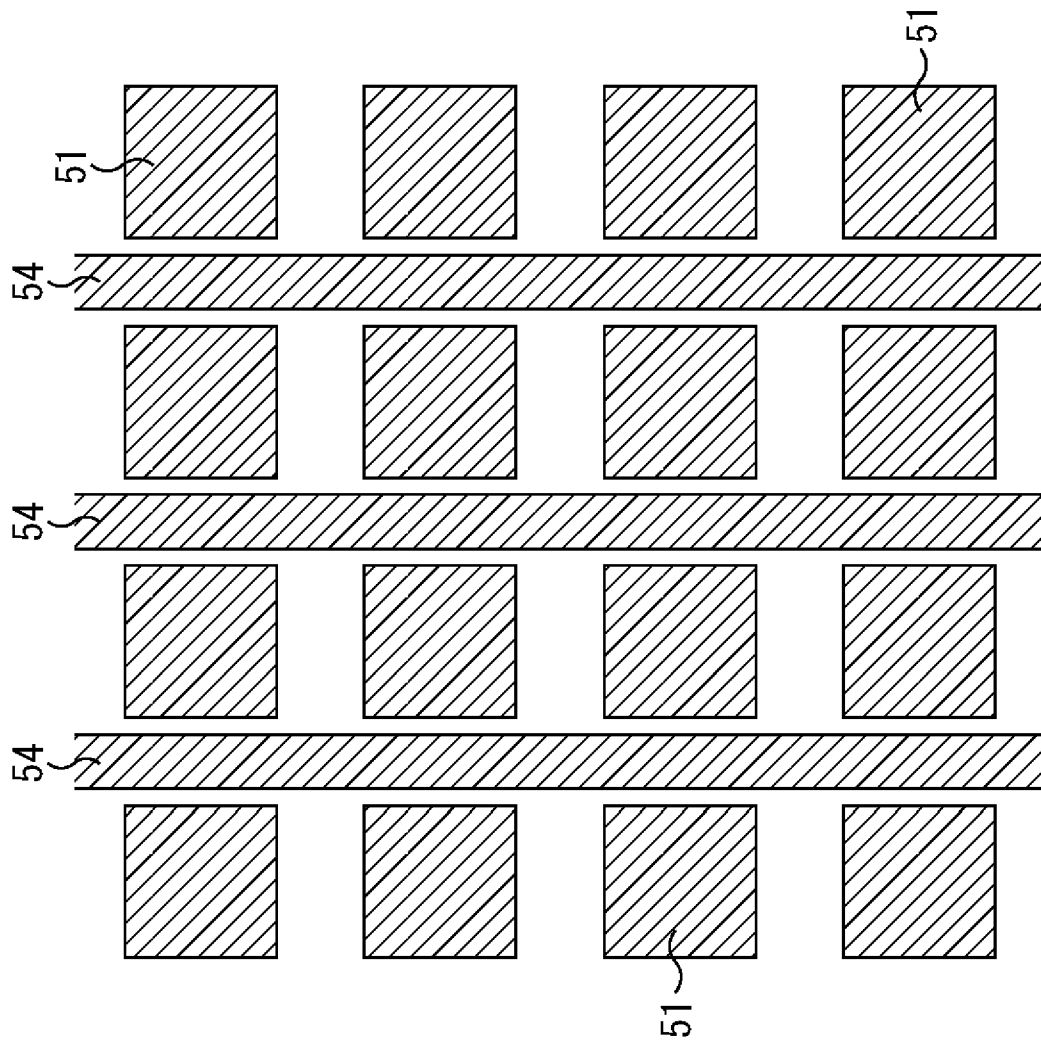
[図22]

図22



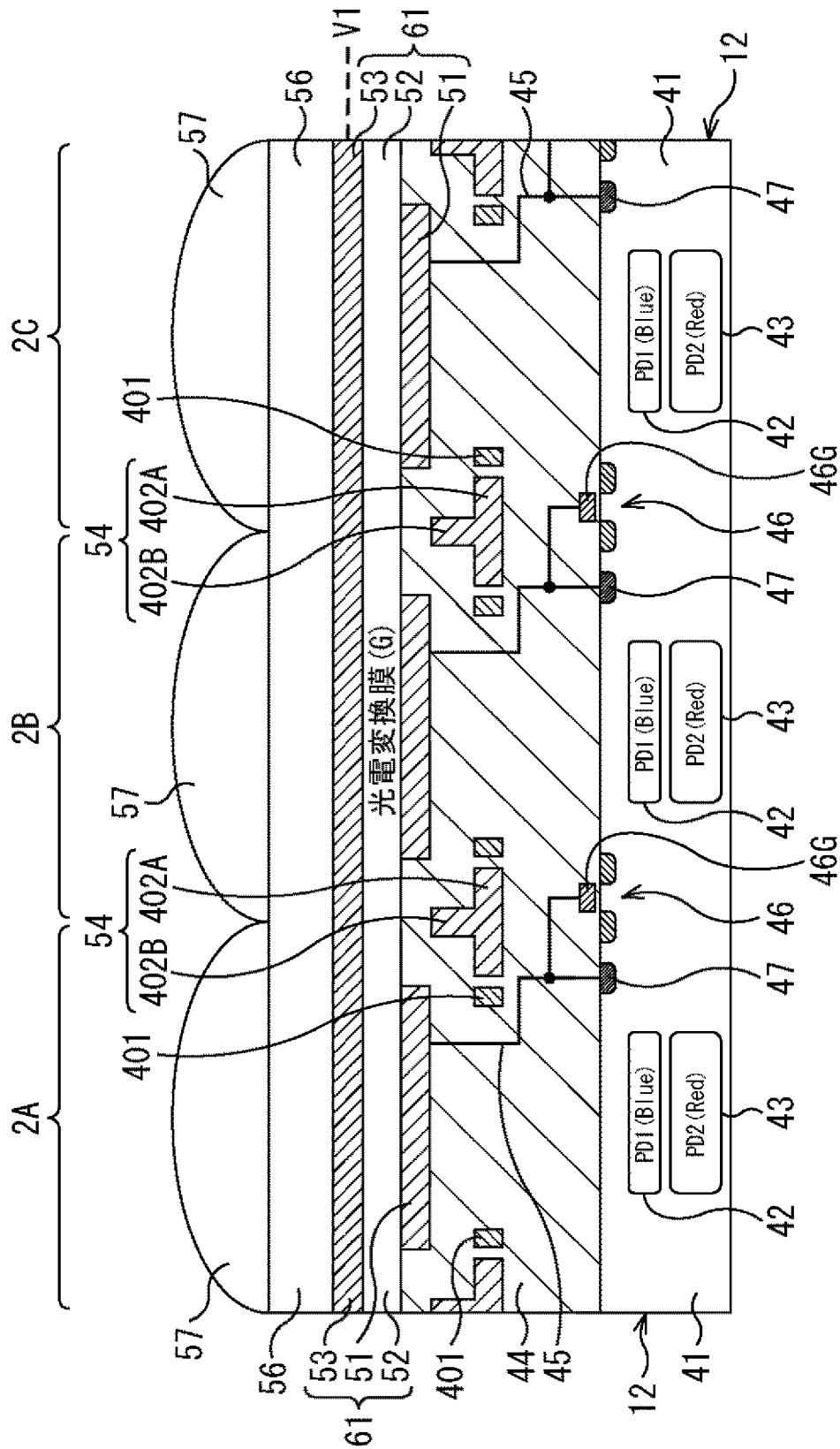
[図23]

図23



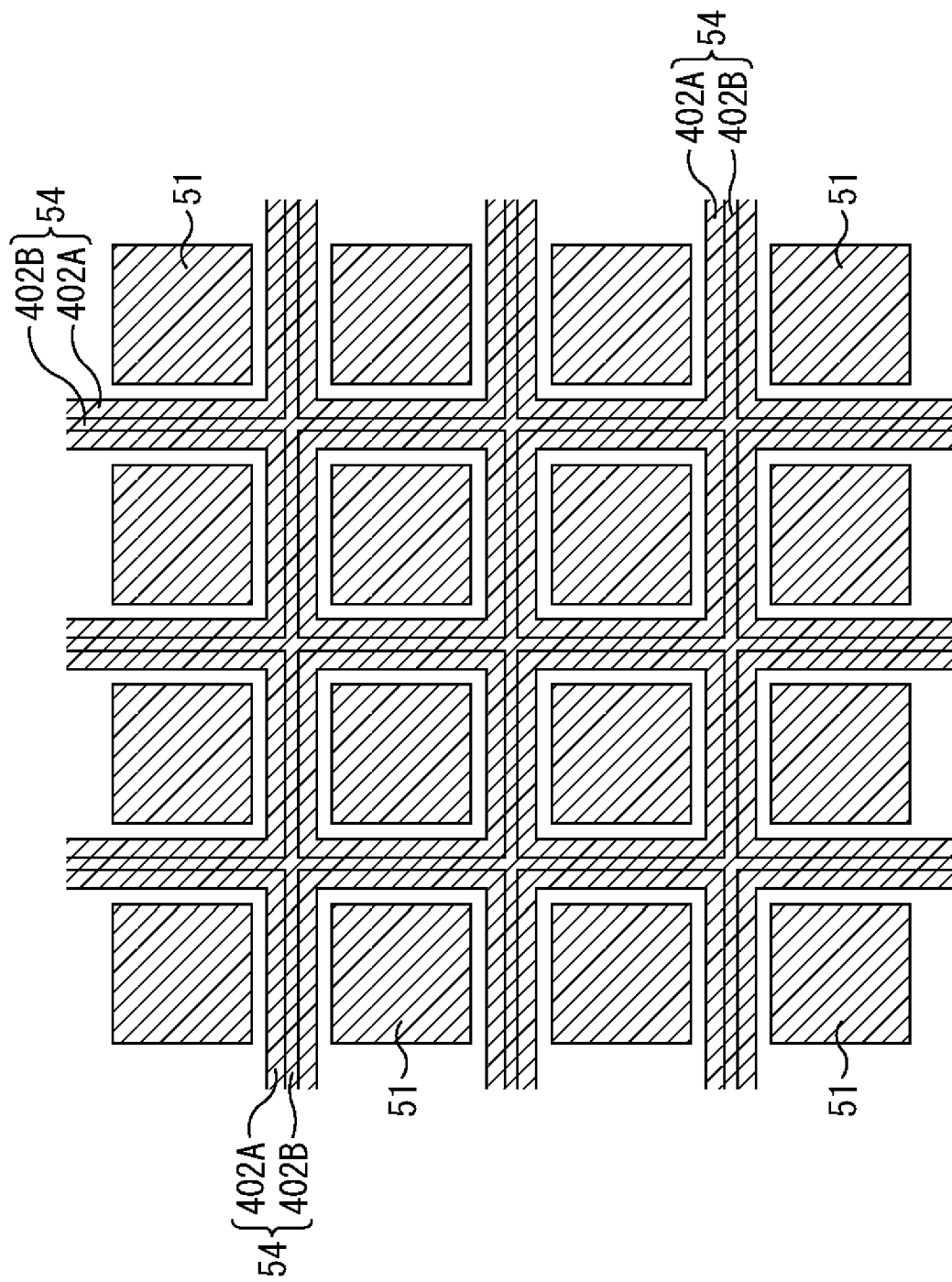
[図24]

図24



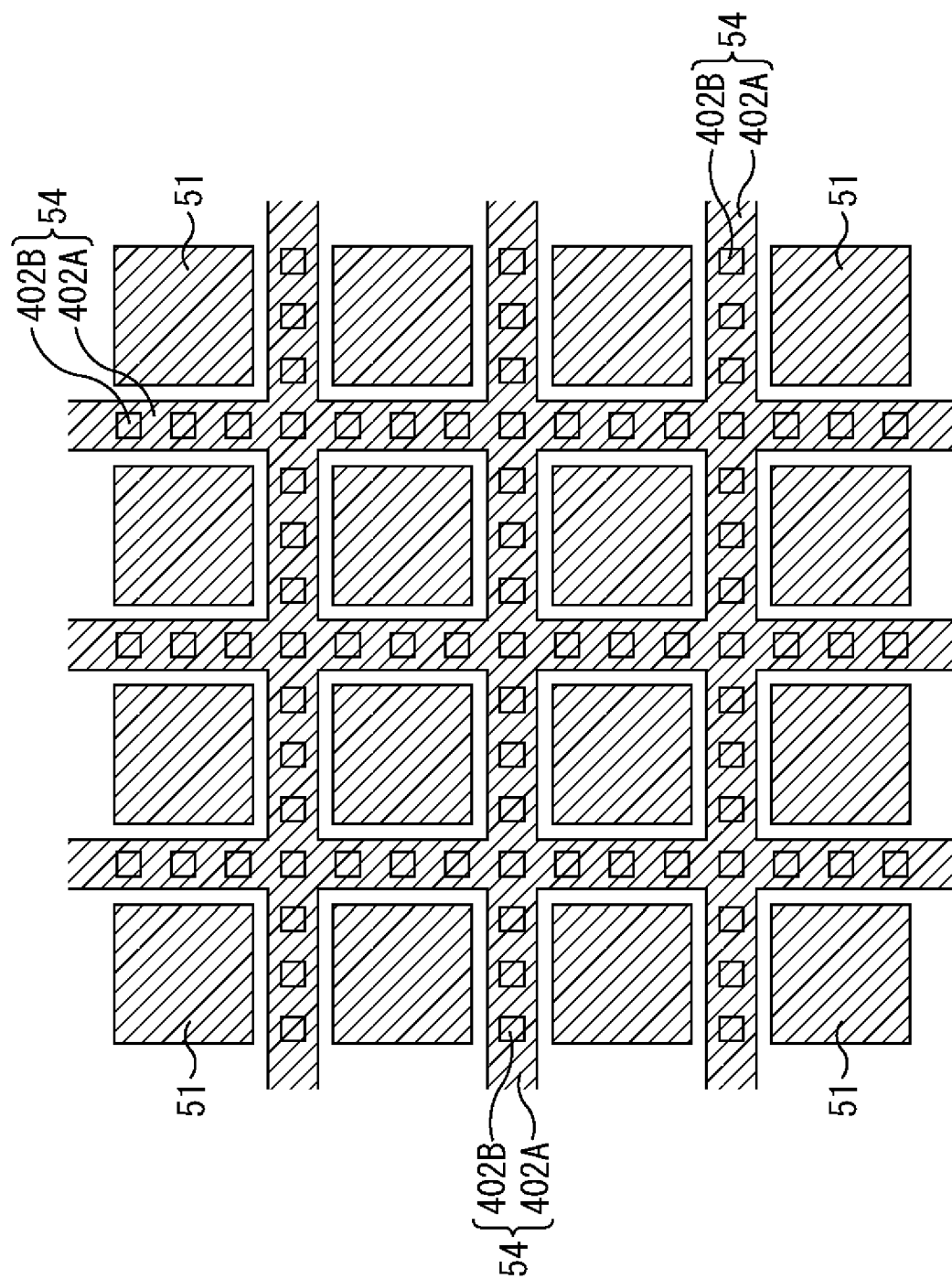
[図25]

図25



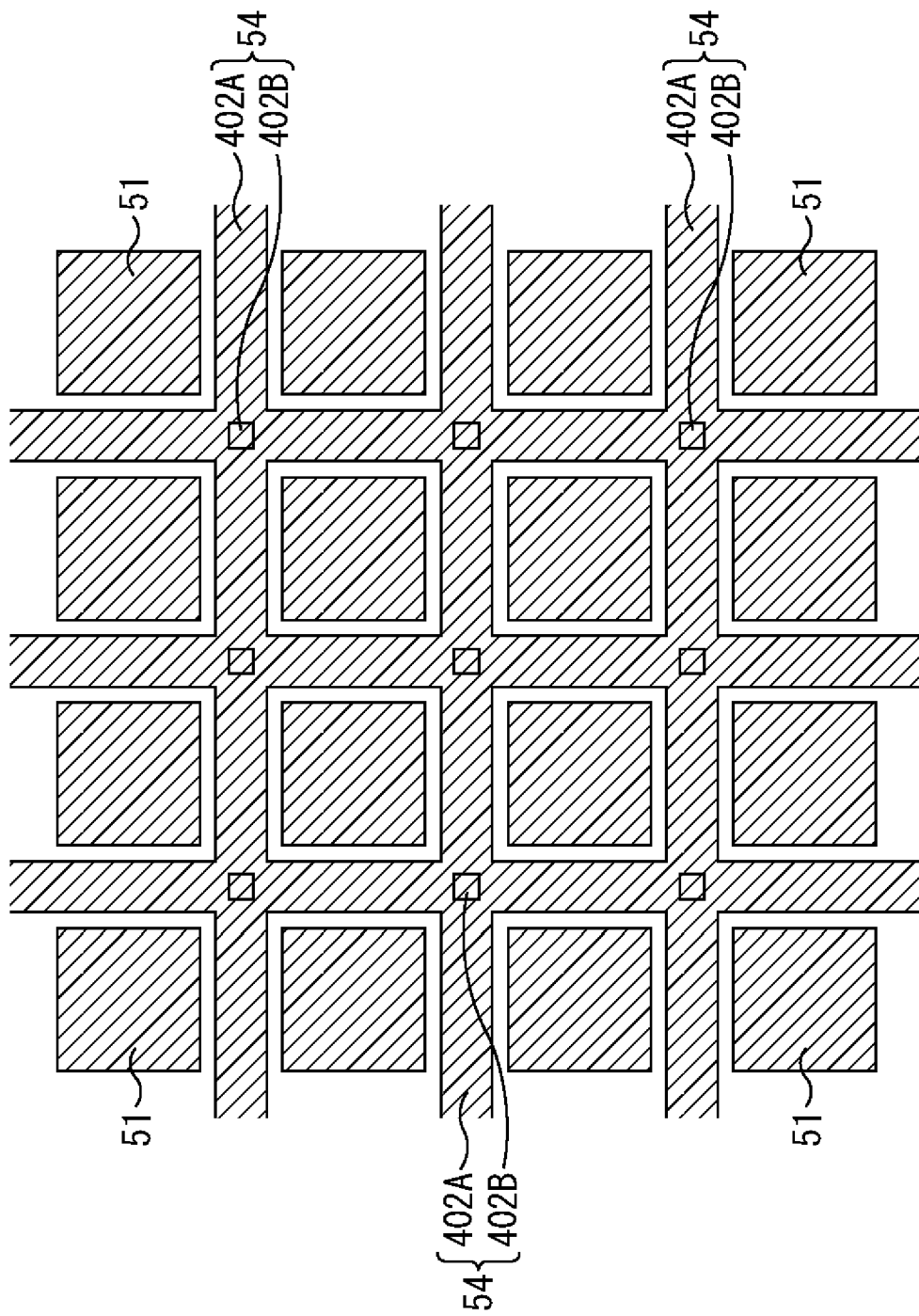
[図26]

図26



[図27]

図27



[図30]

図30

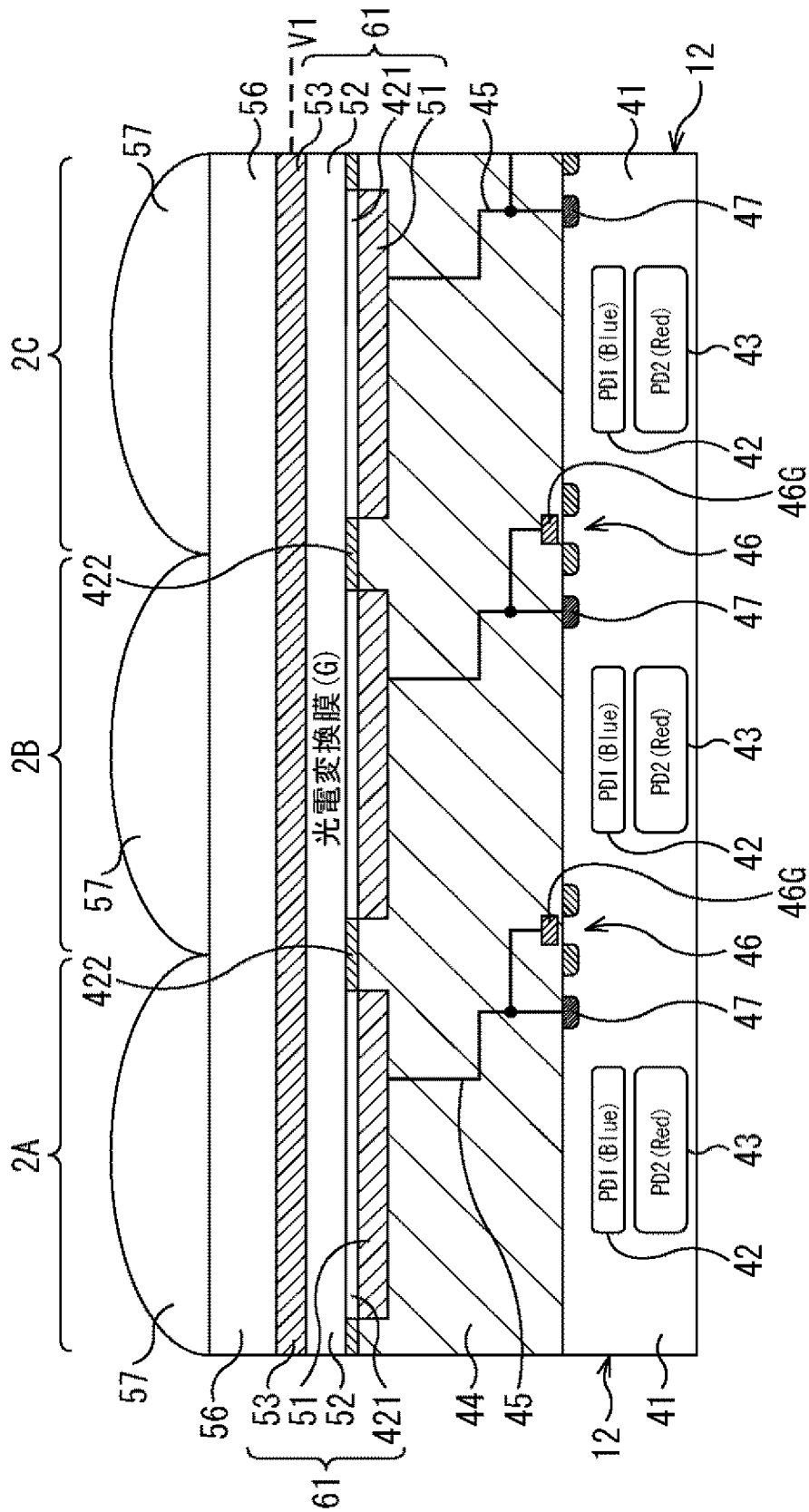
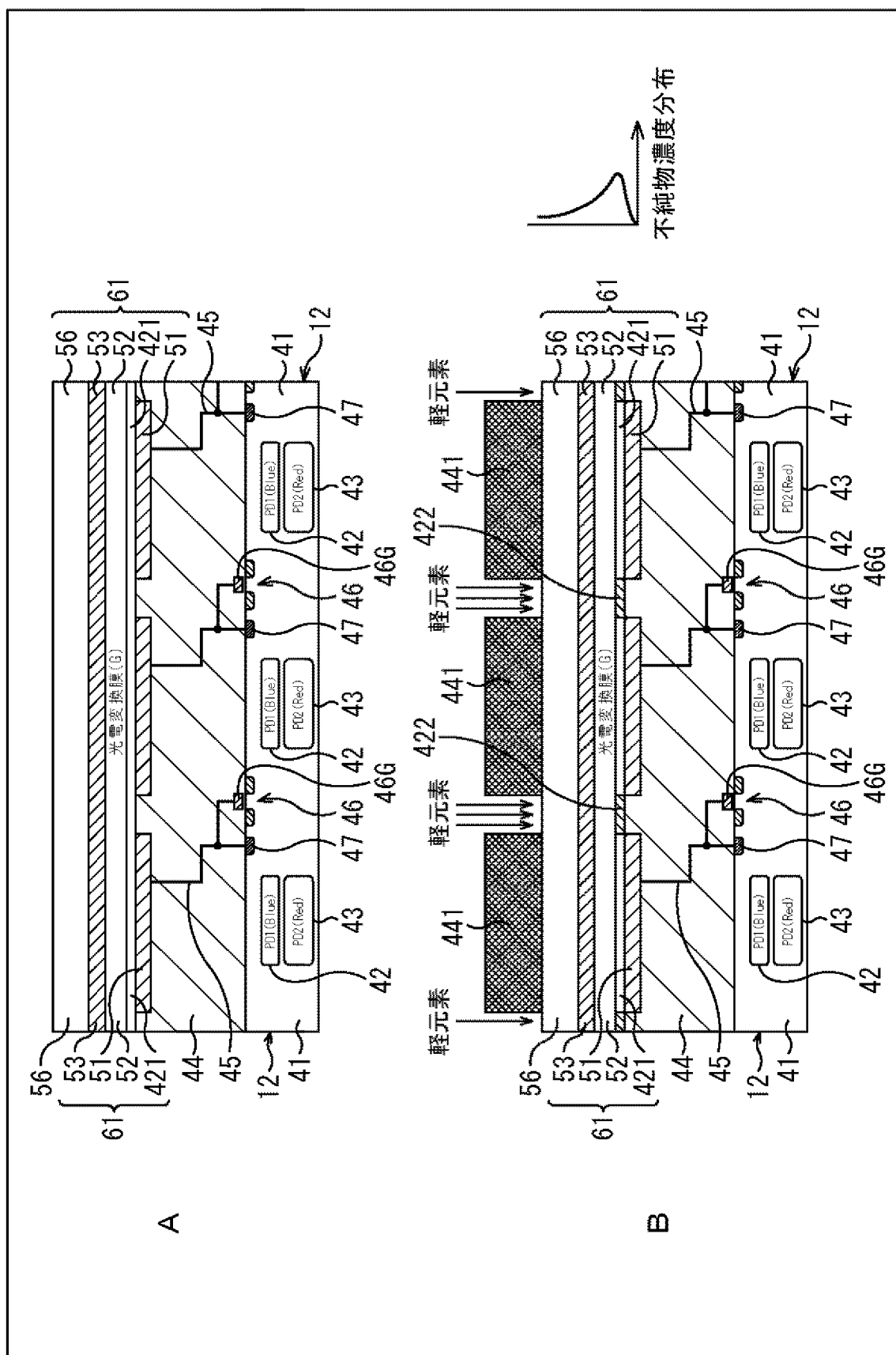
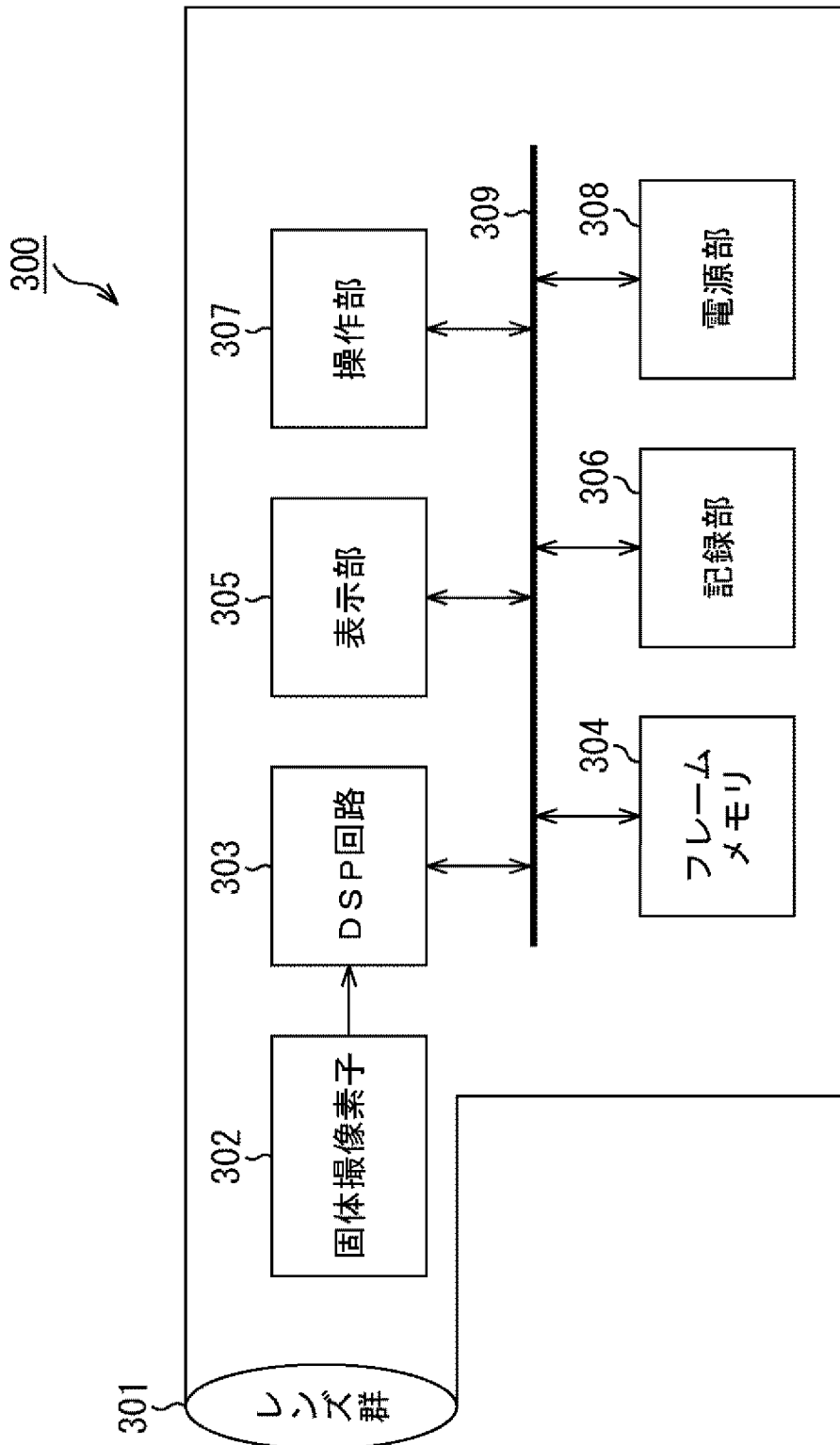


图31



[図32]

図32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084761

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, H01L27/146, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2010/116974 A1 (Rohm Co., Ltd.), 14 October 2010 (14.10.2010), fig. 51 to 60, 69 to 76 and explanations thereof	1, 3, 4, 6, 8, 16, 18, 19
Y	& US 2012/0086095 A1 fig. 51 to 60, 69 to 76 and explanations thereof & US 2015/0097966 A1 & JP 5547717 B & JP 2014-195296 A	2, 7, 11, 15, 17
X	WO 2012/117670 A1 (Panasonic Corp.), 07 September 2012 (07.09.2012), fig. 1 to 6 and explanations thereof	1-3, 6, 9, 10, 12, 14, 16, 18, 19
Y	& US 2013/0341491 A1 fig. 1 to 6 and explanations thereof & CN 103404124 A	13, 15, 17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 February 2016 (09.02.16)

Date of mailing of the international search report
23 February 2016 (23.02.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084761

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-187544 A (Sony Corp.), 22 September 2011 (22.09.2011), fig. 1 to 12 and explanations thereof & US 2011/0216212 A1 fig. 1 to 12 and explanations thereof & CN 102196195 A	2, 11, 15, 17 5
Y	JP 2004-39794 A (Sharp Corp.), 05 February 2004 (05.02.2004), fig. 1 to 4 and explanations thereof & US 2004/0004254 A1 fig. 1 to 4C and explanations thereof & TW 200410407 A & KR 10-2004-0004146 A	7
Y	JP 4-348038 A (Matsushita Electric Industrial Co., Ltd.), 03 December 1992 (03.12.1992), fig. 1(a) and explanation thereof & US 5306655 A fig. 5 and explanation thereof & US 5405787 A	13
X	JP 2012-114160 A (Panasonic Corp.), 14 June 2012 (14.06.2012), fig. 15 to 17 and explanations thereof & WO 2012/070171 A1	20
X	US 2009/0115014 A1 (KIM), 07 May 2009 (07.05.2009), fig. 1 to 5 and explanations thereof & KR 10-2009-0046173 A & CN 101431088 A	1, 6, 8, 18, 19
X	JP 5-13748 A (Canon Inc.), 22 January 1993 (22.01.1993), fig. 1 to 4 and explanations thereof (Family: none)	1, 9, 10, 12, 14, 18, 19
X	JP 3-174772 A (Toshiba Corp.), 29 July 1991 (29.07.1991), fig. 1 to 3 and explanations thereof (Family: none)	1, 9, 10, 12, 18, 19
A	JP 2011-109514 A (Fujifilm Corp.), 02 June 2011 (02.06.2011), entire text; all drawings (Family: none)	5
A	JP 8-116045 A (Toshiba Corp.), 07 May 1996 (07.05.1996), fig. 1 to 3 and explanations thereof (Family: none)	20

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084761

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	JP 2015-192125 A (Panasonic Intellectual Property Management Co., Ltd.), 02 November 2015 (02.11.2015), fig. 1 to 13 and explanations thereof (Family: none)	1, 3, 6, 8, 16, 18, 19

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/14(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/14, H01L27/146, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2010/116974 A1（ローム株式会社） 2010.10.14, 図 51-60, 69-76 及びその説明箇所	1, 3, 4, 6, 8, 16, 18, 19
Y	& US 2012/0086095 A1, 図 51-60, 69-76 及びその説明箇所 & US 2015/0097966 A1 & JP 5547717 B & JP 2014-195296 A	2, 7, 11, 15, 17
X	WO 2012/117670 A1（パナソニック株式会社） 2012.09.07, 図 1-6 及びその説明箇所	1-3, 6, 9, 10, 12, 14, 16,
Y	& US 2013/0341491 A1, 図 1-6 及びその説明箇所 & CN 103404124 A	18, 19 13, 15, 17

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

09.02.2016

国際調査報告の発送日

23.02.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 聖和

5 F

4666

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-187544 A (ソニー株式会社) 2011.09.22, 図 1-12 及びその説明箇所 & US 2011/0216212 A1, 図 1-12 及びその説明箇所 & CN 102196195 A	2, 11, 15, 17 5
Y	JP 2004-39794 A (シャープ株式会社) 2004.02.05, 図 1-4 及びその説明箇所 & US 2004/0004254 A1, 図 1-4C 及びその説明箇所 & TW 200410407 A & KR 10-2004-0004146 A	7
Y	JP 4-348038 A (松下電器産業株式会社) 1992.12.03, 図 1(a) 及びその説明箇所 & US 5306655 A, 図 5 及びその説明箇所 & US 5405787 A	13
X	JP 2012-114160 A (パナソニック株式会社) 2012.06.14, 図 15-17 及びその説明箇所 & WO 2012/070171 A1	20
X	US 2009/0115014 A1 (KIM) 2009.05.07, 図 1-5 及びその説明箇所 & KR 10-2009-0046173 A & CN 101431088 A	1, 6, 8, 18, 19
X	JP 5-13748 A (キヤノン株式会社) 1993.01.22, 図 1-4 及びその説明箇所 (ファミリーなし)	1, 9, 10, 12, 14, 18, 19
X	JP 3-174772 A (株式会社東芝) 1991.07.29, 第 1 図-第 3 図及びその説明箇所 (ファミリーなし)	1, 9, 10, 12, 18, 19
A	JP 2011-109514 A (富士フイルム株式会社) 2011.06.02, 全文全図 (ファミリーなし)	5
A	JP 8-116045 A (株式会社東芝) 1996.05.07, 図 1-3 及びその説明箇所 (ファミリーなし)	20
P, X	JP 2015-192125 A (パナソニック I P マネジメント株式会社) 2015.11.02, 図 1-13 及びその説明箇所 (ファミリーなし)	1, 3, 6, 8, 16, 18, 19