(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3548244号
(P3548244)
(45)発行日　平成16年7月28日(2004.7.28)　(24)登録日　平成16年4月23日(2004.4.23)

(51)Int.Cl.[7]	F I		
H04N 5/335	H04N	5/335	F
H01L 27/146	H01L	27/14	A

請求項の数 7　(全 13 頁)

(21)出願番号	特願平6-253385
(22)出願日	平成6年10月19日(1994.10.19)
(65)公開番号	特開平8-116491
(43)公開日	平成8年5月7日(1996.5.7)
審査請求日	平成10年12月18日(1998.12.18)
審判番号	不服2002-10393(P2002-10393/J1)
審判請求日	平成14年6月10日(2002.6.10)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100065385
弁理士　山下　穣平
(72)発明者　篠原　真人
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

合議体
審判長　新宮　佳典
審判官　小林　秀美
審判官　橋爪　正樹

(56)参考文献　特開平２－４１０７９（ＪＰ，Ａ）
特開昭６３－２９４１８２（ＪＰ，Ａ）

(54)【発明の名称】光電変換装置

(57)【特許請求の範囲】

【請求項１】

蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む光電変換画素と、
前記光電変換画素をリセットする手段と、
前記増幅手段の出力部に接続された出力線と、
前記出力線と入力部が容量結合されたアンプと、
前記アンプの入力部と所定の電位との間に接続され、前記アンプの入力部の電位を前記所定の電位及び浮遊電位に選択的に切り替えるスイッチと、
前記アンプの出力部と前記出力線との接続を制御する接続制御手段とを含み、
前記スイッチによって前記アンプの入力部の電位を前記所定の電位とし、かつ、前記接続制御手段によって前記アンプの出力部と前記出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記出力線に読み出し、
その後、前記スイッチによって前記アンプの入力部の電位を浮遊電位に切り替え前記アンプの入力部の電位を浮遊電位とした状態で、前記接続制御手段によって前記アンプの出力部と前記出力線とを接続して前記アンプの出力信号を前記出力線に読み出し、前記出力線を前記第１の信号に基づく電位とし、
その後、前記光電変換画素をリセットし、前記出力線に読み出された前記アンプの出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅

手段で増幅して前記出力線に読み出すことを特徴とする光電変換装置。
【請求項２】
請求項１に記載の光電変換装置において、前記アンプは、エミッタフォロワ、又はソースフォロワないしは演算増幅器であることを特徴とする光電変換装置。
【請求項３】
蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む光電変換画素と、
前記光電変換画素をリセットする手段と、
前記増幅手段の出力部に接続された出力線と、
前記出力線に接続された負のゲインを持つアンプ手段と、
前記アンプ手段の出力部と前記出力線との接続を制御する接続制御手段とを含み、
前記アンプ手段の出力部と前記出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記出力線に読み出し、
その後、前記アンプ手段の出力部と前記出力線とを接続することによって前記アンプ手段の出力信号を前記出力線に読み出し、前記出力線を前記第１の信号に基づく電位とし、
その後、前記光電変換画素をリセットし、前記出力線に読み出された前記アンプ手段の出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記出力線に読み出すことを特徴とする光電変換装置。
【請求項４】
請求項３に記載の光電変換装置において、前記アンプ手段は、前記出力線と容量結合されたエミッタフォロワ、又はソースフォロワないしは演算増幅器と、前記エミッタフォロワ、又はソースフォロワないしは演算増幅器の入力部を所定の電圧及び浮遊電位に選択的に切り替えるスイッチとを含むことを特徴とする光電変換装置。
【請求項５】
蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む、一ライン状又は２次元状に配された複数の光電変換画素と、
前記光電変換画素をリセットする手段と、
一ライン状に配された前記複数の光電変換画素の複数の増幅手段の出力部のそれぞれに一本ずつ接続された、又は前記２次元状に配された前記複数の光電変換画素のうち一配列方向の各ラインの複数の光電変換画素の複数の増幅手段の出力部に対してそれぞれ一本ずつ共通接続された複数本の第１の出力線と、
前記複数本の第１の出力線のそれぞれに１つずつ入力部が容量結合された複数のアンプと、
前記アンプの入力部と所定の電位との間に接続され、前記アンプの入力部の電位を前記所定の電位及び浮遊電位に選択的に切り替えるスイッチと、
前記アンプの出力部と前記入力部に容量結合された前記第１の出力線との接続を制御する接続制御手段と、
前記複数のアンプからの信号を共通に出力する第２の出力線と、
前記複数のアンプからの信号を前記第２の出力線に転送するための複数の転送スイッチ手段と、
前記複数のアンプからの信号が時系列的に前記第２の出力線に転送されるように、前記複数の転送スイッチ手段を制御する水平走査回路と、を含み、
前記スイッチによって前記アンプの入力部の電位を前記所定の電位とし、かつ、前記接続制御手段によって前記アンプの出力部と前記第１の出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記第１の出力線に読み出し、
その後、前記スイッチによって前記アンプの入力部の電位を浮遊電位に切り替え前記アンプの入力部の電位を浮遊電位とした状態で、前記接続制御手段によって前記アンプの出力部と前記第１の出力線とを接続して前記アンプの出力信号を前記第１の出力線に読み出し、前記第１の出力線を前記第１の信号に基づく電位とし、

その後、前記光電変換画素をリセットし、前記第１の出力線に読み出された前記アンプの出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記第１の出力線に読み出すことを特徴とする光電変換装置。
【請求項６】
蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む、一ライン状又は２次元状に配された複数の光電変換画素と、
前記光電変換画素をリセットする手段と、
一ライン状に配された前記複数の光電変換画素の複数の増幅手段の出力部のそれぞれに一本ずつ接続された、又は２次元状に配された前記複数の光電変換画素のうち一配列方向の各ラインの複数の光電変換画素の複数の増幅手段の出力部に対してそれぞれ一本ずつ共通接続された複数本の第１の出力線と、
前記複数本の第１の出力線のそれぞれに１つずつ接続された負のゲインを持つ複数のアンプ手段と、
前記アンプ手段の出力部と前記第１の出力線との接続を制御する接続制御手段と、
前記複数のアンプ手段からの信号を共通に出力する第２の出力線と、
前記複数のアンプ手段からの信号を前記第２の出力線に転送するための複数の転送スイッチ手段と、
前記複数のアンプ手段からの信号が時系列的に前記第２の出力線に転送されるように、前記複数の転送スイッチ手段を制御する水平走査回路と、を含み、
前記アンプ手段の出力部と前記第１の出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記第１の出力線に読み出し、
その後、前記アンプ手段の出力部と前記第１の出力線とを接続することによって前記アンプ手段の出力信号を前記第１の出力線に読み出し、前記第１の出力線を前記第１の信号に基づく電位とし、
その後、前記光電変換画素をリセットし、前記第１の出力線に読み出された前記アンプ手段の出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記第１の出力線に読み出すことを特徴とする光電変換装置。
【請求項７】
蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む光電変換画素と、前記光電変換画素をリセットする手段と、前記増幅手段の出力部に接続された出力線と、前記出力線と入力部が容量結合されたアンプと、前記アンプの入力部と所定の電位との間に接続され、前記アンプの入力部の電位を前記所定の電位及び浮遊状態の電位に選択的に切り替えるスイッチと、前記アンプの出力部と前記出力線との接続を制御する接続制御手段と、を含む光電変換装置の駆動方法において、
前記スイッチによって前記アンプの入力部の電位を前記所定の電位とし、かつ、前記接続制御手段によって前記アンプの出力部と前記出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記出力線に読み出し、
その後、前記スイッチによって前記アンプの入力部の電位を浮遊電位に切り替え前記アンプの入力部の電位を浮遊電位とした状態で、前記接続制御手段によって前記アンプの出力部と前記出力線とを接続して前記アンプの出力信号を前記出力線に読み出し、前記出力線を前記第１の信号に基づく電位とし、
その後、前記光電変換画素をリセットし、前記出力線に読み出された前記アンプの出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記出力線に読み出すことを特徴とする光電変換装置の駆動方法。

【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は半導体上に形成される光電変換装置に関するものである。
【０００２】
【従来の技術】
従来、光電変換画素がその出力線を有するような光電変換装置は、何種類かのタイプがあり、画素の構成により、ＭＯＳ型、ＳＩＴ型、ＦＥＴ型、ＣＭＤ型、バイポーラ型などに区別される。
【０００３】
図６は、このうちバイポーラ型で、バイポーラトランジスタで画素が形成され、そのベース領域に光により発生したキャリアを蓄積するタイプの２次元光電変換装置を表わす。
【０００４】
図６において、１は光電変換画素であり、ｎｐｎ型バイポーラ・トランジスタ２、そのベースに接続するベースリセットのためのＰ型ＭＯＳトランジスタ３、ベース電位制御のための画素容量４で構成される。５はバイポーラトランジスタ２のエミッタに接続する画素の蓄積信号出力線、６は出力線５をリセットするためのＭＯＳトランジスタ、７は光電変換画素１の出力電圧を保持転送するための転送容量、８は出力線５と蓄積容量７とをスイッチするためのＭＯＳトランジスタ、９は転送蓄積容量７からの信号が転送される水平出力線、１０は水平シフトレジスタ３３の出力に応じて、蓄積容量７と水平出力線９とをスイッチするＭＯＳトランジスタ、１１は水平出力線９に表われる信号を増幅するためのプリアンプ、１２はプリアンプ１１の出力端子である。
【０００５】
また、１３は水平出力線９をリセットするためのＭＯＳトランジスタ、１４は画素を駆動するための駆動線、１５は駆動パルス入力線、１６は垂直シフトレジスタ３４の出力に応じて選択された垂直行の駆動線１４と駆動パルス入力線１５とをスイッチするためのＭＯＳトランジスタ、１７は本光電変換装置の基準電位V_{VC}の電源端子、１８はＭＯＳトランジスタ６のゲートにパルスφＶＣを印加するための入力端子、１９はＭＯＳトランジスタ８のゲートにパルスφＴを印加するための入力端子、２０はＭＯＳトランジスタ１３のゲートにパルスφＨＣを印加するための入力端子、２１は駆動パルスφＲの入力端子である。
【０００６】
図６においては、簡単のため２×２の光電変換画素のエリアセンサを表わしており、垂直シフトレジスタの出力はＶ１、Ｖ２、水平シフトレジスタの出力はＨ１、Ｈ２としている。現実には、２５６×２５６以上の画素が配置される例が多い。
【０００７】
図７は、図６に示した２次元光電変換装置の動作を説明するためのパルスタイミングチャートである。図７におけるパルスは全般的にＨｉｇｈレベル、Ｌｏｗレベルで示すが、駆動パルスφＲには中間レベルとして基準電位V_{VC}が存在する。
【０００８】
まず、垂直シフトレジスタ３４からのＶ１がＨｉｇｈとなり、入力端子２１の駆動パルスφＲが基準電位V_{VC}からＨｉｇｈとなると、２次元光電変換画素の第１行目が駆動される。光電変換画素１では、Ｐ型ＭＯＳトランジスタ（以下、ＰＭＯＳと称する）３がＯＦＦで、画素容量４を通してバイポーラトランジスタ２のベース電位が立ち上がり、エミッタ電流が流れ、画素のベースに蓄積された信号電圧が、パルスφＶＣがＬｏｗなので、浮遊状態の出力線５に表われる。水平シフトレジスタ３３の出力Ｈ１、Ｈ２共にＬｏｗでパルスφＴがＨｉｇｈであるので、この浮遊信号出力線５の出力信号は蓄積容量７に蓄積された後、水平シフトレジスタ３３出力Ｈ１、Ｈ２が順次Ｈｉｇｈとなって、蓄積容量７のキャリアは出力線９、プリアンプ１１を通して出力端子１２より出力される。なお、出力Ｈ１がＨｉｇｈとなって、出力Ｈ１の列が駆動状態となり、蓄積容量７のキャリアを放電

すれば、出力Ｈ１がＬｏｗとなり、パルスφＨＣがＨｉｇｈとなって信号線９をリセットし、次に出力Ｈ２の列が駆動状態となって順次信号線９からキャリア信号が読み出されていく。

【０００９】

また各行の画素においては、垂直シフトレジスタＶ１がＨｉｇｈのままで、駆動パルスφＲがＬｏｗレベルになることによってＰＭＯＳ３がＯＮし、第１行目におけるバイポーラトランジスタ２のベース電位は基準電位V_{VC}となる。次に、信号出力線５が、パルスφＶＣがＨｉｇｈとなり、ＭＯＳトランジスタ６のＯＮによって、基準電位V_{VC}に固定されている状態で、駆動パルスφＲがＨｉｇｈとなると、ＰＭＯＳ３がＯＦＦすると共に、第１行目のバイポーラトランジスタ２はＯＮ状態となって、エミッタ電流、ベース電流が流れるため、そのベース電位は下降して行き、数μＳでベース電位はV_{VC}＋０．６Ｖ程度となり、画素容量４はリセットされる。こうなった時に、駆動パルスφＲが中間レベルV_{VC}に戻ると、画素容量４を通して、ベース電位が下がり、エミッタ電位V_{VC}に対して逆バイアスになる。そうして出力Ｖ１がＬｏｗとなってこの行の駆動は終了する。ここから、第１行目の画素は、次に再び第１行目が選択されるまで、光キャリアをベース領域に蓄積する蓄積動作に入る。

【００１０】

次に、出力Ｖ２がＨｉｇｈとなって第２行目が選択、駆動され、キャリア信号を出力し、画素をリセットする時の動作は第１行目の時と同様である。

【００１１】

以上説明したバイポーラ型光電変換装置において、画素容量４でほぼ規定される画素容量に蓄積された信号電圧は、蓄積容量７にほぼそのまま表われる。蓄積容量７は画素容量４に対して十分大きくとれば、信号電荷量は、上記容量の比だけ増幅されることになり、信号出力の経路、出力線５、蓄積容量７、出力線９、プリアンプ１１からのノイズの影響を小さくすることができる。

【００１２】

【発明が解決しようとしている課題】

しかしながら、上記従来例では、図６における蓄積容量７から水平出力線９へ信号が転送される時に、水平出力線９の浮遊容量のため、信号が容量分割されて、信号電位が下がる。また、各画素の特性ばらつきのために暗時であっても、その暗時出力がばらつき、Ｓ／Ｎ比が低下するという欠点を有していた。特に受光画素にバイポーラトランジスタを使う図６に示したような従来例では、蓄積容量７は大きくとる場合が多く、画素から信号を読み出す時に蓄積容量７に充電するためのエミッタ電流を流す時、画素ベースにある信号電荷が破壊される。この破壊量が大きい程ノイズが大きくなり、Ｓ／Ｎ比の低下が顕著になる。

【００１３】

さらに、一般的な従来の光電変換画素は、リセット→蓄積→読み出しという単純な光電変換機能を持つだけであり、画素出力の信号処理は光電変換画素以外の領域で行なわなければならず、そのためのフィールドメモリを必要とするなどの制約を有していた。

【００１４】

本発明の目的は、従来例のようなフィールドメモリを使用せずに、光電変換画素に含まれるノイズ成分を除去した信号を得ることを目的とする。

【００１５】

【課題を解決するための手段及び作用】

上記目的を達成するために、本発明の光電変換装置は、蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む光電変換画素と、
前記光電変換画素をリセットする手段と、
前記増幅手段の出力部に接続された出力線と、
前記出力線と入力部が容量結合されたアンプと、
前記アンプの入力部と所定の電位との間に接続され、前記アンプの入力部の電位を前記所

定の電位及び浮遊電位に選択的に切り替えるスイッチと、
前記アンプの出力部と前記出力線との接続を制御する接続制御手段とを含み、
前記スイッチによって前記アンプの入力部の電位を前記所定の電位とし、かつ、前記接続制御手段によって前記アンプの出力部と前記出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記出力線に読み出し、
その後、前記スイッチによって前記アンプの入力部の電位を浮遊電位に切り替え前記アンプの入力部の電位を浮遊電位とした状態で、前記接続制御手段によって前記アンプの出力部と前記出力線とを接続して前記アンプの出力信号を前記出力線に読み出し、前記出力線を前記第１の信号に基づく電位とし、
その後、前記光電変換画素をリセットし、前記出力線に読み出された前記アンプの出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記出力線に読み出すことを特徴とする。この構成において、アンプの出力信号が上記の増幅手段の入力部へフィードバックされ、光電変換画素に含まれるノイズ成分が除去される。

【００１６】

また本発明の光電変換装置は、蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む光電変換画素と、
前記光電変換画素をリセットする手段と、
前記増幅手段の出力部に接続された出力線と、
前記出力線に接続された負のゲインを持つアンプ手段と、
前記アンプ手段の出力部と前記出力線との接続を制御する接続制御手段とを含み、
前記アンプ手段の出力部と前記出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記出力線に読み出し、
その後、前記アンプ手段の出力部と前記出力線とを接続することによって前記アンプ手段の出力信号を前記出力線に読み出し、前記出力線を前記第１の信号に基づく電位とし、
その後、前記光電変換画素をリセットし、前記出力線に読み出された前記アンプ手段の出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記出力線に読み出すことを特徴とする。
また本発明の光電変換装置は、蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む、一ライン状又は２次元状に配された複数の光電変換画素と、
前記光電変換画素をリセットする手段と、
一ライン状に配された前記複数の光電変換画素の複数の増幅手段の出力部のそれぞれに一本ずつ接続された、又は前記２次元状に配された前記複数の光電変換画素のうち一配列方向の各ラインの複数の光電変換画素の複数の増幅手段の出力部に対してそれぞれ一本ずつ共通接続された複数本の第１の出力線と、
前記複数本の第１の出力線のそれぞれに１つずつ入力部が容量結合された複数のアンプと、
前記アンプの入力部と所定の電位との間に接続され、前記アンプの入力部の電位を前記所定の電位及び浮遊電位に選択的に切り替えるスイッチと、
前記アンプの出力部と前記入力部に容量結合された前記第１の出力線との接続を制御する接続制御手段と、
前記複数のアンプからの信号を共通に出力する第２の出力線と、
前記複数のアンプからの信号を前記第２の出力線に転送するための複数の転送スイッチ手段と、
前記複数のアンプからの信号が時系列的に前記第２の出力線に転送されるように、前記複数の転送スイッチ手段を制御する水平走査回路と、を含み、

前記スイッチによって前記アンプの入力部の電位を前記所定の電位とし、かつ、前記接続制御手段によって前記アンプの出力部と前記第１の出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記第１の出力線に読み出し、
その後、前記スイッチによって前記アンプの入力部の電位を浮遊電位に切り替え前記アンプの入力部の電位を浮遊電位とした状態で、前記接続制御手段によって前記アンプの出力部と前記第１の出力線とを接続して前記アンプの出力信号を前記第１の出力線に読み出し、前記第１の出力線を前記第１の信号に基づく電位とし、
その後、前記光電変換画素をリセットし、前記第１の出力線に読み出された前記アンプの出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記第１の出力線に読み出すことを特徴とする。
また本発明の光電変換装置は、蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む、一ライン状又は２次元状に配された複数の光電変換画素と、
前記光電変換画素をリセットする手段と、
一ライン状に配された前記複数の光電変換画素の複数の増幅手段の出力部のそれぞれに一本ずつ接続された、又は２次元状に配された前記複数の光電変換画素のうち一配列方向の各ラインの複数の光電変換画素の複数の増幅手段の出力部に対してそれぞれ一本ずつ共通接続された複数本の第１の出力線と、
前記複数本の第１の出力線のそれぞれに１つずつ接続された負のゲインを持つ複数のアンプ手段と、
前記アンプ手段の出力部と前記第１の出力線との接続を制御する接続制御手段と、
前記複数のアンプ手段からの信号を共通に出力する第２の出力線と、
前記複数のアンプ手段からの信号を前記第２の出力線に転送するための複数の転送スイッチ手段と、
前記複数のアンプ手段からの信号が時系列的に前記第２の出力線に転送されるように、前記複数の転送スイッチ手段を制御する水平走査回路と、を含み、
前記アンプ手段の出力部と前記第１の出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記第１の出力線に読み出し、
その後、前記アンプ手段の出力部と前記第１の出力線とを接続することによって前記アンプ手段の出力信号を前記第１の出力線に読み出し、前記第１の出力線を前記第１の信号に基づく電位とし、
その後、前記光電変換画素をリセットし、前記第１の出力線に読み出された前記アンプ手段の出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記第１の出力線に読み出すことを特徴とする。
また本発明の光電変換装置の駆動方法は、蓄積した光電変換信号を入力し増幅して出力する増幅手段を含む光電変換画素と、前記光電変換画素をリセットする手段と、前記増幅手段の出力部に接続された出力線と、前記出力線と入力部が容量結合されたアンプと、前記アンプの入力部と所定の電位との間に接続され、前記アンプの入力部の電位を前記所定の電位及び浮遊状態の電位に選択的に切り替えるスイッチと、前記アンプの出力部と前記出力線との接続を制御する接続制御手段と、を含む光電変換装置の駆動方法において、
前記スイッチによって前記アンプの入力部の電位を前記所定の電位とし、かつ、前記接続制御手段によって前記アンプの出力部と前記出力線とを非接続とした状態で、第１の信号を前記増幅手段で増幅してから前記出力線に読み出し、
その後、前記スイッチによって前記アンプの入力部の電位を浮遊電位に切り替え前記アンプの入力部の電位を浮遊電位とした状態で、前記接続制御手段によって前記アンプの出力部と前記出力線とを接続して前記アンプの出力信号を前記出力線に読み出し、前記出力線を前記第１の信号に基づく電位とし、

その後、前記光電変換画素をリセットし、前記出力線に読み出された前記アンプの出力信号を前記増幅手段の入力部に供給して、前記増幅手段の入力部を前記第１の信号に基づく電位に設定し、
前記リセットをした後に光電変換により第２の信号を蓄積し、前記第２の信号を前記増幅手段で増幅して前記出力線に読み出すことを特徴とする。

【００１７】

【実施例】

［第１実施例］

図１は本発明の特徴を最もよく表わす２×２画素を例とし、２次元光電変換装置の等価回路図である。同図において、図６と同一符号の素子は同一番号で示し同等機能を有するものとし、説明を省略する。

【００１８】

図１において、２２はアンプのダーリントン型バイポーラトランジスタ、２３は定電流ソース用のＭＯＳトランジスタであり、ダーリントン型バイポーラトランジスタ２２とＭＯＳトランジスタ２３とでエミッタフォロワ３５を形成している。図１では２３のゲートは基準の中間電位V_{VC}としている。２４は上記エミッタフォロワの入力ベース部と出力線５とを容量結合するための結合容量、２５はダーリントン型バイポーラトランジスタ２２のベースの容量、２６はそのベース電位を制御するためのＰ型ＭＯＳトランジスタ、２７はスイッチとしての上記エミッタフォロワの出力部と、出力部５とをスイッチして接続するためのＭＯＳトランジスタ、２８はＭＯＳトランジスタ２６のゲートにパルスφＢＲを印加するための端子、２９はＭＯＳトランジスタ２７のゲートに負帰還用パルスφＦＢを印加するための端子、３０は電位V_{BR}の電源端子である。

【００１９】

また、図２は、図１に示した第１実施例による２次元光電変換装置の動作を説明するためのパルスタイミング図である。各行の素子が光キャリアを蓄積し順次選択されていく行程は図６で示した場合と同様であり、図２では１つの行の駆動によるタイミングチャートを示す。

【００２０】

まず、駆動パルスφＲが中間レベルV_{VC}からＨｉｇｈとなって、垂直シフトレジスタ３４の出力Ｖ１がＨｉｇｈで、選択行の画素の出力が浮遊状態にある出力線５に読み出される。この時、端子２８のパルスφＢＲはＬｏｗとなっているので、ＰＭＯＳトランジスタ２６をＯＮして、バイポーラトランジスタ２２のベースはV_{BR}に固定されており、ダーリントン型バイポーラトランジスタ２２とＭＯＳトランジスタ２３とで構成されるエミッタフォロワ３５の出力も（V_{BR}－１．２Ｖ）程度の電位値となるが、簡単のため、このエミッタフォロワ３５出力は、基準電位V_{VC}であるとする。駆動パルスφＲが中間レベルに戻り、画素の読み出しが終わった時、出力線５の電圧は$V_{VC}+V_1$だったとし、次に、パルスφＢＲをＨｉｇｈとして、バイポーラトランジスタ２２のベースを浮遊状態とし、次に端子２９のパルスφＦＢをＬｏｗからＨｉｇｈとして、上記エミッタフォロワ３５の出力部と、出力線５とを導通する。出力線５の電位は、$V_{VC}+V_1$から$V_{VC}+V_2$に変化するが、このV_2は次のような値となる。

【００２１】

結合容量２４の値をＣ０、寄生容量２５の値をＣ１とすると、エミッタフォロワ３５の出力値は出力線５の電位変化を結合容量２４の結合を通して受けるため、V_{VC}から、［Ｃ０／（Ｃ０＋Ｃ１）］・（V_2-V_1）だけ変化する。

変化後の値は$V_{VC}+V_2$であるから、

$$V_{VC}+[C0/(C0+C1)]\cdot(V_2-V_1)=V_{VC}+V_2$$

より、

$$V_2=-(C0/C1)\cdot V_1$$

となる。

【００２２】

V_1は画素の出力電位であるから、上記の動作を行なうことにより、エミッタフォロワ３５からは、ー（Ｃ０／Ｃ１）のゲイン倍された出力が表われる。このエミッタフォロワ３５出力を、端子１９のパルスφＴがＨｉｇｈの間に、トランジスタ８を通して蓄積容量７に蓄積し、水平シフトレジスタ３３の出力Ｈ１をＨｉｇｈとする間に、ＭＯＳ１０をＯＮして順次プリアンプ１１に転送する。

【００２３】

ここで、水平出力線９の寄生容量をＣＨとし、蓄積容量７の容量をＣＴとすると、従来通りプリアンプ１１への転送時にＣＴ／（ＣＨ＋ＣＴ）の容量分割を受けるが、たとえばＣ０／Ｃ１の値を（ＣＨ＋ＣＴ）／ＣＴとなるように設定しておけば、容量分割による信号低下をちょうど補うことができる。また、蓄積容量７の容量ＣＴは通常、数ｐＦの容量となるが、Ｃ０は数百ｆＦ程度に設定できるので、１つの画素について、読み出し時に流れる電荷量を従来よりも小さくすることができ、画素信号の破壊が小さくなるため画素出力時点でのＳ／Ｎ比を高くすることができる。

【００２４】

［第２実施例］

図３は、図１の２次元光電変換装置を用いて、本発明による第２の実施例を説明するための駆動タイミングチャートである。本第２の実施例では、図３に示す通り、第１の実施例に対して画素の動作において、リセット、外光ノイズＮ蓄積、外光ノイズーＮを画素に蓄積、ＬＥＤ光と外光ノイズとを画素に蓄積、画素キャリア信号を読み出し、を時系列的に順次実行する。

【００２５】

当該２次元光電変換装置をイメージセンサとして測光用に使用する場合、ある特定の必要な光信号と、外光など不必要な信号とが混在する場合がある。例えば、外光が入る条件下で、ＬＥＤ光の光量やスペクトラムを測光する場合である。

【００２６】

外光成分を除きたい時、従来は、まず外光成分だけを受光して読み出し、各画素毎の出力を別に用意したメモリに書き込む。次に外光にＬＥＤ光が加わった光を受光して読み出し、先のメモリに書き込んでおいた外光成分との差分をとるという方法をとっていた。

【００２７】

本発明による第２の実施例においては、メモリを用いない外光成分除去方法であり、図３を参照しつつ詳細に説明する。

【００２８】

図において、最初に垂直シフトレジスタ３４の出力Ｖ１で選択された第１行目の画素トランジスタ２のベースを、従来と同様に、駆動パルスφＲがＬｏｗの時にV_{VC}とし、駆動パルスφＲがＨｉｇｈの時リセットする。第２行目以降も同様に行なわれる。

【００２９】

次に、外光のみを画素トランジスタ２のベースに蓄積する。次が本発明第２実施例の特徴となる動作であり、第１行目選択時、図２によって説明した第１実施例の読み出し動作と同様に、外光分出力電位をV_Nとして、パルスφＢＲを一時Ｌｏｗとし、その後パルスφＦＢを一時Ｈｉｇｈとして、外光によるベース蓄積電位を－Ｃ０／Ｃ１倍したエミッタフォロワ３５出力を出力線５に出力させる。ただし、本第２実施例ではほぼＣ０＝Ｃ１となるように設定する。よって出力線５の電位は（$V_{VC}-V_N$）となる。この出力はエミッタフォロワ３５による低インピーダンス出力であるので、この電位に対して、駆動パルスφＲをＨｉｇｈとして画素のリセットを行なうと、画素のベース電位は$-V_N$で規定される電位となる。

【００３０】

次に、測光するＬＥＤ光を含んだ光の蓄積に入る。画素のベース電位は、外光に相当する電圧分V_NとＬＥＤ光に相当する電圧分V_Lとの和だけ上昇するが、電圧分V_Nは蓄積前の画素電位$-V_N$をちょうど打ち消すので、次の画素読み出しにおいて、画素から出力されるのはＬＥＤ光に相当する電圧分V_Lとなり、外光成分V_Nは入ってこない。このＬＥ

Ｄ光に相当する電圧分V_Lの読み出し、転送は第１実施例と同様に行なわれる。

【００３１】

この第２実施例の動作においては、外光成分V_Nが除去されるだけでなく、各画素出力のばらつき成分も同時に除去されるので、外光がない場合でも、高Ｓ／Ｎ比の信号を得ることができる。

【００３２】

［第３実施例］

以下、第３の実施例について説明する。図４は、本発明による第３の実施例の構成を示す等価回路図である。図４において、図１と同等な部分については同一の番号を符し、詳細な説明を省略する。

【００３３】

図４において、３１はＭＯＳトランジスタ、ないしは接合型トランジスタであり、トランジスタ２３による定電流源とトランジスタ３１とでソースフォロワ３６を形成する。図４に示す第３の実施例は、図１におけるダーリントン型エミッタフォロワ３５をソースフォロワ３６に置き換えたものであり、駆動動作は第１、第２実施例と同様である。本第３の実施例では、ダーリントン型エミッタフォロワ３５に対して、入力インピーダンスが高く、トランジスタ素子の温度ドリフトが少ないというメリットがあり、またＩＣ化する場合に製造工程を減少できる効果がある。反面、信号線５との結合容量２４とバラツキの多い寄生容量２５の容量値の比を一定にする必要性から、第１の実施例よりも第２の実施例に従った動作に適している。

【００３４】

［第４実施例］

以下、第４の実施例について説明する。図５は、本発明による第４の実施例を実施できる等価回路図である。図１又は図４と同等な部分については同一の番号を符し、詳細な説明を省略する。

【００３５】

図５において、３２はオペレーショナル・アンプの演算増幅器である。図５に示す第４の実施例は、図１におけるダーリントン型エミッタフォロワ３５を電圧（ボルテージ）フォロワ３７に置き換えたものであり、駆動動作は第２、第３実施例と同じである。ボルテージフォロワ３７は入力電圧と出力電圧とがほぼ同一であるので、光量に応じたキャリア蓄積電位を減圧することなく、そのまま蓄積容量７に転送できる。

【００３６】

上記第１から第４までの実施例において、本発明による光電変換画素はバイポーラトランジスタによる増幅型を使っているが、必ずしもこの型に限る必要はなく、ＭＯＳ型、ないしはＳＩＴ、ＪＦＥＴ、ＭＯＳトランジスタを使った増幅型画素であっても、画素出力後に出力線５を浮遊状態にできれば本発明による各出力線電圧の増幅は、同じように実施できる。

【００３７】

また、出力線電位により、画素のリセットレベルを規定できるものであれば、本発明による外光成分等の除去動作をメモリなしで実施することができる。ＭＯＳトランジスタや、ＪＦＥＴを使う画素では、図４に示したような本発明による第３の実施例を適用するほうが、光電変換装置の製造を簡単にすることができる。

【００３８】

さらに、上記実施例では、２行×２列の光電変換画素の例について説明したが、本発明はイメージセンサ、ラインセンサに適用できるもので、特に第２の実施例の場合は、外光成分を蓄積、書き込みする時間だけ、余分に走査回路のスピード及び画素の蓄積切替を速くする必要がある。ただし、この外光例だけではなく、光電変換装置の内部雑音やバラツキの校正、測光の場合の２つ光量の比較時に増分だけを検出する場合等にも適用できる。

【００３９】

【発明の効果】

以上説明したように、本発明によれば、光電変換画素に含まれるノイズ成分を除去した信号が得られるため、高機能、高Ｓ／Ｎな光電変換装置を提供することができる。

【図面の簡単な説明】

【図１】本発明による光電変換装置の等価回路図である。

【図２】本発明による第１の実施例に係る動作を説明するためのタイミングチャートである。

【図３】本発明による第２の実施例に係る動作を説明するためのタイミングチャートである。

【図４】本発明による第３の実施例の光電変換装置を表わす等価回路図である。

【図５】本発明による第４の実施例の光電変換装置を表わす等価回路図である。

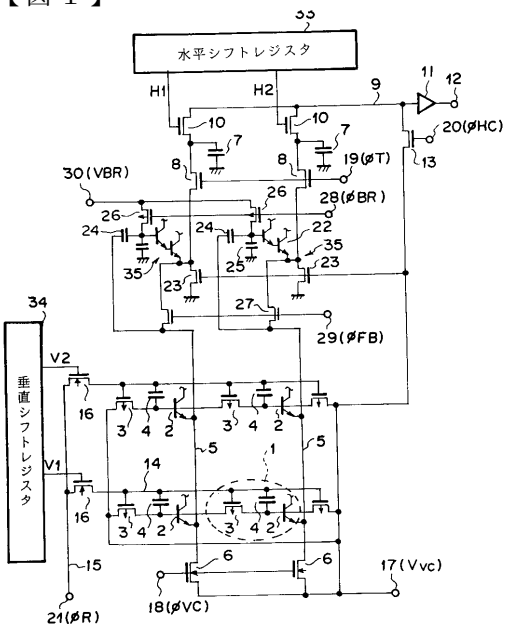
【図６】従来の光電変換装置の等価回路図である。

【図７】従来の光電変換装置の動作を説明するタイミングチャートである。

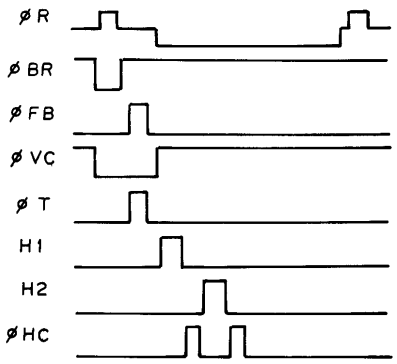
【符号の説明】

１　画素
２　バイポーラトランジスタ
３　ＰＭＯＳトランジスタ
４　容量
５　出力線
６　ＭＯＳトランジスタ
７　容量
８　ＭＯＳトランジスタ
９　出力線
１０　ＭＯＳトランジスタ
１１　アンプ
１２　出力端子
１３　ＭＯＳトランジスタ
１４　駆動線
１５　駆動パルス線
１６　ＭＯＳトランジスタ
１７、１８、１９、２０、２１　パルス入力端子
２２　ダーリントン型バイポーラトランジスタ
２３　ＭＯＳトランジスタ
２４　容量
２５　容量
２６　ＰＭＯＳトランジスタ
２７　ＭＯＳトランジスタ
２８、２９、３０　パルス入力端子
３１　ＭＯＳないしは接合型ＦＥＴ
３２　演算増幅器

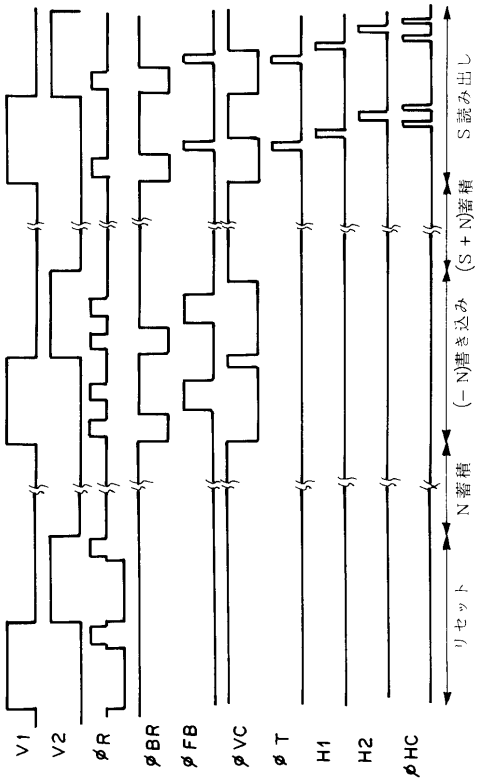
【図１】


水平シフトレジスタ
垂直シフトレジスタ
H1
H2
V1
V2
20(øHC)
19(øT)
30(VBR)
28(øBR)
29(øFB)
17(Vvc)
18(øVC)
21(øR)

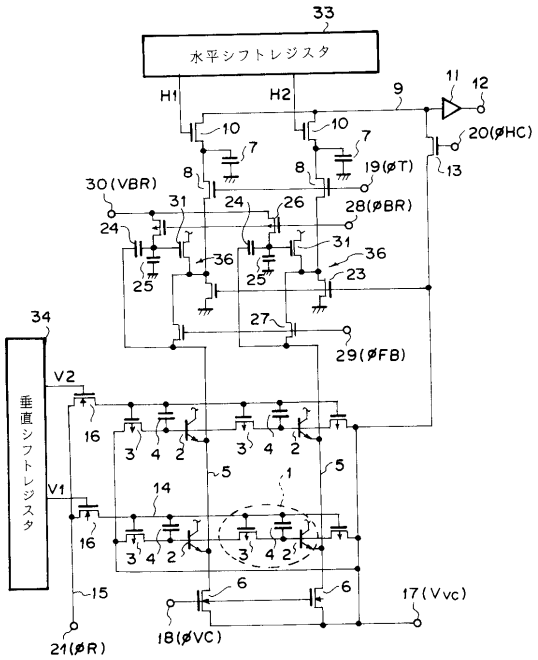
【図２】


øR
øBR
øFB
øVC
øT
H1
H2
øHC

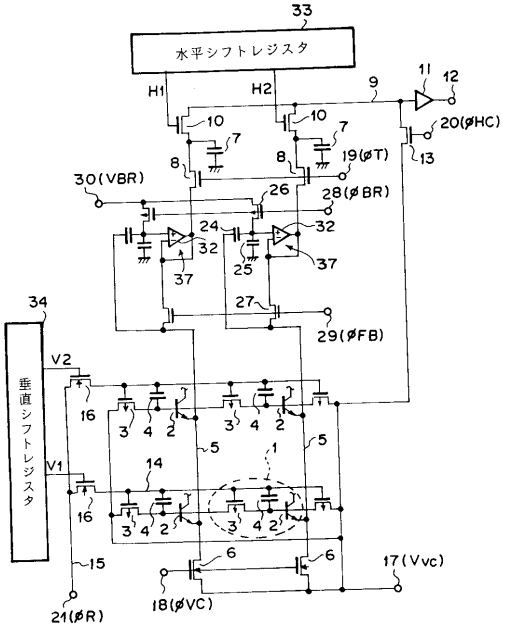
【図３】


V1
V2
øR
øBR
øFB
øVC
øT
H1
H2
øHC
S読み出し
(S+N)蓄積
(−N)書き込み
N蓄積
リセット

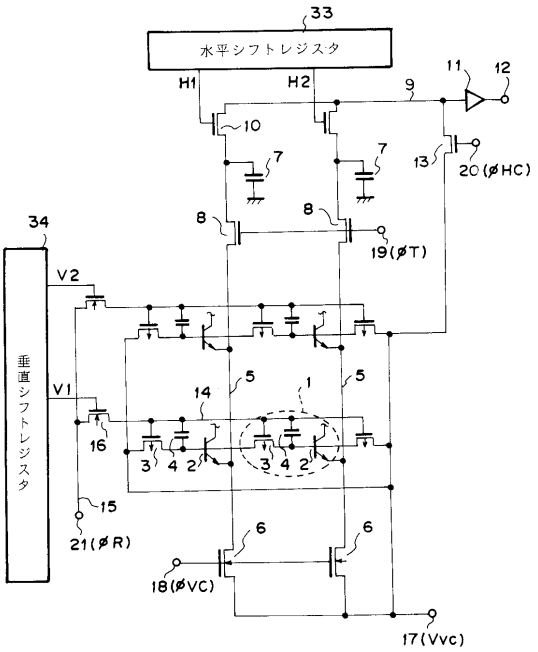
【図４】


水平シフトレジスタ
垂直シフトレジスタ
H1
H2
V1
V2
20(øHC)
19(øT)
30(VBR)
28(øBR)
29(øFB)
17(Vvc)
18(øVC)
21(øR)

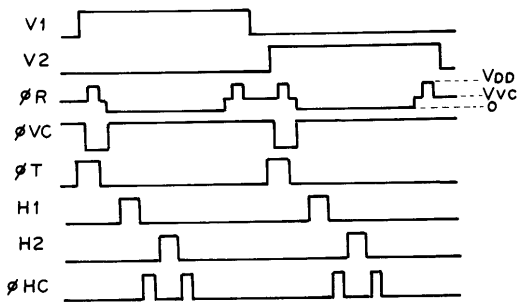
【図５】


33
水平シフトレジスタ
H1
H2
9
11
12
10
7
8
19(øT)
20(øHC)
13
30(VBR)
26
28(øBR)
24
32
25
37
27
29(øFB)
34
垂直シフトレジスタ
V2
V1
16
3
4
2
5
1
14
6
15
17(Vvc)
18(øVC)
21(øR)

【図６】


33
水平シフトレジスタ
H1
H2
9
11
12
10
7
13
20(øHC)
8
19(øT)
34
垂直シフトレジスタ
V2
V1
5
1
14
16
3
4
2
15
21(øR)
6
18(øVC)
17(Vvc)

【図７】


V1
V2
øR
øVC
øT
H1
H2
øHC
VDD
Vvc
0