

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其驅動方法

Semiconductor device and method for driving semiconductor device

【技術領域】

[0001] 本發明係關於物體、方法或製造方法。尤其是，本發明係關於例如半導體裝置、顯示裝置、發光裝置、蓄電裝置以及它們的驅動方法或製造方法。例如，本發明特別係關於包括氧化物半導體的半導體裝置、顯示裝置或發光裝置。

【先前技術】

[0002] 在專利文獻 1 中記載有具有使用氧化物半導體膜的電晶體及使用單晶矽的電晶體的半導體裝置。上述使用氧化物半導體膜的電晶體的關態電流 (off-state current) 極小。

[0003]

[專利文獻 1] 日本專利申請公開第 2012-256400 號公報

【發明內容】

[0004] 本發明的一實施方式提供：能夠寫入所希望

的電位並讀出該電位的半導體裝置；不需要驗證工作（verify operation）的半導體裝置；在儲存多值資料時具有高保持特性的高可靠性半導體裝置。

[0005] 本發明的一實施方式的目的是：提供關態電流低的半導體裝置等；提供耗電量低的半導體裝置等；使用透明半導體層的半導體裝置等；提供使用高可靠性半導體層的半導體裝置等。

[0006] 上述目的的記載並不妨礙其他目的的存在。本發明的一實施方式不一定必須要達到上述所有目的。而上述以外的目的可以從說明書、圖式、申請專利範圍等的記載自然得知而抽出。

[0007] 本發明的一實施方式是一種半導體裝置，包括：第一電晶體；第二電晶體；以及電容器，其中，第一電晶體的通道形成區具有氧化物半導體膜，第一電晶體的閘極與字線電連接，第一電晶體的源極和汲極中的一方與位元線電連接，第一電晶體的源極和汲極中的另一方與電容器的一個電極及第二電晶體的閘極電連接，電容器的另一個電極與電容線電連接，第二電晶體的源極和汲極中的一方與第一佈線電連接，第二電晶體的源極和汲極中的另一方與位元線電連接，資料寫入工作由如下第一步驟及第二步驟進行：第一步驟是將低電壓施加到位元線及第一佈線，將高電壓施加到字線以使第一電晶體打開，並將低電壓施加到電容線，使得第二電晶體打開；以及第二步驟是將第一電壓施加到第一佈線並停止將低電壓施加到位元

線，在保持資料時，將低電壓施加到字線以使第一電晶體關閉，將低電壓施加到位元線及第一佈線，並將高電壓施加到電容線以使第二電晶體關閉，資料讀出工作由如下第三步驟及第四步驟進行：第三步驟是將高電壓施加到第一佈線；以及第四步驟是停止將高電壓施加到第一佈線，並將低電壓施加到電容線，藉由進行第二步驟，將對應於第一電壓的電壓從第一佈線經過第二電晶體的源極及汲極、位元線以及第一電晶體的源極及汲極施加到第二電晶體的閘極，並且藉由進行第四步驟，使第一佈線的電壓從高電壓變化到第一電壓。

[0008] 本發明的一實施方式是一種半導體裝置，包括：第一電晶體；第二電晶體；第三電晶體；以及電容器，其中，第一電晶體的通道形成區具有氧化物半導體膜，第一電晶體的閘極與第一字線電連接，第一電晶體的源極和汲極中的一方與位元線電連接，第一電晶體的源極和汲極中的另一方與電容器的一個電極及第二電晶體的閘極電連接，電容器的另一個電極被施加低電壓，第二電晶體的源極和汲極中的一方與第一佈線電連接，第二電晶體的源極和汲極中的另一方與第三電晶體的源極和汲極中的一方電連接，第三電晶體的閘極與第二字線電連接，第三電晶體的源極和汲極中的另一方與位元線電連接，資料寫入工作由如下第一步驟及第二步驟進行：第一步驟是將低電壓施加到位元線及第一佈線，將高電壓施加到第一字線以使第一電晶體打開，將位元線的低電壓施加到第二電晶

體的閘極以使第二電晶體打開，並將低電壓施加到第二字線以使第三電晶體打開；以及第二步驟是將第一電壓施加到第一佈線並停止將低電壓施加到位元線，在保持資料時，將低電壓施加到第一字線以使第一電晶體關閉，將低電壓施加到位元線及第一佈線，並將高電壓施加到第二字線以使第三電晶體關閉，資料讀出工作由如下第三步驟及第四步驟進行：第三步驟是將高電壓施加到第一佈線；以及第四步驟是停止將高電壓施加到第一佈線，並將低電壓施加到第二字線以使第三電晶體打開，藉由進行第二步驟，將對應於第一電壓的電壓從第一佈線經過第二電晶體的源極及汲極、第三電晶體的源極及汲極、位元線以及第一電晶體的源極及汲極施加到第二電晶體的閘極，並且藉由進行第四步驟，使第一佈線的電壓從高電壓變化到第一電壓。

[0009] 本發明的一實施方式是一種半導體裝置，包括：第一電晶體；第二電晶體；以及電容器，其中，第一電晶體的通道形成區具有氧化物半導體膜，第一電晶體的閘極與字線電連接，第一電晶體的源極和汲極中的一方與位元線電連接，第一電晶體的源極和汲極中的另一方與電容器的一個電極及第二電晶體的閘極電連接，電容器的另一個電極與電容線電連接，第二電晶體的源極和汲極中的一方與第一佈線電連接，第二電晶體的源極和汲極中的另一方與位元線電連接，資料寫入工作由如下第一步驟及第二步驟進行：第一步驟是將高電壓施加到位元線及第一佈

線，將高電壓施加到字線以使第一電晶體打開，並將高電壓施加到電容線，使得第二電晶體打開；以及第二步驟是將第一電壓施加到第一佈線並停止將高電壓施加到位元線，在保持資料時，將低電壓施加到字線以使第一電晶體關閉，將高電壓施加到位元線及第一佈線，並將低電壓施加到電容線以使第二電晶體關閉，資料讀出工作由如下第三步驟及第四步驟進行：第三步驟是將低電壓施加到第一佈線；以及第四步驟是停止將低電壓施加到第一佈線，並將高電壓施加到電容線，藉由進行第二步驟，將對應於第一電壓的電壓從第一佈線經過第二電晶體的源極及汲極、位元線以及第一電晶體的源極及汲極施加到第二電晶體的閘極，並且藉由進行第四步驟，使第一佈線的電壓從低電壓變化到第一電壓。

[0010] 本發明的一實施方式是一種半導體裝置，包括：第一電晶體；第二電晶體；第三電晶體；以及電容器，其中，第一電晶體的通道形成區具有氧化物半導體膜，第一電晶體的閘極與第一字線電連接，第一電晶體的源極和汲極中的一方與位元線電連接，第一電晶體的源極和汲極中的另一方與電容器的一個電極及第二電晶體的閘極電連接，電容器的另一個電極被施加低電壓，第二電晶體的源極和汲極中的一方與第一佈線電連接，第二電晶體的源極和汲極中的另一方與第三電晶體的源極和汲極中的一方電連接，第三電晶體的閘極與第二字線電連接，第三電晶體的源極和汲極中的另一方與位元線電連接，資料寫

入工作由如下第一步驟及第二步驟進行：第一步驟是將高電壓施加到位元線及第一佈線，將高電壓施加到第一字線以使第一電晶體打開，將位元線的高電壓施加到第二電晶體的閘極以使第二電晶體打開，並將高電壓施加到第二字線以使第三電晶體打開；以及第二步驟是將第一電壓施加到第一佈線並停止將高電壓施加到位元線，在保持資料時，將低電壓施加到第一字線以使第一電晶體關閉，將高電壓施加到位元線及第一佈線，並將低電壓施加到第二字線以使第三電晶體關閉，資料讀出工作由如下第三步驟及第四步驟進行：第三步驟是將低電壓施加到第一佈線；以及第四步驟是將高電壓施加到第二字線以使第三電晶體打開，並停止將低電壓施加到第一佈線，藉由進行第二步驟，將對應於第一電壓的電壓從第一佈線經過第二電晶體的源極及汲極、第三電晶體的源極及汲極、位元線以及第一電晶體的源極及汲極施加到第二電晶體的閘極，並且藉由進行第四步驟，使第一佈線的電壓從低電壓變化到第一電壓。

[0011] 本發明的一實施方式是一種半導體裝置的驅動方法，該半導體裝置包括其通道區包含氧化物半導體的第一電晶體、第二電晶體以及其一個電極與該第一電晶體的源極和汲極中的一方及該第二電晶體的閘極電連接的電容器，該方法包括如下步驟：將第一電壓施加到位元線及第一佈線，將第二電壓施加到字線以使第一電晶體打開，並將第三電壓施加到電容線，使得第二電晶體打開，其中

字線與第一電晶體的閘極電連接，第一佈線與第二電晶體的源極和汲極中的一方電連接，位元線與第一電晶體的源極和汲極中的另一方及第二電晶體的源極和汲極中的另一方電連接，並且電容線與電容器的另一個電極電連接；將第四電壓施加到第一佈線並停止將第一電壓施加到該位元線，以將對應於第四電壓的電壓從第一佈線經過第二電晶體的源極及汲極、位元線以及第一電晶體的源極及汲極施加到第二電晶體的閘極；將第五電壓施加到字線以使第一電晶體關閉，將第六電壓施加到位元線及第一佈線，並將第七電壓施加到電容線以使第二電晶體關閉；將第八電壓施加到第一佈線；以及停止將第八電壓施加到第一佈線，並將第九電壓施加到電容線，使得第一佈線的電壓從第八電壓變化到第四電壓。

[0012] 另外，在上述本發明的一實施方式中，較佳的是，第二電壓大於第五電壓，第七電壓大於第三電壓及第九電壓，第一電壓及第六電壓為電源電壓或基準電壓，並且第八電壓高於第四電壓。

[0013] 另外，在上述本發明的一實施方式中，較佳的是，第二電壓大於第五電壓，第七電壓小於第三電壓及第九電壓，第一電壓、第六電壓以及第八電壓為電源電壓或基準電壓。

[0014] 本發明的一實施方式是一種半導體裝置的驅動方法，該半導體裝置包括其通道區包含氧化物半導體的第一電晶體、第二電晶體、第三電晶體以及其一個電極與

第一電晶體的源極和汲極中的一方及第二電晶體的閘極電連接的電容器，該方法包括如下步驟：將第一電壓施加到位元線及第一佈線，將第二電壓施加到第一字線以使第一電晶體打開，將位元線的第一電壓施加到第二電晶體的閘極以使第二電晶體打開，並將第三電壓施加到第二字線以使第三電晶體打開，其中第一字線與第一電晶體的閘極電連接，第二字線與第三電晶體的閘極電連接，第一佈線與第二電晶體的源極和汲極中的一方電連接，第三電晶體的源極和汲極中的一方與第二電晶體的源極和汲極中的另一方電連接，位元線與第一電晶體的源極和汲極中的另一方及第三電晶體的源極和汲極中的另一方電連接，並且電容器的另一個電極與電源電位端子或參考電位端子電連接；將第四電壓施加到第一佈線並停止將第一電壓施加到位元線，以將對應於第四電壓的電壓從第一佈線經過第二電晶體的源極及汲極、第三電晶體的源極及汲極、位元線以及第一電晶體的源極及汲極施加到第二電晶體的閘極；將第五電壓施加到第一字線以使第一電晶體關閉，將第六電壓施加到位元線及第一佈線，並將第七電壓施加到第二字線以使第三電晶體關閉；將第八電壓施加到第一佈線；以及停止將第八電壓施加到第一佈線，並將第九電壓施加到第二字線以使第三電晶體打開，使得第一佈線的電壓從第八電壓變化到第四電壓。

[0015] 另外，在上述本發明的一實施方式中，較佳的是，第二電壓大於第五電壓，第七電壓大於第三電壓及

第九電壓，第六電壓為電源電壓或基準電壓。

[0016] 另外，在上述本發明的一實施方式中，較佳的是，第二電壓大於第五電壓，第七電壓小於第三電壓及第九電壓，第六電壓及第八電壓為電源電壓或基準電壓。

[0017] 本發明的一實施方式的半導體裝置具有如下效果：可以降低讀出電壓的不均勻性；不需要驗證工作；在儲存多值資料時具有高保持特性，並具有高可靠性。

【圖式簡單說明】

[0018] 在圖式中：

圖 1 是半導體裝置的電路圖；

圖 2 是時序圖；

圖 3A 至 3E 是說明半導體裝置的工作的圖；

圖 4 是時序圖；

圖 5A 至 5D 是說明半導體裝置的工作的圖；

圖 6 是半導體裝置的電路圖；

圖 7 是行選擇驅動器的電路圖；

圖 8 是列選擇驅動器的電路圖；

圖 9 是 A/D 轉換器的電路圖；

圖 10 是半導體裝置的電路圖；

圖 11 是時序圖；

圖 12 是時序圖；

圖 13A 和 13B 是半導體裝置的電路圖；

圖 14 是時序圖；

圖 15A 至 15E 是說明半導體裝置的工作的圖；

圖 16 是時序圖；

圖 17A 至 17D 是說明半導體裝置的工作的圖；

圖 18 是半導體裝置的電路圖；

圖 19 是時序圖；

圖 20A 至 20E 是說明半導體裝置的工作的圖；

圖 21 是時序圖；

圖 22A 至 22D 是說明半導體裝置的工作的圖；

圖 23A 和 23B 是半導體裝置的電路圖；

圖 24 是時序圖；

圖 25A 至 25E 是說明半導體裝置的工作的圖；

圖 26 是時序圖；

圖 27A 至 27D 是說明半導體裝置的工作的圖；

圖 28 是半導體裝置的剖面圖；

圖 29A 和圖 29B 是電晶體的剖面圖；

圖 30A 至 30F 是示出電子裝置的圖。

【實施方式】

[0019] 以下，參照圖式說明本發明的實施方式。但是，本發明不侷限於以下說明。所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定在以下實施方式所記載的內容中。注意，在參照圖式說明本發明的結構

時，在不同的圖式中也共同使用同一符號表示同一部分。

[0020] 在本說明書中，“連接”是指“電連接”，並相當於能夠供應或傳送電流、電壓或電位的狀態。因此，連接狀態不一定必須是指直接連接的狀態，而在其範疇內還包括以能夠供應或傳送電流、電壓或電位的方式中間夾著佈線、電阻器、二極體、電晶體等電路元件連接的狀態。

[0021] 在本說明書的圖式中，根據其功能對構成要素進行分類而示出作為彼此獨立的方塊的方塊圖，但是，實際上的構成要素難以根據其功能清楚地劃分，而一個構成要素有時具有多個功能。

[0022] 電晶體的源極是指用作活性層的半導體膜的一部分的源極區或與上述半導體膜電連接的源極電極。與此同樣，電晶體的汲極是指用作活性層的半導體膜的一部分的汲極區或與上述半導體膜電連接的汲極電極。閘極是指閘極電極。

[0023] 電晶體所具有的源極和汲極的名稱伴隨電晶體的通道型及施加到各端子的電位的高低而改變。一般而言，在 n 通道型電晶體中，將被施加低電位的端子稱為源極，將被施加高電位的端子稱為汲極。另一方面，在 p 通道型電晶體中，將被施加低電位的端子稱為汲極，將被施加高電位的端子稱為源極。在本說明書中，有時為了方便起見假設源極和汲極被固定的情況而說明電晶體的連接關係，但是，實際上受到上述電位關係的左右而改變源極和

汲極的名稱。

[0024] 在某一實施方式中所說明的內容（也可以是其一部分的內容）對於該實施方式所說明的其他內容（也可以是其一部分的內容）和/或在一個或多個其他實施方式中所說明的內容（也可以是其一部分的內容）可以進行應用、組合或置換等。

[0025] 在圖式中，大小、層厚度或區域有時為了容易理解而被誇大。因此，本發明並不一定限定於圖式中的尺寸。

[0026] 注意，圖式是示意性地示出理想例子的，因此，本發明不侷限於圖式所示的形狀或值等。例如，可以包括製造程序所引起的形狀偏差、誤差所引起的形狀偏差、雜訊所引起的信號、電壓或電流的偏差、定時誤差所引起的信號、電壓或電流的偏差等。

[0027] 在很多情況下，電壓是指某個電位與標準電位（例如，接地電位（GND）或源極電位）之間的電位差。因此，“電壓”和“電位”可以互換使用。這裡，各佈線或各端子的電壓是相對性的，重要的是該電壓相對於某個標準電壓是高還是低。因此，即使記載為“GND”，該GND也不侷限於0V。這原理同樣應用於圖式中，即使有示出了“GND”的部分，該GND也不侷限於0V。

[0028] 在本說明書中，即使記載為“電連接”，實際上也有時在電路中沒有物理連接的部分而只是佈線延伸。

[0029] 為方便起見，附加了第一、第二等序數詞，

而其並不表示製程順序或疊層順序。另外，本說明書中的序數詞並不表示用來特定發明的事項的固有名稱。

[0030] 注意，即使記載為“半導體”，例如，當導電性充分低時，“半導體”也有時具有作為“絕緣體”的特性。有時“半導體”與“絕緣體”之間的界限模糊，不能嚴格地區別“半導體”與“絕緣體”。因此，有時可以將在本說明書中記載的“半導體”換稱為“絕緣體”。同樣地，有時可以將在本說明書中記載的“絕緣體”換稱為“半導體”。

[0031] 注意，即使記載為“半導體”，例如，當導電性充分高時，“半導體”也有時具有作為“導電體”的特性。有時“半導體”與“導電體”之間的界限模糊，不能嚴格地區別“半導體”與“導電體”。因此，有時可以將在本說明書中記載的“半導體”換稱為“導電體”。同樣地，有時可以將在本說明書中記載的“導電體”換稱為“半導體”。

[0032] 在本說明書中，“平行”是指在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態。因此也包括 -5° 以上且 5° 以下的角度的狀態。另外，“垂直”是指在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態。因此也包括 85° 以上且 95° 以下的角度的狀態。

[0033] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0034]

實施方式 1

圖 1 示出半導體裝置 100。半導體裝置 100 具有電晶體 101、電晶體 102 以及電容器 103。半導體裝置 100 因可以被用作記憶單元而有時被稱為記憶單元 100。

[0035] 電晶體 101 的通道形成區具有氧化物半導體層。電晶體 101 因具有氧化物半導體層而具有關態電流極低的特性。

[0036] 電晶體 101 為 n 型或 p 型的電晶體，以下假設電晶體 101 為 n 型電晶體的情況來進行說明。

[0037] 電晶體 101 的閘極與佈線 111 電連接。佈線 111 可以被用作字線。

[0038] 電晶體 101 的源極和汲極中的一方與佈線 113 電連接。佈線 113 可以被用作位元線。

[0039] 電晶體 101 的源極和汲極中的另一方與電容器 103 的一個電極電連接。電晶體 101 的源極和汲極中的另一方還與電晶體 102 的閘極電連接。

[0040] 電晶體 102 的通道形成區可以使用具有各種材料如氧化物半導體、矽等的層。電晶體 102 為 p 型電晶體。

[0041] 電晶體 102 的源極和汲極中的一方與佈線 114 電連接。佈線 114 可以被用作信號線、源極線或電源線。

[0042] 電晶體 102 的源極和汲極中的另一方與佈線 113 電連接。電晶體 102 的源極和汲極中的另一方還與電晶體 101 的源極和汲極中的一方電連接。

[0043] 電容器 103 的一個電極與電晶體 101 的源極和汲極中的另一方電連接。電容器 103 的一個電極還與電晶體 102 的閘極電連接。

[0044] 電容器 103 的另一個電極與佈線 112 電連接。佈線 112 可以被用作電容線。

[0045] 以下說明對半導體裝置 100 寫入資料的工作及從半導體裝置 100 讀出資料的工作。

[0046]

(資料寫入工作)

首先，說明資料寫入工作的一個例子。圖 2 示出時序圖。圖 3A 至 3E 示出半導體裝置 100 的工作。作為一個例子，以下說明如下資料寫入工作：以 V_1 為想要讀出的電壓，使節點 104 的電位（電晶體 102 的閘極電位）變化到 V_2 來進行資料寫入工作。因為在儲存多值資料時需要施加各種電壓，所以能夠自由地設定 V_1 是有益的。

[0047] 資料寫入工作由如下第一步驟及第二步驟進行：第一步驟是將低電壓施加到佈線 113 及佈線 114，將高電壓施加到佈線 111 以使電晶體 101 打開，並將低電壓施加到佈線 112，使得電晶體 102 打開；以及第二步驟是將電壓 V_1 施加到佈線 114 並停止將低電壓施加到佈線 113。

[0048] 藉由進行第二步驟，將對應於資料（電壓 V_1 ）的電位 V_2 從佈線 114 經過電晶體 102 的源極及汲極、佈線 113 以及電晶體 101 的源極及汲極施加到節點

104。由此，電晶體 102 的閘極被施加電位 V_2 ，而在電容器 103 中儲存對應於電位 V_2 的電荷。

[0049] 圖 3A 示出半導體裝置 100 的初始狀態。在圖 2 中，以(A)表示初始狀態。

[0050] 佈線 111 被輸入低電壓（也稱為 L 電壓）的信號，由此電晶體 101 處於關閉狀態。這裡，“低電壓”只要是能夠使電晶體 101 成為關閉狀態的電壓，即可。“低電壓”既可為標準電壓（GND）又可為電源電壓（VDD 或 VSS）或其他電壓。

[0051] 佈線 112 被輸入高電壓（也稱為 H 電壓）的信號。節點 104 被施加對應於電容器 103 的電容值的電壓，電晶體 102 處於關閉狀態。這裡，“高電壓”只要是能夠使電晶體 102 成為關閉狀態的電壓，即可。“高電壓”既可為電源電壓（VDD）又可為其他電壓。

[0052] 佈線 113 及佈線 114 被施加低電壓（GND）。由此，佈線 113 及佈線 114 可以以低電壓預充電。這裡，“低電壓”為標準電壓（GND），但是也可以為電源電壓（VSS）或其他電壓。

[0053] 圖 3B 示出資料寫入之前的準備狀態。在圖 2 中，以(B)表示上述狀態。

[0054] 在時刻 t_1 中，佈線 111 被輸入高電壓的信號。由此電晶體 101 成為打開狀態。這裡，“高電壓”只要是能夠使電晶體 101 成為打開狀態的電壓，即可。“高電壓”既可為電源電壓（VDD）又可為其他電壓。

[0055] 因為電晶體 101 成為打開狀態，所以佈線 113 與節點 104 電連接。節點 104 的電位下降到低電壓（GND）。

[0056] 在時刻 t_1 中，佈線 112 被輸入低電壓的信號。節點 104 被施加對應於電容器 103 的電容值的電壓。電晶體 101 成為打開狀態，且因為佈線 112 被施加低電壓，所以電晶體 102 成為打開狀態。這裡，“低電壓”只要是能夠使電晶體 102 成為打開狀態的電壓，即可。“低電壓”既可為標準電壓（GND）又可為電源電壓（VSS）或其他電壓。

[0057] 佈線 113 及佈線 114 被施加低電壓，且電晶體 101 及 102 成為打開狀態，第一步驟至此結束了。

[0058] 圖 3C 和 3D 示出資料寫入時的狀態。在圖 2 中，以(C)和(D)表示上述狀態。

[0059] 在時刻 t_2 中，佈線 114 被施加電壓 V_1 （參照圖 3C）。電壓 V_1 是在進行資料讀出工作時想要讀出的電壓。電壓 V_1 的大小可以根據想要寫入的資料而自由地設定。

[0060] 在時刻 t_2 中，停止將低電壓（GND）施加到佈線 113（參照圖 3C）。此時，佈線 113 與預充電的電壓隔開而成為電浮動狀態。就是說，佈線 113 成為因電荷的充電或放電而容易發生電位變動的狀態。藉由使用來將電位施加到佈線 113 的開關成為關閉狀態，可以實現上述浮動狀態。

[0061] 因為電晶體 102 處於打開狀態，所以佈線 113 與佈線 114 電連接。佈線 113 的電壓從預充電的低電壓（GND）變化到 $V2'$ （參照圖 3D）。注意， $V2'$ 與 $V1$ 之間的差值大致為電晶體 102 的臨界電壓。

[0062] 另外，因為電晶體 101 處於打開狀態，所以將資料從佈線 114 經過電晶體 102 的源極及汲極、佈線 113 以及電晶體 101 的源極及汲極寫入到節點 104（電晶體 102 的閘極）。由此，在電容器 103 中儲存電荷，而節點 104 的電位變化到 $V2$ 。

[0063] 節點 104 的電位變化到 $V2$ 時，電晶體 102 的閘極與源極之間的電位差變小，從而流過電晶體 102 的源極與汲極之間的電流(I_d)變小。然後，電晶體 102 最終成為關閉狀態。

[0064] 半導體裝置 100 成為如下狀態：佈線 114 被施加電壓 $V1$ ，佈線 113 被施加電壓 $V2'$ ，並且節點 104 被施加電壓 $V2$ 。

[0065] 佈線 114 被施加電壓 $V1$ ，且停止將低電壓施加上到佈線 113，第二步驟至此結束了。

[0066] 經上述步驟，將想要讀出的電壓 $V1$ 施加上到佈線 114，使得節點 104 的電位變化到 $V2$ ，資料寫入工作至此結束了。

[0067] 圖 3E 示出資料寫入之後且資料保持之前的狀態。在圖 2 中，以(E)表示上述狀態。

[0068] 在時刻 $t3$ 中，佈線 111 被輸入低電壓的信

號。由此電晶體 101 成為關閉狀態。節點 104 成為不與佈線 113 電連接的狀態。因為電晶體 101 具有關態電流極低的特性，所以保持節點 104 的電位(V2)。

[0069] 在到時刻 t_4 之前，佈線 112 被施加高電壓，佈線 113 被施加低電壓 (GND)，並且佈線 114 被施加低電壓 (GND)。

[0070] 在佈線 112 被施加高電壓時，節點 104 的電位從 V2 變化到能夠使電晶體 102 成為關閉狀態的電壓。

[0071] 在時刻 t_4 中，成為資料保持狀態。在圖 2 中，以(F)表示上述狀態。半導體裝置 100 成為與圖 3A 相同的狀態，只有節點 104 的電位不同於圖 3A。電晶體 101 處於關閉狀態。

[0072] 注意，在圖 2 中的(A)和(F)的狀態下，將低電壓施加到佈線 114，但是也可以將高電壓施加到佈線 114。在將高電壓施加到佈線 114 的情況下，在從(E)的狀態變成(F)的狀態時，即在將高電壓施加到佈線 114 時，有時能夠迅速地改變電壓。

[0073]

(讀出工作)

接著，說明從經上述資料寫入工作而寫入的電荷讀出電壓 V1 的工作的一個例子。圖 4 示出時序圖。圖 5A 至 5D 示出半導體裝置 100 的工作。

[0074] 資料讀出工作由如下第三步驟及第四步驟進行：第三步驟是將高電壓施加到佈線 114；以及第四步驟

是停止將高電壓施加到佈線 114，並將低電壓施加到佈線 112。藉由進行第四步驟，使佈線 114 的電壓從高電壓變化到電壓 V_1 。

[0075] 圖 5A 示出半導體裝置 100 的資料保持狀態。在圖 4 中，以(A)表示資料保持狀態。

[0076] 圖 5B 示出資料讀出之前的準備狀態。在圖 4 中，以(B)表示上述狀態。

[0077] 在時刻 t_5 中，將高電壓(VDD)施加到佈線 114。佈線 114 可以以高電壓預充電。這裡，“高電壓”為電源電壓(VDD)，但是也可以為其他電壓。注意，上述高電壓較佳為高於電壓 V_1 。

[0078] 電晶體 101 及電晶體 102 從資料保持狀態開始時一直處於關閉狀態。

[0079] 佈線 114 被施加高電壓，第三步驟至此結束了。

[0080] 圖 5C 和 5D 示出資料讀出時的狀態。在圖 4 中，以(C)表示上述狀態。

[0081] 在時刻 t_6 中，停止將高電壓(VDD)施加到佈線 114（參照圖 5C）。此時，佈線 114 與預充電的電壓隔開而成為電浮動狀態。就是說，佈線 114 成為因電荷的充電或放電而容易發生電位變動的狀態。藉由使用來將電位施加到佈線 114 的開關成為關閉狀態，可以實現上述浮動狀態。

[0082] 在時刻 t_6 中，將低電壓的信號輸入到佈線

112。節點 104 的電位變化到資料寫入時的 V_2 。其結果，形成對應於電晶體 102 的閘極電位 (V_2) 和佈線 114 的電位的電流 (I_d)。注意，輸入到佈線 112 的低電壓較佳為與在資料寫入工作時輸入到佈線 112 的低電壓相等。

[0083] 佈線 114 的電位與閘極電壓 V_2 相應地從預充電的高電壓 (V_{DD}) 變化到 V_1 (參照圖 5D)。電晶體 102 的閘極與源極之間的電位差隨時變小，從而電晶體 102 最終成為關閉狀態。

[0084] 將佈線 114 電連接到判別電路等以讀出電壓 V_1 。由此，可以讀出電壓 V_1 。

[0085] 停止將高電壓施加到佈線 114，且佈線 112 被施加低電壓，第四步驟至此結束了。

[0086] 在讀出資料之後，在時刻 t_7 中，佈線 112 被輸入高電壓的信號。在佈線 112 被施加高電壓時，節點 104 的電位從 V_2 變化了該高電壓值，由此電晶體 102 成為關閉狀態。

[0087] 在到時刻 t_8 之前，佈線 114 被施加低電壓 (GND)。

[0088] 在時刻 t_8 中，成為資料保持狀態。在圖 4 中，以 (E) 表示上述狀態。半導體裝置 100 成為與圖 5A 相同的狀態。

[0089] 注意，在圖 4 中的 (A) 和 (E) 的狀態下，將低電壓施加到佈線 114，但是也可以將高電壓施加到佈線 114。在將高電壓施加到佈線 114 的情況下，在從 (A) 的狀

態變成(B)的狀態時，即在將 VDD 施加到佈線 114 時，有時能夠迅速地改變電壓。

[0090] 另外，在將節點 104 的電位，即施加到電晶體 102 的閘極復位 (reset) 時，例如，將低電壓施加到佈線 112，並將高電壓的信號輸入到佈線 111 以使電晶體 101 打開。在電晶體 101 成為打開狀態時，節點 104 與佈線 113 電連接。因為佈線 113 被施加了 GND，節點 104 的電位復位。

[0091] 在本實施方式中，在寫入資料時施加到佈線 114 的電位 (V1) 相等於讀出電位。

[0092] 在現有技術中，讀出電壓具有不均勻性。例如，在以 V1 為想要讀出的電壓的情況下，讀出電壓受到讀出電晶體的臨界值的不均勻性等影響而實際上成為 $V1 \pm \Delta V$ 。就是說，讀出電壓有 ΔV 的偏差。但是，在本實施方式中，能夠將所希望的電位 V1 施加到佈線 114，並讀出該電位 V1。因此，可以減小 ΔV ，而可以減小讀出電壓的分佈寬度。

[0093] 在使半導體裝置 100 儲存多值資料時，需要準確地寫入所希望的電壓，並準確地讀出所希望的電壓。因此，半導體裝置 100 被要求高精確度。但是，在本實施方式中，能夠施加所希望的電位並讀出該電位。因此，在使半導體裝置 100 儲存多值資料時，半導體裝置 100 具有高資料保持特性及高可靠性。

[0094] 在現有技術中，為了確認準確地寫入資料而

進行驗證工作。但是，在本實施方式中，不需要驗證工作。由此，能夠進行高速工作。

[0095] 本實施方式可以與其他實施方式的記載適當地組合。

[0096]

實施方式 2

在本實施方式中，說明可以利用參照圖 1 說明的驅動方法的半導體裝置的一個例子。以下，參照圖 6 至 12 進行說明。

[0097]

(半導體裝置的結構例)

圖 6 是示出具有圖 1 所示的記憶單元 100 的半導體裝置 200 的結構例的方塊圖。

[0098] 圖 6 所示的半導體裝置 200 具有設置有圖 1 所示的多個記憶單元 100 的記憶單元陣列 201、行選擇驅動器 202、列選擇驅動器 203 以及 A/D 轉換器 204。半導體裝置 200 具有設置為 m 行 n 列的矩陣形狀的記憶單元 100。在圖 6 中，還示出第 $(m-1)$ 行佈線 111[$m-1$]及 112[$m-1$]、第 m 行佈線 111[m]及 112[m]、第 $(n-1)$ 列佈線 113[$n-1$]及 114[$n-1$]、第 n 列佈線 113[n]及 114[n]作為佈線 111、佈線 112、佈線 113 以及佈線 114。

[0099] 在圖 6 所示的記憶單元陣列 201 中，圖 1 所示的記憶單元 100 設置為矩陣形狀。記憶單元 100 所具有的各結構的說明與圖 1 同樣，援用圖 1 中的說明而省略說

明。

[0100] 行選擇驅動器 202 是具有如下功能的電路：選擇性地使記憶單元 100 的各行中的電晶體 101 成為打開狀態的功能；以及選擇性地改變記憶單元 100 的各行中的節點 104 的電位的功能。明確地說，行選擇驅動器 202 是將信號供應到佈線 111 並將信號供應到佈線 112 的電路。半導體裝置 200 具備行選擇驅動器 202，而能夠按行選擇性地進行對記憶單元 100 的資料寫入及資料讀出。

[0101] 列選擇驅動器 203 是具有如下功能的電路：使記憶單元 100 的佈線 113 及佈線 114 的電位預充電的功能；使佈線 113 及佈線 114 的電位初始化的功能；以及使佈線 113 及佈線 114 成為電浮動狀態的功能。半導體裝置 200 具備列選擇驅動器 203，而能夠按列選擇性地進行對記憶單元 100 的資料寫入及資料讀出。

[0102] A/D 轉換器 204 是具有將作為類比值的佈線 114 的電位轉換為數位值來輸出到外部的功能的電路。明確地說，A/D 轉換器 204 是具有閃爍型 A/D 轉換器的電路。半導體裝置 200 具備 A/D 轉換器 204，而能夠將對應於從記憶單元 100 讀出的資料的佈線 114 的電位輸出到外部。

[0103] 注意，假設 A/D 轉換器 204 為閃爍型 A/D 轉換器的情況來進行說明，但是也可以使用逐次比較型、多斜型或 $\Delta\Sigma$ 型 A/D 轉換器。

[0104]

(行選擇驅動器的結構例)

圖 7 是示出圖 6 所示的行選擇驅動器 202 的結構例的方塊圖。

[0105] 圖 7 所示的行選擇驅動器 202 具有解碼器 301 及控制電路 302。控制電路 302 按佈線 111 及 112 的行設置。在每一行中設置有控制電路 302[1] (在圖 7 中以 R/W controller 表示)，並在第二行中設置有控制電路 302[2]。各行的控制電路 302 與佈線 111 及佈線 112 連接。

[0106] 解碼器 301 是具有輸出用來選擇設置有佈線 111 及 112 的行的信號的功能的電路。

[0107] 控制電路 302 是具有將信號輸出到由解碼器 301 選擇的設置有佈線 111 及 112 的行的功能的電路。

[0108]

(列選擇驅動器的結構例)

圖 8 是示出圖 6 所示的列選擇驅動器 203 的結構例的方塊圖。

[0109] 圖 8 所示的列選擇驅動器 203 具有解碼器 401、鎖存電路 402、D/A 轉換器 403、開關電路 404、電晶體 405 以及電晶體 406。上述解碼器 401、鎖存電路 402、D/A 轉換器 403、開關電路 404、電晶體 405 以及電晶體 406 按列設置。另外，各列的開關電路 404、電晶體 405 以及電晶體 406 與佈線 114 連接。

[0110] 解碼器 401 是具有選擇設置有佈線 114 的列

將被輸入的資料分別輸出的功能的電路。明確地說，解碼器 401 是被輸入位址信號 Address 及資料 Data 並將該資料 Data 根據該位址信號 Address 輸出到任一行中的鎖存電路 402 的電路。列選擇驅動器 203 具有解碼器 401，而能夠選擇任一系列寫入資料。

[0111] 注意，輸入到解碼器 401 的資料 Data 是 k 位元的數位資料。k 位元的數位資料是指每一位元由 '1' 或 '0' 的兩值資料表示的信號。例如，2 位元的數位資料是由 '00'、'01'、'10' 以及 '11' 表示的資料。

[0112] 鎖存電路 402 是具有暫時儲存被輸入的資料 Data 的功能的電路。明確地說，鎖存電路 402 是被輸入鎖存信號 W_LAT 且將根據該鎖存信號 W_LAT 儲存的資料 Data 輸出到 D/A 轉換器 403 的電路。列選擇驅動器 203 具有鎖存電路 402，而能夠以任意的定時寫入資料。

[0113] D/A 轉換器 403 是具有將被輸入的數位值的資料 Data 轉換為類比值的資料 Vdata 的功能的電路。明確地說，D/A 轉換器 403 是如下電路：在資料 Data 的位元數為 3 位時，將被輸入的數位值的資料 Data 轉換為多個電位 V0 至 V7 這八個階段的電位中的任何一個來將它輸出到開關電路 404。列選擇驅動器 203 具有 D/A 轉換器 403，而能夠將寫入到記憶單元 100 的資料轉換為對應於多值資料的電位。

[0114] 注意，從 D/A 轉換器 403 輸出的資料 Vdata 是由各不相同的電壓值表示的資料。在資料 Data 的位元

數為 2 位元時，例如，資料 Vdata 相當於 0.5V、1.0V、1.5V 以及 2.0V 的四值資料，資料 Vdata 可以說是由上述任一電壓值表示的資料。

[0115] 開關電路 404 是具有如下功能的電路：將被輸入的資料 Vdata 供應到佈線 114 的功能；以及使佈線 114 成為電浮動狀態的功能。明確地說，開關電路 404 是如下電路：具備類比開關及反相器，受到開關控制信號 Write_SW 的控制將資料 Vdata 供應到佈線 114，然後使類比開關成為關閉狀態以形成電浮動狀態。列選擇驅動器 203 具備開關電路 404，而能夠在將資料 Vdata 供應到佈線 114 之後使佈線 114 處於電浮動狀態。

[0116] 電晶體 405 是具有如下功能的電晶體：將預充電電壓 VDD 施加到佈線 114 的功能；以及使佈線 114 成為電浮動狀態的功能。明確地說，電晶體 405 是如下電晶體：受到預充電控制信號 Pre_EN 的控制將預充電電壓 VDD 施加到佈線 114，然後使佈線 114 成為電浮動狀態。列選擇驅動器 203 具備電晶體 405，而能夠在將預充電電壓 VDD 施加到佈線 114 之後使佈線 114 處於電浮動狀態。

[0117] 電晶體 406 是具有將初始化電壓 GND 施加到佈線 114 的功能的電晶體。明確地說，電晶體 406 是受到初始化控制信號 Init_EN 的控制將初始化電壓 GND 施加到佈線 114 的開關。列選擇驅動器 203 具備電晶體 406，而能夠將初始化電壓 GND 施加到佈線 114。

[0118] 雖然未圖示，但是列選擇驅動器 203 具有將預充電電壓（GND）施加到佈線 113 的功能及使佈線 113 成為電浮動狀態的功能。這些功能藉由具有與佈線 114 同樣的結構而實現，從而援用佈線 114 的記載。

[0119]

(A/D 轉換器的結構例)

圖 9 是圖 6 所示的 A/D 轉換器 204 的結構例的方塊圖。

[0120] 圖 9 所示的 A/D 轉換器 204 具有比較器 501、編碼器 502、鎖存電路 503 以及緩衝器 504。上述比較器 501、編碼器 502、鎖存電路 503 以及緩衝器 504 按列設置。各列緩衝器 504 輸出資料 Dout。

[0121] 比較器 501 是具有比較佈線 114 的電位和參考電壓 Vref0 至 Vref6 的電位的高低判定出佈線 114 的電位所對應的多值資料之一的功能的電路。明確地說，比較器 501 是如下電路：具備多個比較器，該多個比較器 501 分別被施加佈線 114 的電位和各不相同的參考電壓 Vref0 至 Vref6，以判定出佈線 114 的電位所在的電位間之一處。A/D 轉換器 204 具備比較器 501，而能夠判定出佈線 114 的電位所對應的多值資料之一。

[0122] 作為一個例子，圖 9 所示的參考電壓 Vref0 至 Vref6 是在多值資料為 3 位元，即八值的資料時被施加的電位。

[0123] 編碼器 502 是具有根據從比較器 501 輸出的

判定佈線 114 的電位的信號產生多位元的數位信號的功能的電路。明確地說，編碼器 502 是根據從多個比較器輸出的 H 位準或 L 位準的信號進行編碼化以產生數位信號的電路。A/D 轉換器 204 具備編碼器 502，而能夠將從記憶單元 100 讀出的資料轉換為數位值的資料。

[0124] 鎖存電路 503 是具有暫時儲存被輸入的數位值的資料的電路。明確地說，鎖存電路 503 是被輸入鎖存信號 LAT 並將根據該鎖存信號 LAT 儲存的資料輸出到緩衝器 504 的正反器電路。A/D 轉換器 204 具備鎖存電路 503，而能夠以任意的定時輸出資料。注意，也可以省略鎖存電路 503。

[0125] 緩衝器 504 是具有將從鎖存電路 503 輸出的資料放大並作為輸出信號 Dout 輸出的功能的電路。明確地說，緩衝器 504 是具備偶數級的反相器電路的電路。A/D 轉換器 204 具備緩衝器 504，而能夠降低數位信號的噪音。注意，也可以省略緩衝器 504。

[0126]

(半導體裝置的驅動方法的具體例)

圖 10 示出半導體裝置所具有的記憶單元的電路圖。圖 11 及圖 12 所示的時序圖是用來說明圖 10 的工作的。

[0127] 在圖 10 所示的半導體裝置 600 中，其電路結構與圖 1 所示的記憶單元相同的記憶單元 100A 至 100D 設置為兩行兩列的矩陣形狀。圖 10 還示出：第一行的佈線 111[1]、佈線 112[1]、第二行的佈線 111[2]、佈線

112[2]、第一列的佈線 113[1]、佈線 114[1]以及第二列的佈線 113[2]、佈線 114[2]。

[0128] 圖 11 所示的時序圖是進行資料寫入工作的期間 p1 至 p8 中的時序圖。圖 12 所示的時序圖是進行資料讀出工作的期間 p9 至 p16 中的時序圖。在圖 11 及圖 12 中，示出圖 10 所示的佈線 111[1]、佈線 111[2]、佈線 112[1]、佈線 112[2]、佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]的電壓變化。

[0129] 在圖 11 所示的期間 p1 中，將佈線 111[1]和佈線 112[1]分別設定為 H 位準和 L 位準。其他佈線，即佈線 111[2]、佈線 112[2]、佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]保持前一期間的電壓。由此，記憶單元 100A 的電晶體 101 及電晶體 102、記憶單元 100B 的電晶體 101 及電晶體 102 成為打開狀態。

[0130] 接著，在圖 11 所示的期間 p2 中，停止將電壓施加到佈線 113[1]及佈線 113[2]以使它們成為電浮動狀態。將佈線 114[1]的電壓和佈線 114[2]的電壓分別設定為 V3 和 V4。其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[1]以及佈線 112[2]保持前一期間的電壓。

[0131] 佈線 113[1]的電壓與佈線 114[1]的電壓 V3 相應地變化，而佈線 113[2]的電壓與佈線 114[2]的電壓 V4 相應地變化。由此，記憶單元 100A 的節點 104 被寫入對應於電壓 V3 的資料，而記憶單元 100B 的節點 104 被寫入對應於電壓 V4 的資料。

[0132] 接著，在圖 11 所示的期間 p3 中，將佈線 111[1]設定為 L 位準。其他佈線，即佈線 111[2]、佈線 112[1]、佈線 112[2]、佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]保持前一期間的電壓。由此，記憶單元 100A 的電晶體 101、記憶單元 100B 的電晶體 101 成為關閉狀態。

[0133] 接著，在圖 11 所示的期間 p4 中，將佈線 112[1]設定為 H 位準。將佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]的電壓設定為低電壓（GND）。其他佈線，即佈線 111[1]、佈線 111[2]以及佈線 112[2]保持前一期間的電壓。由此，記憶單元 100A 的電晶體 102、記憶單元 100B 的電晶體 102 成為關閉狀態。

[0134] 接著，在圖 11 所示的期間 p5 中，將佈線 111[2]和佈線 112[2]分別設定為 H 位準和 L 位準。其他佈線，即佈線 111[1]、佈線 112[1]、佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]保持前一期間的電壓。由此，記憶單元 100C 的電晶體 101 及電晶體 102、記憶單元 100D 的電晶體 101 及電晶體 102 成為打開狀態。

[0135] 接著，在圖 11 所示的期間 p6 中，停止將電壓施加到佈線 113[1]及佈線 113[2]以使它們成為電浮動狀態。將佈線 114[1]的電壓和佈線 114[2]的電壓分別設定為 V4 和 V3。其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[1]以及佈線 112[2]保持前一期間的電壓。

[0136] 佈線 113[1]的電壓與佈線 114[1]的電壓 V4 相應地變化，而佈線 113[2]的電壓與佈線 114[2]的電壓 V3 相應地變化。由此，記憶單元 100C 的節點 104 被寫入對應於電壓 V4 的資料，而記憶單元 100D 的節點 104 被寫入對應於電壓 V3 的資料。

[0137] 接著，在圖 11 所示的期間 p7 中，將佈線 111[2]設定為 L 位準。其他佈線，即佈線 111[1]、佈線 112[1]、佈線 112[2]、佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]保持前一期間的電壓。由此，記憶單元 100C 的電晶體 101、記憶單元 100D 的電晶體 101 成為關閉狀態。

[0138] 接著，在圖 11 所示的期間 p8 中，將佈線 112[2]設定為 H 位準。將佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]的電壓設定為低電壓（GND）。其他佈線，即佈線 111[1]、佈線 111[2]以及佈線 112[1]保持前一期間的電壓。由此，記憶單元 100C 的電晶體 102、記憶單元 100D 的電晶體 102 成為關閉狀態。

[0139] 總之，經期間 p1 至 p8 的資料寫入工作，在圖 10 所示的記憶單元 100A、記憶單元 100B、記憶單元 100C 以及記憶單元 100D 中分別寫入有對應於電壓 V3 的資料、對應於電壓 V4 的資料、對應於電壓 V4 的資料以及對應於電壓 V3 的資料。

[0140] 接著，在圖 12 所示的期間 p9 中，將佈線 114[1]及佈線 114[2]設定為預充電電壓（這裡，VDD）。

其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[1]、佈線 112[2]、佈線 113[1]以及佈線 113[2]保持前一期間的電壓。

[0141] 接著，在圖 12 所示的期間 p10 中，停止將電壓施加到佈線 114[1]及佈線 114[2]以使它們成為電浮動狀態。將佈線 112[1]設定為 L 位準。記憶單元 100A 的電晶體 102、記憶單元 100B 的電晶體 102 成為打開狀態。由此，佈線 114[1]及佈線 114[2]的電壓與對應於寫入到記憶單元 100A 及記憶單元 100B 中的資料的電壓相應地下降。其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[2]、佈線 113[1]以及佈線 113[2]保持前一期間的電壓。注意，輸入到佈線 112[1]的 L 位準的電壓較佳為與在進行資料寫入工作時輸入到佈線 112[1]的 L 位準的電壓相等。

[0142] 接著，在圖 12 所示的期間 p11 中，期間 p10 中的佈線 114[1]和佈線 114[2]的電壓下降停止，分別成為電壓 V3 和電壓 V4。其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[1]、佈線 112[2]、佈線 113[1]以及佈線 113[2]保持前一期間的電壓。

[0143] 接著，在圖 12 所示的期間 p12 中，將佈線 112[1]設定為 H 位準。其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[2]、佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]保持前一期間的電壓。記憶單元 100A 的電晶體 102、記憶單元 100B 的電晶體 102 成為關

閉狀態。

[0144] 在圖 12 所示的期間 p13 中，將佈線 114[1]及佈線 114[2]設定為預充電電壓（這裡，VDD）。其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[1]、佈線 112[2]、佈線 113[1]以及佈線 113[2]保持前一期間的電壓。

[0145] 接著，在圖 12 所示的期間 p14 中，停止將電壓施加到佈線 114[1]及佈線 114[2]以使它們成為電浮動狀態。將佈線 112[2]設定為 L 位準。記憶單元 100C 的電晶體 102、記憶單元 100D 的電晶體 102 成為打開狀態。由此，佈線 114[1]及佈線 114[2]的電壓與對應於寫入到記憶單元 100C 及記憶單元 100D 中的資料的電壓相應地下降。其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[1]、佈線 113[1]以及佈線 113[2]保持前一期間的電壓。注意，輸入到佈線 112[2]的 L 位準的電壓較佳為與在進行資料寫入工作時輸入到佈線 112[2]的 L 位準的電壓相等。

[0146] 接著，在圖 12 所示的期間 p15 中，期間 p14 中的佈線 114[1]和佈線 114[2]的電壓下降停止，分別成為電壓 V4 和電壓 V3。其他佈線，即佈線 111[1]、佈線 111[2]、佈線 112[1]、佈線 112[2]、佈線 113[1]以及佈線 113[2]保持前一期間的電壓。

[0147] 接著，在圖 12 所示的期間 p16 中，將佈線 112[2]設定為 H 位準。其他佈線，即佈線 111[1]、佈線

111[2]、佈線 112[1]、佈線 113[1]、佈線 113[2]、佈線 114[1]以及佈線 114[2]保持前一期間的電壓。記憶單元 100C 的電晶體 102、記憶單元 100D 的電晶體 102 成為關閉狀態。

[0148] 總之，經期間 p9 至 p16 的資料讀出工作，從圖 10 所示的記憶單元 100A、記憶單元 100B、記憶單元 100C 以及記憶單元 100D 中分別讀出對應於電壓 V3 的資料、對應於電壓 V4 的資料、對應於電壓 V4 的資料以及對應於電壓 V3 的資料。

[0149] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0150]

實施方式 3

圖 13A 示出半導體裝置 130。半導體裝置 130 具有電晶體 101、電晶體 102、電容器 103 以及電晶體 107。

[0151] 半導體裝置 130 與半導體裝置 100（圖 1）的不同之處在於：半導體裝置 130 具有電晶體 107，並且電容器 103 的另一個電極被施加來自參考電位端子的參考電位（GND）。注意，電容器 103 的另一個電極也可以被施加參考電位以外的其他電位如來自電源電位端子的電源電位（VSS）等。

[0152] 電晶體 107 為 p 型電晶體。電晶體 107 的通道形成區可以使用具有氧化物半導體、矽等各種材料的層。

[0153] 電晶體 107 的閘極與佈線 115 電連接。佈線 115 可以被用作字線。

[0154] 電晶體 107 的源極和汲極中的一方與電晶體 102 的源極和汲極中的另一方電連接。

[0155] 電晶體 107 的源極和汲極中的另一方與佈線 113 電連接。電晶體 107 的源極和汲極中的另一方還與電晶體 101 的源極和汲極中的一方電連接。

[0156] 另外，如半導體裝置 135 那樣，電晶體 107 也可以設置在電晶體 102 與佈線 114 之間（參照圖 13B）。在半導體裝置 135 中，電晶體 107 的源極和汲極中的一方與佈線 114 電連接，而電晶體 107 的源極和汲極中的另一方與電晶體 102 的源極和汲極中的一方電連接。

[0157] 電晶體 102 的源極和汲極中的另一方與佈線 113 電連接。電晶體 102 的源極和汲極中的另一方還與電晶體 101 的源極和汲極中的一方電連接。

[0158] 以下說明對半導體裝置 130 寫入資料的工作及從半導體裝置 130 讀出資料的工作。

[0159]

(資料寫入工作)

首先，說明資料寫入工作的一個例子。圖 14 示出時序圖。圖 15A 至 15E 示出半導體裝置 130 的工作。作為一個例子，以下說明如下資料寫入工作：以 V1 為想要讀出的電壓，使節點 104 的電位（電晶體 102 的閘極電位）變化到 V5 來進行資料寫入工作。因為在儲存多值資料時

需要施加各種電壓，所以能夠自由地設定 V_1 是有益的。

[0160] 資料寫入工作由如下第一步驟及第二步驟進行：第一步驟是將低電壓施加到佈線 113 及佈線 114，將高電壓施加到佈線 111 以使電晶體 101 打開，由此電晶體 102 打開，並將低電壓施加到佈線 115 以使電晶體 107 打開；以及第二步驟是將電壓 V_1 施加到佈線 114 並停止將低電壓施加到佈線 113。

[0161] 藉由進行第二步驟，將對應於資料（電壓 V_1 ）的電位 V_5 從佈線 114 經過電晶體 102 的源極及汲極、電晶體 107 的源極及汲極、佈線 113 以及電晶體 101 的源極及汲極施加到節點 104。由此，電晶體 102 的閘極被施加電位 V_5 ，而在電容器 103 中儲存對應於電位 V_5 的電荷。

[0162] 圖 15A 示出半導體裝置 130 的初始狀態。在圖 14 中，以(A)表示初始狀態。

[0163] 佈線 111 被輸入低電壓的信號，由此電晶體 101 處於關閉狀態。

[0164] 佈線 115 被輸入高電壓的信號，由此電晶體 107 處於關閉狀態。

[0165] 電容器 103 的另一個電極被施加參考電位等低電壓。節點 104 被施加對應於電容器 103 的電容值的電壓。

[0166] 佈線 113 及佈線 114 被施加低電壓（GND）。由此，佈線 113 及佈線 114 可以以低電壓預充

電。這裡，“低電壓”為標準電壓（GND），但是也可以為電源電壓（VSS）或其他電壓。

[0167] 圖 15B 示出資料寫入之前的準備狀態。在圖 14 中，以(B)表示上述狀態。

[0168] 在時刻 t_1 中，佈線 111 被輸入高電壓的信號。由此電晶體 101 成為打開狀態。

[0169] 因為電晶體 101 成為打開狀態，所以佈線 113 與節點 104 電連接。佈線 113 的電位施加到節點 104，由此電晶體 102 成為打開狀態。

[0170] 在時刻 t_1 中，佈線 115 被輸入低電壓的信號。由此，電晶體 107 成為打開狀態。這裡，“低電壓”只要是能夠使電晶體 107 成為打開狀態的電壓，即可。

“低電壓”既可為標準電壓（GND）又可為電源電壓（VSS）或其他電壓。

[0171] 佈線 113 及佈線 114 被施加低電壓，且電晶體 101、電晶體 102 以及電晶體 107 成為打開狀態，第一步驟至此結束了。

[0172] 圖 15C 和 15D 示出資料寫入時的狀態。在圖 14 中，以(C)和(D)表示上述狀態。

[0173] 在時刻 t_2 中，佈線 114 被施加電壓 V_1 （參照圖 15C）。電壓 V_1 是在進行資料讀出工作時想要讀出的電壓。電壓 V_1 的大小可以根據想要寫入的資料而自由地設定。

[0174] 在時刻 t_2 中，停止將低電壓（GND）施加到

佈線 113（參照圖 15C）。此時，佈線 113 與預充電的電壓隔開而成為電浮動狀態。就是說，佈線 113 成為因電荷的充電或放電而容易發生電位變動的狀態。藉由使用來將電位施加到佈線 113 的開關成為關閉狀態，可以實現上述浮動狀態。

[0175] 因為電晶體 107 及電晶體 102 處於打開狀態，所以佈線 113 與佈線 114 電連接。佈線 113 的電壓從預充電的低電壓（GND）變化到 $V5'$ （參照圖 15D）。注意， $V5'$ 與 $V1$ 之間的差值大致為電晶體 102 及電晶體 107 的臨界電壓（ $V1 > V5'$ ）。

[0176] 另外，因為電晶體 101 處於打開狀態，所以將資料從佈線 114 經過電晶體 102 的源極及汲極、電晶體 107 的源極及汲極、佈線 113 以及電晶體 101 的源極及汲極寫入到節點 104（電晶體 102 的閘極）。由此，在電容器 103 中儲存電荷，而節點 104 的電位變化到 $V5$ 。

[0177] 節點 104 的電位變化到 $V5$ 時，電晶體 102 的閘極與源極之間的電位差變小，從而流過電晶體 102 的源極與汲極之間的電流 (I_d) 變小。然後，電晶體 102 最終成為關閉狀態。

[0178] 半導體裝置 130 成為如下狀態：佈線 114 被施加電壓 $V1$ ，佈線 113 被施加電壓 $V5'$ ，並且節點 104 被施加電壓 $V5$ 。

[0179] 佈線 114 被施加電壓 $V1$ ，且停止將低電壓施加到佈線 113，第二步驟至此結束了。

[0180] 經上述步驟，將想要讀出的電壓 V_1 施加到佈線 114，使得節點 104 的電位變化到 V_5 ，資料寫入工作至此結束了。

[0181] 圖 15E 示出資料寫入之後且資料保持之前的狀態。在圖 14 中，以(E)表示上述狀態。

[0182] 在時刻 t_3 中，佈線 111 被輸入低電壓的信號。由此電晶體 101 成為關閉狀態。節點 104 成為不與佈線 113 電連接的狀態。因為電晶體 101 具有關態電流極低的特性，所以保持節點 104 的電位(V_5)。

[0183] 在到時刻 t_4 之前，佈線 115 被施加高電壓，佈線 113 被施加低電壓 (GND)，並且佈線 114 被施加低電壓 (GND)。

[0184] 在佈線 115 被施加高電壓時，電晶體 107 成為關閉狀態。這裡，“高電壓”只要是能夠使電晶體 107 成為關閉狀態的電壓，即可。

[0185] 在時刻 t_4 中，成為資料保持狀態。在圖 14 中，以(F)表示上述狀態。半導體裝置 130 成為與圖 15A 相同的狀態，只有節點 104 的電位 (V_5) 不同於圖 15A。電晶體 101 及電晶體 107 處於關閉狀態。

[0186] 注意，在圖 14 中的(A)和(F)的狀態下，將低電壓施加到佈線 114，但是也可以將高電壓施加到佈線 114。在將高電壓施加到佈線 114 的情況下，在從(E)的狀態變成(F)的狀態時，即在將高電壓施加到佈線 114 時，有時能夠迅速地改變電壓。

[0187]

(讀出工作)

接著，說明從經上述資料寫入工作而寫入的電荷讀出電壓 V_1 的工作的一個例子。圖 16 示出時序圖。圖 17A 至 17D 示出半導體裝置 130 的工作。

[0188] 資料讀出工作由如下第三步驟及第四步驟進行：第三步驟是將高電壓施加到佈線 114；以及第四步驟是停止將高電壓施加到佈線 114，並將低電壓施加到佈線 115 以使電晶體 107 成為打開狀態。藉由進行第四步驟，使佈線 114 的電壓從高電壓變化到電壓 V_1 。

[0189] 圖 17A 示出半導體裝置 130 的資料保持狀態。在圖 16 中，以(A)表示資料保持狀態。

[0190] 圖 17B 示出資料讀出之前的準備狀態。在圖 16 中，以(B)表示上述狀態。

[0191] 在時刻 t_5 中，將高電壓 (V_{DD}) 施加到佈線 114。佈線 114 可以以高電壓預充電。

[0192] 電晶體 101 及電晶體 107 從資料保持狀態開始時一直處於關閉狀態。

[0193] 佈線 114 被施加高電壓，第三步驟至此結束了。

[0194] 圖 17C 和 17D 示出資料讀出時的狀態。在圖 16 中，以(C)表示上述狀態。

[0195] 在時刻 t_6 中，停止將高電壓 (V_{DD}) 施加到佈線 114 (參照圖 17C)。此時，佈線 114 與預充電的電

壓隔開而成為電浮動狀態。就是說，佈線 114 成為因電荷的充電或放電而容易發生電位變動的狀態。藉由使用來將電位施加到佈線 114 的開關成為關閉狀態，可以實現上述浮動狀態。

[0196] 在時刻 t_6 中，將低電壓的信號輸入到佈線 115。由此，電晶體 107 成為打開狀態。

[0197] 電晶體 102 的閘極被施加電壓 V_5 。電晶體 102 處於打開狀態。佈線 114 的電位與閘極電壓 V_5 相應地從預充電的高電壓(V_{DD})變化到 V_1 （參照圖 17D）。電晶體 102 的閘極與源極之間的電位差隨時變小，從而電晶體 102 最終成為關閉狀態。

[0198] 將佈線 114 電連接到判別電路等以讀出電壓 V_1 。由此，可以讀出電壓 V_1 。

[0199] 停止將高電壓施加到佈線 114，且電晶體 107 成為打開狀態，第四步驟至此結束了。

[0200] 在讀出資料之後，在時刻 t_7 中，佈線 115 被輸入高電壓的信號。由此，電晶體 107 成為關閉狀態（圖 16 中的（D））。

[0201] 在到時刻 t_8 之前，佈線 114 被施加低電壓（GND）（圖 16 中的（D））。

[0202] 在時刻 t_8 中，成為資料保持狀態。在圖 16 中，以(E)表示上述狀態。半導體裝置 130 成為與圖 17A 相同的狀態。

[0203] 注意，在圖 16 中的(A)和(E)的狀態下，將低

電壓施加到佈線 114，但是也可以將高電壓施加到佈線 114。在將高電壓施加到佈線 114 的情況下，在從(A)的狀態變成(B)的狀態時，即在將 VDD 施加到佈線 114 時，有時能夠迅速地改變電壓。

[0204] 另外，在將節點 104 的電位，即施加到電晶體 102 的閘極的電壓重設時，例如，將高電壓的信號輸入到佈線 111 以使電晶體 101 打開。在電晶體 101 成為打開狀態時，節點 104 與佈線 113 電連接。因為佈線 113 被施加了 GND，節點 104 的電位復位。

[0205] 在半導體裝置 130 中，在寫入資料時施加到佈線 114 的電位（V1）相等於讀出電位。

[0206] 半導體裝置 130 可以與半導體裝置 100 同樣地發揮實施方式 1 所示的效果。另外，半導體裝置 130 中的與電晶體 107 電連接的佈線 115 的電容可以為比半導體裝置 100 中的與電容器 103 電連接的佈線 112 的電容小，從而可以進一步減小半導體裝置 130 的耗電量。

[0207] 另外，因為圖 13B 所示的半導體裝置 135 的工作與半導體裝置 130 相同，所以援用半導體裝置 130 的工作的記載。

[0208] 本實施方式可以與其他實施方式的記載適當地組合。

[0209]

實施方式 4

圖 18 示出半導體裝置 140。半導體裝置 140 具有電

晶體 101、電晶體 106 以及電容器 103。

[0210] 半導體裝置 140 與半導體裝置 100 (圖 1) 的不同之處在於：半導體裝置 140 具有電晶體 106，該電晶體 106 為 n 型電晶體。

[0211] 電晶體 106 的通道形成區可以使用包含氧化物半導體、矽等各種材料的層。

[0212] 電晶體 106 與其他元件如電晶體 101 等之間的連接關係的說明援用電晶體 102 與其他元件如電晶體 101 等之間的連接關係的記載。

[0213] 以下說明對半導體裝置 140 寫入資料的工作及從半導體裝置 140 讀出資料的工作。

[0214]

(資料寫入工作)

首先，說明資料寫入工作的一個例子。圖 19 示出時序圖。圖 20A 至 20E 示出半導體裝置 140 的工作。作為一個例子，以下說明如下資料寫入工作：以 V1 為想要讀出的電壓，使節點 104 的電位（電晶體 106 的閘極電位）變化到 V7 來進行資料寫入工作。因為在儲存多值資料時需要施加各種電壓，所以能夠自由地設定 V1 是有益的。

[0215] 資料寫入工作由如下第一步驟及第二步驟進行：第一步驟是將高電壓施加到佈線 113 及佈線 114，將高電壓施加到佈線 111 以使電晶體 101 打開，並將高電壓施加到佈線 112 以使電晶體 106 打開；以及第二步驟是將電壓 V1 施加到佈線 114 並停止將高電壓施加到佈線

113。

[0216] 藉由進行第二步驟，將對應於資料（電壓 $V1$ ）的電位 $V7$ 從佈線 114 經過電晶體 106 的源極及汲極、佈線 113 以及電晶體 101 的源極及汲極施加到節點 104。由此，電晶體 106 的閘極被施加電位 $V7$ ，而在電容器 103 中儲存對應於電位 $V7$ 的電荷。

[0217] 圖 20A 示出半導體裝置 140 的初始狀態。在圖 19 中，以(A)表示初始狀態。

[0218] 佈線 111 被輸入低電壓的信號，由此電晶體 101 處於關閉狀態。

[0219] 佈線 112 被輸入低電壓的信號。節點 104 被施加對應於電容器 103 的電容值的電壓。

[0220] 佈線 113 及佈線 114 被施加高電壓（ VDD ）。由此，佈線 113 及佈線 114 可以以高電壓預充電。這裡，“高電壓”為電源電壓（ VDD ），但是也可以為其他電壓。

[0221] 圖 20B 示出資料寫入之前的準備狀態。在圖 19 中，以(B)表示上述狀態。

[0222] 在時刻 $t1$ 中，佈線 111 被輸入高電壓的信號。由此電晶體 101 成為打開狀態。

[0223] 因為電晶體 101 成為打開狀態，所以佈線 113 與節點 104 電連接。由此，節點 104 的電位上升到高電壓（ VDD ）。

[0224] 在時刻 $t1$ 中，佈線 112 被輸入高電壓的信

號。節點 104 被施加對應於電容器 103 的電容值的電壓。電晶體 101 成為打開狀態，並且佈線 112 被施加高電壓，由此電晶體 106 成為打開狀態。這裡，“高電壓”只要是能夠使電晶體 106 成為打開狀態的電壓，就可為電源電壓（VDD）或其他電壓。

[0225] 佈線 113 及佈線 114 被施加高電壓，且電晶體 101 及電晶體 106 成為打開狀態，第一步驟至此結束了。

[0226] 圖 20C 和 20D 示出資料寫入時的狀態。在圖 19 中，以(C)和(D)表示上述狀態。

[0227] 在時刻 t_2 中，佈線 114 被施加電壓 V_1 （參照圖 20C）。電壓 V_1 是在進行資料讀出工作時想要讀出的電壓。電壓 V_1 的大小可以根據想要寫入的資料而自由地設定。

[0228] 在時刻 t_2 中，停止將高電壓（VDD）施加到佈線 113（參照圖 20C）。此時，佈線 113 與預充電的電壓隔開而成為電浮動狀態。就是說，佈線 113 成為因電荷的充電或放電而容易發生電位變動的狀態。藉由使用來將電位施加到佈線 113 的開關成為關閉狀態，可以實現上述浮動狀態。

[0229] 因為電晶體 106 處於打開狀態，所以佈線 113 與佈線 114 電連接。佈線 113 的電壓從預充電的高電壓（VDD）變化到 V_7' （參照圖 20D）。注意， V_7' 與 V_1 之間的差值大致為電晶體 106 的臨界電壓。

[0230] 另外，因為電晶體 101 處於打開狀態，所以將資料從佈線 114 經過電晶體 106 的源極及汲極、佈線 113 以及電晶體 101 的源極及汲極寫入到節點 104（電晶體 106 的閘極）。由此，在電容器 103 中儲存電荷，而節點 104 的電位變化到 $V7$ 。

[0231] 節點 104 的電位變化到 $V7$ 時，電晶體 106 的閘極與源極之間的電位差變小，從而流過電晶體 106 的源極與汲極之間的電流(I_d)變小。然後，電晶體 106 最終成為關閉狀態。

[0232] 半導體裝置 140 成為如下狀態：佈線 114 被施加電壓 $V1$ ，佈線 113 被施加電壓 $V7'$ ，並且節點 104 被施加電壓 $V7$ 。

[0233] 佈線 114 被施加電壓 $V1$ ，且停止將高電壓施加到佈線 113，第二步驟至此結束了。

[0234] 經上述步驟，將想要讀出的電壓 $V1$ 施加到佈線 114，使得節點 104 的電位變化到 $V7$ ，資料寫入工作至此結束了。

[0235] 圖 20E 示出資料寫入之後且資料保持之前的狀態。在圖 19 中，以(E)表示上述狀態。

[0236] 在時刻 $t3$ 中，佈線 111 被輸入低電壓的信號。由此電晶體 101 成為關閉狀態。節點 104 成為不與佈線 113 電連接的狀態。因為電晶體 101 具有關態電流極低的特性，所以保持節點 104 的電位($V7$)。

[0237] 在到時刻 $t4$ 之前，佈線 112 被施加低電壓，

佈線 113 被施加高電壓（VDD），並且佈線 114 被施加高電壓（VDD）。

[0238] 在佈線 112 被施加低電壓時，節點 104 的電位從 V7 變化到能夠使電晶體 106 成為關閉狀態的電壓。

[0239] 在時刻 t_4 中，成為資料保持狀態。在圖 19 中，以(F)表示上述狀態。半導體裝置 140 成為與圖 20A 相同的狀態，只有節點 104 的電位不同於圖 20A。電晶體 101 處於關閉狀態。

[0240] 注意，在圖 19 中的(A)和(F)的狀態下，將高電壓施加到佈線 114，但是也可以將低電壓施加到佈線 114。在將低電壓施加到佈線 114 的情況下，在從(E)的狀態變成(F)的狀態時，即在將低電壓施加到佈線 114 時，有時能夠迅速地改變電壓。

[0241]

(讀出工作)

接著，說明從經上述資料寫入工作而寫入的電荷讀出電壓 V1 的工作的一個例子。圖 21 示出時序圖。圖 22A 至 22D 示出半導體裝置 140 的工作。

[0242] 資料讀出工作由如下第三步驟及第四步驟進行：第三步驟是將低電壓施加到佈線 114；以及第四步驟是停止將低電壓施加到佈線 114，並將高電壓施加到佈線 112。藉由進行第四步驟，使佈線 114 的電壓從低電壓變化到電壓 V1。

[0243] 圖 22A 示出半導體裝置 140 的資料保持狀

態。在圖 21 中，以(A)表示資料保持狀態。

[0244] 圖 22B 示出資料讀出之前的準備狀態。在圖 21 中，以(B)表示上述狀態。

[0245] 在時刻 t_5 中，將低電壓(GND)施加到佈線 114。佈線 114 可以以低電壓預充電。這裡，雖然將 GND 施加到佈線 114，但是也可以施加電源電壓(VSS)或其他電壓。

[0246] 電晶體 101 及電晶體 106 從資料保持狀態開始時一直處於關閉狀態。

[0247] 佈線 114 被施加低電壓，第三步驟至此結束了。

[0248] 圖 22C 和 22D 示出資料讀出時的狀態。在圖 21 中，以(C)表示上述狀態。

[0249] 在時刻 t_6 中，停止將低電壓(GND)施加到佈線 114(參照圖 22C)。此時，佈線 114 與預充電的電壓隔開而成為電浮動狀態。就是說，佈線 114 成為因電荷的充電或放電而容易發生電位變動的狀態。藉由使用來將電位施加到佈線 114 的開關成為關閉狀態，可以實現上述浮動狀態。

[0250] 在時刻 t_6 中，停止將高電壓的信號輸入到佈線 112。由此，節點 104 的電位變化到資料寫入時的 V_7 。其結果，形成對應於電晶體 106 的閘極電位(V_7)和佈線 114 的電位的電流(I_d)。注意，輸入到佈線 112 的高電壓較佳為與在資料寫入工作時輸入到佈線 112 的高電壓相

等。

[0251] 佈線 114 的電位與閘極電壓 $V7$ 相應地從預充電的低電壓(GND)變化到 $V1$ (參照圖 22D)。電晶體 106 的閘極與源極之間的電位差隨時變小，從而電晶體 106 最終成為關閉狀態。

[0252] 將佈線 114 電連接到判別電路等以讀出電壓 $V1$ 。由此，可以讀出電壓 $V1$ 。

[0253] 停止將低電壓施加到佈線 114，並且將高電壓施加到佈線 112，第四步驟至此結束了。

[0254] 在讀出資料之後，在時刻 $t7$ 中，佈線 112 被輸入低電壓的信號。在佈線 112 被輸入低電壓時，節點 104 的電位從 $V7$ 變化了該低電壓值由此，電晶體 106 成為關閉狀態。

[0255] 在到時刻 $t8$ 之前，佈線 114 被施加高電壓(VDD)。

[0256] 在時刻 $t8$ 中，成為資料保持狀態。在圖 21 中，以(E)表示上述狀態。半導體裝置 140 成為與圖 22A 相同的狀態。

[0257] 注意，在圖 21 中的(A)和(E)的狀態下，將高電壓施加到佈線 114，但是也可以將低電壓施加到佈線 114。在將低電壓施加到佈線 114 的情況下，在從(A)的狀態變成(B)的狀態時，即在將 GND 施加到佈線 114 時，有時能夠迅速地改變電壓。

[0258] 另外，在將節點 104 的電位，即施加到電晶

體 106 的閘極的電壓重設時，例如，將高電壓施加到佈線 112，將 GND 等低電壓施加到佈線 113，並且將高電壓的信號輸入到佈線 111 以使電晶體 101 打開。在電晶體 101 成為打開狀態時，節點 104 與佈線 113 電連接。因為佈線 113 被施加了 GND，節點 104 的電位復位。

[0259] 在半導體裝置 140 中，在寫入資料時施加到佈線 114 的電位（V1）相等於讀出電位。

[0260] 半導體裝置 140 可以與半導體裝置 100 同樣地發揮實施方式 1 所示的效果。

[0261] 本實施方式可以與其他實施方式的記載適當地組合。

[0262]

實施方式 5

圖 23A 示出半導體裝置 150。半導體裝置 150 具有電晶體 101、電晶體 106、電容器 103 以及電晶體 108。

[0263] 半導體裝置 150 與半導體裝置 100（圖 1）的不同之處在於：半導體裝置 150 使用電晶體 106 代替電晶體 102，並具有電晶體 108，且電容器 103 的另一個電極被施加來自參考電位端子的參考電位（GND）。注意，電容器 103 的另一個電極也可以被施加參考電位以外的其他電位如來自電源電位端子的電源電位（VSS）等。

[0264] 電晶體 106 為 n 型電晶體。電晶體 106 的通道形成區可以使用包含氧化物半導體、矽等各種材料的層。

[0265] 電晶體 106 與其他元件如電晶體 101 等之間的連接關係的說明援用電晶體 102 與其他元件如電晶體 101 等之間的連接關係的記載。

[0266] 電晶體 108 為 n 型電晶體。電晶體 108 的通道形成區可以使用包含氧化物半導體、矽等各種材料的層。

[0267] 電晶體 108 的閘極與佈線 115 電連接。佈線 115 可以被用作字線。

[0268] 電晶體 108 的源極和汲極中的一方與電晶體 106 的源極和汲極中的另一方電連接。

[0269] 電晶體 108 的源極和汲極中的另一方與佈線 113 電連接。電晶體 108 的源極和汲極中的另一方還與電晶體 101 的源極和汲極中的一方電連接。

[0270] 另外，如半導體裝置 155 那樣，電晶體 108 也可以設置在電晶體 106 與佈線 114 之間（參照圖 23B）。在半導體裝置 155 中，電晶體 108 的源極和汲極中的一方與佈線 114 電連接，而電晶體 108 的源極和汲極中的另一方與電晶體 106 的源極和汲極中的一方電連接。

[0271] 電晶體 106 的源極和汲極中的另一方與佈線 113 電連接。電晶體 106 的源極和汲極中的另一方還與電晶體 101 的源極和汲極中的一方電連接。

[0272] 以下說明對半導體裝置 150 寫入資料的工作及從半導體裝置 150 讀出資料的工作。

[0273]

(資料寫入工作)

首先，說明資料寫入工作的一個例子。圖 24 示出時序圖。圖 25A 至 25E 示出半導體裝置 150 的工作。作為一個例子，以下說明如下資料寫入工作：以 V_1 為想要讀出的電壓，使節點 104 的電位（電晶體 106 的閘極電位）變化到 V_9 來進行資料寫入工作。因為在儲存多值資料時需要施加各種電壓，所以能夠自由地設定 V_1 是有益的。

[0274] 資料寫入工作由如下第一步驟及第二步驟進行：第一步驟是將高電壓施加到佈線 113 及佈線 114，將高電壓施加到佈線 111 以使電晶體 101 打開，使電晶體 106 打開並將高電壓施加到佈線 115 以使電晶體 108 打開；以及第二步驟是將電壓 V_1 施加到佈線 114 並停止將高電壓施加到佈線 113。

[0275] 藉由進行第二步驟，將對應於資料（電壓 V_1 ）的電位 V_9 從佈線 114 經過電晶體 106 的源極及汲極、電晶體 108 的源極及汲極、佈線 113 以及電晶體 101 的源極及汲極施加到節點 104。由此，電晶體 106 的閘極被施加電位 V_9 ，而在電容器 103 中儲存對應於電位 V_9 的電荷。

[0276] 圖 25A 示出半導體裝置 150 的初始狀態。在圖 24 中，以(A)表示初始狀態。

[0277] 佈線 111 被輸入低電壓的信號，由此電晶體 101 處於關閉狀態。

[0278] 佈線 115 被輸入低電壓的信號，由此電晶體

108 處於關閉狀態。這裡，“低電壓”只要是能夠使電晶體 108 成為關閉狀態的電壓，就可為參考電位(GND)、電源電壓 (VSS) 或其他電壓。

[0279] 電容器 103 的另一個電極被施加參考電位等低電壓。節點 104 被施加對應於電容器 103 的電容值的電壓。

[0280] 佈線 113 及佈線 114 被施加高電壓 (VDD)。由此，佈線 113 及佈線 114 可以以高電壓預充電。這裡，“高電壓”為電源電壓 (VDD)，但是也可以為其他電壓。

[0281] 圖 25B 示出資料寫入之前的準備狀態。在圖 24 中，以(B)表示上述狀態。

[0282] 在時刻 t_1 中，佈線 111 被輸入高電壓的信號。由此電晶體 101 成為打開狀態。

[0283] 因為電晶體 101 成為打開狀態，所以佈線 113 與節點 104 電連接。佈線 113 的電位施加到節點 104，由此電晶體 106 成為打開狀態。

[0284] 在時刻 t_1 中，佈線 115 被輸入高電壓的信號。由此，電晶體 108 成為打開狀態。這裡，“高電壓”只要是能夠使電晶體 108 成為打開狀態的電壓，即可。“高電壓”也可以為電源電壓 (VDD) 或其他電壓。

[0285] 佈線 113 及佈線 114 被施加高電壓，且電晶體 101、電晶體 106 以及電晶體 108 成為打開狀態，第一步驟至此結束了。

[0286] 圖 25C 和 25D 示出資料寫入時的狀態。在圖 24 中，以(C)和(D)表示上述狀態。

[0287] 在時刻 t_2 中，佈線 114 被施加電壓 V_1 （參照圖 25C）。電壓 V_1 是在進行資料讀出工作時想要讀出的電壓。電壓 V_1 的大小可以根據想要寫入的資料而自由地設定。

[0288] 在時刻 t_2 中，停止將高電壓（ V_{DD} ）施加到佈線 113（參照圖 25C）。此時，佈線 113 與預充電的電壓隔開而成為電浮動狀態。就是說，佈線 113 成為因電荷的充電或放電而容易發生電位變動的狀態。藉由使用來將電位施加到佈線 113 的開關成為關閉狀態，可以實現上述浮動狀態。

[0289] 因為電晶體 108 及電晶體 106 處於打開狀態，所以佈線 113 與佈線 114 電連接。佈線 113 的電壓從預充電的高電壓（ V_{DD} ）變化到 V_9' （參照圖 25D）。注意， V_9' 與 V_1 之間的差值大致為電晶體 106 及電晶體 108 的臨界電壓。

[0290] 另外，因為電晶體 101 處於打開狀態，所以將資料從佈線 114 經過電晶體 106 的源極及汲極、電晶體 108 的源極及汲極、佈線 113 以及電晶體 101 的源極及汲極寫入到節點 104（電晶體 106 的閘極）。由此，在電容器 103 中儲存電荷，而節點 104 的電位變化到 V_9 。

[0291] 節點 104 的電位變化到 V_9 時，電晶體 106 的閘極與源極之間的電位差變小，從而流過電晶體 106 的源

極與汲極之間的電流(I_d)變小。然後，電晶體 106 最終成為關閉狀態。

[0292] 半導體裝置 150 成為如下狀態：佈線 114 被施加電壓 V_1 ，佈線 113 被施加電壓 V_9' ，並且節點 104 被施加電壓 V_9 。

[0293] 佈線 114 被施加電壓 V_1 ，且停止將高電壓施加到佈線 113，第二步驟至此結束了。

[0294] 經上述步驟，將想要讀出的電壓 V_1 施加到佈線 114，使得節點 104 的電位變化到 V_9 ，資料寫入工作至此結束了。

[0295] 圖 25E 示出資料寫入之後且資料保持之前的狀態。在圖 24 中，以(E)表示上述狀態。

[0296] 在時刻 t_3 中，佈線 111 被輸入低電壓的信號。由此電晶體 101 成為關閉狀態。節點 104 成為不與佈線 113 電連接的狀態。因為電晶體 101 具有關態電流極低的特性，所以保持節點 104 的電位(V_9)。

[0297] 在到時刻 t_4 之前，佈線 115 被施加低電壓，佈線 113 被施加高電壓 (V_{DD})，並且佈線 114 被施加高電壓 (V_{DD})。

[0298] 在佈線 115 被施加低電壓時，電晶體 108 成為關閉狀態。這裡，“低電壓”只要是能夠使電晶體 108 成為關閉狀態的電壓，即可。

[0299] 在時刻 t_4 中，成為資料保持狀態。在圖 24 中，以(F)表示上述狀態。半導體裝置 150 成為與圖 25A

相同的狀態，只有節點 104 的電位（V9）不同於圖 25A。電晶體 101 及電晶體 108 處於關閉狀態。

[0300] 注意，在圖 24 中的(A)和(F)的狀態下，將高電壓施加到佈線 114，但是也可以將低電壓施加到佈線 114。在將低電壓施加到佈線 114 的情況下，在從(E)的狀態變成(F)的狀態時，即在將低電壓施加到佈線 114 時，有時能夠迅速地改變電壓。

[0301]

(讀出工作)

接著，說明從經上述資料寫入工作而寫入的電荷讀出電壓 V1 的工作的一個例子。圖 26 示出時序圖。圖 27A 至 27D 示出半導體裝置 150 的工作。

[0302] 資料讀出工作由如下第三步驟及第四步驟進行：第三步驟是將低電壓施加到佈線 114；以及第四步驟是停止將低電壓施加到佈線 114，並將高電壓施加到佈線 115 以使電晶體 108 成為打開狀態。藉由進行第四步驟，使佈線 114 的電壓從低電壓變化到電壓 V1。

[0303] 圖 27A 示出半導體裝置 150 的資料保持狀態。在圖 26 中，以(A)表示資料保持狀態。

[0304] 圖 27B 示出資料讀出之前的準備狀態。在圖 26 中，以(B)表示上述狀態。

[0305] 在時刻 t5 中，將低電壓(GND)施加到佈線 114。佈線 114 可以以低電壓預充電。這裡，雖然將 GND 施加到佈線 114，但是也可以施加電源電壓（VSS）或其

他電壓。

[0306] 電晶體 101 及電晶體 108 從資料保持狀態開始時一直處於關閉狀態。

[0307] 佈線 114 被施加低電壓，第三步驟至此結束了。

[0308] 圖 27C 和 27D 示出資料讀出時的狀態。在圖 26 中，以(C)表示上述狀態。

[0309] 在時刻 t_6 中，停止將低電壓 (GND) 施加到佈線 114 (參照圖 27C)。此時，佈線 114 與預充電的電壓隔開而成為電浮動狀態。就是說，佈線 114 成為因電荷的充電或放電而容易發生電位變動的狀態。藉由使用來將電位施加到佈線 114 的開關成為關閉狀態，可以實現上述浮動狀態。

[0310] 在時刻 t_6 中，停止將高電壓的信號輸入到佈線 115。由此，電晶體 108 成為打開狀態。

[0311] 因為電晶體 106 的閘極被施加電壓 V_9 ，所以電晶體 106 成為打開狀態，佈線 114 的電位與閘極電壓 V_9 相應地從預充電的低電壓 (GND) 變化到 V_1 (參照圖 27D)。電晶體 106 的閘極與源極之間的電位差隨時變小，從而電晶體 106 最終成為關閉狀態。

[0312] 將佈線 114 電連接到判別電路等以讀出電壓 V_1 。由此，可以讀出電壓 V_1 。

[0313] 停止將低電壓施加到佈線 114，且電晶體 108 成為打開狀態，第四步驟至此結束了。

[0314] 在讀出資料之後，在時刻 t_7 中，佈線 115 被輸入低電壓的信號。由此，電晶體 108 成為關閉狀態（圖 26 中的（D））。

[0315] 在到時刻 t_8 之前，佈線 114 被施加高電壓 (VDD)（圖 26 中的（D））。

[0316] 在時刻 t_8 中，成為資料保持狀態。在圖 26 中，以(E)表示上述狀態。半導體裝置 150 成為與圖 27A 相同的狀態。

[0317] 注意，在圖 26 中的(A)和(E)的狀態下，將高電壓施加到佈線 114，但是也可以將低電壓施加到佈線 114。在將低電壓施加到佈線 114 的情況下，在從(A)的狀態變成(B)的狀態時，即在將 GND 施加到佈線 114 時，有時能夠迅速地改變電壓。

[0318] 另外，在將節點 104 的電位，即施加到電晶體 106 的閘極的電壓重設時，例如，將如 GND 等低電壓施加到佈線 113，將高電壓的信號輸入到佈線 111 以使電晶體 101 打開。在電晶體 101 成為打開狀態時，節點 104 與佈線 113 電連接。因為佈線 113 被施加了 GND，節點 104 的電位復位。

[0319] 在半導體裝置 150 中，在寫入資料時施加到佈線 114 的電位（V1）相等於讀出電位。

[0320] 半導體裝置 150 可以與半導體裝置 100 同樣地發揮實施方式 1 所示的效果。另外，半導體裝置 150 中的與電晶體 108 電連接的佈線 115 的電容可以為比半導體

裝置 140 中的與電容器 103 電連接的佈線 112 的電容小，從而可以進一步減小半導體裝置 150 的耗電量。

[0321] 另外，因為圖 23B 所示的半導體裝置 155 的工作與半導體裝置 150 相同，所以援用半導體裝置 150 的工作的記載。

[0322] 本實施方式可以與其他實施方式的記載適當地組合。

[0323]

實施方式 6

以下說明可以應用於實施方式 1 至 5 中的電晶體 101 的通道的氧化物半導體。

[0324] 氧化物半導體較佳為至少包含銦 (In) 或鋅 (Zn)。另外，作為降低使用該氧化物半導體的電晶體的電特性的不均勻的穩定劑，除了上述元素以外較佳為還包含鎵 (Ga)。另外，作為穩定劑較佳為包含錫 (Sn)。另外，作為穩定劑較佳為包含鈦 (Hf)。另外，作為穩定劑較佳為包含鋁 (Al)。另外，作為穩定劑較佳為包含鋯 (Zr)。

[0325] 在氧化物半導體中，In-Ga-Zn 類氧化物、In-Sn-Zn 類氧化物等與碳化矽、氮化鎵或氧化鎵不同，可以藉由濺射法或濕處理製造電特性優良的電晶體，並具有量產性高等的優點。與使用碳化矽、氮化鎵或氧化鎵的情況不同，在使用上述 In-Ga-Zn 類氧化物的情況下，可以在玻璃基板上製造電特性優良的電晶體。另外，還可以對應

於基板的大型化。

[0326] 另外，作為其他穩定劑，也可以包含鑰系元素的鑰（La）、銻（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、銦（Eu）、釷（Gd）、錒（Tb）、鐳（Dy）、釷（Ho）、銦（Er）、銩（Tm）、鐳（Yb）、鐳（Lu）中的任何一種或多種。

[0327] 例如，作為氧化物半導體，可以使用：氧化銦；氧化銻；氧化錫；氧化鋅；In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0328] 例如，In-Ga-Zn 類氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比例沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。In-Ga-Zn 類氧

化物在無電場時的電阻充分高而 In-Ga-Zn 類氧化物可以充分減少關態電流，並且其移動率也高。

[0329] 例如，可以使用 $\text{In:Ga:Zn}=1:1:1(=1/3:1/3:1/3)$ 或 $\text{In:Ga:Zn}=2:2:1(=2/5:2/5:1/5)$ 的原子比的 In-Ga-Zn 類氧化物或具有近於上述原子比的原子比的氧化物。或者，較佳為使用 $\text{In:Sn:Zn}=1:1:1(=1/3:1/3:1/3)$ 、 $\text{In:Sn:Zn}=2:1:3(=1/3:1/6:1/2)$ 或 $\text{In:Sn:Zn}=2:1:5(=1/4:1/8:5/8)$ 的原子比的 In-Sn-Zn 類氧化物或具有近於上述原子比的原子比的氧化物。

[0330] 例如，In-Sn-Zn 類氧化物比較容易得到高移動率。但是，即使使用 In-Ga-Zn 類氧化物，也可以藉由降低塊體內缺陷密度而提高移動率。

[0331] 以下，對氧化物半導體膜的結構進行說明。

[0332] 氧化物半導體膜大致分為單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜等。

[0333] 非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而膜整體具有完全的非晶結構的氧化物半導體膜。

[0334] 微晶氧化物半導體膜例如包括 1nm 以上且小於 10nm 的尺寸的微晶（也稱為奈米晶）。因此，微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜

高。因此，微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

[0335] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠被容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠被容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。以下，對 CAAC-OS 膜進行詳細的說明。

[0336] 在 CAAC-OS 膜的透射電子顯微鏡（TEM：Transmission Electron Microscope）圖像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0337] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映被形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0338] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0339] 由剖面 TEM 圖像及平面 TEM 圖像可知，CAAC-OS 膜的結晶部具有配向性。

[0340] 使用 X 射線繞射(XRD:X-Ray Diffraction)裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的(009)面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0341] 另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO_4 結晶的(110)面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)。當該樣本是 InGaZnO_4 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0342] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0343] 注意，結晶部在形成 CAAC-OS 膜時或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0344] 另外，CAAC-OS 膜中的晶化度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由於 CAAC-OS 膜的頂面近旁的結晶成長而形成時，有時頂面附近的晶化度高於被形成面附近的晶化度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的晶化度改變，所以有時 CAAC-OS 膜中的晶化度根據區域而不同。

[0345] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0346] 在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

[0347] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0348] CAAC-OS 膜例如使用多晶的金屬氧化物靶材並藉由濺射法形成。

[0349] 為了形成 CAAC-OS 膜，較佳為應用如下條件。

[0350] 藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，降低存在於處理室內的雜質(氫、水、二氧化碳及氮等)的濃度即可。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

[0351] 另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

[0352] 另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最佳化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為30vol.%以上，較佳為100vol.%。

[0353] 另外，氧化物半導體層可以使用一個金屬氧化物膜構成，又可以使用被層疊的多個金屬氧化物膜構成。例如，在依次層疊有第一至第三金屬氧化物膜的半導體膜中，第一金屬氧化物膜及第三金屬氧化物膜是作為構

成要素包含構成第二金屬氧化物膜的金屬元素中的至少一個的氧化物膜，其最低導帶能量與第二金屬氧化物膜相比離真空能階近 0.05eV 以上、 0.07eV 以上、 0.1eV 以上或 0.15eV 以上，且 2eV 以下、 1eV 以下、 0.5eV 以下或 0.4eV 以下。再者，第二金屬氧化物膜較佳為至少包含銦，以使載子移動率得到提高。

[0354] 在電晶體包括上述結構的半導體膜的情況下，當對閘極電極施加電壓而電場施加到半導體膜時，通道區形成在半導體膜中的最低導帶能量低的第二金屬氧化物膜中。換言之，藉由在第二金屬氧化物膜與閘極絕緣膜之間設置第三金屬氧化物膜，能夠將通道區形成在與閘極絕緣膜隔離的第二金屬氧化物膜中。

[0355] 另外，由於第三金屬氧化物膜作為構成要素包含構成第二金屬氧化物膜的金屬元素中的至少一種，因此在第二金屬氧化物膜與第三金屬氧化物膜之間的介面不容易發生介面散射。因此，在該介面載子的移動不易被妨礙，因此電晶體的場效移動率得到提高。

[0356] 另外，當在第二金屬氧化物膜與第一金屬氧化物膜之間的介面形成介面能階時，通道區還形成在介面附近的區域，因此電晶體的臨界電壓會發生變動。然而，由於第一金屬氧化物膜作為構成要素包含構成第二金屬氧化物膜的金屬元素中的至少一種，因此在第二金屬氧化物膜與第一金屬氧化物膜之間的介面不容易形成介面能階。由此，藉由採用上述結構，能夠降低電晶體的臨界電壓等

電特性的偏差。

[0357] 較佳的是，以防止因雜質存在於金屬氧化物膜之間而在各膜之間的介面形成妨礙載子的移動的介面能階的方式層疊多個氧化物半導體膜。這是因為當雜質存在於層疊的金屬氧化物膜之間時，金屬氧化物膜之間的最低導帶能量失去連續性，從而在介面附近載子會被俘獲或因再結合而消失。藉由減少各膜之間的雜質，與只是層疊作為主成分至少包含相同一種金屬的多個金屬氧化物膜的情況相比，更容易形成連續結合(在此尤其是指各膜的最低導帶能量連續變化的 U 型井(U-shaped well)結構的狀態)。

[0358] 為了形成連續接合，需要使用具備裝載閉鎖室的多室方式的成膜裝置(濺射裝置)在不使各膜暴露於大氣的情況下連續地層疊。在濺射裝置中的各處理室中，較佳為使用低溫泵等吸附式真空泵進行高真空抽氣(抽空到 $5 \times 10^{-7} \text{Pa}$ 以上 $1 \times 10^{-4} \text{Pa}$ 以下)來盡可能地去除有可能成為氧化物半導體的雜質的水等。或者，較佳為組合渦輪分子泵與冷阱使氣體不從排氣系統倒流到處理室內。

[0359] 為了得到高純度的本質氧化物半導體，對各處理室不僅進行排氣，還需要將用於濺射的氣體高度純化。藉由將用作上述氣體的氧氣體或氬氣體的露點設定為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下，實現氣體的高度純化，可以盡可能地防止水分等混入氧化物半導體膜。

[0360] 例如，第一金屬氧化物膜或第三金屬氧化物膜可以為以高於第二金屬氧化物膜的原子數比包含鋁、矽、鈦、鎵、銻、鉍、鉛、錫、鐳、銻或鉛的氧化物膜。明確而言，第一金屬氧化物膜或第三金屬氧化物膜可以為上述元素的原子數比為第二金屬氧化物膜的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上的氧化物膜。由於所述元素與氧強固地鍵合，所以具有抑制氧缺陷產生在氧化物膜中的功能。因此，當採用上述結構時，與第二金屬氧化物膜相比，在第一金屬氧化物膜或第三金屬氧化物膜中更不容易產生氧缺陷。

[0361] 另外，將第一金屬氧化物膜及第三金屬氧化物膜的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。另外，第二金屬氧化物膜的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0362] 在三層結構的半導體膜中，第一金屬氧化物膜至第三金屬氧化物膜有可能為非晶或具有結晶性。注意，當形成通道區的第二金屬氧化物膜具有結晶性時，能夠對電晶體賦予穩定的電特性，因此較佳為第二金屬氧化物膜具有結晶性。

[0363]

實施方式 7

以下說明實施方式 1 至 5 所示的半導體裝置的一個例子。在圖 28 中，作為一個例子示出圖 1 所示的半導體裝

置 100 所具有的電晶體 101、電晶體 102 及電容器 103 的剖面結構。

[0364] 電晶體 101 的通道具有氧化物半導體層。在本實施方式中，例示出將電晶體 101 和電容器 103 形成在電晶體 102 上的情況，該電晶體 102 在單晶矽基板中具有通道形成區。

[0365] 另外，在電晶體 102 中，也可以將作為非晶、微晶、多晶或單晶的矽或鍺等的半導體膜用於活性層。或者，在電晶體 102 中，也可以將氧化物半導體用於活性層。當在所有的電晶體中將氧化物半導體用於活性層時，電晶體 101 也可以不層疊在電晶體 102 上，電晶體 101 和電晶體 102 也可以形成在同一個層中。

[0366] 在使用薄膜矽形成電晶體 102 的情況下，也可以使用：藉由電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；將雷射照射到非晶矽而使其結晶化的多晶矽；以及對單晶矽晶片注入氫離子等而使其表層部分剝離的單晶矽等。

[0367] 作為在其上形成電晶體 102 的半導體基板 1400，例如可以使用具有 n 型或 p 型導電類型的矽基板、鍺基板、矽鍺基板、化合物半導體基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等) 等。在圖 28 中例示出使用具有 n 型導電類型的單晶矽基板的情況。

[0368] 另外，電晶體 102 由元件分離絕緣膜 1401 與

其他電晶體電分離。作為元件分離絕緣膜 1401 的形成方法，可以使用矽的局部氧化(LOCOS：Local Oxidation of Silicon)法或溝槽分離法等。

[0369] 明確而言，電晶體 102 包括：形成在半導體基板 1400 中並用作源極區或汲極區的雜質區 1402 及雜質區 1403；閘極電極 1404；以及設置在半導體基板 1400 與閘極電極 1404 之間的閘極絕緣膜 1405。閘極電極 1404 隔著閘極絕緣膜 1405 重疊於形成在雜質區 1402 與雜質區 1403 之間的通道形成區。

[0370] 在電晶體 102 上設置有絕緣膜 1409。在絕緣膜 1409 中形成有開口部。在上述開口部中形成有接觸於雜質區 1402 的佈線 1410、接觸於雜質區 1403 的佈線 1411 以及與閘極電極 1404 電連接的佈線 1412。

[0371] 佈線 1410 與形成在絕緣膜 1409 上的佈線 1415 電連接，佈線 1411 與形成在絕緣膜 1409 上的佈線 1416 電連接，並且佈線 1412 與形成在絕緣膜 1409 上的佈線 1417 電連接。

[0372] 在佈線 1415 至佈線 1417 上依次層疊有絕緣膜 1420 及絕緣膜 1440。在絕緣膜 1420 及絕緣膜 1440 中形成有開口部，在上述開口部中形成有與佈線 1417 電連接的佈線 1421。

[0373] 在圖 28 中，在絕緣膜 1440 上形成有電晶體 101 及電容器 103。

[0374] 電晶體 101 在絕緣膜 1440 上包括：包含氧化

物半導體的半導體膜 1430；半導體膜 1430 上的用作源極電極或汲極電極的導電膜 1432 及導電膜 1433；半導體膜 1430、導電膜 1432 及導電膜 1433 上的閘極絕緣膜 1431；以及位於閘極絕緣膜 1431 上並在導電膜 1432 與導電膜 1433 之間重疊於半導體膜 1430 的閘極電極 1434。導電膜 1433 與佈線 1421 電連接。

[0375] 另外，在閘極絕緣膜 1431 上並重疊於導電膜 1433 的位置設置有導電膜 1435。將導電膜 1435 隔著閘極絕緣膜 1431 與導電膜 1433 重疊的部分用作電容器 103。

[0376] 在圖 28 中例示出電容器 103 與電晶體 101 一起設置在絕緣膜 1440 上的情況，但是電容器 103 也可以與電晶體 102 一起設置在絕緣膜 1440 下。

[0377] 在電晶體 101 及電容器 103 上依次層疊有絕緣膜 1441 及絕緣膜 1442。在絕緣膜 1441 及絕緣膜 1442 中設置有開口部，在上述開口部中接觸於閘極電極 1434 的導電膜 1443 設置在絕緣膜 1441 上。

[0378] 在圖 28 中，電晶體 101 在半導體膜 1430 的至少一側具有閘極電極 1434 即可，但是也可以具有隔著半導體膜 1430 存在的一對閘極電極。

[0379] 在電晶體 101 具有隔著半導體膜 1430 存在的一對閘極電極的情況下，也可以處於如下狀態：對一方的閘極電極供應用來控制打開狀態或非打開狀態的信號，對另一方的閘極電極施加外部電位。在此情況下，既可以對一對電極施加相同位準的電位，又可以只對另一方的閘極

電極施加接地電位等固定電位。藉由控制對另一方的閘極電極施加的電位的位準，可以控制電晶體的臨界電壓。

[0380] 在圖 28 中，例示出電晶體 101 具有包括對應於一個閘極電極 1434 的一個通道形成區的單閘極結構的情況。但是，電晶體 101 也可以具有多閘極結構，其中藉由具有彼此電連接的多個閘極電極，在一個活性層中具有多個通道形成區。

[0381] 另外，半導體膜 1430 不一定由單層的氧化物半導體構成，也可以由層疊的多個氧化物半導體構成。圖 29A 示出半導體膜 1430 具有三層的疊層結構時的電晶體 1110A 的結構例子。

[0382] 圖 29A 所示的電晶體 1110A 包括：設置在絕緣膜 820 等上的半導體膜 1430；與半導體膜 1430 電連接的導電膜 832 和導電膜 833；閘極絕緣膜 831；以及在閘極絕緣膜 831 上以與半導體膜 1430 重疊的方式設置的閘極電極 834。

[0383] 在電晶體 1110A 中，作為半導體膜 1430 從絕緣膜 820 一側依次疊層有氧化物半導體層 830a 至氧化物半導體層 830c。

[0384] 氧化物半導體層 830a 及氧化物半導體層 830c 是作為構成要素包含構成氧化物半導體層 830b 的金屬元素中的至少一種的氧化物膜，其導帶底能量與氧化物半導體層 830b 相比離真空能階近 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、

0.5eV 以下或 0.4eV 以下。此外，氧化物半導體層 830b 較佳為至少包含銮，因為載子移動率得到提高。

[0385] 如圖 29B 所示那樣，也可以在導電膜 832 和導電膜 833 的上層以與閘極絕緣膜 831 重疊的方式設置氧化物半導體層 830c。

[0386]

實施方式 8

根據本發明的一實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置(典型的是，能夠再現儲存介質如數位通用磁片(DVD:Digital Versatile Disc)等並具有可以顯示其影像的顯示器的裝置)中。另外，作為可以使用根據本發明的一實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、攝影機、數位相機等影像拍攝裝置、護目鏡型顯示器(頭部安裝顯示器)、導航系統、音頻再生裝置(汽車音響系統、數位聲訊播放機等)、影印機、傳真機、印表機、多功能印表機、自動櫃員機(ATM)以及自動販賣機等。在圖 30A 至圖 30F 中示出這些電子裝置的具體例子。

[0387] 圖 30A 示出一種可攜式遊戲機，該可攜式遊戲機包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007 以及觸控筆 5008 等。注意，雖然圖 30A 所示的可攜式遊戲機包括兩個顯示部 5003 和顯示部 5004，但是可攜式遊戲機所具

有的顯示部的數量不限於兩個。

[0388] 圖 30B 示出可攜式資訊終端，該可攜式資訊終端包括第一外殼 5601、第二外殼 5602、第一顯示部 5603、第二顯示部 5604、連接部 5605 以及操作鍵 5606 等。第一顯示部 5603 設置在第一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602 中。第一外殼 5601 和第二外殼 5602 由連接部 5605 連接，由連接部 5605 可以改變第一外殼 5601 和第二外殼 5602 之間的角度。第一顯示部 5603 的影像也可以根據連接部 5605 所形成的第一外殼 5601 和第二外殼 5602 之間的角度切換。此外，也可以將附加有作為位置輸入裝置的功能的顯示裝置用於第一顯示部 5603 和第二顯示部 5604 中的至少一個。作為位置輸入裝置的功能可以藉由在顯示裝置中設置觸控面板而附加。或者，還可以藉由將被稱為光感測器的光電轉換元件設置在顯示裝置的像素部中附加作為位置輸入裝置的功能。

[0389] 圖 30C 示出筆記本式個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403、指向裝置 5404 等。

[0390] 圖 30D 示出電冷藏冷凍箱，其包括外殼 5301、冷藏室門 5302、冷凍室門 5303 等。

[0391] 圖 30E 示出攝影機，該攝影機包括第一外殼 5801、第二外殼 5802、顯示部 5803、操作鍵 5804、透鏡 5805 以及連接部 5806 等。操作鍵 5804 及透鏡 5805 設置在第一外殼 5801 中，顯示部 5803 設置在第二外殼 5802 中。第一外殼 5801 和第二外殼 5802 由連接部 5806 連

接，由連接部 5806 可以改變第一外殼 5801 和第二外殼 5802 之間的角度。顯示部 5803 的影像也可以根據連接部 5806 所形成的第一外殼 5801 和第二外殼 5802 之間的角度切換。

[0392] 圖 30F 示出普通轎車，其包括車體 5101、車輪 5102、儀表板 5103 及燈 5104 等。

【符號說明】

[0393]

100：半導體裝置、記憶單元

101：電晶體

102：電晶體

103：電容器

104：節點

106：電晶體

107：電晶體

108：電晶體

111：佈線

112：佈線

113：佈線

114：佈線

115：佈線

130：半導體裝置

135：半導體裝置

- 140：半導體裝置
- 150：半導體裝置
- 155：半導體裝置
- 200：半導體裝置
- 201：記憶單元陣列
- 202：行選擇驅動器
- 203：列選擇驅動器
- 204：A/D 轉換器
- 301：解碼器
- 302：控制電路
- 401：解碼器
- 402：鎖存電路
- 403：D/A 轉換器
- 404：開關電路
- 405：電晶體
- 406：電晶體
- 501：比較器
- 502：編碼器
- 503：鎖存電路
- 504：緩衝器
- 600：半導體裝置
- 820：絕緣膜
- 832：導電膜
- 833：導電膜

831：閘極絕緣膜
 834：閘極電極
 830a：氧化物半導體層
 830b：氧化物半導體層
 830c：氧化物半導體層
 1110A：電晶體
 1400：半導體基板
 1401：元件分離用絕緣膜
 1402：雜質區
 1403：雜質區
 1404：閘極電極
 1405：閘極絕緣膜
 1409：絕緣膜
 1410：佈線
 1411：佈線
 1412：佈線
 1415：佈線
 1416：佈線
 1417：佈線
 1420：絕緣膜
 1421：佈線
 1430：半導體膜
 1431：閘極絕緣膜
 1432：導電膜

1433：導電膜
1434：閘極電極
1435：導電膜
1440：絕緣膜
1441：絕緣膜
1442：絕緣膜
1443：導電膜
5001：外殼
5002：外殼
5003：顯示部
5004：顯示部
5005：麥克風
5006：揚聲器
5007：操作鍵
5008：觸控筆
5101：車體
5102：車輪
5103：儀表板
5104：燈
5301：外殼
5302：冷藏室門
5303：冷凍室門
5401：外殼
5402：顯示部

5403：鍵盤

5404：指向裝置

5601：外殼

5602：外殼

5603：顯示部

5604：顯示部

5605：連接部

5606：操作鍵

5801：外殼

5802：外殼

5803：顯示部

5804：操作鍵

5805：透鏡

5806：連接部

I648735

發明摘要

※申請案號：103110481

※申請日：103 年 03 月 20 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置及其驅動方法

Semiconductor device and method for driving semiconductor device

【中文】

本發明提供能夠寫入並讀出所希望的電位的半導體裝置。該半導體裝置，包括：第一電晶體（Tr）；第二 Tr；以及電容器。在該半導體裝置中，資料寫入工作由如下第一步驟及第二步驟進行。在第一步驟中，將低電壓施加到位元線及第一佈線，以使第一 Tr 及第二 Tr 打開。在第二步驟中，將第一電壓施加到第一佈線並停止將低電壓施加到位元線。資料讀出工作由如下第三步驟及第四步驟進行。在第三步驟中，將高電壓施加到第一佈線。在第四步驟中，停止將高電壓施加到第一佈線，並將低電壓施加到電容線。

【 英文 】

To provide a semiconductor device which can write and read a desired potential. The semiconductor device includes a first transistor (Tr), a second Tr, and a capacitor. In the semiconductor device, operation of writing data is performed by a first step and a second step. In the first step, a low voltage is applied to a bit line and a first wiring to turn on the first Tr and the second Tr. In the second step, a first voltage is applied to the first wiring, and application of the low voltage to the bit line is stopped. Operation of reading the data is performed by a third step and a fourth step. In the third step, a high voltage is applied to the first wiring. In the fourth step, application of the high voltage to the first wiring is stopped, and a low voltage is applied to a capacitor line.

【代表圖】

【本案指定代表圖】：第(6)圖。

【本代表圖之符號簡單說明】：

100：半導體裝置、記憶單元

101：電晶體

102：電晶體

103：電容器

104：節點

111：佈線

112：佈線

113：佈線

114：佈線

201：記憶單元陣列

202：行選擇驅動器

203：列選擇驅動器

204：A/D轉換器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

圖 1

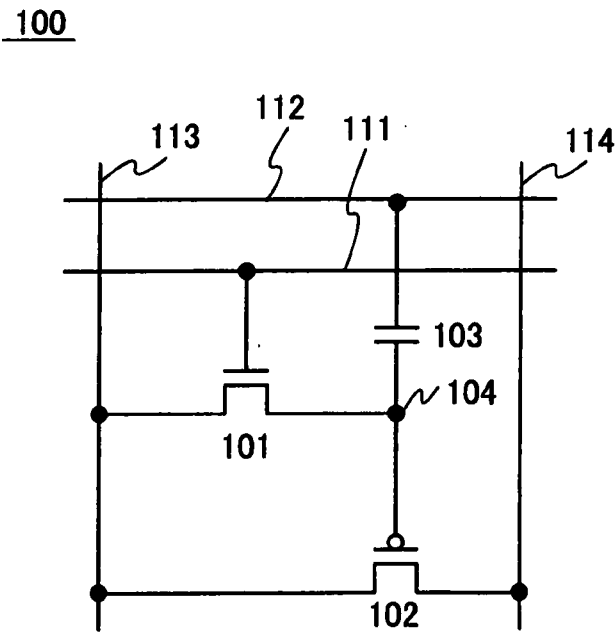


圖 2

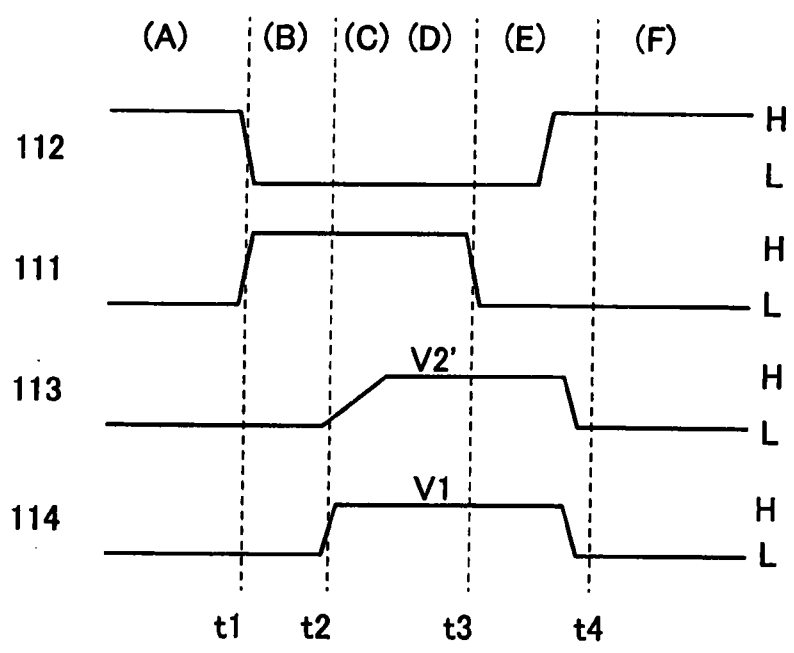


圖 3A

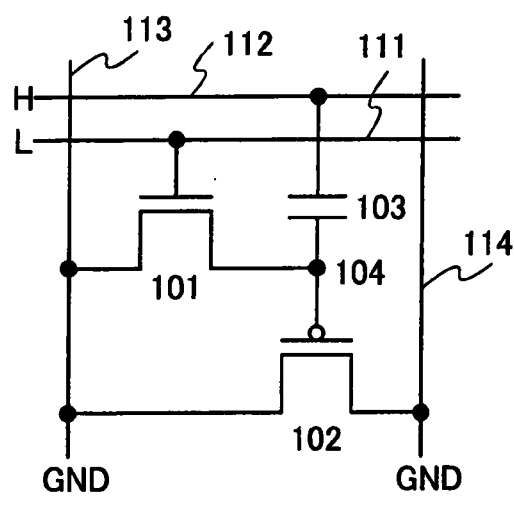


圖 3B

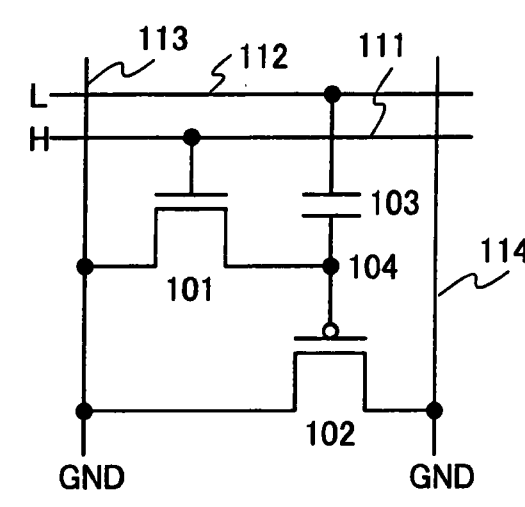


圖 3C

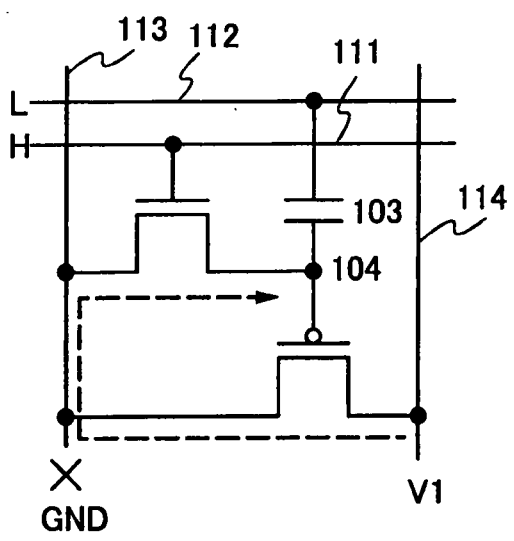


圖 3D

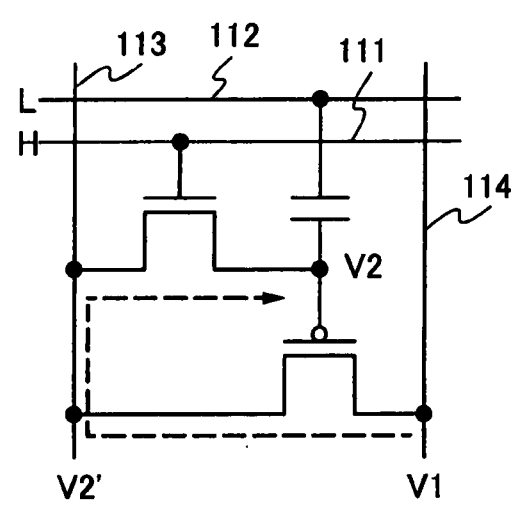


圖 3E

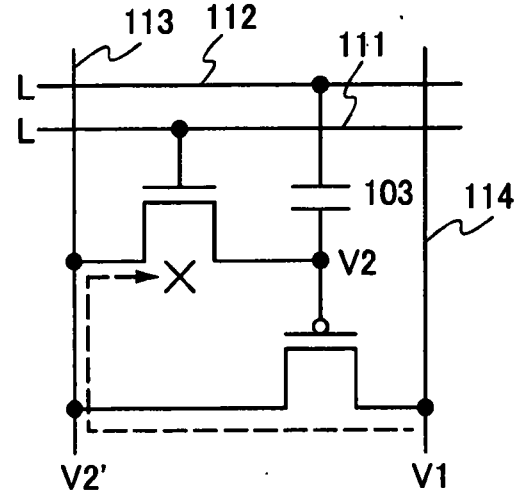


圖 4

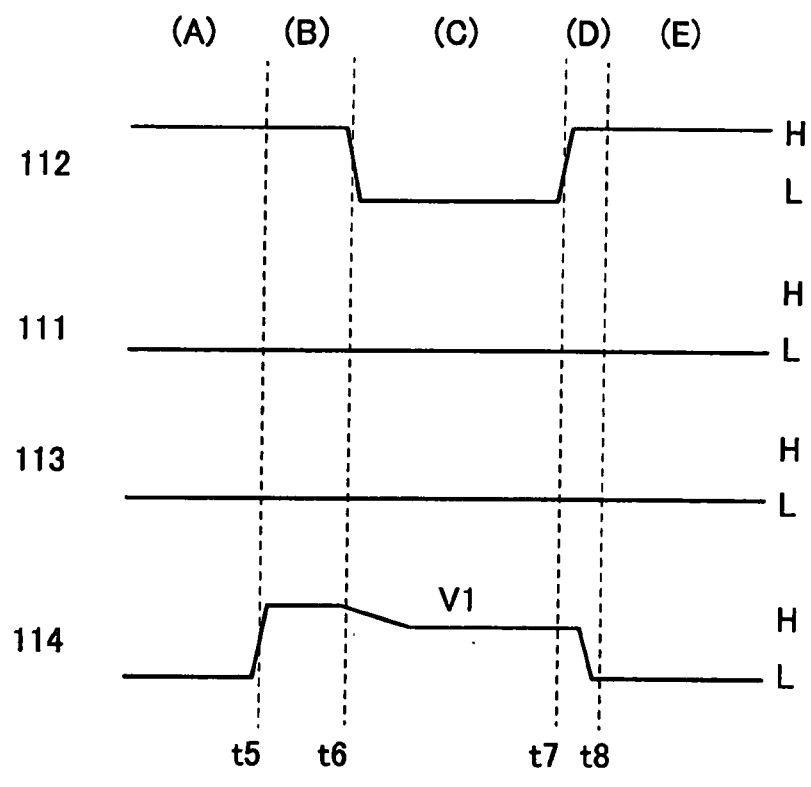


圖 5A

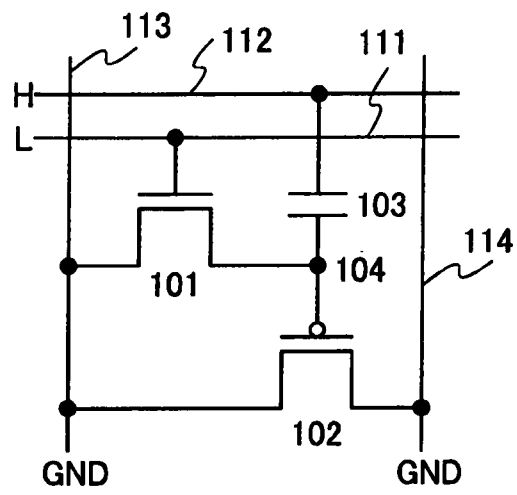


圖 5B

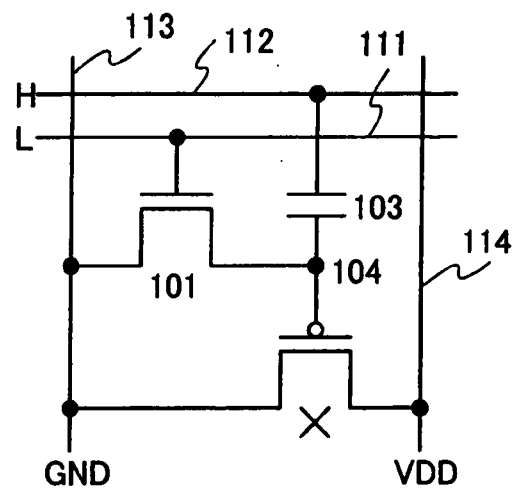


圖 5C

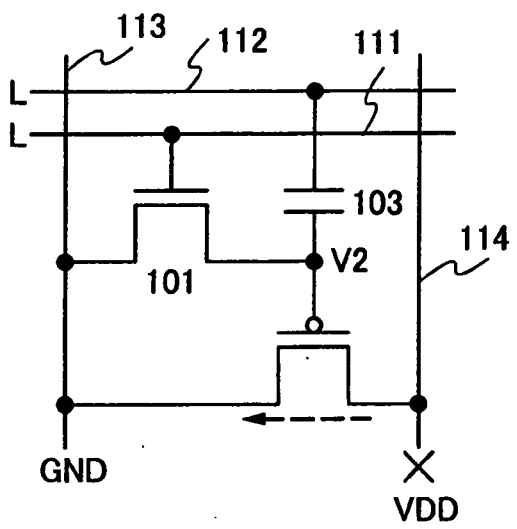


圖 5D

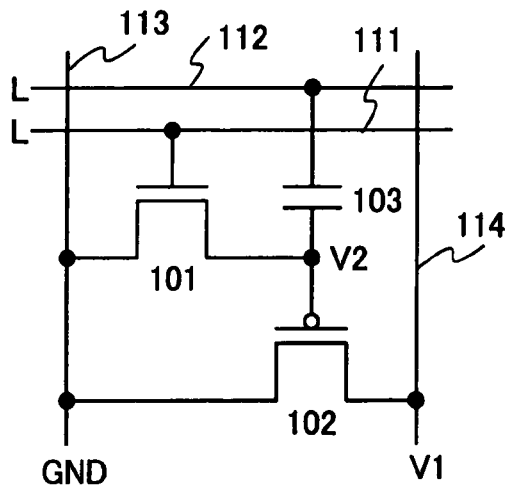


圖 7

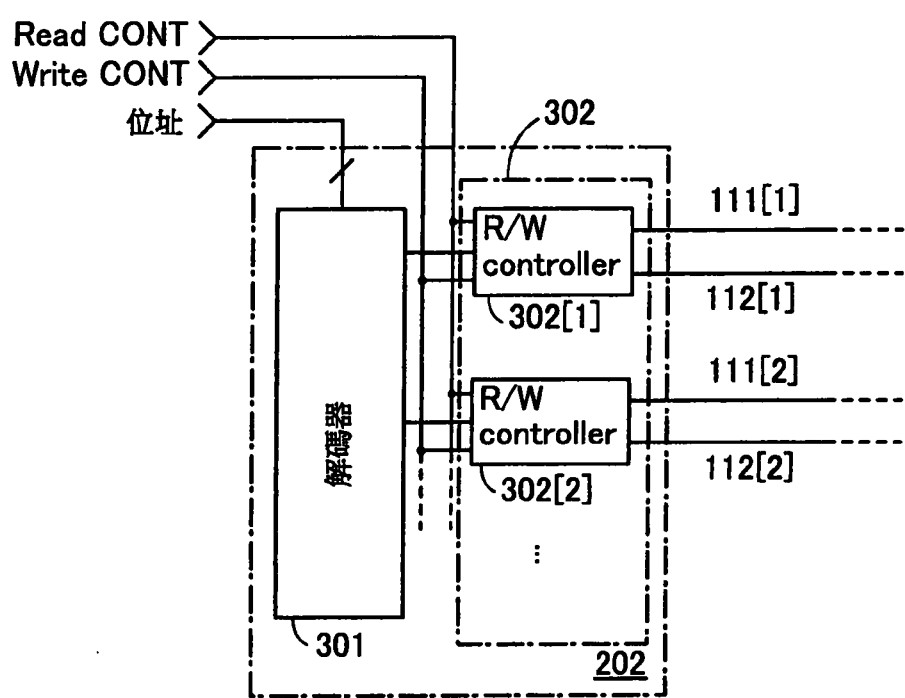


圖 8

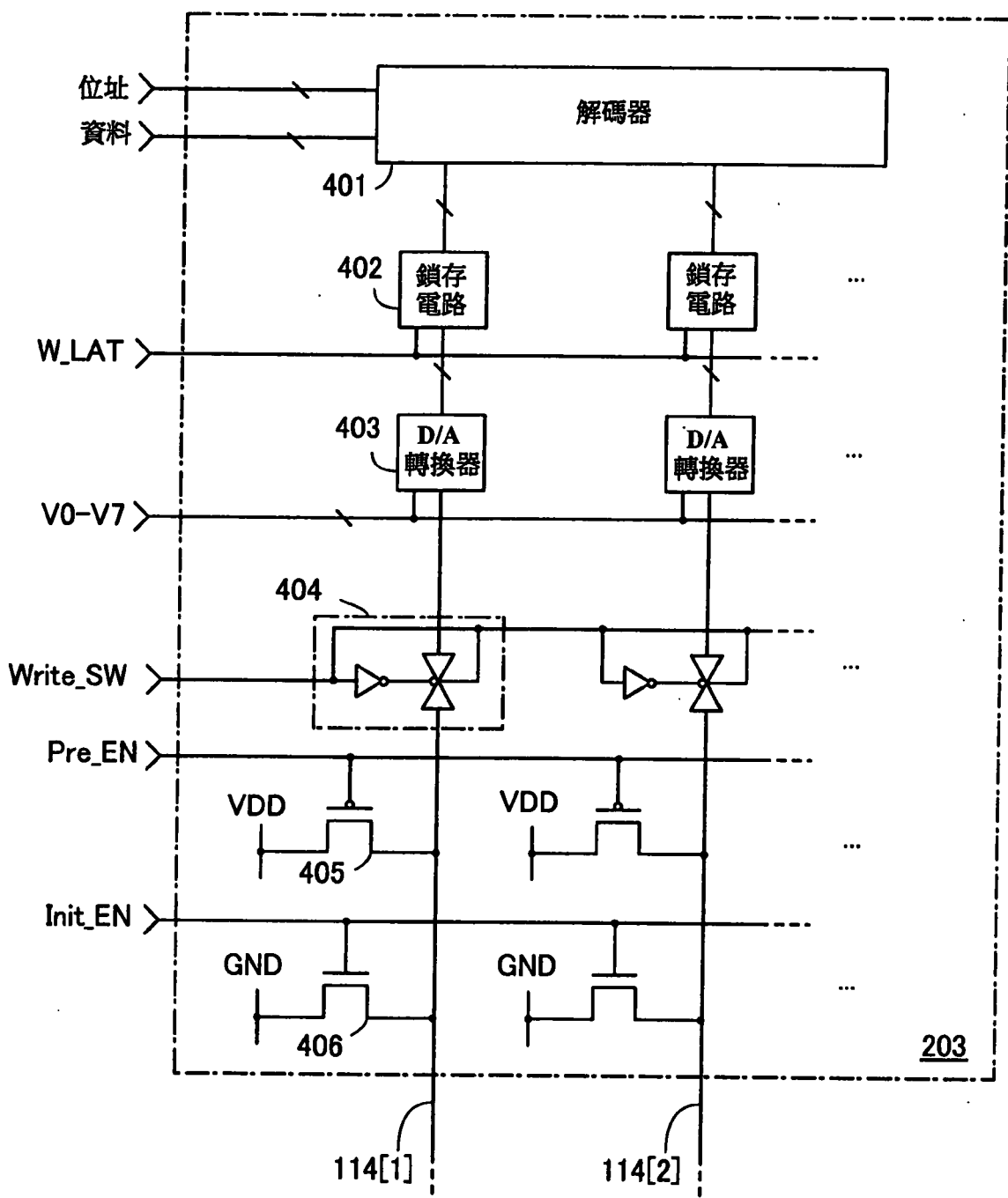


圖 9

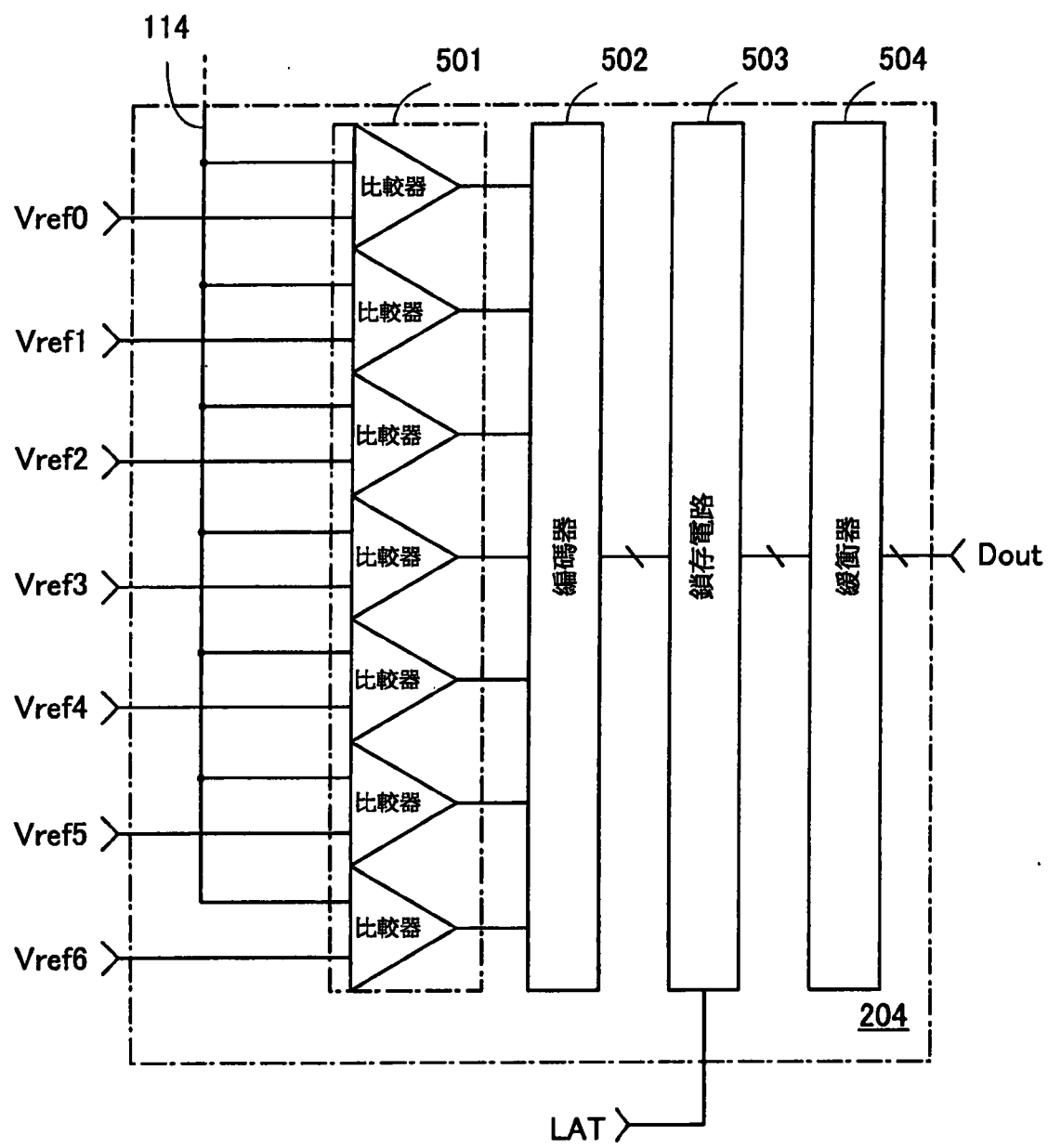


圖 10
600

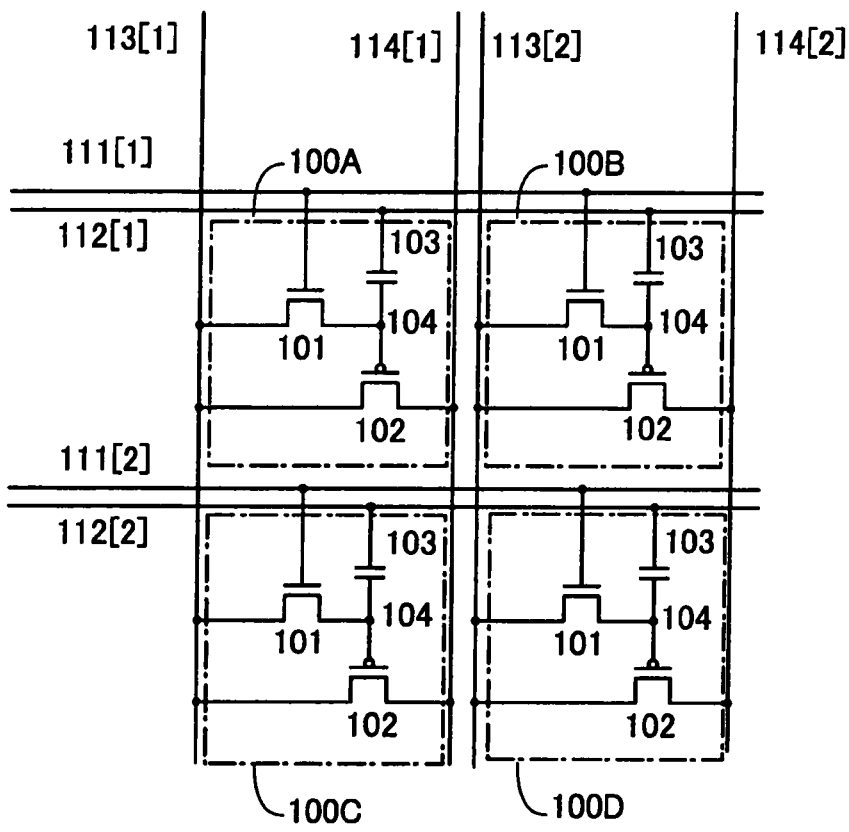


圖 11

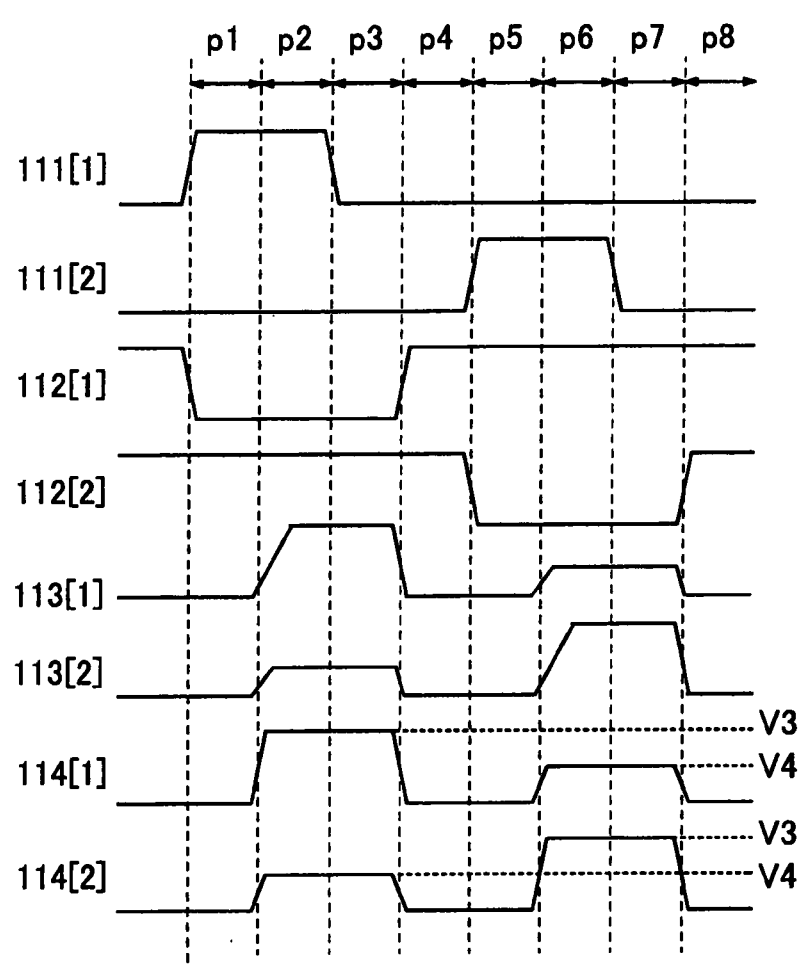


圖 12

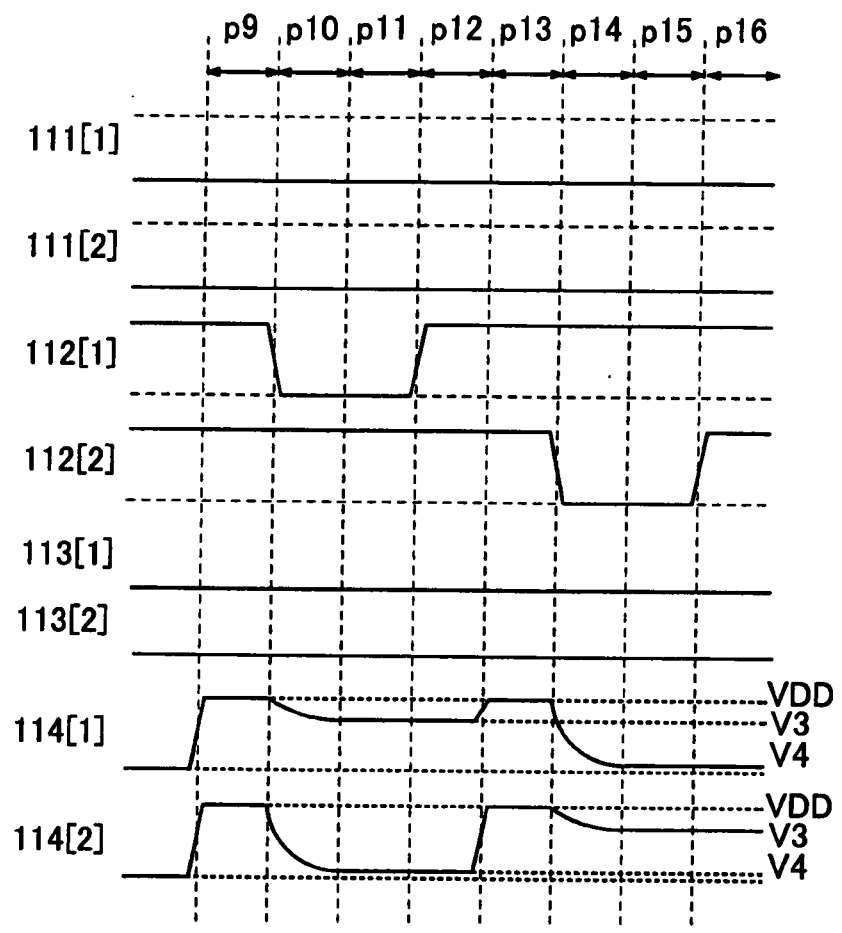


圖 13A

130

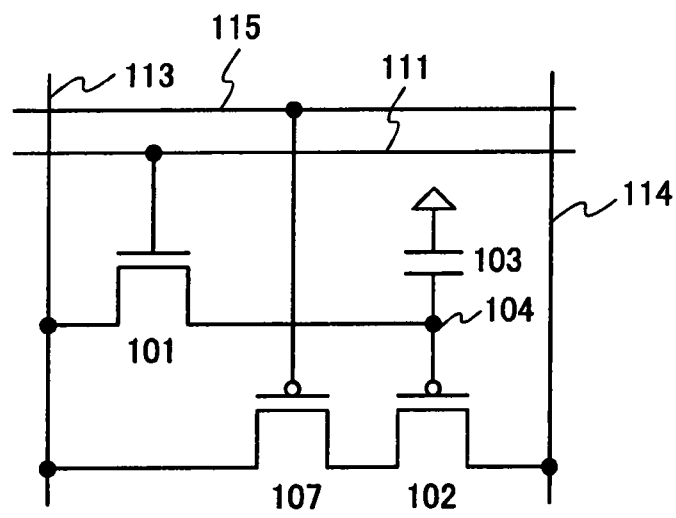


圖 13B

135

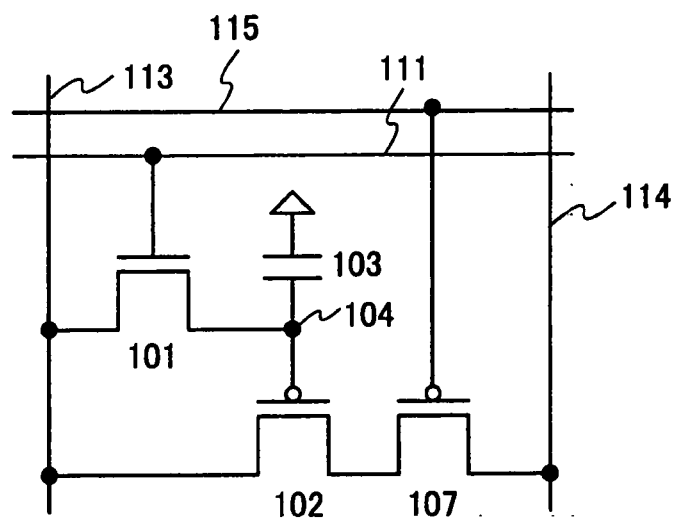


圖 14

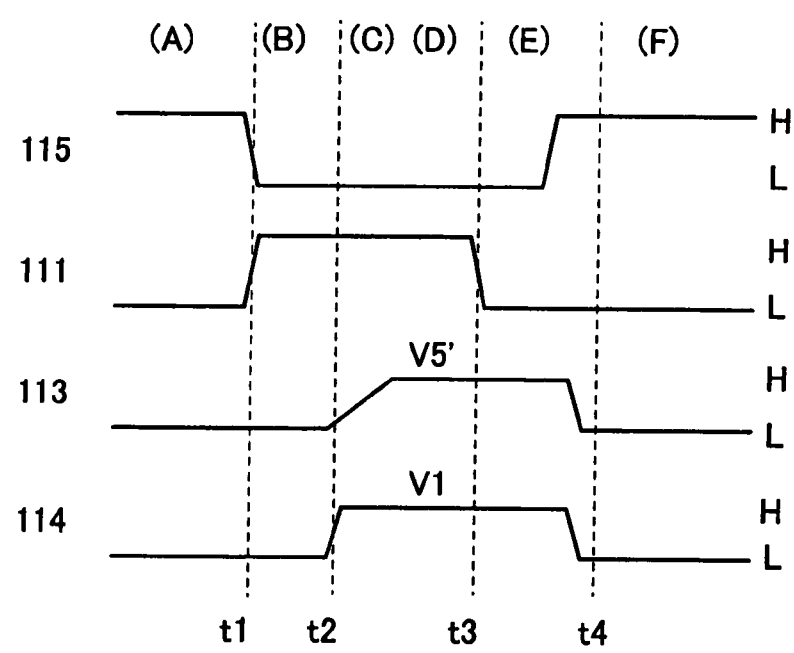


圖 15A

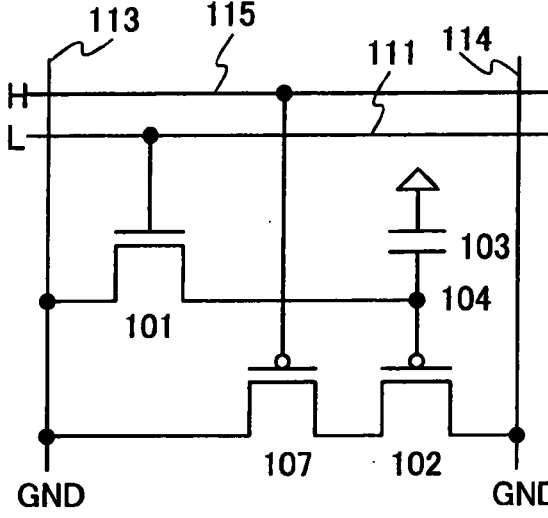


圖 15B

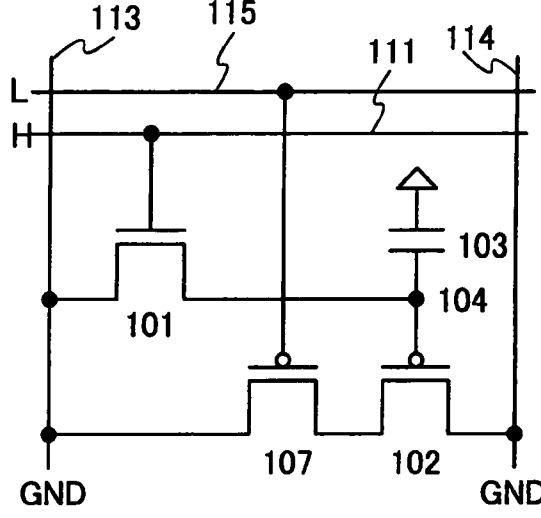


圖 15C

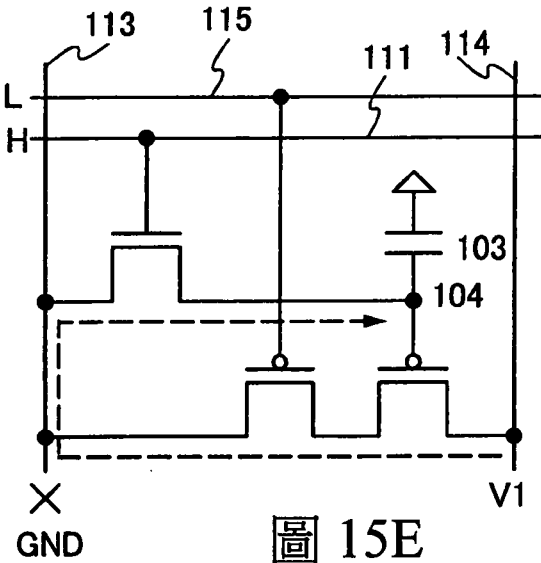


圖 15D

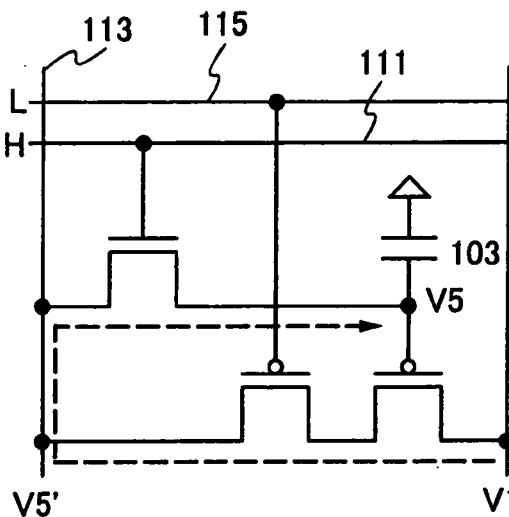


圖 15E

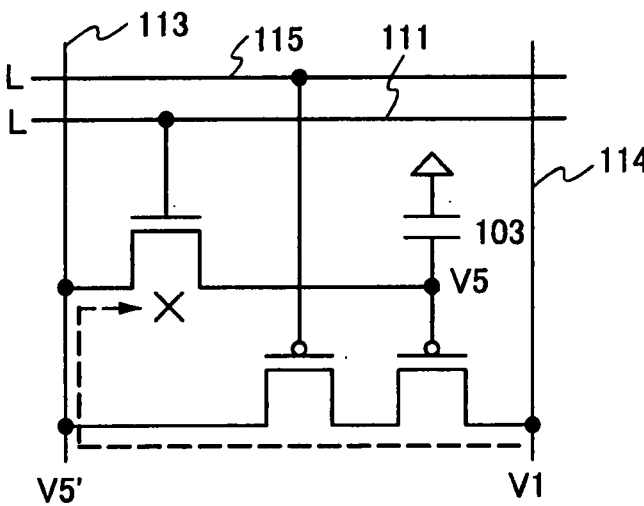


圖 16

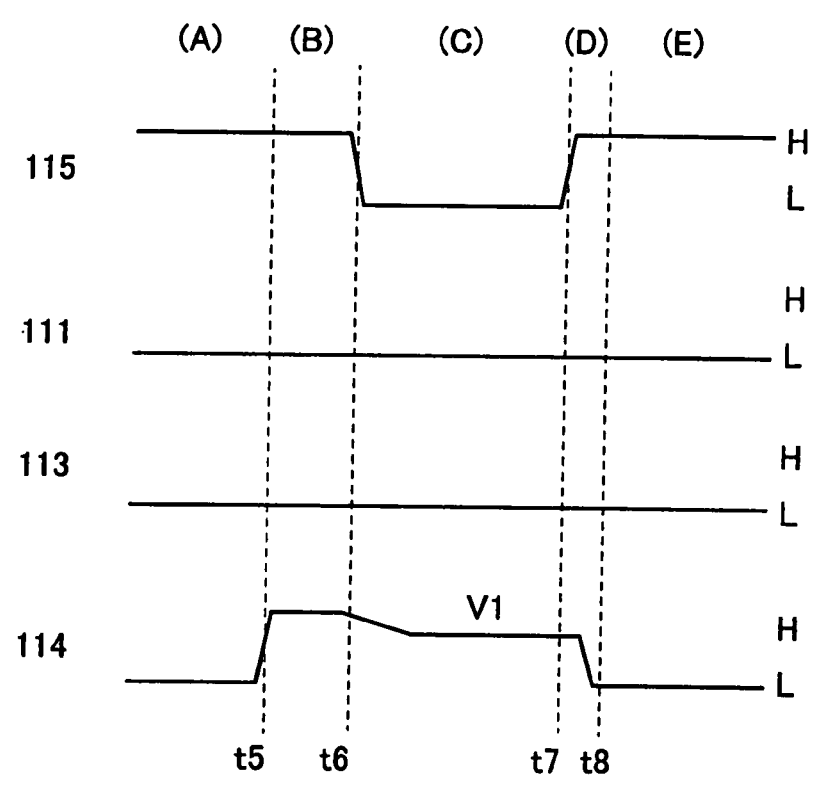


圖 17A

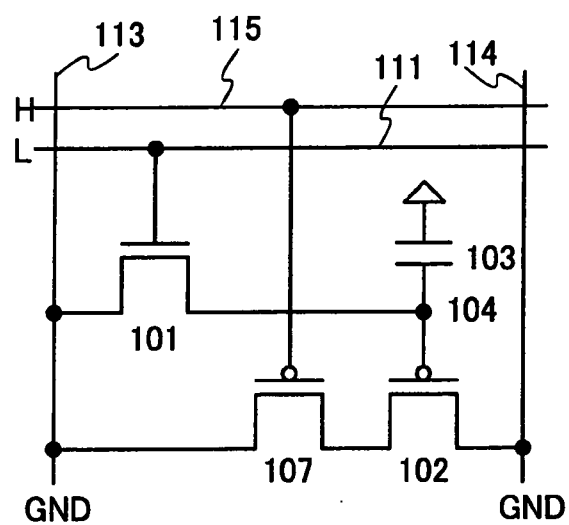


圖 17B

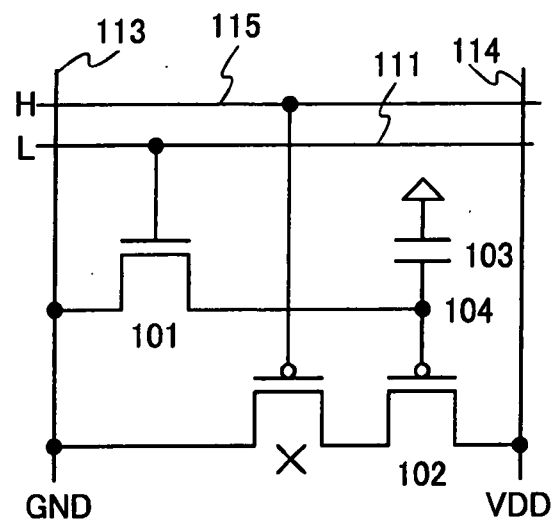


圖 17C

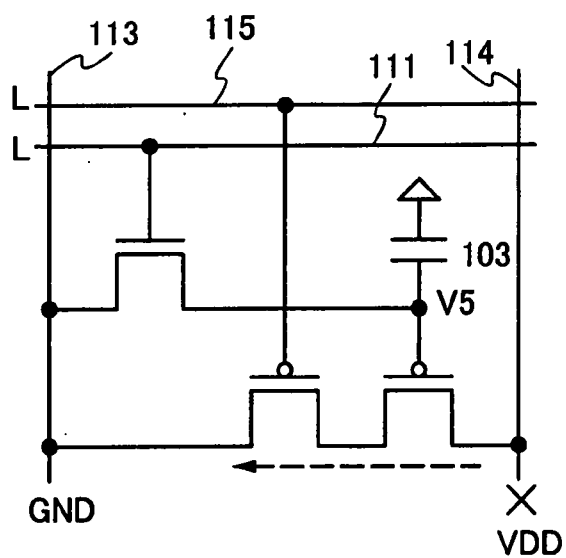
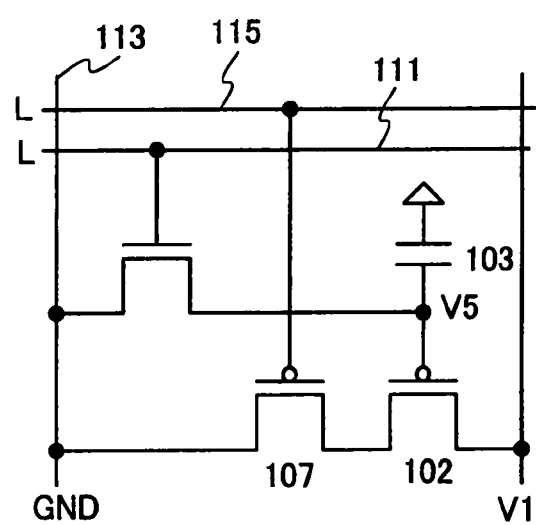


圖 17D



The diagram shows a circuit with four horizontal lines and two vertical lines. The horizontal lines are labeled 113, 112, 111, and 114 from top to bottom. The vertical lines are labeled 101 and 106 from left to right. A capacitor 103 is connected between lines 111 and 106. A transistor 104 is connected between lines 111 and 106. A transistor 101 is connected between lines 112 and 101. A transistor 106 is connected between lines 106 and 101.

圖 19

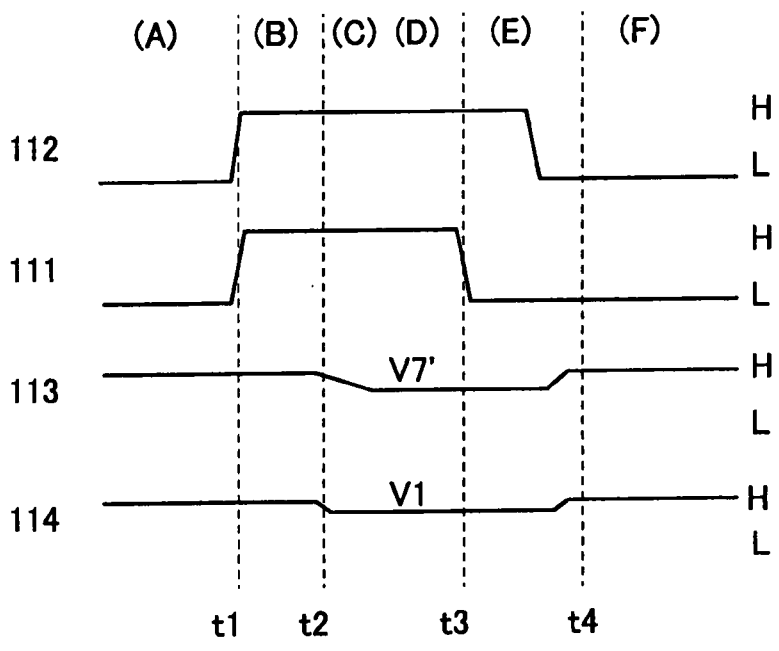


圖 20A

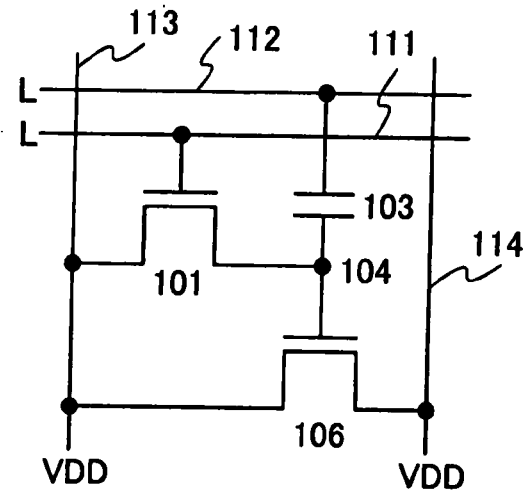


圖 20B

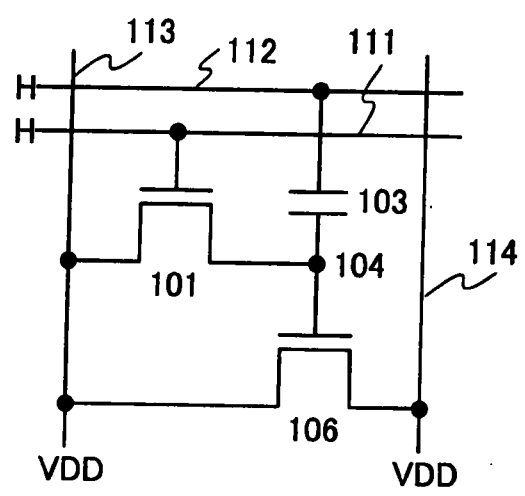


圖 20C

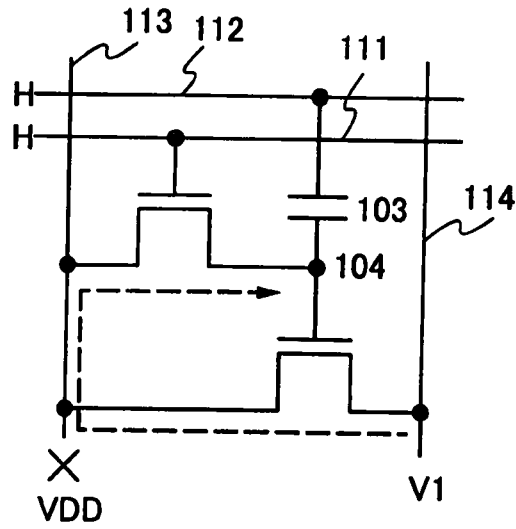


圖 20D

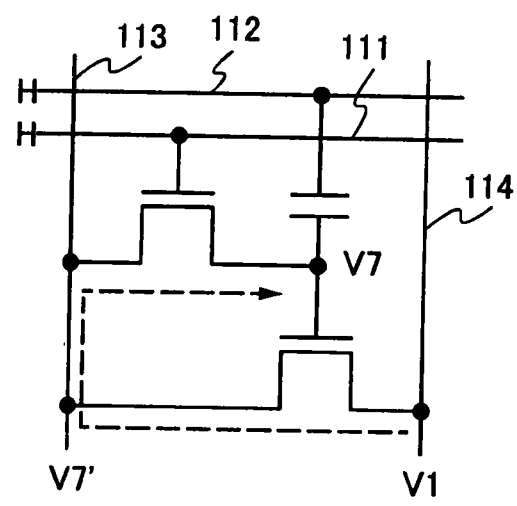


圖 20E

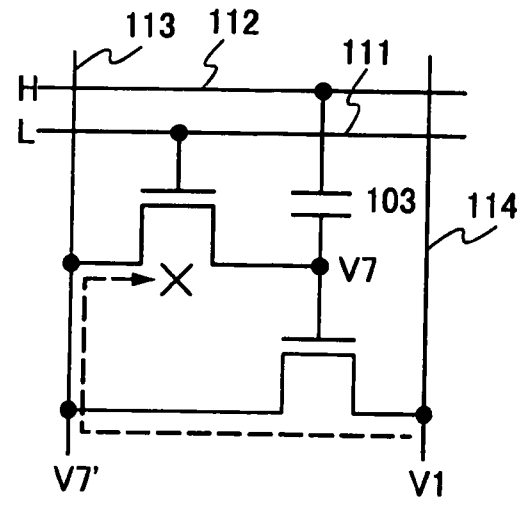


圖 21

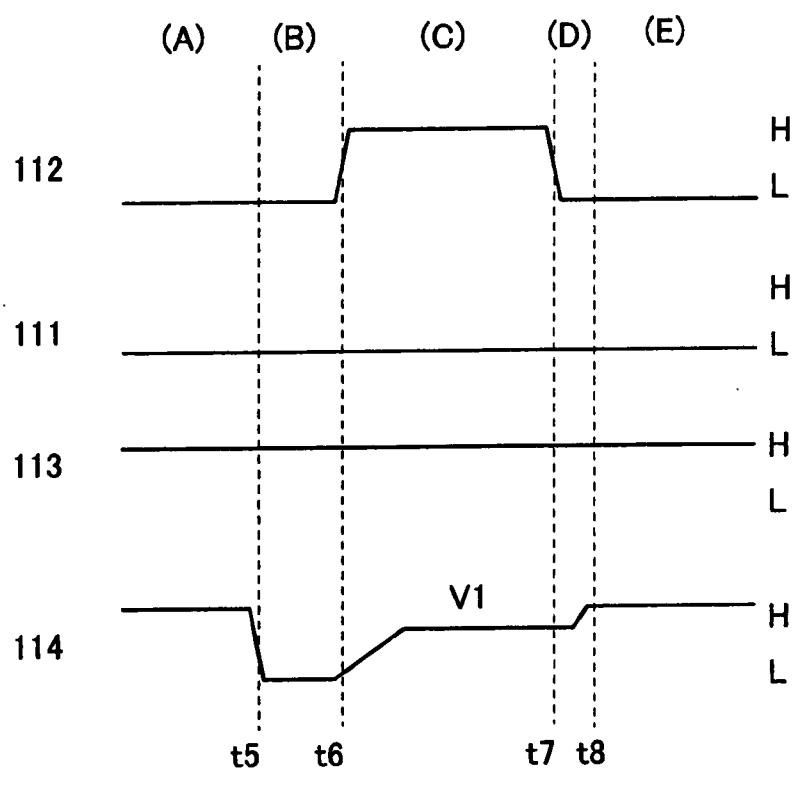


圖 22A

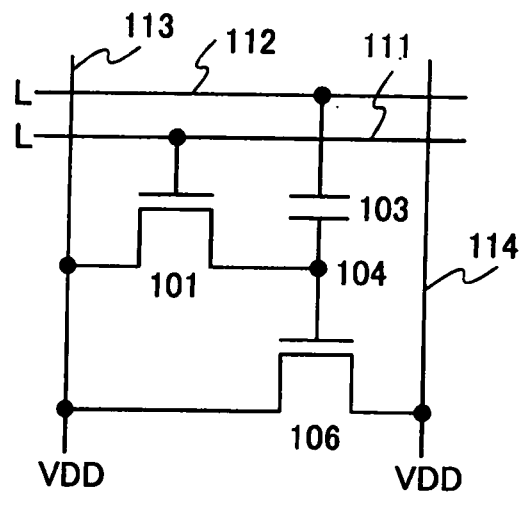


圖 22B

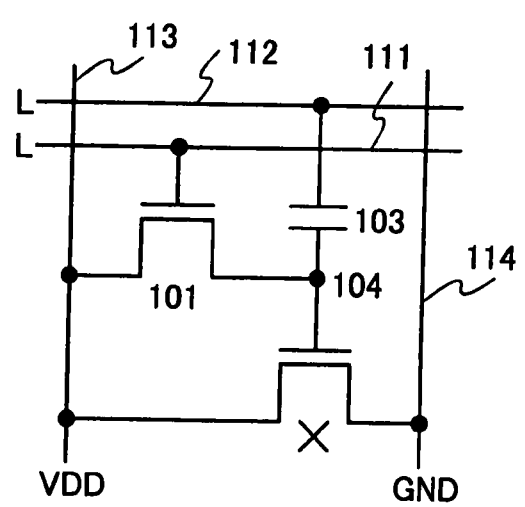


圖 22C

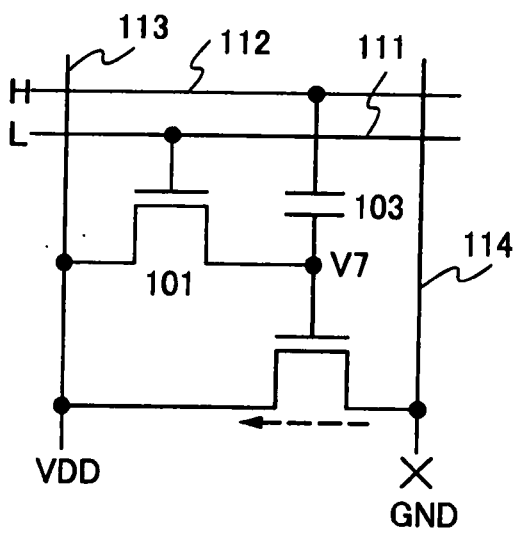


圖 22D

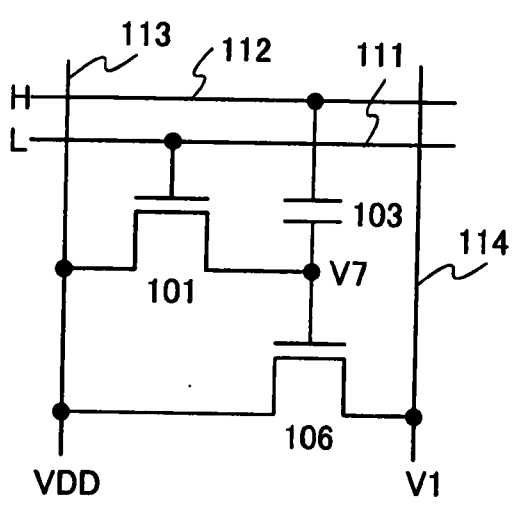


圖 24

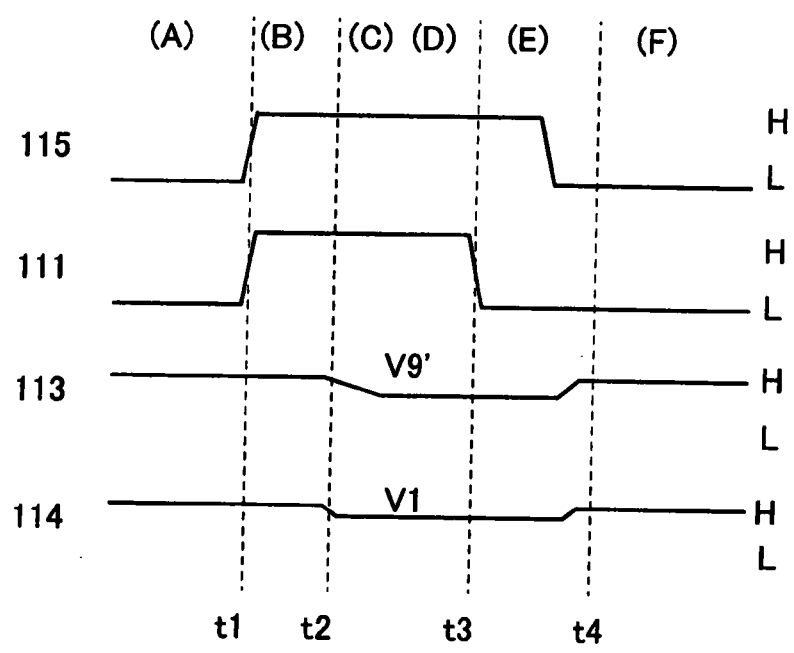


圖 25A

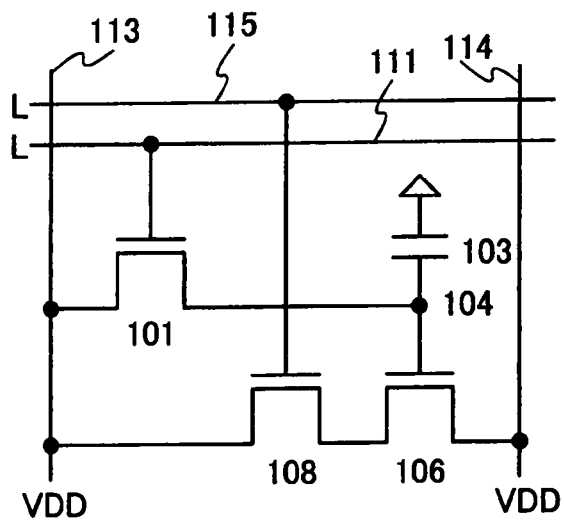


圖 25B

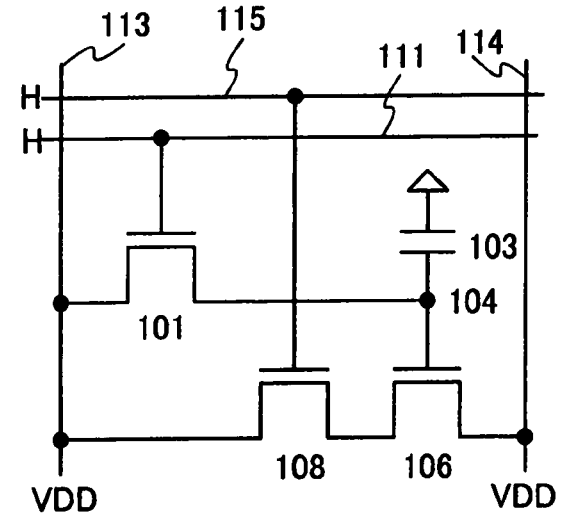


圖 25C

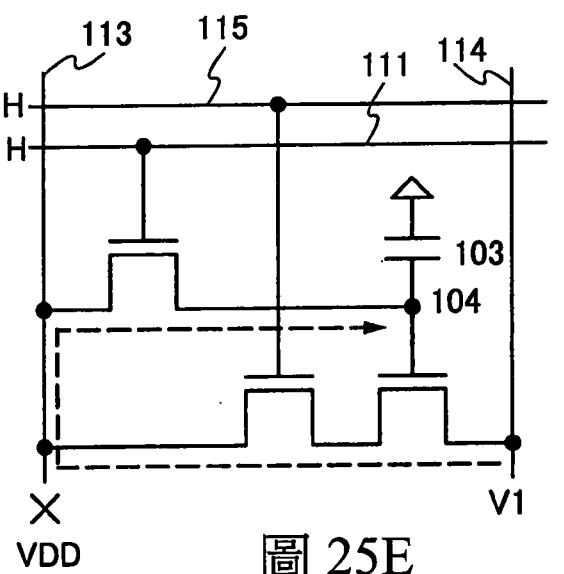


圖 25D

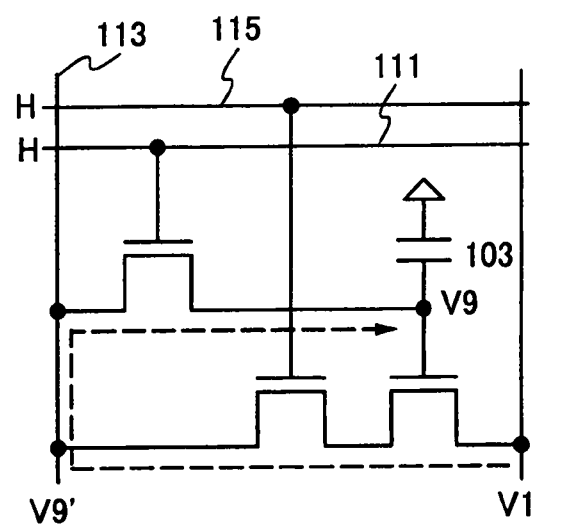


圖 25E

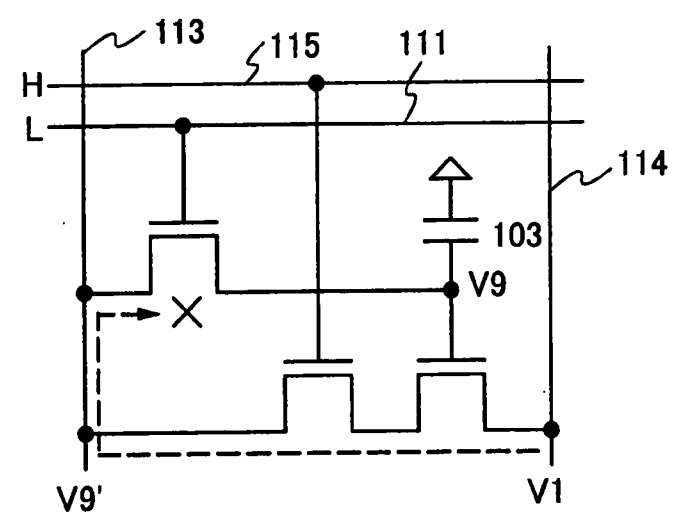


圖 26

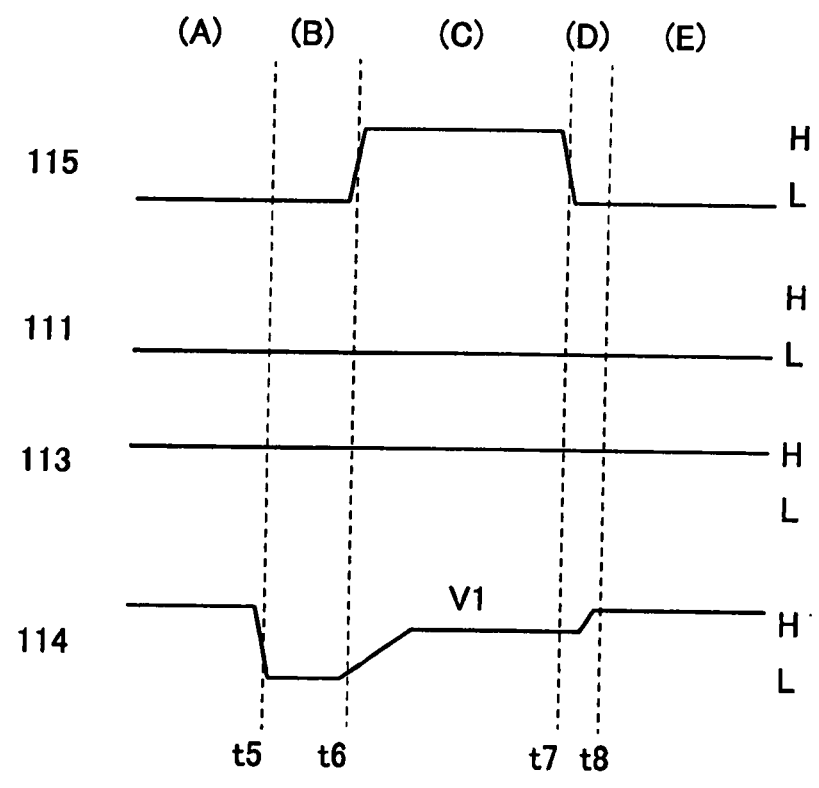


圖 28

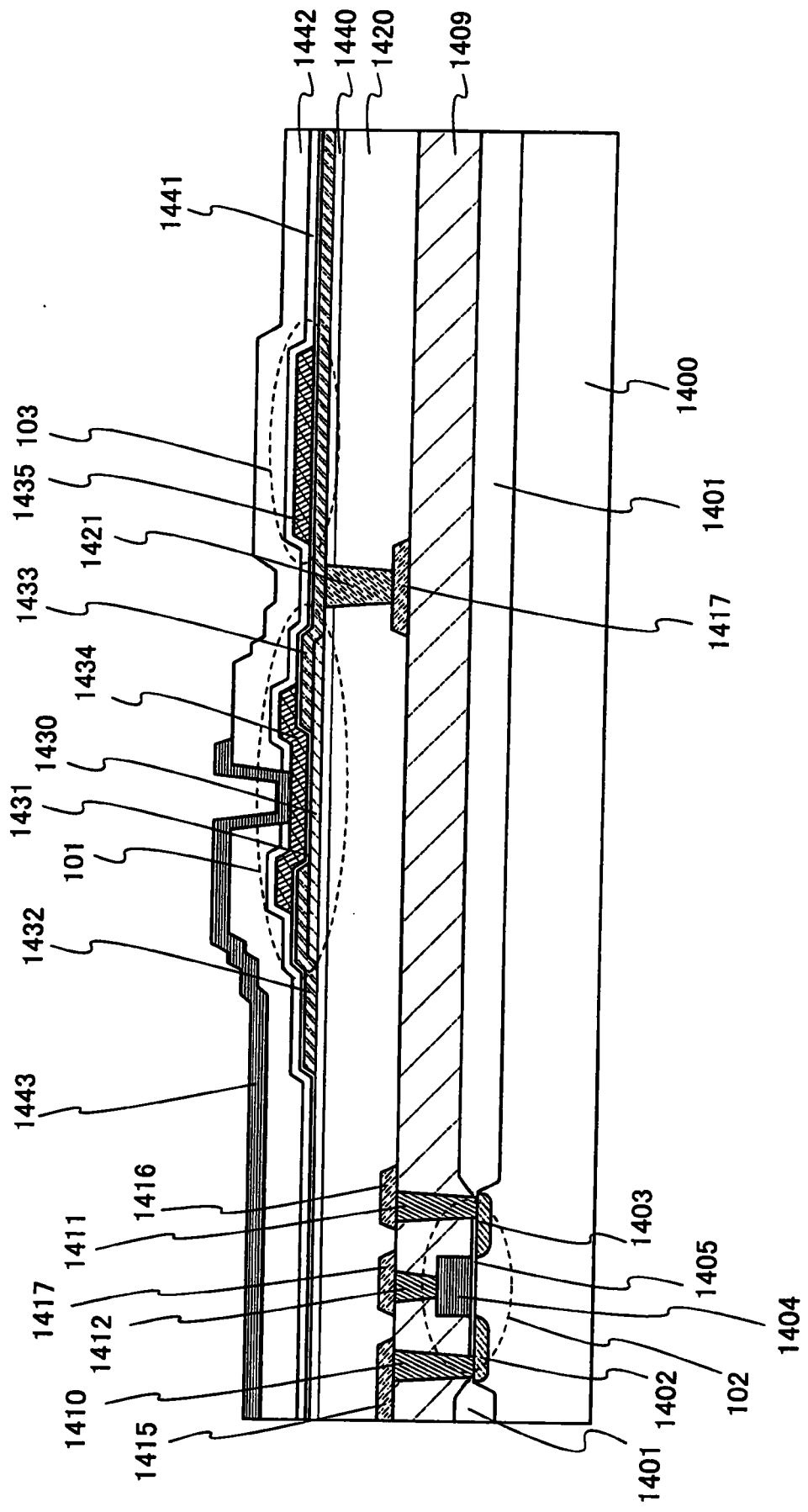


圖 29A

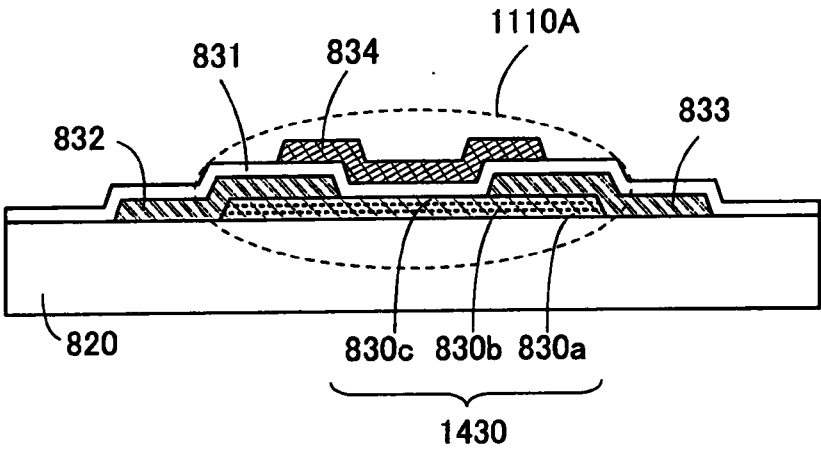


圖 29B

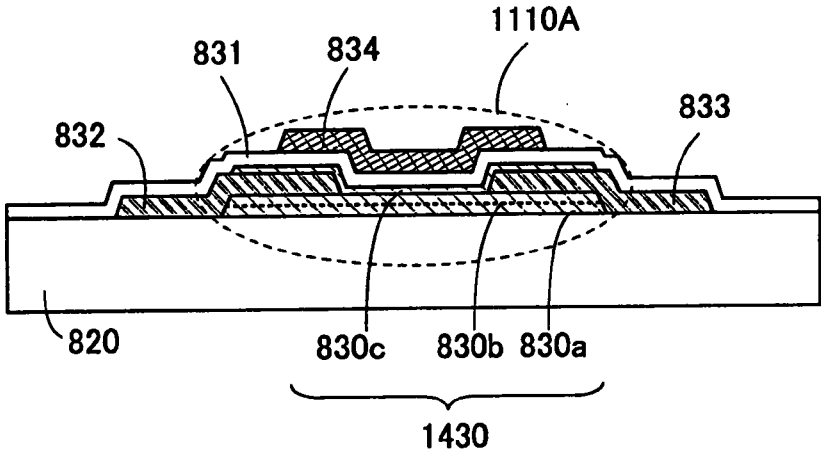


圖 30A

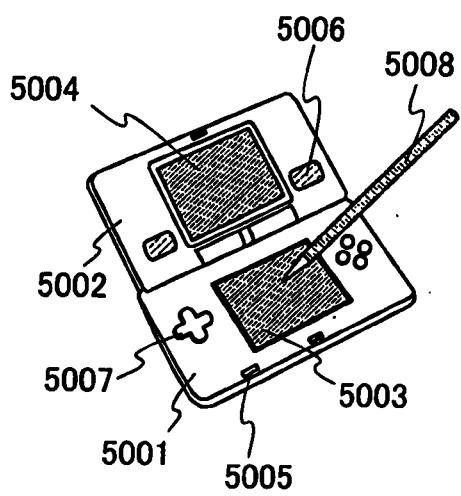


圖 30B

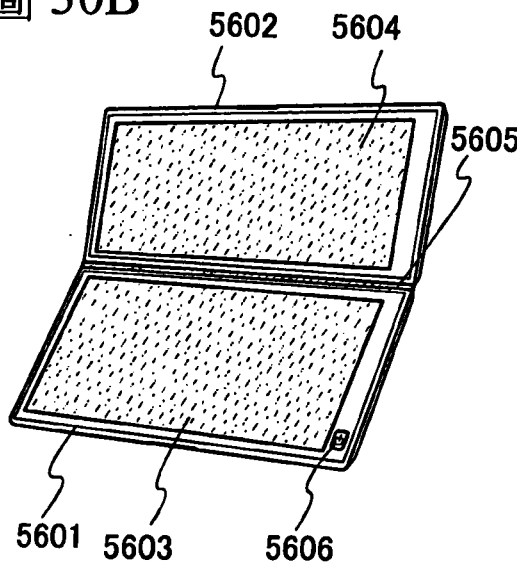


圖 30C

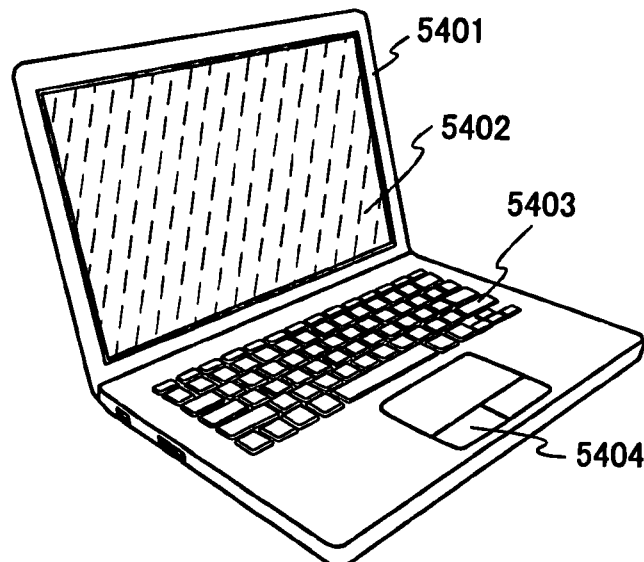


圖 30D

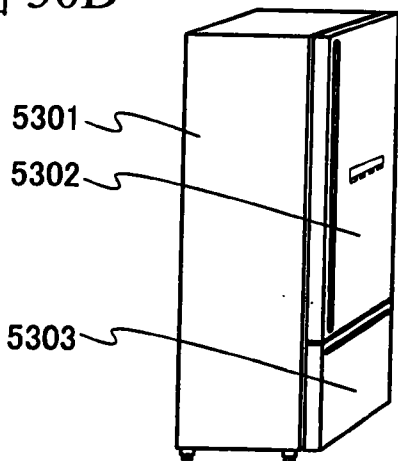


圖 30E

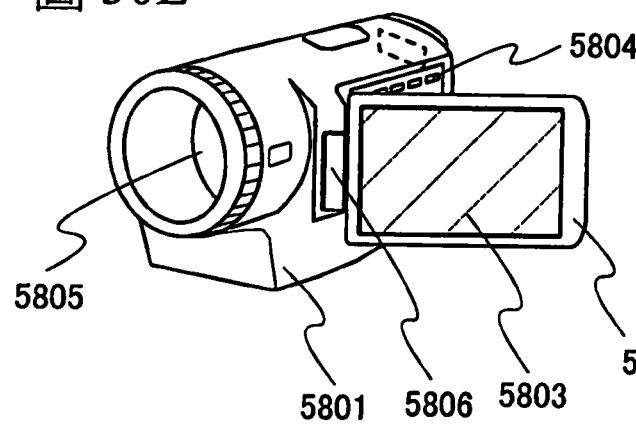
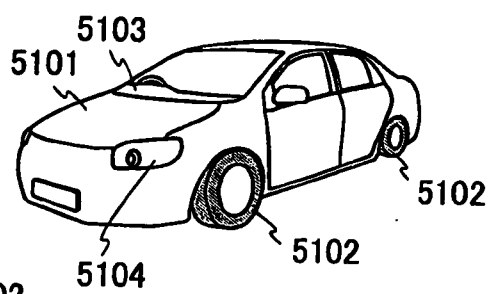


圖 30F



申請專利範圍

1. 一種半導體裝置，包括：

第一電晶體，該第一電晶體的通道區包含氧化物半導體；

第二電晶體；

電容器，該電容器的一個電極與該第一電晶體的源極和汲極中的一個及該第二電晶體的閘極電連接；

第三電晶體，該第二電晶體的源極和汲極中的一個與該第三電晶體的源極和汲極中的一個電連接；

與該第一電晶體的閘極電連接的字線；

與該第二電晶體的該源極和該汲極中的另一個電連接的第一佈線；

與該第一電晶體的該源極和該汲極中的另一個及該第三電晶體的該源極和該汲極中的另一個電連接的位元線；

與該電容器的另一個電極電連接的電容線；以及

與該第一佈線直接連接的 A/D 轉換器。

2. 一種半導體裝置的驅動方法，該半導體裝置包括其通道區包含氧化物半導體的第一電晶體、第二電晶體以及其一個電極與該第一電晶體的源極和汲極中的一個及該第二電晶體的閘極電連接的電容器，該方法包括如下步驟：

將低電壓施加到位元線及第一佈線，將高電壓施加到字線以使該第一電晶體打開，並將低電壓施加到電容線，使得該第二電晶體打開，其中：

該字線與該第一電晶體的閘極電連接，

該第一佈線與該第二電晶體的源極和汲極中的一個電連接，

該位元線與該第一電晶體的該源極和該汲極中的另一個及該第二電晶體的該源極和該汲極中的另一個電連接，並且

該電容線與該電容器的另一個電極電連接；

將第一電壓施加到該第一佈線並停止將該低電壓施加到該位元線，以將對應於該第一電壓的電壓從該第一佈線經過該第二電晶體的該源極及該汲極、該位元線以及該第一電晶體的該源極及該汲極施加到該第二電晶體的該閘極；

將低電壓施加到該字線以使該第一電晶體關閉，將低電壓施加到該位元線及該第一佈線，並將高電壓施加到該電容線以使該第二電晶體關閉；

將高電壓施加到該第一佈線；以及

停止將該高電壓施加到該第一佈線，並將低電壓施加到該電容線，使得該第一佈線的電壓從該高電壓變化到該第一電壓。

3. 一種半導體裝置的驅動方法，該半導體裝置包括其通道區包含氧化物半導體的第一電晶體、第二電晶體、第三電晶體以及其一個電極與該第一電晶體的源極和汲極中的一個及該第二電晶體的閘極電連接的電容器，該方法包括：

將低電壓施加到位元線及第一佈線，將高電壓施加到

第一字線以使該第一電晶體打開，將該位元線的該低電壓施加到該第二電晶體的該閘極以使該第二電晶體打開，並將低電壓施加到第二字線以使該第三電晶體打開，其中：

該第一字線與該第一電晶體的閘極電連接，

該第二字線與該第三電晶體的閘極電連接，

該第一佈線與該第二電晶體的源極和汲極中的一個電連接，

該第三電晶體的源極和汲極中的一個與該第二電晶體的該源極和該汲極中的另一個電連接，

該位元線與該第一電晶體的該源極和該汲極中的另一個及該第三電晶體的該源極和該汲極中的另一個電連接，並且

該電容器的另一個電極被施加低電壓；

將第一電壓施加到該第一佈線並停止將該低電壓施加到該位元線，以將對應於該第一電壓的電壓從該第一佈線經過該第二電晶體的該源極及該汲極、該第三電晶體的該源極及該汲極、該位元線以及該第一電晶體的該源極及該汲極施加到該第二電晶體的該閘極；

將低電壓施加到該第一字線以使該第一電晶體關閉，將低電壓施加到該位元線及該第一佈線，並將高電壓施加到該第二字線以使該第三電晶體關閉；

將高電壓施加到該第一佈線；以及

停止將該高電壓施加到該第一佈線，並將低電壓施加到該第二字線以使該第三電晶體打開，使得該第一佈線的

電壓從該高電壓變化到該第一電壓。

4. 一種半導體裝置的驅動方法，該半導體裝置包括其通道區包含氧化物半導體的第一電晶體、第二電晶體以及其一個電極與該第一電晶體的源極和汲極中的一個及該第二電晶體的閘極電連接的電容器，該方法包括：

將高電壓施加到位元線及第一佈線，將高電壓施加到字線以使該第一電晶體打開，並將高電壓施加到電容線，使得該第二電晶體打開，其中：

該字線與該第一電晶體的閘極電連接，

該第一佈線與該第二電晶體的源極和汲極中的一個電連接，

該位元線與該第一電晶體的該源極和該汲極中的另一個及該第二電晶體的該源極和該汲極中的另一個電連接，並且

該電容線與該電容器的另一個電極電連接；

將第一電壓施加到該第一佈線並停止將該高電壓施加到該位元線，以將對應於該第一電壓的電壓從該第一佈線經過該第二電晶體的該源極及該汲極、該位元線以及該第一電晶體的該源極及該汲極施加到該第二電晶體的該閘極；

將低電壓施加到該字線以使該第一電晶體關閉，將高電壓施加到該位元線及該第一佈線，並將低電壓施加到該電容線以使該第二電晶體關閉；

將低電壓施加到該第一佈線；以及

停止將該低電壓施加到該第一佈線，並將高電壓施加到該電容線，使得該第一佈線的電壓從該低電壓變化到該第一電壓。

5. 一種半導體裝置的驅動方法，該半導體裝置包括其通道區包含氧化物半導體的第一電晶體、第二電晶體、第三電晶體以及其一個電極與該第一電晶體的源極和汲極中的一個及該第二電晶體的閘極電連接的電容器，該方法包括：

將高電壓施加到位元線及第一佈線，將高電壓施加到第一字線以使該第一電晶體打開，將該位元線的該高電壓施加到該第二電晶體的該閘極以使該第二電晶體打開，並將高電壓施加到第二字線以使該第三電晶體打開，其中：

該第一字線與該第一電晶體的閘極電連接，

該第二字線與該第三電晶體的閘極電連接，

該第一佈線與該第二電晶體的源極和汲極中的一個電連接，

該第三電晶體的源極和汲極中的一個與該第二電晶體的該源極和該汲極中的另一個電連接，

該位元線與該第一電晶體的該源極和該汲極中的另一個及該第三電晶體的該源極和該汲極中的另一個電連接，並且

該電容器的另一個電極被施加低電壓；

將第一電壓施加到該第一佈線並停止將該高電壓施加到該位元線，以將對應於該第一電壓的電壓從該第一佈線

經過該第二電晶體的該源極及該汲極、該第三電晶體的該源極及該汲極、該位元線以及該第一電晶體的該源極及該汲極施加到該第二電晶體的該閘極；

將低電壓施加到該第一字線以使該第一電晶體關閉，將高電壓施加到該位元線及該第一佈線，並將低電壓施加到該第二字線以使該第三電晶體關閉；

將低電壓施加到該第一佈線；以及

停止將該低電壓施加到該第一佈線，並將高電壓施加到該第二字線以使該第三電晶體打開，使得該第一佈線的電壓從該低電壓變化到該第一電壓。

6. 根據申請專利範圍第 2~5 項之任一項之方法，其中該第二電晶體的通道區包含矽。

7. 根據申請專利範圍第 3 或 5 項之方法，其中該第二電晶體的通道區包含矽，並且其中該第三電晶體的通道區包含矽。

8. 根據申請專利範圍第 2~5 項之任一項之方法，還包括：將該第一佈線的電位轉換為數位值並將該數位值輸出到外部，

其中與該第一佈線電連接的 A/D 轉換器轉換該第一佈線的該電位。

9. 一種半導體裝置，包括：

第一電晶體，該第一電晶體的通道區包含氧化物半導體；

第二電晶體；

電容器，該電容器的一個電極與該第一電晶體的源極和汲極中的一個及該第二電晶體的閘極電連接；

與該第一電晶體的閘極電連接的字線；

與該第二電晶體的源極和汲極中的一個電連接的第一佈線；

與該第一電晶體的該源極和該汲極中的另一個及該第二電晶體的該源極和該汲極中的另一個電連接的位元線；

與該電容器的另一個電極電連接的電容線；

與該第一佈線直接連接的驅動器，該驅動器包括解碼器，開關電路，第三電晶體，第四電晶體，第二佈線，以及第三佈線；以及

與該第一佈線直接連接的 A/D 轉換器，

其中該第二佈線能夠供應第一電位，

其中該第三佈線能夠供應與該第一電位不同的第二電位，

其中該解碼器經過該開關電路電連接到該第一佈線，

其中該第二佈線經過該第三電晶體直接連接到該第一佈線，

其中該第三佈線經過該第四電晶體直接連接到該第一佈線。

10. 根據申請專利範圍第 1 或 9 項之半導體裝置，

其中該 A/D 轉換器配置以將該第一佈線的電位轉換為數位值並將該數位值輸出到外部。

11. 根據申請專利範圍第 1 或 9 項之半導體裝置，其

中該第二電晶體為 n 通道型電晶體。

12. 根據申請專利範圍第 1 或 9 項之半導體裝置，其中該第二電晶體為 p 通道型電晶體。

13. 根據申請專利範圍第 1 或 9 項之半導體裝置，其中該第二電晶體的通道區包含矽。