(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0155858
(43) 공개일자 2024년10월29일

(51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01) *H01L 27/105* (2023.01)
H01L 29/24 (2006.01) *H01L 29/786* (2006.01)
H10N 97/00 (2023.01)
(52) CPC특허분류
H10B 12/30 (2023.02)
H01L 27/105 (2023.02)
(21) 출원번호 10-2024-7026531
(22) 출원일자(국제) 2023년02월10일
심사청구일자 없음
(85) 번역문제출일자 2024년08월07일
(86) 국제출원번호 PCT/IB2023/051188
(87) 국제공개번호 WO 2023/161754
국제공개일자 2023년08월31일
(30) 우선권주장
JP-P-2022-028096 2022년02월25일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
키무라 하지메
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
야마자키 순페이
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
이화익

전체 청구항 수 : 총 6 항

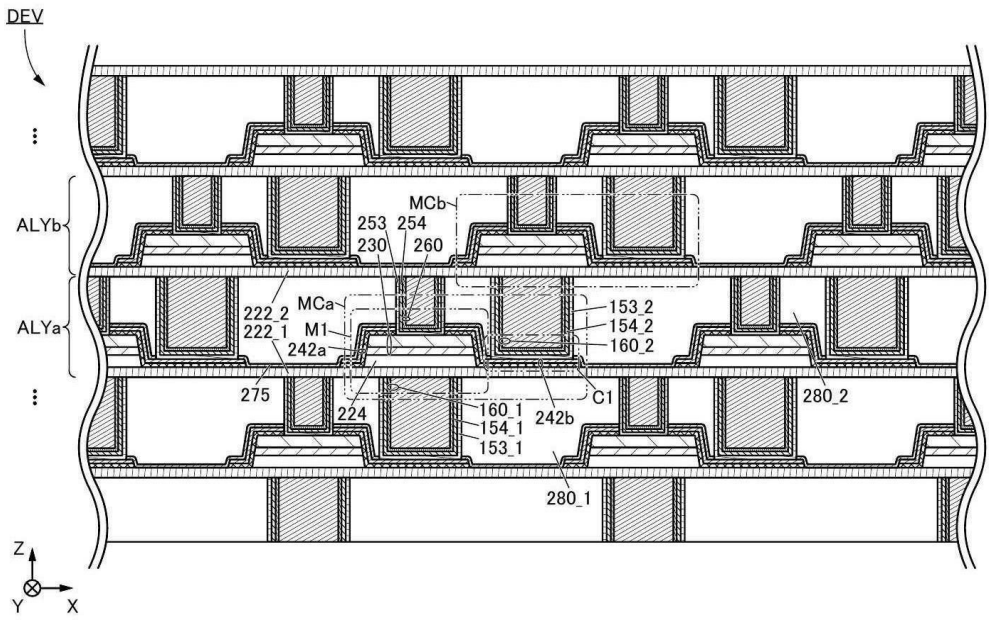
(54) 발명의 명칭 **반도체 장치, 기억 장치, 및 전자 기기**

(57) 요 약

기억 밀도가 높은 반도체 장치를 적용한다. 제 1 기억층 및 제 2 기억층이 순서대로 적층되어 있는 반도체 장치이다. 제 1 기억층 및 제 2 기억층 각각은 제 2 절연체 내지 제 6 절연체, 산화물, 및 제 1 도전체 내지 제 4 도전체를 가진다. 제 1 기억층 및 제 2 기억층 각각에 있어서, 제 1 절연체 위에는 제 2 절연체 및 산화물이 순

(뒷면에 계속)

대 표 도



서대로 적층되어 있다. 제 1 도전체 및 제 2 도전체는 서로 다른 영역에 제 1 절연체 및 제 2 절연체 위 그리고 산화물 위에 위치한다. 제 3 절연체는 제 1 도전체 및 제 2 도전체 위 그리고 제 1 절연체 위에 위치하고, 제 4 절연체는 제 3 절연체 위에 위치한다. 제 5 절연체는 산화물 위 및 제 4 절연체의 측면 위에 위치하고, 제 3 도전체는 제 5 절연체 위에 위치한다. 제 6 절연체는 제 2 도전체 위 및 제 4 절연체의 측면 위에 위치하고, 제 4 도전체는 제 6 절연체 위에 위치한다. 또한 제 1 기억층의 제 4 도전체는 제 2 기억층의 제 2 절연체 및 산화물과 중첩된다.

(52) CPC특허분류

H01L 28/75 (2013.01)

H01L 29/24 (2013.01)

H01L 29/7869 (2013.01)

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 기억층과 제 2 기억층을 가지고,

상기 제 2 기억층은 상기 제 1 기억층 위에 위치하고,

상기 제 1 기억층 및 상기 제 2 기억층 각각은 제 1 절연체와, 제 2 절연체와, 제 3 절연체와, 제 4 절연체와, 제 5 절연체와, 제 6 절연체와, 산화물과, 제 1 도전체와, 제 2 도전체와, 제 3 도전체와, 제 4 도전체를 가지고,

상기 산화물은 인듐, 아연, 및 원소 M에서 선택되는 하나 또는 2개 이상을 포함하고,

상기 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘에서 선택된 1종류 또는 복수 종류이고,

상기 제 1 기억층 및 상기 제 2 기억층 각각에 있어서,

상기 제 2 절연체는 상기 제 1 절연체 위에 위치하고,

상기 산화물은 상기 제 2 절연체 위에 위치하고,

상기 제 1 도전체는 상기 제 1 절연체 위와, 상기 제 2 절연체 위와, 상기 산화물 위에 위치하고,

상기 제 2 도전체는 상기 제 1 절연체 위와, 상기 제 2 절연체 위와, 상기 산화물 위에 위치하고,

상기 제 3 절연체는 상기 제 1 도전체 위와, 상기 제 2 도전체 위와, 상기 제 1 절연체 위에 위치하고,

상기 제 4 절연체는 상기 제 3 절연체 위에 위치하고,

상기 제 4 절연체는 상기 제 1 도전체, 상기 제 2 도전체, 및 상기 제 3 절연체와 중첩되지 않는 영역에 상기 산화물에 도달하는 제 1 개구를 가지고,

상기 제 5 절연체는 상기 제 1 개구에 있어서, 상기 산화물 위와 상기 제 4 절연체의 측면 위에 위치하고,

상기 제 3 도전체는 상기 제 5 절연체 위에 위치하고,

상기 제 4 절연체는 상기 제 2 절연체와 상기 산화물과 중첩되지 않는 영역에 상기 제 2 도전체에 도달하는 제 2 개구를 가지고,

상기 제 6 절연체는 상기 제 2 개구에 있어서, 상기 제 2 도전체 위와 상기 제 4 절연체의 측면 위에 위치하고,

상기 제 4 도전체는 상기 제 6 절연체 위에 위치하고,

상기 제 1 기억층의 상기 제 4 도전체는 상기 제 2 기억층의 상기 제 2 절연체 및 상기 제 2 기억층의 상기 산화물과 중첩되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 5 절연체와 상기 제 6 절연체 각각은 서로 동일한 절연성 재료를 포함하고,

상기 제 3 도전체와 상기 제 4 도전체 각각은 서로 동일한 도전성 재료를 포함하는, 반도체 장치.

청구항 3

반도체 장치로서,

제 1 기억층과 제 2 기억층을 가지고,

상기 제 2 기억층은 상기 제 1 기억층 위에 위치하고,

상기 제 1 기억층 및 상기 제 2 기억층 각각은 제 1 절연체와, 제 2 절연체와, 제 3 절연체와, 제 4 절연체와, 제 5 절연체와, 제 6 절연체와, 산화물과, 제 1 도전체와, 제 2 도전체와, 제 3 도전체와, 제 4 도전체를 가지고,

상기 산화물은 인듐, 아연, 및 원소 M에서 선택되는 하나 또는 2개 이상을 포함하고,

상기 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘에서 선택된 1종류 또는 복수 종류이고,

상기 제 1 기억층 및 상기 제 2 기억층 각각에 있어서,

상기 제 2 절연체는 상기 제 1 절연체 위에 위치하고,

상기 산화물은 상기 제 2 절연체 위에 위치하고,

상기 제 1 도전체는 상기 산화물 위에 위치하고,

상기 제 2 도전체는 상기 산화물 위에 위치하고,

상기 제 3 절연체는 상기 제 1 도전체 위와, 상기 제 2 도전체 위와, 상기 제 1 절연체 위에 위치하고,

상기 제 4 절연체는 상기 제 3 절연체 위에 위치하고,

상기 제 4 절연체는 상기 제 1 도전체, 상기 제 2 도전체, 및 상기 제 3 절연체와 중첩되지 않는 영역에 상기 산화물에 도달하는 제 1 개구를 가지고,

상기 제 5 절연체는 상기 제 1 개구에 있어서, 상기 산화물 위와 상기 제 4 절연체의 측면 위에 위치하고,

상기 제 3 도전체는 상기 제 5 절연체 위에 위치하고,

상기 제 4 절연체는 상기 제 2 절연체 및 상기 산화물과 중첩되는 영역에 상기 제 2 도전체에 도달하는 제 2 개구를 가지고,

상기 제 6 절연체는 상기 제 2 개구에 있어서, 상기 제 2 도전체 위와 상기 제 4 절연체의 측면 위에 위치하고,

상기 제 4 도전체는 상기 제 6 절연체 위에 위치하고,

상기 제 1 기억층의 상기 제 4 도전체는 상기 제 2 기억층의 상기 제 2 절연체 및 상기 제 2 기억층의 상기 산화물과 중첩되는, 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 제 5 절연체와 상기 제 6 절연체 각각은 서로 동일한 절연성 재료를 포함하고,

상기 제 3 도전체와 상기 제 4 도전체 각각은 서로 동일한 도전성 재료를 포함하는, 반도체 장치.

청구항 5

기억 장치로서,

제 1 항 내지 제 4 항 중 어느 한 항에 기재된 반도체 장치와,

구동 회로를 가지고,

상기 제 1 기억층 및 상기 제 2 기억층은 상기 구동 회로의 위쪽에 위치하는, 기억 장치.

청구항 6

전자 기기로서,

제 5 항에 기재된 기억 장치와,

하우징을 가지는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치, 기억 장치, 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 동작 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 신호 처리 장치, 센서, 프로세서, 전자 기기, 시스템, 이들의 구동 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 일례로 들 수 있다.

배 경 기 술

[0003] 근년, 취급되는 데이터양의 증대에 수반하여, 더 큰 기억 용량을 가지는 기억 장치가 요구되고 있다. 단위 면적당 기억 용량을 증가시키기 위해서는 3D NAND형 기억 장치 등과 같이 메모리 셀을 적층하여 형성하는 것이 유효하다(특허문헌 1 내지 특허문헌 3 참조). 메모리 셀을 적층하여 제공함으로써 단위 면적당 기억 용량을 메모리 셀의 적층 수에 따라 증가시킬 수 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 미국 특허출원공개공보 US2011/0065270호

(특허문헌 0002) 미국 특허출원공개공보 US2016/0149004호

(특허문헌 0003) 미국 특허출원공개공보 US2013/0069052호

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 형태는 기억 용량이 큰 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 기억 밀도가 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상기 반도체 장치를 가지는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상기 기억 장치를 가지는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 기억 장치 또는 신규 전자 기기를 제공하는 것을 과제 중 하나로 한다.

[0006] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 중 적어도

하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

[0007] (1)

[0008] 본 발명의 일 형태는 제 1 기억층과 제 2 기억층을 가지는 반도체 장치이다. 제 2 기억층은 상기 제 1 기억층 위에 위치한다. 또한 제 1 기억층 및 제 2 기억층 각각은 제 1 절연체와, 제 2 절연체와, 제 3 절연체와, 제 4 절연체와, 제 5 절연체와, 제 6 절연체와, 산화물과, 제 1 도전체와, 제 2 도전체와, 제 3 도전체와, 제 4 도전체를 가진다. 또한 산화물은 인듐, 아연, 및 원소 M에서 선택되는 하나 또는 2개 이상을 포함한다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘에서 선택된 1종류 또는 복수 종류이다.

[0009] 또한 제 1 기억층 및 제 2 기억층 각각에 있어서, 제 2 절연체는 제 1 절연체 위에 위치하고, 산화물은 제 2 절연체 위에 위치한다. 또한 제 1 도전체는 제 1 절연체 위와, 제 2 절연체 위와, 산화물 위에 위치하고, 제 2 도전체는 제 1 절연체 위와, 제 2 절연체 위와, 산화물 위에 위치한다. 또한 제 3 절연체는 제 1 도전체 위와, 제 2 도전체 위와, 제 1 절연체 위에 위치하고, 제 4 절연체는 제 3 절연체 위에 위치한다. 제 4 절연체는 제 1 도전체, 제 2 도전체, 및 제 3 절연체와 중첩되지 않는 영역에 산화물에 도달하는 제 1 개구를 가진다. 제 5 절연체는 제 1 개구에 있어서, 산화물 위와 제 4 절연체의 측면 위에 위치하고, 제 3 도전체는 제 5 절연체 위에 위치한다. 또한 제 4 절연체는 제 2 절연체 및 산화물과 중첩되지 않는 영역에 제 2 도전체에 도달하는 제 2 개구를 가진다. 제 6 절연체는 제 2 개구에 있어서, 제 2 도전체 위와 제 4 절연체의 측면 위에 위치하고, 제 4 도전체는 제 6 절연체 위에 위치한다.

[0010] 또한 제 1 기억층의 제 4 도전체는 제 2 기억층의 제 2 절연체 및 제 2 기억층의 산화물과 중첩된다.

[0011] (2)

[0012] 또는 본 발명의 일 형태는, 상기 (1)에서 제 5 절연체와 제 6 절연체 각각은 서로 동일한 절연성 재료를 포함하고, 제 3 도전체와 제 4 도전체 각각은 서로 동일한 도전성 재료를 포함하는 구성을 가져도 좋다.

[0013] (3)

[0014] 또는 본 발명의 일 형태는 제 1 기억층과 제 2 기억층을 가지고, 상기 (1)과 구성이 다른 반도체 장치이다. 제 2 기억층은 상기 제 1 기억층 위에 위치한다. 또한 제 1 기억층 및 제 2 기억층 각각은 제 1 절연체와, 제 2 절연체와, 제 3 절연체와, 제 4 절연체와, 제 5 절연체와, 제 6 절연체와, 산화물과, 제 1 도전체와, 제 2 도전체와, 제 3 도전체와, 제 4 도전체를 가진다. 또한 산화물은 인듐, 아연, 및 원소 M에서 선택되는 하나 또는 2개 이상을 포함한다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘에서 선택된 1종류 또는 복수 종류이다.

[0015] 또한 제 1 기억층 및 제 2 기억층 각각에 있어서, 제 2 절연체는 제 1 절연체 위에 위치하고, 산화물은 제 2 절연체 위에 위치한다. 제 1 도전체는 산화물 위에 위치하고, 제 2 도전체는 산화물 위에 위치한다. 또한 제 3 절연체는 제 1 도전체 위와, 제 2 도전체 위와, 제 1 절연체 위에 위치하고, 제 4 절연체는 제 3 절연체 위에 위치한다. 또한 제 4 절연체는 제 1 도전체, 제 2 도전체, 및 제 3 절연체와 중첩되지 않는 영역에 산화물에 도달하는 제 1 개구를 가진다. 제 5 절연체는 제 1 개구에 있어서, 산화물 위와 제 4 절연체의 측면 위에 위치하고, 제 3 도전체는 제 5 절연체 위에 위치한다. 또한 제 4 절연체는 제 2 절연체 및 산화물과 중첩되는 영역에 제 2 도전체에 도달하는 제 2 개구를 가진다. 제 6 절연체는 제 2 개구에 있어서, 제 2 도전체 위와 제 4 절연체의 측면 위에 위치하고, 제 4 도전체는 제 6 절연체 위에 위치한다.

[0016] 또한 제 1 기억층의 제 4 도전체는 제 2 기억층의 제 2 절연체 및 제 2 기억층의 산화물과 중첩된다.

[0017] (4)

[0018] 또는 본 발명의 일 형태는, 상기 (3)에서 제 5 절연체와 제 6 절연체 각각은 서로 동일한 절연성 재료를 포함하고, 제 3 도전체와 제 4 도전체 각각은 서로 동일한 도전성 재료를 포함하는 구성을 가져도 좋다.

[0019] (5)

[0020] 또는 본 발명의 일 형태는 상기 (1) 내지 (4) 중 어느 하나에 기재된 반도체 장치와, 구동 회로를 가지는 기억 장치이다.

[0021] (6)

[0022] 또는 본 발명의 일 형태는 상기 (5)의 기억 장치와, 하우징을 가지는 전자 기기이다.

발명의 효과

[0023] 본 발명의 일 형태에 의하여, 기억 용량이 큰 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 기억 밀도가 높은 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 반도체 장치 등을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 상기 반도체 장치를 가지는 기억 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 상기 기억 장치를 가지는 전자 기기를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 기억 장치 또는 신규 전자 기기를 제공할 수 있다.

[0024] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 위에서 열거한 효과를 가지지 않는 경우도 있다.

도면의 간단한 설명

[0025] 도 1은 반도체 장치의 구성예를 나타낸 회로도이다.

도 2는 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 3은 반도체 장치의 구성예를 나타낸 사시 모식도이다.

도 4는 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 5는 반도체 장치의 구성예를 나타낸 레이아웃 도면이다.

도 6의 (A)는 반도체 장치의 구성예를 나타낸 평면 모식도이고, 도 6의 (B) 내지 (D)는 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 7의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 7의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 8의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 8의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 9의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 9의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 10의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 10의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 11의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 11의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 12의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 12의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 13의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 13의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 14의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 14의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 15의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 15의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 16의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 16의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 17의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 17의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 18의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 18의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 19의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 19의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 20의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 20의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 21의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 21의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 22는 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 23은 반도체 장치의 구성예를 나타낸 사시 모식도이다.

도 24는 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 25의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 25의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 26의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 26의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 27의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 27의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 28의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 28의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 29의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 29의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 30의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 30의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 31의 (A)는 반도체 장치의 제작 방법의 예를 나타낸 평면 모식도이고, 도 31의 (B) 내지 (D)는 반도체 장치의 제작 방법의 예를 나타낸 단면 모식도이다.

도 32의 (A)는 기억 장치의 구성예에 대하여 설명하는 사시 모식도이고, 도 32의 (B)는 반도체 장치의 구성예에 대하여 설명하는 블록도이다.

도 33은 기억 장치의 구성예에 대하여 설명하는 블록도이다.

도 34는 기억 장치의 구성예에 대하여 설명하는 단면 모식도이다.

도 35의 (A)는 반도체 웨이퍼의 일례를 나타낸 사시 모식도이고, 도 35의 (B)는 칩의 일례를 나타낸 사시 모식도이고, 도 35의 (C) 및 (D)는 전자 부품의 일례를 나타낸 사시 모식도이다.

도 36은 CPU에 대하여 설명하는 블록도이다.

도 37의 (A) 내지 (J)는 전자 기기의 일례에 대하여 설명하는 사시도이다.

도 38의 (A), (B), 및 (D)는 전자 기기의 구성예를 나타낸 사시도이고, 도 38의 (C)는 전자 기기의 일부의 예를 나타낸 도면이다.

도 39의 (A) 내지 (E)는 전자 기기의 일례에 대하여 설명하는 사시 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고, 반도체 소자(예를 들어 트랜지스터, 다이오드, 및 포토다이오드)를 포함한 회로, 이 회로를 포함한 장치를 말한다. 또한 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 포함한 칩, 및 패키지에 칩이 제공된 전자 부품 각각은 반도체 장치의 일례이다. 또한 예를 들어 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기는 그 자체가 반도체 장치인 경우가 있고, 반도체 장치를 포함하는 경우가 있다.

[0027] 또한 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장에 나타낸 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)인 것으로 한다.

[0028] X와 Y가 전기적으로 접속되는 경우에는, 일례로서 X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 및 부하)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 스위치는 온과 오프가 제어되는 기능을 가진다. 즉 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가진다.

[0029] 또한 X와 Y 사이에 소자와 전원선(예를 들어 VDD(고전원 전위), VSS(저전원 전위), GND(접지 전위), 또는 원하는 전위를 인가하는 배선) 양쪽이 배치되어 있는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하지 않는 것으로 한다. 또한 X와 Y 사이에 전원선만이 배치되어 있는 경우에는 X와 Y 사이에 다른 소자가 없기 때문에 X와 Y는 직접 접속되어 있다고 할 수 있다. 따라서 X와 Y 사이에 전원선만이 배치되어 있는 경우에는 "X와 Y는 전기적으로 접속되어 있다"라고도 할 수 있다. 그러나 X와 Y 사이에 소자와 전원선 양쪽이 배치되어 있는 경우에는 X와 전원선이(소자를 통하여) 전기적으로 접속되어 있고, Y와 전원선이 전기적으로 접속되어 있다는 것이지만, X와 Y는 전기적으로 접속되어 있는 것으로 규정되지 않는다. 또한 X와 Y 사이에 트랜지스터의 게이트와 소스를 개재(介在)하는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하지 않는 것으로 한다. 또한 X와 Y 사이에 트랜지스터의 게이트와 드레인을 개재하는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하지 않는 것으로 한다. 즉 트랜지스터의 경우에는 X와 Y 사이에 트랜지스터의 드레인과 소스를 개재하는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하는 것으로 한다. 또한 X와 Y 사이에 용량 소자가 배치되어 있는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하는 경우와 규정하지 않는 경우가 있다. 예를 들어 디지털 회로 또는 로직 회로의 구성에서 X와 Y 사이에 용량 소자가 배치되어 있는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하지 않는 경우가 있다. 한편 예를 들어 아날로그 회로의 구성에서 X와 Y 사이에 용량 소자가 배치되어 있는 경우에는 X와 Y가 전기적으로 접속되어 있는 것으로 규정하는 경우가 있다.

[0030] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는 X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어 논리 회로(예를 들어 인버터, NAND 회로, 및 NOR 회로), 신호 변환 회로(예를 들어 디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 및 감마 보정 회로), 전위 레벨 변환 회로(예를 들어 승압 회로 또는 강압 회로 등의 전원 회로, 및 신호의 전위 레벨을 변경하는 레벨 시프터 회로), 전압원, 전류원, 전환 회로, 증폭 회로(예를 들어 신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 및 버퍼 회로), 신호 생성 회로, 기억 회로, 및 제어 회로)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 끼워도 X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되는 것으로 한다.

[0031] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉 X와 Y가 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉 X와 Y가 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)를 포함하는 것으로 한다.

[0032] 또한 예를 들어 "X와, Y와, 트랜지스터의 소스(제 1 단자 및 제 2 단자 중 한쪽이라고 환언하는 경우가 있음)와 드레인(제 1 단자 및 제 2 단자 중 다른 쪽이라고 환언하는 경우가 있음)이 서로 전기적으로 접속되고, X, 트랜지스터의 소스, 트랜지스터의 드레인, Y의 순서대로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "트랜지스터의 소스는 X에 전기적으로 접속되고, 트랜지스터의 드레인은 Y에 전기적으로 접속되고, X, 트랜지스터의 소

스, 트랜지스터의 드레인, Y는 이 순서대로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스와 드레인을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스, 트랜지스터의 드레인, Y는 이 접속 순서로 제공된다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써, 트랜지스터의 소스와 드레인을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)인 것으로 한다.

[0033] 또한 회로도상 독립된 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능의 양쪽을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0034] 또한 본 명세서 등에서 "저항 소자"는, 예를 들어 0Ω보다 저항값이 높은 회로 소자, 또는 0Ω보다 저항값이 높은 배선으로 할 수 있다. 그러므로 본 명세서 등에서 "저항 소자"는 저항값을 가지는 배선, 소스와 드레인 간을 전류가 흐르는 트랜지스터, 다이오드, 또는 코일을 포함하는 것으로 한다. 그러므로 "저항 소자"라는 용어는 "저항", "부하", 또는 "저항값을 가지는 영역"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 반대로 "저항", "부하", 또는 "저항값을 가지는 영역"이라는 용어는 "저항 소자"라는 용어로 바꿔 말할 수 있는 경우가 있다. 저항값은 예를 들어 바람직하게는 1mΩ 이상 10Ω 이하, 더 바람직하게는 5mΩ 이상 5Ω 이하, 더 바람직하게는 10mΩ 이상 1Ω 이하로 할 수 있다. 또한 예를 들어 1Ω 이상 1×10^{9}Ω 이하로 하여도 좋다.

[0035] 또한 본 명세서 등에서 "용량 소자"는, 예를 들어 정전 용량이 0F보다 높은 회로 소자, 정전 용량이 0F보다 높은 배선의 영역, 기생 용량, 또는 트랜지스터의 게이트 용량으로 할 수 있다. 또한 "용량 소자", "기생 용량", 또는 "게이트 용량"이라는 용어는 "용량"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", 또는 "게이트 용량"이라는 용어로 바꿔 말할 수 있는 경우가 있다. 또한 "용량"(3단자 이상의 "용량"을 포함함)은 절연체와 상기 절연체를 끼운 한 쌍의 도전체를 포함하는 구성으로 되어 있다. 그러므로 "용량"의 "한 쌍의 도전체"라는 용어는 "한 쌍의 전극", "한 쌍의 도전 영역", "한 쌍의 영역", 또는 "한 쌍의 단자"로 바꿔 말할 수 있다. 또한 "한 쌍의 단자 중 한쪽" 및 "한 쌍의 단자 중 다른 쪽"이라는 용어는 각각 제 1 단자 및 제 2 단자라고 부르는 경우가 있다. 또한 정전 용량은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0036] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 가진다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스 또는 드레인이라는 용어는 서로 바꿔 말할 수 있는 경우가 있다. 또한 본 명세서 등에서는, 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(혹은 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(혹은 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 가지는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 "게이트"와 "백 게이트"라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 가지는 경우, 본 명세서 등에서는 각 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부를 수 있다.

[0037] 예를 들어 본 명세서 등에서 트랜지스터의 일례로서는, 2개 이상의 게이트 전극을 포함한 멀티 게이트 구조의 트랜지스터를 사용할 수 있다. 멀티 게이트 구조로 하면, 채널 형성 영역이 직렬로 접속되기 때문에 복수의 트랜지스터가 직렬로 접속된다. 따라서 멀티 게이트 구조로 하면, 오프 전류의 저감, 트랜지스터의 내압 향상(신뢰성 향상)을 실현할 수 있다. 또는 멀티 게이트 구조로 하면, 포화 영역에서 동작할 때, 드레인과 소스 사이의 전압이 변화되어도 드레인과 소스 사이의 전류가 그다지 변화되지 않기 때문에, 기울기가 평평한 전압-전류 특성을 얻을 수 있다. 기울기가 평평한 전압-전류 특성을 이용하면, 이상적인 전류원 회로 또는 저항값이 매우 높은 능동 부하를 실현할 수 있다. 그 결과, 특성이 좋은 차동 회로 또는 커런트 미러 회로 등을 실현할 수 있다.

[0038] 또한 본 명세서 등에서 "발광 디바이스" 및 "수광 디바이스" 등의 회로 소자는 "애노드" 및 "캐소드"라고 불리는 극성을 가지는 경우가 있다. "발광 디바이스"의 경우, 순바이어스를 인가("캐소드"에 대한 양의 전위를 "애

노드"에 인가)함으로써 "발광 디바이스"를 발광시킬 수 있는 경우가 있다. 또한 "수광 디바이스"의 경우, 제로 바이어스 또는 역바이어스를 인가("캐소드"에 대한 음의 전위를 "애노드"에 인가)하고 또한 광을 "수광 디바이스"에 조사함으로써, "애노드"-"캐소드" 사이에 전류가 발생하는 경우가 있다. 상술한 바와 같이 "애노드" 및 "캐소드"는 "발광 디바이스", "수광 디바이스" 등의 회로 소자의 입출력 단자로서 취급되는 경우가 있다. 본 명세서 등에서는 "발광 디바이스", "수광 디바이스" 등의 회로 소자의 "애노드" 및 "캐소드" 각각을 단자(제 1 단자, 제 2 단자 등)라고 부르는 경우가 있다. 예를 들어 "애노드" 및 "캐소드" 중 한쪽을 제 1 단자라고 부르고, "애노드" 및 "캐소드" 중 다른 쪽을 제 2 단자라고 부르는 경우가 있다.

[0039] 또한 회로도에서 단일의 회로 소자가 도시되어 있는 경우에도 상기 회로 소자가 복수의 회로 소자를 가지는 경우가 있다. 예를 들어 회로도에서 하나의 저항 소자가 도시되어 있는 경우에는 2개 이상의 저항 소자가 직렬로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 예를 들어 회로도에서 하나의 용량 소자가 도시되어 있는 경우에는 2개 이상의 용량 소자가 병렬로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 예를 들어 회로도에서 하나의 트랜지스터가 도시되어 있는 경우에는 2개 이상의 트랜지스터가 직렬로 전기적으로 접속되고, 또한 각 트랜지스터의 게이트가 서로 전기적으로 접속되는 경우를 포함하는 것으로 한다. 또한 이와 마찬가지로 예를 들어 회로도에서 하나의 스위치가 도시되어 있는 경우에는 상기 스위치가 2개 이상의 트랜지스터를 가지고, 2개 이상의 트랜지스터가 직렬 또는 병렬로 전기적으로 접속되고, 각 트랜지스터의 게이트가 서로 전기적으로 접속되는 경우를 포함하는 것으로 한다.

[0040] 또한 본 명세서 등에서, 회로 구성 및 디바이스 구조에 따라 노드를 단자, 배선, 전극, 도전층, 도전체, 또는 불순물 영역으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.

[0041] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바꿔 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바꿔 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화됨으로써, 배선에 공급되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도 변화된다.

[0042] 또한 본 명세서 등에서 "고레벨 전위" 및 "저레벨 전위"라는 용어는 특정의 전위를 의미하는 것은 아니다. 예를 들어 2개의 배선의 양쪽이 "고레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 고레벨 전위는 서로 같지 않아도 된다. 또한 마찬가지로 2개의 배선의 양쪽이 "저레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 저레벨 전위는 서로 같지 않아도 된다.

[0043] 또한 "전류"란 전하의 이동 현상(전기 전도)을 말하고, 예를 들어 "양의 하전체(荷電體)의 전기 전도가 발생하고 있다"라는 기재는, "그 반대 방향으로 음의 하전체의 전기 전도가 발생하고 있다"라고 바꿔 말할 수 있다. 그러므로 본 명세서 등에서 "전류"란 별도의 설명이 없는 한, 캐리어의 이동에 따른 전하의 이동 현상(전기 전도)을 말하는 것으로 한다. 여기서 캐리어로서는 예를 들어 전자, 정공, 음이온, 양이온, 및 착이온이 있고, 전류가 흐르는 시스템(예를 들어 반도체, 금속, 전해액, 및 진공 중)에 따라 캐리어가 다르다. 또한 배선 등에서의 "전류의 방향"은 양전하를 띤 캐리어가 이동하는 방향이고, 양의 전류량으로 기재한다. 바꿔 말하면, 음전하를 띤 캐리어가 이동하는 방향은 전류의 방향과 반대 방향이고, 음의 전류량으로 표현된다. 따라서 본 명세서 등에서 전류의 양과 음(또는 전류의 방향)에 대하여 별도의 설명이 없는 경우, "소자 A로부터 소자 B로 전류가 흐른다"라는 기재는 "소자 B로부터 소자 A로 전류가 흐른다"로 바꿔 말할 수 있는 것으로 한다. 또한 "소자 A에 전류가 입력된다"라는 기재는 "소자 A로부터 전류가 출력된다"로 바꿔 말할 수 있는 것으로 한다.

[0044] 또한 본 명세서 등에서 '제 1', '제 2', '제 3' 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 한 실시형태에서 "제 1"이라고 언급된 구성 요소를 다른 실시형태 또는 청구범위에서 생략할 수도 있다.

[0045] 또한 본 명세서 등에서 "위에" 및 "아래에" 등의 배치를 나타내는 용어는 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 위치하는 절연체"라고 바꿔 말할 수 있다.

[0046] 또한 "위" 또는 "아래"라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접하는 것에 한정되지 않는다. 예를 들어 "절연층 A 위의 전극 B"라는 표현이면, 절연층 A 위에 전극 B가 직접 접하여 형성될 필요는 없고, 절연층 A와 전극 B 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한 마찬가지로 예를 들어 "절연층 A 위쪽의 전극 B"라는 표현이면, 절연층 A 위에 전극 B가 직접 접하여 형성될 필요는 없고, 절연층 A와 전극 B 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한 마찬가지로 예를 들어 "절연층 A 아래쪽의 전극 B"라는 표현이면, 절연층 A 아래에 전극 B가 직접 접하여 형성될 필요는 없고, 절연층 A와 전극 B 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0047] 또한 본 명세서 등에서 매트릭스로 배치된 구성 요소 및 그 위치 관계를 설명하기 위하여 "행" 및 "열"이라는 용어를 사용하는 경우가 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "행 방향"이라는 표현은 나타내는 도면의 방향을 90° 회전시킴으로써 "열 방향"으로 바꿔 말할 수 있는 경우가 있다.

[0048] 또한 본 명세서 등에서 "막" 및 "층"이라는 용어는 상황에 따라 서로 바꿀 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 "막" 및 "층"이라는 용어를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어 "도전층" 또는 "도전막"이라는 용어를 "도전체"라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연층" 또는 "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.

[0049] 또한 본 명세서 등에서 "전극", "배선", 및 "단자"라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극" 또는 "배선" 등의 용어는, 복수의 "전극" 또는 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선" 또는 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는 "전극", "배선", 및 "단자"에서 선택된 2개 이상이 일체가 되어 형성되어 있는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", 또는 "단자"라는 용어는 경우에 따라 "영역"이라는 용어로 치환되는 경우가 있다.

[0050] 또한 본 명세서 등에서 "배선", "신호선", 및 "전원선"이라는 용어는, 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 또는 "전원선"이라는 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선"이라는 용어는 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선"이라는 용어는 "전원선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되는 "전위"라는 용어를 경우 또는 상황에 따라 "신호"라는 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호"라는 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.

[0051] 또한 본 명세서 등에서는 반도체 장치의 동작 방법을 설명하기 위하여 타이밍 차트를 사용하는 경우가 있다. 또한 본 명세서 등에 사용하는 타이밍 차트는 이상적인 동작예를 나타낸 것이며, 상기 타이밍 차트에 기재되는 기간, 신호(예를 들어 전위 또는 전류)의 크기, 및 타이밍은 특별히 언급이 없는 경우에는 한정되지 않는다. 본 명세서 등에 기재되는 타이밍 차트는 상황에 따라 상기 타이밍 차트에서의 각 배선(노드를 포함함)에 입력되는 신호(예를 들어 전위 또는 전류)의 크기 및 타이밍을 변경할 수 있다. 예를 들어 타이밍 차트에 2개의 기간이 등간격으로 기재되어 있어도, 2개의 기간의 길이는 상이한 경우가 있다. 또한 예를 들어 2개의 기간에서 한쪽의 기간이 길며, 다른 쪽의 기간이 짧게 기재되어 있어도, 이들 기간의 길이는 같아도 좋은 경우가 있으며, 한쪽의 기간이 짧고 다른 쪽의 기간이 길어도 좋은 경우가 있다.

[0052] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 채널 형성 영역에 금속 산화물이 포함되는 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 가지는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor)라고 할 수 있다. 또한 OS 트랜지스터라고 기재하는 경우에는, 금속 산화물

또는 산화물 반도체를 포함하는 트랜지스터로 바꿔 말할 수 있다.

[0053] 또한 본 명세서 등에서, 질소를 포함한 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.

[0054] 또한 본 명세서 등에서 반도체의 불순물이란, 예를 들어 반도체층을 구성하는 주성분 이외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함되면, 예를 들어 반도체의 결함 준위의 고밀도화, 캐리어 이동도의 저하, 및 결정성의 저하 중 하나 이상이 발생할 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 1족 원소와, 2족 원소와, 13족 원소와, 14족 원소와, 15족 원소와, 주성분 이외의 전이 금속이 있으며, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 및 질소가 있다. 또한 반도체가 실리콘층인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 및 15족 원소(다만 산소 및 수소는 제외함)가 있다.

[0055] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다. 그러므로 스위치는 제어 단자와는 별도로 전류를 흘리는 단자를 2개 또는 3개 이상 가지는 경우가 있다. 일례로서는, 전기적 스위치, 기계적 스위치 등을 사용할 수 있다. 즉 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정한 것에 한정되지 않는다.

[0056] 전기적인 스위치의 일례로서는 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 및 다이오드 접속의 트랜지스터), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 예를 들어 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태 또는 소스 전극과 드레인 전극 사이에 전류를 흘릴 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0057] 본 명세서에 있어서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

[0058] 또한 본 명세서 등에서 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 구성예를 서로 적절히 조합할 수 있다.

[0059] 또한 어떤 하나의 실시형태에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 할 수 있다.

[0060] 또한 실시형태에서 설명하는 내용이란, 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.

[0061] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.

[0062] 본 명세서에 기재되는 실시형태에 대하여 도면을 참조하여 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 사시도 등에서는, 도면의 명확성을 기하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다.

[0063] 또한 본 명세서의 도면에 있어서 각 실시형태에 따른 구성을 설명하기 위하여 평면도를 사용하는 경우가 있다.

평면도란, 일례로서, 구성을 연직 방향으로부터 본 면을 나타낸 도면, 또는 구성을 수평 방향으로 절단한 면(단면)을 나타낸 도면이다. 또한 평면도에 숨은선(예를 들어 파선)이 기재되어 있음으로써, 구성에 포함되어 있는 복수 요소의 위치 관계 또는 상기 복수 요소의 중첩 관계를 나타낼 수 있다. 또한 본 명세서 등에서 "평면도"라는 용어는 "평면 모식도", "투영도", "상면도", 또는 "하면도"라는 용어로 바꿔 말할 수 있는 것으로 한다. 또한 상황에 따라서는 구성을 수평 방향으로 절단한 면(단면)이 아니라 수평 방향과 다른 방향으로 절단한 면(단면)을 평면도라고 하는 경우가 있다.

[0064] 또한 본 명세서의 도면에 있어서 각 실시형태에 따른 구성을 설명하기 위하여 단면도를 사용하는 경우가 있다. 단면도란, 일례로서, 구성을 수평 방향으로부터 본 면을 나타낸 도면, 또는 구성을 연직 방향으로 절단한 면(절단면)을 나타낸 도면이다. 또한 본 명세서 등에서 "단면도"라는 용어는 "단면 모식도", "정면도", 또는 "측면도"라는 용어로 바꿔 말할 수 있는 것으로 한다. 또한 상황에 따라서는 구성을 연직 방향으로 절단한 면(단면)이 아니라 연직 방향과 다른 방향으로 절단한 면(단면)을 단면도라고 하는 경우가 있다.

[0065] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 특히 이들을 구별할 필요가 있을 때는, 부호에 "_1", "[n]", "[m,n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다. 또한 도면 등에서 부호에 "_1", "[n]", "[m,n]" 등의 식별용 부호를 붙여서 기재하고, 본 명세서 등에서 이들을 구별할 필요가 없는 경우에는 식별용 부호를 기재하지 않는 경우가 있다.

[0066] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어, 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.

[0067] (실시형태 1)

[0068] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치에 대하여 설명한다.

[0069] <반도체 장치의 회로 구성예>

[0070] 도 1은 본 발명의 일 형태인 반도체 장치(DEV)의 구성예를 나타낸 회로도이다. 반도체 장치(DEV)는 일례로서 기억층(ALYa)과 기억층(ALYb)을 가진다. 또한 도 1에서는 기억층(ALYb)은 기억층(ALYa)의 위쪽에 위치한다.

[0071] 기억층(ALYa) 및 기억층(ALYb) 각각은 복수의 메모리 셀을 가진다. 특히, 기억층(ALYa) 및 기억층(ALYb) 각각은 복수의 메모리 셀이 어레이 형태로 배치되어 있다. 도 1에서는 일례로서 기억층(ALYa) 및 기억층(ALYb) 각각에 메모리 셀이 m행 n열(m은 1 이상의 정수로 하고, n은 1 이상의 정수로 함)의 매트릭스로 배치되어 있다.

[0072] 또한 본 명세서 및 도면에서는, 예를 들어 기억층(ALYa)의 매트릭스의 1행 1열에 위치하는 메모리 셀(MC)을 메모리 셀(MCa[1,1])이라고 기재하는 것으로 하고, 또한 예를 들어 기억층(ALYb)의 매트릭스의 m행 n열에 위치하는 메모리 셀을 메모리 셀(MCb[m,n])이라고 기재하는 것으로 한다.

[0073] 또한 도 1에서는, 기억층(ALYa)의 매트릭스의 행수 및 열수와, 기억층(ALYb)의 매트릭스의 행수와 열수가 일치하지만, 기억층(ALYa) 및 기억층(ALYb) 각각의 매트릭스의 행수와 열수는 반드시 일치하여야 하는 것은 아니다.

[0074] 또한 도 1에 나타낸 메모리 셀(MC)은 DRAM(Dynamic Random Access Memory)이라고 불리는 메모리 셀의 일례이고, 트랜지스터(M1)와 용량 소자(C1)를 가진다. 특히, 본 명세서 등에서는, 트랜지스터(M1)로서 OS 트랜지스터를 사용한 DRAM을 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)(등록 상표)이라고 부르는 경우가 있다.

[0075] 트랜지스터(M1)에는 일례로서 OS 트랜지스터를 적용하는 것이 바람직하다. 특히 OS 트랜지스터의 채널 형성 영역에 포함되는 금속 산화물로서는 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물이 있다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 1종류 또는 2종류 이상을 포함하는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 코발트, 및 마그네슘에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석에서 선택된 1종류 또는 복수 종류인 것이 바람직하다.

[0076] 특히 반도체층에 사용하는 금속 산화물에는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 산화물(IGZO라고도 기재함)을 사용하는 것이 바람직하다. 또는 인듐, 주석, 및 아연을 포함한 산화물(ITZO(등록 상표)라고도 기재함)

을 사용하는 것이 바람직하다. 또는 인듐, 갈륨, 주석, 및 아연을 포함하는 산화물을 사용하는 것이 바람직하다. 또는 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함하는 산화물(IAZO라고도 기재함)을 사용하는 것이 바람직하다. 또는 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물(IAGZO라고도 기재함)을 사용하는 것이 바람직하다. 또한 OS 트랜지스터에 대해서는 반도체 장치의 단면 구성예의 설명에서 자세히 설명한다.

[0077] 또한 트랜지스터(M1)에는 OS 트랜지스터 이외의 트랜지스터를 적용하여도 좋다. 예를 들어 트랜지스터(M1)에는 채널 형성 영역에 실리콘을 포함한 트랜지스터(이후, Si 트랜지스터라고 부름)를 적용할 수 있다. 또한 실리콘으로서는 예를 들어 단결정 실리콘, 비정질 실리콘(수소화 비정질 실리콘이라고 하는 경우가 있음), 미결정 실리콘, 또는 다결정 실리콘(저온 다결정 실리콘을 포함함)을 사용할 수 있다.

[0078] 또한 트랜지스터(M1)에는 OS 트랜지스터, Si 트랜지스터 이외에 예를 들어 저마늄이 채널 형성 영역에 포함된 트랜지스터, 셀레늄화 아연, 황화 카드뮴, 비소화 갈륨, 인화 인듐, 질화 갈륨, 또는 실리콘 저마늄 등의 화합물 반도체가 채널 형성 영역에 포함된 트랜지스터, 탄소 나노튜브가 채널 형성 영역에 포함된 트랜지스터, 또는 유기 반도체가 채널 형성 영역에 포함된 트랜지스터를 사용할 수 있다.

[0079] 또한 도 1에 나타낸 트랜지스터(M1)는 n채널형 트랜지스터로 하였지만, 상황 또는 경우에 따라 p채널형 트랜지스터로 하여도 좋다. 또한 n채널형 트랜지스터를 p채널형 트랜지스터로 교체한 경우, 메모리 셀(MC)이 정상적으로 동작하도록, 메모리 셀(MC)에 입력되는 전위를 적절히 변경할 필요가 있다. 또한 이는 도 1뿐만 아니라, 명세서의 다른 부분에 기재되는 트랜지스터 또는 다른 도면에 나타낸 트랜지스터에 대해서도 마찬가지이다. 또한 본 실시형태에서는 트랜지스터(M1)가 n채널형 트랜지스터인 것으로 하여 메모리 셀(MC)의 구성에 대하여 설명한다.

[0080] 또한 트랜지스터(M1)는 온 상태일 때 포화 영역에서 동작하는 것이 바람직하다. 또한 상황에 따라서는 트랜지스터(M1)는 온 상태일 때 선형 영역에서 동작하여도 좋다. 또한 트랜지스터(M1)는 서브스레숄드 영역에서 동작하여도 좋다.

[0081] 트랜지스터(M1)는 일례로서 채널의 상하에 게이트를 가지는 구조의 트랜지스터이고, 트랜지스터(M1)는 제 1 게이트와 제 2 게이트를 가진다. 편의상 일례로서, 제 1 게이트를 게이트(프런트 게이트라고 기재하는 경우가 있음)로, 제 2 게이트를 백 게이트로 구별하여 기재하였지만, 제 1 게이트와 제 2 게이트는 서로 바꿀 수 있다. 그러므로 본 명세서 등에서 "게이트"라는 용어는 "백 게이트"라는 용어와 바꿔 기재할 수 있다. 마찬가지로, "백 게이트"라는 용어는 "게이트"라는 용어와 바꿔 기재할 수 있다. 구체적인 예로서, "게이트는 제 1 배선에 전기적으로 접속되고, 백 게이트는 제 2 배선에 전기적으로 접속된다"와 같은 접속 구성은 "백 게이트는 제 1 배선에 전기적으로 접속되고, 게이트는 제 2 배선에 전기적으로 접속된다"와 같은 접속 구성으로 바꿀 수 있다.

[0082] 또한 트랜지스터에 관한 앞의 설명은 트랜지스터(M1)뿐만 아니라, 명세서의 다른 부분에 기재된 트랜지스터 및 도면에 나타낸 트랜지스터에 대해서도 적용할 수 있는 것으로 한다.

[0083] 메모리 셀(MCa[1,1]) 내지 메모리 셀(MCa[m,n]), 및 메모리 셀(MCb[1,1]) 내지 메모리 셀(MCb[m,n]) 각각에 있어서, 트랜지스터(M1)의 제 1 단자는 용량 소자(C1)의 제 1 단자에 전기적으로 접속되어 있다.

[0084] 기억층(ALYa)의 매트릭스의 첫 번째 열에 배치된 메모리 셀(MCa[1,1]) 내지 메모리 셀(MCa[m,1])에 있어서, 트랜지스터(M1)의 제 2 단자는 배선(BLa[1])에 전기적으로 접속되어 있다. 또한 기억층(ALYa)의 매트릭스의 n번째 열에 배치된 메모리 셀(MCa[1,n]) 내지 메모리 셀(MCa[m,n])에 있어서, 트랜지스터(M1)의 제 2 단자는 배선(BLa[n])에 전기적으로 접속되어 있다. 또한 기억층(ALYb)의 매트릭스의 첫 번째 열에 배치된 메모리 셀(MCb[1,1]) 내지 메모리 셀(MCb[m,1])에 있어서, 트랜지스터(M1)의 제 2 단자는 배선(BLb[1])에 전기적으로 접속되어 있다. 또한 기억층(ALYb)의 매트릭스의 n번째 열에 배치된 메모리 셀(MCb[1,n]) 내지 메모리 셀(MCb[m,n])에 있어서, 트랜지스터(M1)의 제 2 단자는 배선(BLb[n])에 전기적으로 접속되어 있다.

[0085] 기억층(ALYa)의 매트릭스의 첫 번째 행에 배치된 메모리 셀(MCa[1,1]) 내지 메모리 셀(MCa[1,n])에 있어서, 트랜지스터(M1)의 게이트는 배선(WLa[1])에 전기적으로 접속되고, 용량 소자(C1)의 제 2 단자는 배선(CLa[1])에 전기적으로 접속되어 있다. 또한 기억층(ALYa)의 매트릭스의 m번째 행에 배치된 메모리 셀(MCa[m,1]) 내지 메모리 셀(MCa[m,n])에 있어서, 트랜지스터(M1)의 게이트는 배선(WLa[m])에 전기적으로 접속되고, 용량 소자(C1)의 제 2 단자는 배선(CLa[m])에 전기적으로 접속되어 있다. 또한 기억층(ALYb)의 매트릭스의 첫 번째 행에 배치된 메모리 셀(MCb[1,1]) 내지 메모리 셀(MCb[1,n])에 있어서, 트랜지스터(M1)의 게이트는 배선(WLb[1])에 전기적으로 접속되고, 용량 소자(C1)의 제 2 단자는 배선(CLb[1])에 전기적으로 접속되어 있다. 또한 기억층

(ALYb)의 매트릭스의 m번째 행에 배치된 메모리 셀(MCb[m,1]) 내지 메모리 셀(MCb[m,n])에 있어서, 트랜지스터(M1)의 게이트는 배선(WLb[m])에 전기적으로 접속되고, 용량 소자(C1)의 제 2 단자는 배선(CLb[m])에 전기적으로 접속되어 있다.

[0086] 또한 기억층(ALYb)의 매트릭스의 첫 번째 행에 배치된 메모리 셀(MCb[1,1]) 내지 메모리 셀(MCb[1,n])에 있어서, 트랜지스터(M1)의 백 게이트는 기억층(ALYa)으로 연장되어 제공된 배선(CLa[1])에 전기적으로 접속되어 있다. 또한 기억층(ALYb)의 매트릭스의 m번째 행에 배치된 메모리 셀(MCb[m,1]) 내지 메모리 셀(MCb[m,n])에 있어서, 트랜지스터(M1)의 백 게이트는 기억층(ALYa)으로 연장되어 제공된 배선(CLa[m])에 전기적으로 접속되어 있다.

[0087] 또한 기억층(ALYa)에 배치된 메모리 셀(MCa[1,1]) 내지 메모리 셀(MCa[m,n]) 각각에 포함되는 트랜지스터(M1)의 백 게이트는 예를 들어 기억층(ALYa)의 아래쪽으로 연장되어 제공되는 배선에 전기적으로 접속되어도 좋다(도시하지 않았음). 또한 기억층(ALYb)으로 연장되어 제공된 배선(CLa[1]) 내지 배선(CLa[m])은 예를 들어 기억층(ALYb)의 위쪽에 배치된 트랜지스터의 백 게이트에 전기적으로 접속되어도 좋다(도시하지 않았음).

[0088] 배선(WLa[1]) 내지 배선(WLa[m])은 기억층(ALYa)에 포함되는 메모리 셀(MCa[1,1]) 내지 메모리 셀(MCa[m,n])에 대한 워드선으로서 기능한다. 마찬가지로, 배선(WLb[1]) 내지 배선(WLb[m])은 기억층(ALYb)에 포함되는 메모리 셀(MCb[1,1]) 내지 메모리 셀(MCb[m,n])에 대한 워드선으로서 기능한다. 즉, 배선(WLa[1]) 내지 배선(WLa[m]) 및 배선(WLb[1]) 내지 배선(WLb[m])은 기록 또는 판독의 대상이 되는 메모리 셀(MC)을 선택하기 위한 선택 신호(전류, 가변 전위, 또는 펄스 전압으로 하는 경우가 있음)를 송신하는 배선으로서 기능한다. 또한 배선(WLa[1]) 내지 배선(WLa[m]) 및 배선(WLb[1]) 내지 배선(WLb[m])은 상황에 따라서는 정전위를 인가하는 배선으로서 기능하여도 좋다.

[0089] 배선(BLa[1]) 내지 배선(BLa[n])은 기억층(ALYa)에 포함되는 메모리 셀(MCa[1,1]) 내지 메모리 셀(MCa[m,n])에 대한 비트선으로서 기능한다. 마찬가지로, 배선(BLb[1]) 내지 배선(BLb[n])은 기억층(ALYb)에 포함되는 메모리 셀(MCb[1,1]) 내지 메모리 셀(MCb[m,n])에 대한 비트선으로서 기능한다. 즉, 배선(BLa[1]) 내지 배선(BLa[n]) 및 배선(BLb[1]) 내지 배선(BLb[n])은 선택된 메모리 셀(MC)에 대하여 기록 데이터를 송신하는 배선 및 선택된 메모리 셀(MC)로부터의 판독 데이터를 송신하는 배선으로서 기능한다. 또한 배선(BLa[1]) 내지 배선(BLa[n]) 및 배선(BLb[1]) 내지 배선(BLb[n])은 상황에 따라서는 정전위를 인가하는 배선으로서 기능하여도 좋다.

[0090] 배선(CLa[1]) 내지 배선(CLa[m]) 및 배선(CLb[1]) 내지 배선(CLb[m])은 일례로서 정전위를 공급하는 배선으로서 기능한다. 상기 정전위로서 예를 들어 고레벨 전위, 저레벨 전위, 양의 전위, 접지 전위, 또는 음의 전위로 할 수 있다. 또한 배선(CLa[1]) 내지 배선(CLa[m]) 및 배선(CLb[1]) 내지 배선(CLb[m])은 상황에 따라서는 정전위를 공급하는 배선으로서 기능하여도 좋다.

[0091] <반도체 장치의 단면 구성예>

[0092] 다음으로 반도체 장치(DEV)의 단면 구성예에 대하여 설명한다.

[0093] 도 2는 본 발명의 일 형태인 반도체 장치(DEV)의 구성예를 나타낸 단면 모식도이다. 도 2에 있어서, 반도체 장치(DEV)는 기억층(ALYa) 및 기억층(ALYb)에 더하여, 기억층(ALYa)의 아래쪽 및 기억층(ALYb)의 위쪽에도 기억층이 제공된 구성을 가진다.

[0094] 또한 도 3은 도 2의 반도체 장치(DEV)의 구성예를 나타낸 사시 모식도이다. 또한 도 3에서는, 기억층(ALYa)과 기억층(ALYb)의 적층 구조를 보기 쉽게 하기 위하여, 후술하는 절연체(222_1) 및 절연체(222_2)의 해칭을 의도적으로 없애고, 절연체(275)를 도시하지 않았다.

[0095] 또한 도 2에 나타낸 X방향은 트랜지스터(M1)의 채널 길이 방향과 평행하고, Y방향은 X방향에 수직이고, Z방향은 X방향 및 Y방향에 수직이다. 또한 도 2에 나타낸 X방향, Y방향, Z방향은 오른손 좌표계(right-handed system)로 하였다. 또한 도 2에 나타낸 X방향, Y방향, 및 Z방향을 도 3에 나타내고, 후술하는 각 도면에도 나타내었다.

[0096] 반도체 장치(DEV)의 구성예를 간이적으로 설명하기 위하여, 우선 도 2의 기억층(ALYa)에 주목한다.

[0097] 기억층(ALYa)은 일례로서 절연체(222_1)와, 절연체(224)와, 절연체(253)와, 절연체(254)와, 절연체(275)와, 절연체(153_2)와, 절연체(154_2)와, 절연체(280_2)와, 도전체(242a)와, 도전체(242b)와, 도전체(160_2)와, 도전체(260)와, 산화물(230)을 가진다.

[0098] 또한 기억층(ALYa)의 아래쪽에 위치하는 기억층은 일례로서 절연체(153_1)와, 절연체(154_2)와, 절연체(280_1)와, 도전체(160_1)를 가진다.

[0099] 또한 기억층(ALYa)에 있어서, 메모리 셀(MCa)의 일부는 절연체(222_1) 위에 제공되어 있다.

[0100] 회로 구성예에서도 설명한 바와 같이, 메모리 셀(MCa)은 트랜지스터(M1)와, 용량 소자(C1)를 가진다. 또한 도 2에서는, 트랜지스터(M1)는 일례로서 OS 트랜지스터로 하였다. 즉, 트랜지스터(M1)의 반도체층에는 금속 산화물이 포함된다.

[0101] 트랜지스터(M1)는 절연체(224)와, 절연체(253)와, 절연체(254)와, 도전체(242a)와, 도전체(242b)와, 도전체(260)와, 도전체(160_1)와, 산화물(230)을 가진다. 또한 도 2에 있어서, 용량 소자(C1)는 절연체(153_2)와, 절연체(154_2)와, 도전체(242b)와, 도전체(160_2)를 가진다.

[0102] 도전체(260)는 일례로서 산화물(230)을 포함하는 영역과 중첩되도록 제공된다. 도전체(260)는 트랜지스터(M1)의 게이트(제 1 게이트라고 부르는 경우가 있음)로서 기능한다. 또한 도전체(260)는 도 1에서의 배선(WLa[1]) 내지 배선(WLa[m]) 중 어느 하나의 배선으로서 기능한다.

[0103] 절연체(253) 및 절연체(254)는 제 1 게이트 절연막으로서 기능한다.

[0104] 산화물(230)은 일례로서 절연체(222_1)를 통하여 도전체(160_1)를 포함하는 영역과 중첩되도록 제공된다. 산화물(230)은 트랜지스터(M1)의 채널 형성 영역에 포함되는 반도체로서 기능한다.

[0105] 도전체(160_1)는 트랜지스터(M1)의 게이트(제 2 게이트라고 부르는 경우가 있음)로서 기능한다. 또한 도전체(160_1)는 기억층(ALYa)보다 아래쪽에 위치하는 기억층의 메모리 셀에 포함되는 용량 소자의 한 쌍의 전극 중 한쪽으로서도 기능한다.

[0106] 또한 도전체(160_1)는 절연체(280_1)에 형성된 개구를 메우도록 제공된다. 또한 상기 개구에는 절연체(153_1)와, 절연체(154_1)와, 도전체(160_1)가 이 순서대로 형성되어 있다.

[0107] 절연체(222_1) 및 절연체(224)는 트랜지스터(M1)에서의 제 2 게이트 절연막으로서 기능한다.

[0108] 도전체(242a)는 일례로서 산화물(230) 위의 일부와, 절연체(222_1) 위의 일부에 제공된다. 마찬가지로, 도전체(242b)는 일례로서 산화물(230) 위의 일부와 절연체(222_1) 위의 일부에 제공된다. 특히, 도전체(242a) 및 도전체(242b)는 도전체(260)에 의하여 서로 물리적으로 분리되어 있다. 도전체(242a)는 트랜지스터(M1)에서의 소스 및 드레인 중 한쪽으로서 기능하고, 도전체(242b)는 트랜지스터(M1)에서의 소스 및 드레인 중 다른 쪽으로서 기능한다. 또한 도전체(242a)는 도 1에서의 배선(BLa[1]) 내지 배선(BLa[n]) 중 어느 하나의 배선, 또는 상기 배선에 전기적으로 접속되어 있는 도전체로서 기능한다. 또한 도전체(242a) 위 및 도전체(242b) 위에는 도전체(242a) 및 도전체(242b)에 대한 산소의 확산을 방지하기 위한 절연체(275)가 제공된다.

[0109] 도전체(160_2)는 일례로서 도전체(242b) 위에서 산화물(230)과 중첩되지 않는 영역에 유전체로서 기능하는 절연체(153_1) 및 절연체(153_2)를 개재하여 제공된다. 바꿔 말하면, 절연체(222_1)와 도전체(160_2)가 이 순서대로 형성되어 있는 영역에 있어서, 도전체(160_2) 위에 유전체로서 기능하는 절연체가 제공되고, 또한 상기 절연체 위에 도전체(160_2)가 제공된다. 상기 유전체는 도 1의 용량 소자(C1)에서의 한 쌍의 전극에 끼워져 있는 절연체로서 기능하고, 도전체(160_2)는 도 1의 용량 소자(C1)의 제 2 단자에 상당한다. 또한 도전체(160_2)는 도 1에서의 배선(CLa[1]) 내지 배선(CLa[m]) 중 어느 하나의 배선으로서 기능한다. 또한 도전체(160_2)는 도 1에서의 기억층(ALYb)의 메모리 셀(MCb)에 포함된 트랜지스터(M1)의 백 게이트로서도 기능한다.

[0110] 기억층(ALYb)은 일례로서 절연체(222_2)를 가진다.

[0111] 도전체(260) 및 도전체(160_2)의 위쪽에는 절연체(222_2)가 제공된다.

[0112] 기억층(ALYb)에 있어서, 메모리 셀(MCb)의 일부는 절연체(222_2) 위에 제공되어 있다. 특히, 메모리 셀(MCb)의 트랜지스터(M1)는 메모리 셀(MCa)의 트랜지스터(M1)와 마찬가지로 용량 소자(C1)의 제 2 단자로서 기능하는 도전체(160_2)를 포함하는 영역에 메모리 셀(MCb)의 트랜지스터(M1)의 채널 형성 영역에 포함되는 반도체가 중첩되도록 배치되어 있다.

[0113] 또한 메모리 셀(MCb)에 포함되는 트랜지스터(M1) 및 용량 소자(C1)의 구성에 대해서는, 상술한 메모리 셀(MCa)의 트랜지스터(M1) 및 용량 소자(C1)의 구성의 설명을 원용한다.

[0114] 또한 메모리 셀(MCb)의 용량 소자(C1)에 포함되는 도전체(160_2)는 기억층(ALYb)의 위쪽에 배치된, 기억층의 메

모리 셀에 포함되는 트랜지스터(M1)의 백 게이트로서도 기능한다.

[0115] 도 2에 나타낸 바와 같이 반도체 장치(DEV)를 구성함으로써, 아래쪽의 기억층의 메모리 셀의 용량 소자(C1)의 제 2 단자에 상당하는 도전체와, 위쪽의 기억층의 메모리 셀의 트랜지스터(M1)의 백 게이트에 상당하는 도전체를 서로 겸할 수 있다. 또한 하나의 기억층을 형성할 때, 메모리 셀에 포함되는 트랜지스터(M1)의 게이트에 상당하는 도전체와, 용량 소자(C1)의 제 2 단자에 상당하는 도전체를 동시에 형성할 수 있다. 즉, 도 2에 나타낸 구성에 의하여, 반도체 장치(DEV)를 제작하기 위한 포토 마스크의 수가 종래보다 적어지고 및 반도체 장치(DEV)의 작성 공정을 단축되는 등의 효과가 얻어진다.

[0116] 또한 도 2의 반도체 장치(DEV)의 구성은 상황에 따라 변경되어도 좋다. 예를 들어, 도 2의 반도체 장치(DEV)는 도 4에 나타낸 반도체 장치(DEV)의 구성으로 변경하여도 좋다. 도 4의 반도체 장치(DEV)에서는 산화물(230)과 중첩되지 않는 도전체(242a) 위에 플러그 또는 배선으로서 기능하는 도전체(270)가 제공되고, 도전체(270) 위 및 절연체(222_2) 위에 도전체(242c)가 제공된다. 이 경우, 도전체(242c)는 기억층(ALYb)의 메모리 셀(MCb)에 포함되는 도전체(242a) 및 도전체(242b)와 동시에 형성할 수 있다. 또한 도전체(242c)는 도전체(242a) 및 도전체(242b)와 같은 재료를 사용할 수 있다. 또한 도전체(242c)는 기억층(ALYa)에서의 배선(BLa[1]) 내지 배선(BLa[n]) 중 어느 하나의 배선으로서 기능한다.

[0117] <반도체 장치의 레이아웃의 예>

[0118] 다음으로 반도체 장치(DEV)에 포함되는 기억층의 레이아웃에 대하여 설명한다.

[0119] 도 5는 도 2에 나타낸 반도체 장치(DEV)의 기억층(ALYa)의 회로 구성을 나타낸 레이아웃 도면(평면도)이다. 또한 도 5에서는, 기억층(ALYa)의 아래쪽으로 연장되어 제공되고 메모리 셀(MCa)에 포함되는 트랜지스터(M1)의 백 게이트에 전기적으로 접속되어 있는 배선을 편의상 배선(CLz[1]) 내지 배선(CLz[m])이라고 나타내었다. 또한 도 5에는 반도체 장치(DEV)에 포함되는 절연체를 나타내지 않았다.

[0120] 도 5에 있어서, 도 2의 반도체 장치(DEV)에 관한 설명과 같이, 기억층(ALYa)의 아래쪽에 도전체(160_1)가 제공된다. 또한 도전체(160_1)의 위쪽에 산화물(230)이 제공된다. 또한 산화물(230)의 일부를 덮도록 도전체(242a) 및 도전체(242b)가 제공된다. 또한 산화물(230), 도전체(242a), 및 도전체(242b)의 위쪽에 도전체(260)가 제공된다. 또한 도전체(242a) 및 도전체(242b)의 위쪽에 도전체(160_2)가 제공된다.

[0121] 도전체(242a)는 도 5에 나타낸 바와 같이, 열 방향으로 연장되어 제공되는 배선(BLa[1]) 내지 배선(BLa[n])으로서 기능한다.

[0122] 또한 도전체(160_1)는 도 5에 나타낸 바와 같이, 행 방향으로 연장되어 제공되는 배선(CLz[1]) 내지 배선(CLz[m])으로서 기능한다. 또한 도 5에 나타낸 기억층(ALYa)을 기억층(ALYb)으로 치환한 경우, 도전체(160_1)는 행 방향으로 연장되어 제공되는 배선(CLa[1]) 내지 배선(CLa[m])으로 간주할 수 있다.

[0123] 또한 도전체(160_2)는 도 5에 나타낸 바와 같이, 행 방향으로 연장되어 제공되는 배선(CLa[1]) 내지 배선(CLa[m])으로서 기능한다. 또한 도 5에 나타낸 기억층(ALYa)을 기억층(ALYb)으로 치환한 경우, 도전체(160_2)는 행 방향으로 연장되어 제공되는 배선(CLb[1]) 내지 배선(CLb[m])으로 간주할 수 있다.

[0124] 또한 도 5에 있어서, 산화물(230), 일부의 도전체(242a), 일부의 도전체(242b), 일부의 도전체(260), 일부의 도전체(160_1), 게이트 절연막(도시하지 않았음) 등으로 트랜지스터(M1)가 형성되어 있다. 또한 일부의 도전체(242b), 일부의 도전체(160_2), 유전체로서 기능하는 절연체(도시하지 않았음) 등으로 용량 소자(C1)가 형성되어 있다.

[0125] 산화물(230), 도전체(242a), 도전체(242b), 도전체(260), 도전체(160_1), 및 도전체(160_2) 각각은 예를 들어 리소그래피법을 사용하여 형성할 수 있다. 구체적으로는 예를 들어 도전체(242a)를 형성하는 경우에는 도전체(242a)가 되는 도전 재료를 스퍼터링법, CVD법, PLD법, 및 ALD법 중에서 선택된 하나 이상의 방법을 사용하여 형성하고, 그 후에 포토리소그래피법에 의하여 원하는 패턴을 형성하면 좋다. 또한 산화물(230), 도전체(242b), 도전체(260), 도전체(160_1), 및 도전체(160_2)에 대해서도 상기와 같은 방법으로 형성할 수 있다.

[0126] 또한 예를 들어 산화물(230)과 도전체(260) 사이, 산화물(230)과 도전체(160_1) 사이, 및 도전체(242b)와 도전체(160_2) 사이에는 절연체가 제공되어도 좋다. 특히 산화물(230)과 도전체(260) 사이에 제공되는 절연체는 제 1 게이트 절연막(게이트 절연막, 프런트 게이트 절연막이라고 부르는 경우가 있음)으로서 기능하는 경우가 있다.

[0127] 또한 기억층(ALYa)을 형성하는 공정에 있어서, 절연체, 도전체, 및 반도체에서 선택된 하나 이상이 형성된 막면의 높이를 일치시키기 위하여, 화학 기계 연마법 등을 사용한 평탄화 처리로 평탄화시켜도 좋다.

[0128] <<메모리 셀의 구성예>>

[0129] 다음으로 도 2에 나타낸 반도체 장치(DEV)의 메모리 셀의 구성예에 대하여 설명한다.

[0130] 도 6의 (A) 내지 (D)는 도 2의 반도체 장치(DEV)에서의 트랜지스터(M1), 용량 소자(C1)를 가지는 메모리 셀(MC)의 평면 모식도 및 단면 모식도이다. 도 6의 (A)는 메모리 셀(MC)의 평면 모식도이다. 또한 도 6의 (B) 내지 (D)는 메모리 셀(MC)의 단면 모식도이다. 여기서, 도 6의 (B)는 도 6의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(M1)의 채널 길이 방향의 단면도이기도 하다. 또한 도 6의 (C)는 도 6의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면 모식도이고, 트랜지스터(M1)의 채널 폭 방향의 단면 모식도이기도 하다. 또한 도 6의 (D)는 도 6의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이고, 용량 소자(C1)의 단면 모식도이기도 하다. 또한 도 6의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.

[0131] 메모리 셀(MC)은 기판(도시하지 않았음) 위의 절연체(280_1), 절연체(153_1), 절연체(154_1), 및 도전체(160_1)(도전체(160a_1) 및 도전체(160b_1))를 가진다. 또한 메모리 셀(MC)은 절연체(280_1) 위, 절연체(153_1) 위, 절연체(154_1) 위, 및 도전체(160_1) 위의 절연체(222_1)를 가진다. 또한 메모리 셀(MC)은 절연체(222_1) 위에서 도전체(160_1)와 중첩되는 범위를 포함하는 영역에 절연체(224)와, 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)을 가진다. 또한 메모리 셀(MC)은 절연체(222_1) 위, 절연체(224)의 측면 위, 산화물(230a)의 측면 위, 및 산화물(230b) 위의 도전체(242a)(도전체(242a1) 및 도전체(242a2))와, 도전체(242b)(도전체(242b1) 및 도전체(242b2))를 가진다. 또한 메모리 셀(MC)은 절연체(222_1) 위, 도전체(242a) 위, 및 도전체(242b) 위의 절연체(275)와, 절연체(275) 위의 절연체(280_2)를 가진다. 또한 메모리 셀(MC)은 산화물(230b) 위의 절연체(253)와, 절연체(253) 위의 절연체(254)와, 절연체(254) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다. 또한 메모리 셀(MC)은 도전체(242b) 위에서 산화물(230a) 및 산화물(230b)과 중첩되지 않는 영역에 위치하는 절연체(153_2)와, 절연체(153_2) 위의 절연체(154_2)와, 절연체(154_2) 위의 도전체(160_2)(도전체(160a_2) 및 도전체(160b_2))를 가진다. 또한 메모리 셀(MC)은 절연체(280_2) 위, 절연체(253) 위, 절연체(254) 위, 도전체(260) 위, 절연체(153_2) 위, 절연체(154_2) 위, 및 도전체(160_2) 위의 절연체(222_2)를 가진다. 특히, 트랜지스터(M1) 및 용량 소자(C1) 중 한쪽 또는 양쪽은 절연체(280_2)에 매립되어 배치된다.

[0132] 또한 본 명세서 등에서 산화물(230a)과 산화물(230b)을 통틀어 산화물(230)이라고 부르는 경우가 있다.

[0133] 절연체(280_2) 및 절연체(275)에는 산화물(230b)에 도달하는 개구(258)가 제공된다. 즉 개구(258)는 산화물(230b)과 중첩되는 영역을 가진다고 할 수 있다. 또한 절연체(275)는 절연체(280_2)의 개구와 중첩되는 개구를 가진다고 할 수 있다. 즉, 개구(258)는 절연체(280_2)가 가지는 개구와 절연체(275)가 가지는 개구를 포함한다. 또한 개구(258) 내에 절연체(253), 절연체(254), 및 도전체(260)가 배치되어 있다. 즉 도전체(260)는 절연체(253) 및 절연체(254)를 개재(介在)하여 산화물(230b)과 중첩되는 영역을 포함한다. 또한 트랜지스터(M1)의 채널 길이 방향에 있어서, 도전체(242a)와 도전체(242b) 사이에 도전체(260), 절연체(253), 및 절연체(254)가 제공되어 있다. 절연체(254)는 도전체(260)의 측면과 접하는 영역과 도전체(260)의 바닥면과 접하는 영역을 가진다. 또한 도 6의 (C)에 나타낸 바와 같이, 개구(258)에서 산화물(230)과 중첩되지 않는 영역에서는, 절연체(222_1)의 상면이 노출되어 있다.

[0134] 산화물(230)은 절연체(224) 위에 배치된 산화물(230a)과, 산화물(230a) 위에 배치된 산화물(230b)을 포함하는 것이 바람직하다. 산화물(230b) 아래에 산화물(230a)을 포함함으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로 불순물이 확산되는 것을 억제할 수 있다.

[0135] 또한 트랜지스터(M1)에서 산화물(230)은 산화물(230a)과 산화물(230b)의 2층이 적층된 구성을 가지지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 산화물(230b)을 단층 구조로 하여도 좋고, 3층 이상의 적층 구조로 하여도 좋고, 산화물(230a) 및 산화물(230b) 각각이 적층 구조를 가져도 좋다.

[0136] 도 6의 (A) 내지 (D)에 있어서, 트랜지스터(M1)는 반도체층으로서 기능하는 산화물(230)과, 제 1 게이트(게이트, 톱 게이트, 또는 프런트 게이트라고도 함) 전극으로서 기능하는 도전체(260)와, 제 2 게이트(백 게이트라고도 함) 전극으로서 기능하는 도전체(160_1)와, 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전체(242a)와, 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전체(242b)를 가진다. 또한 제 1 게이트 절연체로서 기능하는 절연체(253) 및 절연체(254)를 가진다. 또한 제 2 게이트 절연체로서 기능하는 절연체

(222_1) 및 절연체(224)를 가진다. 또한 게이트 절연체를 게이트 절연층 또는 게이트 절연막이라고 부르는 경우도 있다. 또한 산화물(230)에서 도전체(260)와 중첩되는 영역의 적어도 일부는 채널 형성 영역으로서 기능한다.

[0137] 제 1 게이트 전극 및 제 1 게이트 절연막은 절연체(280_2) 및 절연체(275)에 형성된 개구(258)의 내에 배치된다. 즉 도전체(260), 절연체(254), 및 절연체(253)는 개구(258) 내에 배치된다.

[0138] 용량 소자(C1)는 하부 전극으로서 기능하는 도전체(242b)와, 유전체로서 기능하는 절연체(153_2) 및 절연체(154_2)와, 상부 전극으로서 기능하는 도전체(160_2)를 가진다. 즉 용량 소자(C1)는 MIM(Metal-Insulator-Metal) 용량 소자를 구성한다.

[0139] 용량 소자(C1)의 상부 전극 및 유전체는 절연체(280_2) 및 절연체(275)에 형성된 개구(158) 내에 배치된다. 즉, 도전체(160_2), 절연체(153_2), 및 절연체(154_2)는 개구(158) 내에 배치된다.

[0140] 본 실시형태에서 설명하는 트랜지스터(M1) 및 용량 소자(C1)를 가지는 메모리 셀(MC)은 기억 장치의 메모리 셀로서 사용할 수 있다. 이때, 도전체(242a)는 감지 증폭기에 전기적으로 접속되는 경우가 있고, 도전체(242a)는 비트선으로서 기능한다. 여기서, 도 6의 (A)에 나타낸 바와 같이, 용량 소자(C1)는 적어도 그 일부가 트랜지스터(M1)가 가지는 도전체(242b)와 중첩되도록 제공된다. 따라서, 평면도에서 보았을 때, 점유 면적을 크게 증가시키지 않고 용량 소자(C1)를 제공할 수 있기 때문에, 본 실시형태에 따른 반도체 장치를 미세화 또는 고집적화시킬 수 있다.

[0141] <<반도체 장치의 제작 방법예>>

[0142] 다음으로 도 6의 (A) 내지 (D)에 나타낸 반도체 장치(DEV)의 기억층(ALYa)의 제작 방법의 예에 대하여 설명한다. 또한 제작 방법의 예를 설명하는 데 도 7의 (A) 내지 도 16의 (D)를 사용한다.

[0143] 도 7의 (A) 내지 도 16의 (D)에 있어서, 각 도면의 (A)는 평면 모식도이다. 또한 각 도면의 (B)는 각 도면의 (A)에서 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면 모식도이고, 트랜지스터(M1)의 채널 길이 방향의 단면 모식도이기도 하다. 또한 각 도면의 (C)는 각 도면의 (A)에서 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면 모식도이고, 트랜지스터(M1)의 채널 폭 방향의 단면 모식도이기도 하다. 또한 각 도면의 (D)는 각 도면의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면 모식도이다. 또한 각 도면의 (A)의 평면 모식도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.

[0144] 이하에서, 절연체를 형성하기 위한 절연성 재료, 도전체를 형성하기 위한 도전성 재료, 또는 반도체를 형성하기 위한 반도체 재료는 스퍼터링법, CVD(Chemical Vapor Deposition)법, MBE(Molecular Beam Epitaxy)법, PLD(Pulsed Laser Deposition)법, 또는 ALD(Atomic Layer Deposition)법 등의 성막 방법을 적절히 사용하여 성막할 수 있다.

[0145] 우선 기판(도시하지 않았음)을 준비하고, 상기 기판의 위쪽에 절연체(280_1), 절연체(153_1), 절연체(154_1), 및 도전체(160_1)를 형성한다(도 7의 (A) 내지 (D) 참조).

[0146] 예를 들어, 상기 기판 위에 절연체(280_1)를 성막하고, 그 후, 절연체(280_1)에 대하여, 절연체(153_1), 절연체(154_1), 및 도전체(160_1)를 형성하는 영역에 개구를 형성한다. 그리고 개구를 형성한 후에 상기 개구에 절연체(153_1), 절연체(154_1), 및 도전체(160_1)를 순차적으로 성막하고, 다음으로 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등의 평탄화 처리를 수행하여, 절연체(153_1), 절연체(154_1), 및 도전체(160_1) 각각의 일부를 제거함으로써 절연체(280_1)를 노출시키면 좋다. 이에 의하여, 도전체(160_1)에 형성된 개구에만 절연체(153_1), 절연체(154_1), 및 도전체(160_1)를 형성할 수 있다. 또한 절연체(153_1), 절연체(154_1), 및 도전체(160_1)의 형성에 대해서는, 후술하는 절연체(153_2), 절연체(154_2), 및 도전체(160_2)의 형성 방법을 참조할 수 있다(도 12의 (A) 내지 도 16의 (D) 참조).

[0147] 다음으로 절연체(280_1) 위, 절연체(153_1) 위, 절연체(154_1) 위, 및 도전체(160_1) 위에 절연체(222_1)를 성막한다(도 7의 (A) 내지 (D) 참조). 절연체(222_1)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다. 또는 하프늄 지르코늄 산화물을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연체(222_1)가 수소 및 물에 대한 배리어성을 가짐으로써, 트랜지스터(M1)의 주변에 제공된 구조체에 포함되는 수소 및 물이 절연체

(222_1)를 통하여 트랜지스터(M1)의 내측으로 확산되는 것을 억제하고, 산화물(230) 내에 산소 결손이 생성되는 것을 억제할 수 있다.

[0148] 절연체(222_1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용하여 수행할 수 있다. 본 실시형태에서는 절연체(222_1)로서 ALD법을 사용하여 산화 하프늄을 성막한다. 특히, 수소 농도가 저감된 산화 하프늄의 형성 방법을 사용하는 것이 바람직하다.

[0149] 또한 절연체(222_1)에 사용되는 절연성 재료로서는 비유전율이 높은 high-k 재료를 사용하여도 좋다. 비유전율이 높은 high-k 재료로서는 예를 들어 상술한 산화 하프늄에 더하여, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘에서 선택되는 1종류 또는 2종류 이상이 포함된 금속 산화물이 있다. 또한 절연체(222_1)에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인 산화알루미늄, 산화 하프늄, 또는 알루미늄과 하프늄을 포함하는 산화물(하프늄알루미네이트)을 사용하여도 좋다. 또는 절연체(222_1)에는 후술하는 절연체(253) 또는 절연체(254)에 적용할 수 있는 재료를 사용하여도 좋다. 또한 절연체(222_1)는 상술한 재료에서 선택된 2종류 이상을 가지는 적층 구조로 하여도 좋다.

[0150] 이어서 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 수행하는 경우, 산소 가스를 20% 정도로 하면 좋다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.

[0151] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서 사용하는 가스에 포함되는 수분량을 1ppb 이하, 바람직하게는 0.1ppb 이하, 더 바람직하게는 0.05ppb 이하로 하면 좋다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 절연체(222_1) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0152] 본 실시형태에서는, 가열 처리로서 절연체(222_1)의 성막 후에 질소 가스와 산소 가스의 유량비를 4:1로 하여 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여, 절연체(222_1)에 포함되는 물, 수소 등의 불순물을 제거하는 것 등이 가능하다. 또한 하프늄을 포함하는 산화물을 절연체(222_1)에 사용하는 경우, 상기 가열 처리에 의하여 절연체(222_1)의 일부가 결정화되는 경우가 있다. 또한 가열 처리는 절연체(224) 성막 후 등의 타이밍에 수행할 수도 있다.

[0153] 다음으로 절연체(222_1) 위에 절연막(224Af)을 성막한다(도 8의 (A) 내지 (D) 참조). 절연막(224Af)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용하여 수행할 수 있다. 본 실시형태에서는 절연막(224Af)으로서 스퍼터링법을 사용하여 산화 실리콘을 성막한다. 수소를 포함하는 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연막(224Af) 내의 수소 농도를 저감할 수 있다. 절연막(224Af)은 나중의 공정에서 산화물(230a)과 접하기 때문에, 이와 같이 수소 농도가 저감되어 있는 것이 적합하다.

[0154] 또한 절연막(224Af)에는 산화 실리콘 이외에 예를 들어 산화질화 실리콘 등의 절연성 재료를 사용하여도 좋다.

[0155] 다음으로 절연막(224Af) 위에 산화막(230Af), 산화막(230Bf)을 이 순서대로 성막한다(도 8의 (A) 내지 (D) 참조). 또한 산화막(230Af) 및 산화막(230Bf)은 대기 환경에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 대기 환경에 노출시키지 않고 성막함으로써, 산화막(230Af) 위 및 산화막(230Bf) 위에 대기 환경에서의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 산화막(230Af)과 산화막(230Bf)의 계면 근방을 청정하게 유지할 수 있다.

[0156] 산화막(230Af) 및 산화막(230Bf)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 산화막(230Af) 및 산화막(230Bf)의 성막에는 스퍼터링법을 사용한다.

[0157] 예를 들어 산화막(230Af) 및 산화막(230Bf)을 스퍼터링법으로 성막하는 경우에는, 스퍼터링 가스로서 산소 또는 산소와 비활성 기체의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 과잉 산소를 증가시킬 수 있다. 또한 상기 산화막을 스퍼터링법으로 성막하는 경우에는, 상기 In-M-Zn 산화물 타깃 등을 사용할 수 있다.

[0158] 특히 산화막(230Af)의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연체(224)에 공급되는 경우가 있다. 따라서 상기 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.

[0159] 또한 산화막(230Bf)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 30% 초과 100% 이하, 바람직하게는 70% 이상 100% 이하로 하여 성막하면, 산소 과잉형 산화물 반도체가 형성된다. 산소 과잉형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 신뢰성을 얻을 수 있다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 산화막(230Bf)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 1% 이상 30% 이하, 바람직하게는 5% 이상 20% 이하로 하여 성막하면, 산소 결핍형 산화물 반도체가 형성된다. 산소 결핍형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는 비교적 높은 전계 효과 이동도를 얻을 수 있다. 또한 기판을 가열하면서 성막을 수행함으로써, 상기 산화막의 결정성을 향상시킬 수 있다.

[0160] 본 실시형태에서는 In:Ga:Zn=1:3:4[원자수비]의 산화물 타깃을 사용하여 스퍼터링법으로 산화막(230Af)을 성막한다. 또한 In:Ga:Zn=4:2:4.1[원자수비]의 산화물 타깃, In:Ga:Zn=1:1:1[원자수비]의 산화물 타깃, In:Ga:Zn=1:1:1.2[원자수비]의 산화물 타깃, 또는 In:Ga:Zn=1:1:2[원자수비]의 산화물 타깃을 사용하여 스퍼터링법으로 산화막(230Bf)을 성막한다. 또한 각 산화막은, 산화물(230a) 및 산화물(230b)에 요구되는 특성을 가지도록 성막 조건 및 원자수비를 적절히 선택함으로써 형성되는 것이 좋다.

[0161] 또한 절연막(224Af), 산화막(230Af), 및 산화막(230Bf)을 대기에 노출시키지 않고 스퍼터링법으로 성막하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하면 좋다. 이에 의하여, 각 성막 공정 사이에 절연막(224Af), 산화막(230Af), 및 산화막(230Bf)에 수소가 혼입되는 것을 저감할 수 있다.

[0162] 또한 산화막(230Af) 및 산화막(230Bf)의 성막에 ALD법을 사용하여도 좋다. 산화막(230Af) 및 산화막(230Bf)의 성막에서는, ALD법을 사용함으로써, 종횡비가 높은 홈 또는 개구부에 대해서도 두께가 균일한 막을 형성할 수 있다. 또한 PEALD법을 사용하는 경우, 열 ALD법보다 낮은 온도에서 산화막(230Af) 및 산화막(230Bf)을 형성할 수 있다.

[0163] 다음으로, 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 산화막(230Af) 및 산화막(230Bf)이 다결정화되지 않는 온도 범위에서 수행하면 좋고, 250℃ 이상 650℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 수행하는 경우, 산소 가스를 20% 정도로 하면 좋다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.

[0164] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서 사용하는 가스에 포함되는 수분량을 1ppb 이하, 바람직하게는 0.1ppb 이하, 더 바람직하게는 0.05ppb 이하로 하면 좋다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 산화막(230Af) 및 산화막(230Bf) 등에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0165] 본 실시형태에서는, 가열 처리로서 질소 가스와 산소 가스의 유량비를 4:1로 하여 400℃의 온도에서 1시간의 처리를 수행한다. 이러한 산소 가스를 포함하는 가열 처리에 의하여, 예를 들어 산화막(230Af) 및 산화막(230Bf) 내의 탄소, 물, 수소 등의 불순물을 저감할 수 있다. 이와 같이 막 내의 불순물을 저감함으로써, 산화막(230Bf)의 결정성을 향상시켜, 밀도가 더 높고 치밀한 구조를 제공할 수 있다. 이에 의하여, 산화막(230Af) 및 산화막(230Bf) 내의 결정 영역을 증대시켜, 산화막(230Af) 및 산화막(230Bf)에서의 결정 영역의 면 내 편재를 저감할 수 있다. 따라서 트랜지스터(M1)의 전기 특성의 면 내 편차를 저감할 수 있다.

[0166] 또한 가열 처리를 수행함으로써, 절연막(224Af), 산화막(230Af), 및 산화막(230Bf) 내의 수소가 절연체(222_1)로 이동하고, 절연체(222_1) 내에 흡수된다. 바꿔 말하면, 절연막(224Af), 산화막(230Af), 및 산화막(230Bf) 내의 수소가 절연체(222_1)로 확산된다. 따라서 절연체(222_1)의 수소 농도는 증가되지만, 절연막(224Af), 산화막(230Af), 및 산화막(230Bf) 각각의 수소 농도는 저하된다.

[0167] 특히 절연막(224Af)은 트랜지스터(M1)의 게이트 절연체로서 기능하고, 산화막(230Af) 및 산화막(230Bf)은 트랜지스터(M1)의 채널 형성 영역으로서 기능한다. 그러므로 수소 농도가 감소된 절연막(224Af), 산화막(230Af), 및 산화막(230Bf)을 포함한 트랜지스터(M1)는 신뢰성이 양호하므로 바람직하다.

[0168] 다음으로 리소그래피법을 사용하여 절연막(224Af), 산화막(230Af), 및 산화막(230Bf)을 띠 형상으로 가공함으로써 절연층(224A), 산화물층(230A), 및 산화물층(230B)을 형성한다(도 9의 (A) 내지 (D) 참조). 여기서, 절연층(224A), 산화물층(230A), 및 산화물층(230B)은 일점쇄선 A3-A4와 평행한 방향(트랜지스터(M1)의 채널 폭 방향 또는 도 6의 (A)에 나타낸 Y방향)으로 연장되도록 형성된다. 또한 절연층(224A), 산화물층(230A), 및 산화물층(230B)은 적어도 일부가 도전체(160_1)와 중첩되도록 형성한다. 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 절연막(224Af), 산화막(230Af), 및 산화막(230Bf)의 가공은 각각 다른 조건으로 가공하여도 좋다.

[0169] 또한 리소그래피법에서는, 먼저 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 다음으로, 상기 레지스트 마스크를 통하여 에칭 처리함으로써 도전체, 반도체, 또는 절연체를 원하는 형상으로 가공할 수 있다. 예를 들어 KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet) 광 등을 사용하여 레지스트를 노광함으로써 레지스트 마스크를 형성하면 좋다. 또한 기판과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 상술한 광 대신에 전자 빔 또는 이온 빔을 사용하여도 좋다. 또한 전자 빔 또는 이온 빔을 사용하는 경우에는 마스크는 불필요하다. 또한 레지스트 마스크는 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거할 수 있다.

[0170] 또한 레지스트 마스크 아래에 절연체 또는 도전체로 이루어지는 하드 마스크를 사용하여도 좋다. 하드 마스크를 사용하는 경우, 산화막(230Bf) 위에 하드 마스크 재료가 되는 절연막 또는 도전막을 형성하고, 그 위에 레지스트 마스크를 형성하고, 하드 마스크 재료를 에칭함으로써 원하는 형상의 하드 마스크를 형성할 수 있다. 산화막(230Bf) 등의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고, 레지스트 마스크를 남긴 채 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크가 소실되는 경우가 있다. 산화막(230Bf) 등의 에칭 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다. 한편으로, 하드 마스크의 재료가 후공정에 영향을 미치지 않거나, 후공정에서 이용될 수 있는 경우에는 하드 마스크를 반드시 제거할 필요는 없다.

[0171] 다음으로 절연체(222_1) 위 및 산화물층(230B) 위에 도전막(242Af)과 도전막(242Bf)을 이 순서대로 성막한다(도 10의 (A) 내지 (D) 참조). 도전막(242Af) 및 도전막(242Bf)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용하여 수행할 수 있다. 예를 들어, 도전막(242Af)으로서 스퍼터링법을 사용하여 질화 탄탈럼을 성막하고, 도전막(242Bf)으로서 텅스텐을 성막하면 좋다. 또한 도전막(242Af)을 성막하기 전에 가열 처리를 수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 도전막(242Af)을 성막하여도 좋다. 이러한 처리를 수행함으로써, 산화물층(230B)의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물층(230A) 및 산화물층(230B) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 200℃로 한다.

[0172] 또한 도전막(242Af)에는 질화 탄탈럼 이외에 예를 들어 탄탈럼을 포함한 질화물, 타이타늄을 포함한 질화물, 몰리브데넘을 포함한 질화물, 텅스텐을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 타이타늄과 알루미늄을 포함한 질화물 등의 도전성 재료를 사용하여도 좋다. 또한 예를 들어 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물 또는 란타넘과 니켈을 포함한 산화물 등의 도전성 재료를 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0173] 또한 도전막(242Bf)에는 텅스텐 이외에 예를 들어 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 란타넘에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등의 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등의 도전성 재료를 사용하여도 좋다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함한 산화물, 및 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.

[0174] 또한 도전막(242Af)과 도전막(242Bf)에는 서로 적용할 수 있는 재료를 사용하여도 좋다. 또한 도전막(242Af)과 도전막(242Bf)에 서로 동일한 재료를 사용하여도 좋다. 즉, 메모리 셀(MC)에 있어서, 도전체(242a1) 및 도전체(242a2)를 하나의 도전체로 하여도 좋다. 마찬가지로, 도전체(242b1) 및 도전체(242b2)를 하나의 도전체로 하

여도 좋다.

[0175] 다음으로 리소그래피법을 사용하여, 절연층(224A), 산화물층(230A), 산화물층(230B), 도전막(242Af), 및 도전막(242Bf)을 가공함으로써 섬 형상을 가진 절연체(224), 산화물(230a), 및 산화물(230b)과, 섬 형상이며 개구를 가지는 도전층(242A) 및 도전층(242B)을 형성한다(도 11의 (A) 내지 (D) 참조). 예를 들어, 절연층(224A), 산화물층(230A), 산화물층(230B), 도전막(242Af), 및 도전막(242Bf)을 가공하여, 섬 형상을 가진 절연체(224), 산화물(230a), 및 산화물(230b)과, 일점쇄선 A1-A2와 평행한 방향(트랜지스터(M1)의 채널 길이 방향 또는 도 6의 (A)에서 나타낸 X방향)으로 연장되는 도전층(242A) 및 도전층(242B)을 형성한 후, 도전층(242A) 및 도전층(242B)을 가공하여, 섬 형상이며 개구를 가지는 도전층(242A) 및 도전층(242B)을 형성한다. 또는 예를 들어 절연층(224A), 산화물층(230A), 산화물층(230B), 도전막(242Af), 및 도전막(242Bf)을 섬 형상으로 가공하여, 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)을 형성한 후, 도전층(242A) 및 도전층(242B)에 개구를 형성하여도 좋다.

[0176] 여기서, 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)은 적어도 일부가 도전체(160_1)와 중첩되도록 형성된다. 또한 도전층(242A) 및 도전층(242B)에 제공되는 개구는 산화물(230b)과 중첩되지 않는 위치에 형성된다. 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 절연층(224A), 산화물층(230A), 산화물층(230B), 도전막(242Af), 및 도전막(242Bf)의 가공은 각각 다른 조건으로 수행하여도 좋다.

[0177] 또한 도 11의 (B) 내지 (D)에 나타낸 바와 같이, 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)의 측면이 테이퍼 형상을 가져도 좋다. 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)은 예를 들어 테이퍼 각이 60° 이상 90° 미만이 되도록 하면 좋다. 이와 같이 측면을 테이퍼 형상으로 함으로써, 나중의 공정에서 절연체(275) 등의 피복성이 향상되어, 공동(void) 등의 결함을 저감할 수 있다.

[0178] 다만 상기에 한정되지 않고, 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)의 측면을 절연체(222_1)의 상면에 대하여 실질적으로 수직으로 하여도 좋다. 이러한 구성으로 함으로써, 복수의 트랜지스터(M1)를 제공할 때 면적 절약 및 고밀도화가 가능하다.

[0179] 또한 상기 에칭 공정에서 발생한 부생성물이 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)의 측면에 층상으로 형성되는 경우가 있다. 이 경우, 상기 층상의 부생성물은 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)과 절연체(275) 사이에 형성된다. 따라서 절연체(222_1)의 상면과 접하여 형성된 상기 층상의 부생성물은 제거되는 것이 바람직하다.

[0180] 다음으로, 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)을 덮어 절연체(275)를 성막한다(도 12의 (A) 내지 (D) 참조). 여기서, 절연체(275)는 절연체(222_1)의 상면 및 절연체(224)의 측면과 접하는 것이 바람직하다. 절연체(275)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용하여 수행할 수 있다. 절연체(275)로서는 산소의 투과를 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어 절연체(275)로서 ALD법을 사용하여 질화 실리콘을 성막하면 좋다. 또는 절연체(275)로서 스퍼터링법을 사용하여 산화 알루미늄을 성막하고, 그 위에 PEALD법을 사용하여 질화 실리콘을 성막하면 좋다. 절연체(275)에 이러한 적층 구조를 적용함으로써 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능이 향상되는 경우가 있다.

[0181] 이러한 식으로, 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)을 산소의 확산을 억제하는 기능을 가지는 절연체(275)로 덮을 수 있다. 이에 의하여, 나중의 공정에서 형성되는 절연체(280_2) 등으로부터 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)으로 산소가 직접 확산되는 것을 저감할 수 있다.

[0182] 다음으로, 절연체(275) 위에 절연체(280_2)가 되는 절연막을 성막한다. 상기 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용하여 수행할 수 있다. 예를 들어 상기 절연막으로서 스퍼터링법을 사용하여 산화 실리콘막을 성막하면 좋다. 상기 절연막을 산소를 포함하는 분위기에서 스퍼터링법으로 성막함으로써, 과잉 산소를 포함하는 절연체(280_2)를 형성할 수 있다. 또한 수소를 포함하는 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(280_2) 내의 수소 농도를 저감할 수 있다. 또한 상기 절연막을 성막하기 전에 가열 처리를 수행하여도 좋다. 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 상기 절연막을 성막하여도 좋다. 이러한 처리를 수행함으로써, 절연체(275)의 표면

등에 흡착된 수분 및 수소를 제거하고, 산화물(230a), 산화물(230b), 및 절연체(224) 내의 수분 농도 및 수소 농도를 감소시킬 수 있다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다.

[0183] 또한 절연체(280_2)가 되는 절연막에는 유전율이 낮은 재료를 사용하는 것이 바람직하다. 구체적으로 유전율이 낮은 재료로서는 예를 들어 산화 실리콘 또는 산화질화 실리콘이 있다. 또한 유전율이 낮은 재료로서는 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소와 질소를 첨가한 산화 실리콘, 또는 공공(空孔)을 가지는 산화 실리콘도 들 수 있다.

[0184] 또한 절연체(280_2)가 되는 절연막에는 질화산화 실리콘 또는 질화 실리콘을 사용하여도 좋다.

[0185] 또한 본 명세서 등에서 산화질화물이란 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화물이란 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어 산화질화 실리콘이라고 기재된 경우에는, 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이라고 기재된 경우에는, 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0186] 다음으로, 절연체(280_2)가 되는 절연막에 대하여 CMP법 등으로 평탄화 처리를 수행하여 상면이 평탄한 절연체(280_2)를 형성한다(도 12의 (A) 내지 (D) 참조). 또한 절연체(280_2) 위에 예를 들어 스퍼터링법으로 질화 실리콘을 성막하고, 상기 질화 실리콘에 대하여 절연체(280_2)에 도달할 때까지 CMP 처리를 수행하여도 좋다.

[0187] 다음으로 도전체(160_1)와 산화물(230)이 중첩되는 영역에 있어서, 절연체(280_2)의 일부, 절연체(275)의 일부, 도전층(242A)의 일부, 및 도전층(242B)의 일부를 가공하여, 산화물(230b)에 도달하는 개구(258)를 형성한다. 개구(258)의 형성에 의하여, 도전층(242A)으로부터 도전체(242a1) 및 도전체(242b1)를 형성하고, 도전층(242B)으로부터 도전체(242a2) 및 도전체(242b2)를 형성할 수 있다(도 13의 (A) 내지 (D) 참조).

[0188] 또한 절연체(280_2)의 일부, 절연체(275)의 일부, 및 도전층(242B)의 일부의 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 상기 가공은 각각 다른 조건으로 수행하여도 좋다. 예를 들어 절연체(280_2)의 일부를 드라이 에칭법으로 가공하고, 절연체(275)의 일부를 웨트 에칭법으로 가공하고, 도전층(242B)의 일부를 드라이 에칭법으로 가공하여도 좋다.

[0189] 개구(258)는 도 13의 (A) 및 (C)에 나타낸 바와 같이, 일점쇄선 A3-A4와 평행한 방향(트랜지스터의 채널 폭 방향 또는 도 6의 (A) 및 (C)에 나타낸 Y방향)으로 연장되어 형성되는 구성으로 하는 것이 바람직하다. 이와 같이, 개구(258)를 형성함으로써, 나중에 형성되는 도전체(260)가 상기 방향으로 연장되어 제공될 수 있고, 도전체(260)가 배선으로서 기능할 수 있다. 또한 개구(258)는 도전체(160_1)와 중첩되도록 형성되는 것이 바람직하다.

[0190] 개구(258)의 폭은 트랜지스터(M1)의 채널 길이에 반영되기 때문에, 미세한 것이 바람직하다. 예를 들어, 개구(258)의 폭이 1nm 이상 또는 5nm 이상이고, 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 20nm 이하, 또는 10nm 이하인 것이 바람직하다. 이와 같이 개구(258)를 미세하게 가공하기 위해서는 EUV 광 등의 단파장 광 또는 전자 빔을 사용한 리소그래피법을 이용하는 것이 바람직하다.

[0191] 개구(258)를 미세하게 가공하는 경우, 절연체(280_2)의 일부, 절연체(275)의 일부, 도전층(242B)의 일부, 및 도전층(242A)의 일부의 가공은 이방성 에칭을 사용하여 수행하는 것이 바람직하다. 특히 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 상기 가공은 각각 다른 조건으로 수행하여도 좋다.

[0192] 이방성 에칭을 사용하여 절연체(280_2), 절연체(275), 도전층(242B), 및 도전층(242A)을 가공함으로써, 도전체(242a) 및 도전체(242b)의 서로 대향하는 측면이 각각 산화물(230b)의 상면에 대하여 실질적으로 수직이 되도록 형성할 수 있다. 이와 같은 구성으로 함으로써, 도전체(242a)의 단부 부근의 산화물(230)의 영역 및 도전체(242b)의 단부 부근의 산화물(230)의 영역에 소위 Loff 영역이 형성되는 것을 억제할 수 있다. 따라서, 트랜지스터(M1)의 주파수 특성을 향상시켜 본 발명의 일 형태에 따른 반도체 장치의 동작 속도를 향상시킬 수 있다.

[0193] 다만, 상기에 한정되지 않고, 절연체(280_2), 절연체(275), 및 도전체(242)(도전체(242a) 및 도전체(242b))의 측면이 테이퍼 형상이 되는 경우가 있다. 또한 절연체(280_2)의 테이퍼 각이 도전체(242)의 테이퍼 각보다 큰 경우가 있다. 또한 개구(258)를 형성할 때, 산화물(230b)의 상부가 제거되는 경우가 있다.

[0194] 상기 에칭 처리에 의하여 산화물(230a)의 측면, 산화물(230b)의 상면 및 측면, 도전체(242)의 측면, 절연체(280_2)의 측면 등에 불순물이 부착되거나 이들 내부로 상기 불순물이 확산되는 경우가 있다. 이러한 불순물을 제거하는 공정을 수행하여도 좋다. 또한 상기 드라이 에칭에 의하여 산화물(230b)의 표면에 손상 영역이 형성되는 경우가 있다. 이러한 손상 영역을 제거하여도 좋다. 상기 불순물로서는, 절연체(280_2), 절연체(275),

도전층(242B), 및 도전층(242A)에 포함되는 성분, 상기 개구를 형성할 때 사용되는 장치에 사용되는 부재에 포함되는 성분, 에칭에 사용하는 가스 또는 액체에 포함되는 성분 등에 기인한 것을 들 수 있다. 상기 불순물로서는 예를 들어 하프늄, 알루미늄, 실리콘, 탄탈럼, 플루오린, 또는 염소 등이 있다.

[0195] 특히 알루미늄, 실리콘 등의 불순물은 산화물(230b)의 결정성을 저하시키는 경우가 있다. 따라서 산화물(230b)의 표면 및 그 근방에서 알루미늄, 실리콘 등의 불순물은 제거되는 것이 바람직하다. 또한 상기 불순물의 농도는 저감되어 있는 것이 바람직하다. 예를 들어 산화물(230b)의 표면 및 그 근방에서의 알루미늄 원자의 농도를 5.0atomic% 이하로 하면 좋고, 2.0atomic% 이하가 바람직하고, 1.5atomic% 이하가 더 바람직하고, 1.0atomic% 이하가 더 바람직하고, 0.3atomic% 미만이 더 바람직하다.

[0196] 또한 알루미늄 또는 실리콘 등의 불순물로 인하여 산화물(230b)의 결정성이 낮은 영역에서는 결정 구조의 치밀성이 저하되므로, V_OH(V_O는 산소 결손이고, V_OH는 V_O에 수소가 들어간 결함을 가리킴)이 다량으로 형성되고, 트랜지스터가 노멀리 온(게이트와 소스 간에 0V의 전압을 인가한 경우에 채널이 존재하고, 트랜지스터에 전류가 흐르는 상태)이 되기 쉽다. 따라서 산화물(230b)의 결정성이 낮은 영역은 저감 또는 제거되어 있는 것이 바람직하다.

[0197] 한편으로, 산화물(230b)은 층상의 CAAC 구조를 가지는 것이 바람직하다. 특히 산화물(230b)의 드레인 하단부까지 CAAC 구조를 가지는 것이 바람직하다. 여기서, 트랜지스터(M1)에서 도전체(242a) 또는 도전체(242b), 및 그 근방이 드레인으로서 기능한다. 즉 도전체(242a)(도전체(242b))의 하단부 근방의 산화물(230b)이 CAAC 구조를 가지는 것이 바람직하다. 이와 같이, 드레인 내압에 현저하게 영향을 미치는 드레인 단부에서도 산화물(230b)의 결정성이 낮은 영역이 제거되고 CAAC 구조를 가짐으로써, 트랜지스터(M1)의 전기 특성의 변동을 더 억제할 수 있다. 또한 트랜지스터(M1)의 신뢰성을 향상시킬 수 있다.

[0198] 상기 에칭 공정에서 산화물(230b)의 표면에 부착된 불순물 등을 제거하기 위하여 세정 처리를 수행한다. 세정 방법으로서는, 세정액 등을 사용한 웨트 세정(웨트 에칭 처리라고 할 수도 있음), 플라스마를 사용한 플라스마 처리, 가열 처리에 의한 세정 등이 있고, 상기 세정을 적절히 조합하여 수행하여도 좋다. 또한 상기 세정 처리에 의하여, 상기 홈부가 깊어지는 경우가 있다.

[0199] 웨트 세정에는 암모니아수, 옥살산, 인산, 및 플루오린화 수소산에서 선택된 하나 이상을 탄산수 또는 순수로 희석한 수용액을 사용할 수 있다. 또는 웨트 세정에 순수 또는 탄산수를 사용하여 수행하여도 좋다. 또는 이들 수용액, 순수, 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다. 또는 이들 세정을 적절히 조합하여 수행하여도 좋다.

[0200] 또한 본 명세서 등에서는, 플루오린화 수소산을 순수로 희석한 수용액을 희석 플루오린화 수소산이라고 부르고, 암모니아수를 순수로 희석한 수용액을 희석 암모니아수라고 부르는 경우가 있다. 또한 상기 수용액의 농도, 온도 등은 제거하려고 하는 불순물, 세정되는 반도체 장치의 구성 등에 따라 적절히 조정하면 좋다. 희석 암모니아수의 암모니아 농도는 0.01% 이상 5% 이하, 바람직하게는 0.1% 이상 0.5% 이하로 하면 좋다. 또한 희석 플루오린화 수소산의 플루오린화 수소 농도는 0.01ppm 이상 100ppm 이하, 바람직하게는 0.1ppm 이상 10ppm 이하로 하면 좋다.

[0201] 또한 초음파 세정에서 주파수는 바람직하게는 200kHz 이상이고, 더 바람직하게는 900kHz 이상이다. 상기 주파수를 사용함으로써 산화물(230b) 등에 대한 대미지를 저감할 수 있다.

[0202] 또한 상기 세정 처리를 여러 번 수행하여도 좋고, 세정 처리마다 세정액을 변경하여도 좋다. 예를 들어 제 1 세정 처리로서 희석 플루오린화 수소산 또는 희석 암모니아수를 사용한 처리를 수행하고, 제 2 세정 처리로서 순수 또는 탄산수를 사용한 처리를 수행하여도 좋다.

[0203] 상기 세정 처리로서, 본 실시형태에서는 희석 암모니아수를 사용하여 웨트 세정을 수행한다. 상기 세정 처리를 수행함으로써, 산화물(230a), 산화물(230b) 등의 표면에 부착되거나 내부로 확산된 불순물을 제거할 수 있다. 또한 산화물(230b)의 결정성을 높일 수 있다.

[0204] 상기 에칭 후 또는 상기 세정 후에 가열 처리를 수행하여도 좋다. 가열 처리는 100℃ 이상 450℃ 이하, 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어, 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이로써, 산화물(230a) 및 산화물(230b)에 산소가 공급되므로 산소 결손을 저감할 수 있다. 또한 이러한 열처리를 수행함으로써, 산화물(230b)의 결정성을 향상시킬 수

있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 산소 분위기에서 가열 처리한 후에, 대기에 노출시키지 않고 연속하여 질소 분위기에서 가열 처리를 수행하여도 좋다.

[0205] 다음으로, 도전층(242A)과 도전층(242B)과 절연체(222_1)가 중첩되고 도전체(160_1)와 산화물(230)이 중첩되지 않는 영역에 있어서, 절연체(280_2)의 일부, 절연체(275)의 일부를 가공하여, 도전층(242B)(도전체(242b2))에 도달하는 개구(158)를 형성한다(도 13의 (A) 내지 (D) 참조).

[0206] 또한 개구(158)의 형성에는 개구(258)의 형성과 마찬가지로 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 예를 들어, 절연체(280_2)의 일부를 드라이 에칭법으로 가공하고, 절연체(275)의 일부를 웨트 에칭법으로 가공하여도 좋다.

[0207] 개구(158)는 도 13의 (A) 및 (D)에 나타낸 바와 같이, 일점쇄선 A5-A6과 평행한 방향(트랜지스터의 채널 폭 방향 또는 도 6의 (A) 및 도 13의 (D)에 나타낸 Y방향)으로 연장되어 형성되는 구성으로 하는 것이 바람직하다. 이와 같이, 개구(158)를 형성함으로써, 나중에 형성되는 도전체(160_2)가 상기 방향으로 연장되어 제공될 수 있고, 도전체(160_2)가 배선으로서 기능할 수 있다.

[0208] 또한 개구(158)와 개구(258) 각각은 서로 일괄로 형성되어도 좋고, 또는 개구(158) 및 개구(258) 중 한쪽을 먼저 형성하고, 그 후에 다른 쪽을 형성하여도 좋다. 또한 개구(258)는 개구(258)의 바닥부에 산화물(230b)이 노출되도록 형성되고, 개구(158)는 개구(158)의 바닥부에 도전체(242b2)가 노출되도록 형성되는 것이 바람직하다. 그러므로 개구(158)와 개구(258) 각각의 형성에는 서로 다른 조건의 가공 방법을 사용하는 것이 바람직하다.

[0209] 다음으로 절연막(253A)을 성막한다(도 14의 (A) 내지 (D) 참조). 절연막(253A)은 나중의 공정에서 절연체(253) 및 절연체(153_2)가 되는 절연막이다. 절연막(253A)은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용하여 성막할 수 있다. 절연막(253A)은 ALD법을 사용하여 성막하는 것이 바람직하다. 상술한 바와 같이, 절연막(253A)은 얇은 막 두께로 성막하는 것이 바람직하고, 막 두께의 편차는 저감될 필요가 있다. 한편, ALD법은 전구체와 반응제(예를 들어 산화제)를 교대로 도입하는 성막 방법이고, 이 사이클을 반복하는 횟수로 막 두께를 조절할 수 있기 때문에 막 두께를 정밀하게 조절할 수 있다. 또한 도 14의 (B) 및 (C)에 나타낸 바와 같이, 절연막(253A)은 개구(258)와 개구(158) 각각의 바닥면 및 측면에 높은 피복성으로 성막될 필요가 있다. 개구(258)에 있어서, 산화물(230)의 상면 및 측면에 높은 피복성으로 성막되는 것이 바람직하다. 또한 개구(158)에 있어서, 도전체(242b)의 상면 및 측면에 높은 피막성으로 성막되는 것이 바람직하다. ALD법을 사용함으로써, 개구(258)와 개구(158) 각각의 바닥면 및 측면에 있어서 원자의 층을 한 층씩 퇴적시킬 수 있기 때문에, 절연막(253A)을 각각의 개구에 대하여 양호한 피복성으로 성막할 수 있다.

[0210] 또한 절연막(253A)을 ALD법으로 성막하는 경우, 산화제로서 오존(O_3), 산소(O_2), 물(H_2O) 등을 사용할 수 있다. 수소를 포함하지 않는 오존(O_3), 산소(O_2) 등을 산화제로서 사용함으로써, 산화물(230b)로 확산되는 수소를 저감할 수 있다.

[0211] 본 실시형태에서는 절연막(253A)으로서 산화 하프늄을 열 ALD법으로 성막한다.

[0212] 또는 절연막(253A)에 사용되는 절연성 재료로서는 비유전율이 높은 high-k 재료를 사용하여도 좋다. 비유전율이 높은 high-k 재료로서는 예를 들어 상술한 산화 하프늄에 더하여, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘에서 선택되는 1종류 또는 2종류 이상이 포함된 금속 산화물이 있다. 또는 절연막(253A)에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인 산화알루미늄, 산화 하프늄, 또는 알루미늄과 하프늄을 포함하는 산화물(하프늄알루미네이트)을 사용하여도 좋다.

[0213] 또한 절연막(253A)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘 등의 절연성 재료를 사용할 수 있다. 또는 절연막(253A)에는 플루오린을 첨가한 산화 실리콘 또는 탄소를 첨가한 산화 실리콘 등의 절연성 재료를 사용할 수 있다. 또는 절연막(253A)에는 탄소 및 질소를 첨가한 산화 실리콘을 사용할 수 있다. 또는 절연막(253A)에는 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다. 또는 절연막(253A)은 상술한 재료에서 선택한 2개 이상을 가지는 적층 구조로 하여도 좋다.

[0214] 다음으로, 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 것이 바람직하다(도 14의 (A) 내지 (D) 참조). 여기서 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가지는 장치를 사용한 처리를 말한다. 또한 본 명세서 등에서 마이크로파란, 300MHz 이상 300GHz 이하의 주파수를 가지는 전자기파를 가리키는 것으로 한다. 또한 절연막(253A)을 적층 구조로 하는 경우, 절연막(253A)의 일부

를 성막한 단계에서, 마이크로파 처리를 수행하여도 좋다. 예를 들어, 절연막(253A)이 산화 실리콘막 또는 산화질화 실리콘막을 포함하는 경우, 산화 실리콘막 또는 산화질화 실리콘막을 성막한 단계에서 상기 마이크로파 처리를 수행하여도 좋다.

[0215] 도 14의 (B) 내지 (D)에 나타낸 점선의 화살표는 마이크로파 또는 RF 등의 고주파, 산소 플라스마, 또는 산소 라디칼 등을 나타낸다. 마이크로파 처리에는, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가지는 마이크로파 처리 장치를 사용하는 것이 바람직하다. 여기서 마이크로파 처리 장치의 주파수는 300MHz 이상 300GHz 이하, 바람직하게는 2.4GHz 이상 2.5GHz 이하, 예를 들어 2.45GHz로 하면 좋다. 고밀도 플라스마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있다. 또한 마이크로파 처리 장치의 마이크로파를 인가하는 전원의 전력은 1000W 이상 10000W 이하, 바람직하게는 2000W 이상 5000W 이하로 하면 좋다. 또한 마이크로파 처리 장치는 기판 측에 RF를 인가하는 전원을 가져도 좋다. 또한 기판 측에 RF를 인가함으로써, 고밀도 플라스마에 의하여 생성된 산소 이온을 산화물(230b) 내에 효율적으로 도입할 수 있다. 플라스마, 마이크로파 등의 작용에 의하여, 도전체(242a) 및 도전체(242b)에 중첩되지 않는 산화물(230)의 영역에 포함되는 V_OH를 분단하고, 수소를 상기 영역에서 제거할 수 있다. 즉 상기 영역에 포함되는 V_OH를 저감할 수 있다. 이에 의하여, 상기 영역에서의 산소 결손 및 V_OH를 저감하여 캐리어 농도를 저하시킬 수 있다. 또한 상기 영역에서 형성된 산소 결손에, 상기 산소 플라스마에서 발생한 산소 라디칼 등을 공급함으로써, 상기 영역 중의 산소 결손을 더 저감하고, 캐리어 농도를 더 저하시킬 수 있다.

[0216] 또한 도 14의 (B) 내지 (D)에 나타낸 바와 같이, 도전체(242a) 및 도전체(242b)는 마이크로파 또는 RF 등의 고주파, 산소 플라스마 등의 작용을 차폐하기 때문에, 이들의 작용은 도전체(242a) 또는 도전체(242b)와 중첩되는 산화물(230b)의 영역에는 미치지 않는다. 따라서 마이크로파 처리에 의한 V_OH의 저감 및 과잉량의 산소 공급이 상기 영역에서 발생하지 않기 때문에, 캐리어 농도의 감소를 방지할 수 있다.

[0217] 또한 도전체(242a) 및 도전체(242b)의 측면과 접하여 산소에 대한 배리어성을 가지는 절연체(253)가 제공되어 있다. 이에 의하여, 마이크로파 처리에 의하여 도전체(242a) 및 도전체(242b)의 측면에 산화막이 형성되는 것을 억제할 수 있다.

[0218] 또한 절연체(253)의 막질을 향상시킬 수 있기 때문에, 트랜지스터(M1)의 신뢰성이 향상된다.

[0219] 상술한 바와 같이 하여, 도전체(242a) 및 도전체(242b)와 중첩되지 않는 산화물(230)의 영역에서 선택적으로 산소 결손 및 V_OH를 제거하여, 상기 영역을 i형 또는 실질적으로 i형으로 할 수 있다. 또한 소스 영역 또는 드레인 영역으로서 기능하는, 도전체(242a) 및 도전체(242b)와 중첩되는 산화물(230)의 영역에 산소가 과잉으로 공급되는 것을 억제하여, 도전성을 유지할 수 있다. 이에 의하여, 트랜지스터(M1)의 전기 특성의 변동이 억제되므로, 기판면 내에서 트랜지스터(M1)의 전기 특성에 편차가 생기는 것을 억제할 수 있다.

[0220] 또한 마이크로파 처리에서는, 마이크로파와 산화물(230b) 내의 분자의 전자기적인 상호 작용에 의하여 산화물(230b)에 열 에너지가 직접 전달되는 경우가 있다. 이 열 에너지에 의하여 산화물(230b)이 가열되는 경우가 있다. 이러한 가열 처리를 마이크로파 어닐링이라고 부르는 경우가 있다. 마이크로파 처리를 산소를 포함하는 분위기에서 수행함으로써, 산소 어닐링과 동등한 효과가 얻어지는 경우가 있다. 또한 산화물(230b)에 수소가 포함되는 경우, 이 열 에너지가 산화물(230b) 내의 수소에 전달되고, 이에 의하여 활성화된 수소가 산화물(230b)로부터 방출될 경우가 있다.

[0221] 또한 절연막(253A)의 성막 후에 수행하는 마이크로파 처리를 수행하지 않고, 절연막(253A)의 성막 전에 마이크로파 처리를 수행하여도 좋다.

[0222] 또한 절연막(253A) 성막 후의 마이크로파 처리 후에 감압 상태를 유지한 채 가열 처리를 수행하여도 좋다. 이러한 처리를 수행함으로써 절연막(253A) 내, 산화물(230b), 및 산화물(230a) 내의 수소를 효율적으로 제거할 수 있다. 또한 수소의 일부는 도전체(242)(도전체(242a) 및 도전체(242b))에 게터링되는 경우가 있다. 또는 마이크로파 처리 후에 감압 상태를 유지한 상태에서 가열 처리를 수행하는 단계를 여러 번 반복적으로 수행하여도 좋다. 가열 처리를 반복적으로 수행함으로써, 절연막(253A) 내, 산화물(230b) 내, 및 산화물(230a) 내의 수소를 더 효율적으로 제거할 수 있다. 또한 가열 처리의 온도는 300℃ 이상 500℃ 이하로 하는 것이 바람직하다. 또한 상기 마이크로파 처리, 즉 마이크로파 어닐링이 상기 가열 처리의 역할을 하여도 좋다. 마이크로파 어닐링에 의하여 산화물(230b) 등이 충분히 가열되는 경우에는, 상기 가열 처리는 수행하지 않아도 된다.

[0223] 또한 마이크로파 처리를 수행하여 절연막(253A)의 막질을 개량함으로써, 수소 또는 물 등의 불순물의 확산을 억

제할 수 있다. 따라서 도전체(260)가 되는 도전막의 성막 등의 후공정 또는 열처리 등의 후처리에서 절연체(253)를 통하여 수소 또는 물 등의 불순물이 산화물(230b), 산화물(230a) 등으로 확산되는 것을 억제할 수 있다.

[0224] 다음으로, 절연체(254) 및 절연체(154_2)가 되는 절연막(254A)을 성막한다(도 15의 (A) 내지 (D) 참조). 절연막(254A)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용할 수 있다. 절연막(254A)은 절연막(253A)과 마찬가지로 ALD법을 사용하여 성막하는 것이 바람직하다. ALD법을 사용함으로써, 절연막(254A)을 얇은 막 두께로 피복성 좋게 성막할 수 있다. 본 실시형태에서는 절연막(254A)으로서 질화 실리콘을 PEALD법으로 성막한다.

[0225] 또한 절연막(254A)에는 절연막(253A)에 적용할 수 있는 절연성 재료를 사용하여도 좋다.

[0226] 또한 절연막(254A)은 절연막(253A)과 동일한 재료로 하여도 좋다. 즉, 메모리 셀(MC)에 있어서, 절연체(253) 및 절연체(254)는 하나의 절연체로 하여도 좋다. 마찬가지로, 절연체(153_1) 및 절연체(154_1)는 하나의 절연체로 하여도 좋고, 절연체(153_2) 및 절연체(154_2)는 하나의 절연체로 하여도 좋다.

[0227] 다음으로, 도전체(260a) 및 도전체(160a_2)가 되는 도전막(260A)과, 도전체(260b) 및 도전체(160b_2)가 되는 도전막(260B)을 이 순서대로 성막한다(도 15의 (A) 내지 (D) 참조). 도전체(260a)가 되는 도전막 및 도전체(260b)가 되는 도전막의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용할 수 있다. 본 실시형태에서는, ALD법을 사용하여 도전체(260a)가 되는 도전막(260A)으로서 질화 타이타늄을 성막하고, CVD법을 사용하여 도전체(260b)가 되는 도전막(260B)으로서 텅스텐을 성막한다.

[0228] 또한 도전막(260A)에는 질화 타이타늄 이외에 탄탈럼, 질화 탄탈럼, 타이타늄, 루테늄, 또는 산화 루테늄 등의 도전성 재료를 사용하여도 좋다. 또는 도전막(260A)에는 상술한 재료에서 선택된 2개 이상을 가지는 적층 구조를 적용하여도 좋다. 또한 도전막(260B)에는 텅스텐 이외에 구리 또는 알루미늄 등의 도전성 재료를 사용하여도 좋다. 또는 도전막(260B)에는 상술한 재료에서 선택된 2개 이상을 가지는 적층 구조를 적용하여도 좋다.

[0229] 다음으로 CMP법 등의 평탄화 처리에 의하여, 절연막(253A), 절연막(254A), 도전체(260a), 및 도전체(260b)를 절연체(280_2)가 노출될 때까지 연마한다. 즉, 절연막(253A), 절연막(254A), 도전체(260a), 및 도전체(260b) 중 개구(258) 및 개구(158) 각각으로부터 노출된 부분을 제거한다. 이에 의하여, 개구(258) 내에 절연체(253), 절연체(254), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성하고, 개구(158) 내에 절연체(153_2), 절연체(154_2), 및 도전체(160_2)(도전체(160a_2) 및 도전체(160b_2))를 형성한다(도 16의 (A) 내지 (D) 참조).

[0230] 이에 의하여, 절연체(253)는 산화물(230b)과 중첩되는 개구(258)의 내벽 및 측면과 접하여 제공된다. 또한 도전체(260)는 절연체(253) 및 절연체(254)를 개재하여 개구(258)를 메우도록 배치된다. 이러한 식으로 트랜지스터(M1)가 형성된다.

[0231] 또한 절연체(153_2)는 도전체(242b)와 중첩되는 개구(158)의 내벽 및 측면과 접하여 제공된다. 또한 도전체(160_2)는 절연체(153_2) 및 절연체(154_2)를 개재하여 개구(158)를 메우도록 배치된다. 이러한 식으로 용량 소자(C1)가 형성된다.

[0232] 다음으로, 상기 가열 처리와 같은 조건으로 가열 처리를 수행하여도 좋다. 본 실시형태에서는, 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 절연체(280_2) 중의 수분 농도 및 수소 농도를 저감시킬 수 있다. 또한 상기 가열 처리 후, 대기에 노출시키지 않고 연속하여 절연체(222_2)를 성막하여도 좋다.

[0233] 다음으로 절연체(253) 위, 절연체(254) 위, 도전체(260) 위, 절연체(153_2) 위, 절연체(154_2) 위, 도전체(160_2) 위, 및 절연체(280_2) 위에 절연체(222_2)를 형성한다(도 6의 (A) 내지 (D) 참조). 절연체(222_2)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등의 성막 방법을 사용하여 수행할 수 있다. 절연체(222_2)의 성막에 있어서, 예를 들어 절연체(222_1)와 같은 식으로 ALD법을 사용하여 수소 농도가 저감된 산화하프늄을 성막하는 것이 바람직하다.

[0234] 상술한 바와 같이, 도 2에 나타낸 메모리 셀(MCa) 또는 메모리 셀(MCb)을 가지는 반도체 장치를 제작할 수 있다. 도 6의 (A) 내지 도 16의 (D)에 나타낸 바와 같이, 본 실시형태에서 설명하는 반도체 장치의 제작 방법을 사용함으로써, 용량 소자(C1)와 트랜지스터(M1)를 동일한 공정으로 제작할 수 있다. 이에 의하여, 용량 소자(C1)와 트랜지스터(M1)를 가지는 반도체 장치의 제작 공정을 줄일 수 있다.

[0235] 또한 도 2에 나타낸 메모리 셀(MCa) 또는 메모리 셀(MCb)을 가지는 반도체 장치는 메모리 셀의 점유 면적을 작

게 할 수 있다. 즉, 상기 반도체 장치의 기록 밀도를 높일 수 있다.

[0236] 또한 본 발명의 일 형태에 따른 반도체 장치의 제작 방법은 도 6의 (A) 내지 도 16의 (D)에 나타낸 방법에 한정되지 않는다. 반도체 장치의 제작 방법은 상황에 따라 재료 및 공정을 변경하여도 좋다.

[0237] 예를 들어, 도 12의 (A) 내지 (D)에 있어서, 절연체(280_2)를 형성한 후에는 도 17의 (A) 내지 도 21의 (D)에 나타낸 제작 공정으로 반도체 장치를 제작하여도 좋다.

[0238] 도 12의 (A) 내지 (D)에 있어서, 도전체(280_2)를 형성한 후에는 도전체(160_1)와 산화물(230)이 중첩되는 영역에서, 절연체(280_2)의 일부, 절연체(275)의 일부, 도전층(242A)의 일부, 및 도전층(242B)의 일부를 가공하여, 산화물(230b)에 도달하는 개구(258)를 형성한다. 개구(258)의 형성에 의하여, 도전층(242A)으로부터 도전체(242a1) 및 도전체(242b1)를 형성하고, 도전층(242B)으로부터 도전체(242a2) 및 도전체(242b2)를 형성할 수 있다(도 17의 (A) 내지 (D) 참조). 또한 구체적인 공정에 대해서는 도 13의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0239] 또한 개구(258)의 형성 후는 도 14의 (A) 내지 (D)와 같은 식으로 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 것이 바람직하다.

[0240] 다음으로 절연체(280_2) 위와, 산화물(230) 위에 절연막(253A), 절연막(254A), 도전막(260A), 및 도전막(260B)을 이 순서대로 형성한다(도 18의 (A) 내지 (D) 참조). 또한 구체적인 공정에 대해서는 도 15의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0241] 그 후에 CMP법 등의 평탄화 처리에 의하여, 절연막(253A), 절연막(254A), 도전체(260a), 및 도전체(260b)를 절연체(280_2)가 노출될 때까지 연마한다. 이에 의하여, 개구(258) 내에 절연체(253), 절연체(254), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성한다(도 19의 (A) 내지 (D) 참조). 또한 구체적인 공정에 대해서는 도 16의 (A) 내지 (D)에 관한 설명을 참조할 수 있다. 상술한 것은 트랜지스터(M1)의 게이트에 상당한다.

[0242] 도 19의 (A) 내지 (D)에 있어서, 절연체(253), 절연체(254), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성한 후에 도전체(242b)와 절연체(222_1)가 중첩되고 도전체(160_1)와 산화물(230)이 중첩되지 않는 영역에 있어서, 절연체(280_2)의 일부, 절연체(275)의 일부를 가공하여, 도전체(242b)(도전체(242b2))에 도달하는 개구(158)를 형성한다(도 20의 (A) 내지 (D) 참조). 또한 구체적인 공정에 대해서는 도 13의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0243] 다음으로 절연체(280_2) 위와, 도전체(242b) 위(도전체(242b2) 위)에 절연막(153A), 절연막(154A), 도전막(160A), 및 도전막(160B)을 이 순서대로 형성한다(도 21의 (A) 내지 (D) 참조). 절연막(153A)에는 예를 들어 절연막(253A)에 적용할 수 있는 재료를 사용할 수 있다. 또한 절연막(154A)에는 예를 들어 절연막(254A)에 적용할 수 있는 재료를 사용할 수 있다. 또한 도전막(160A)에는 예를 들어 도전막(260A)에 적용할 수 있는 재료를 사용할 수 있다. 또한 도전막(160B)에는 예를 들어 도전막(260B)에 적용할 수 있는 재료를 사용할 수 있다. 또한 구체적인 공정에 대해서는 도 15의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0244] 그 후에 CMP법 등의 평탄화 처리에 의하여, 절연막(153A), 절연막(154A), 도전막(160A), 및 도전막(160B)을 절연체(280_2)가 노출될 때까지 연마한다. 이에 의하여, 개구(158) 내에 절연체(153_2), 절연체(154_2), 및 도전체(160_2)(도전체(160a_2) 및 도전체(160b_2))를 형성한다. 또한 도 21의 (A) 내지 (D)에 나타낸 반도체 장치는 평탄화 처리에 의하여 도 16의 (A) 내지 (D)에 나타낸 구성과 거의 동일하게 된다. 또한 평탄화 처리의 구체적인 공정에 대해서는 도 16의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0245] 상술한 바와 같이, 도 12의 (A) 내지 (D)에 있어서, 절연체(280_2)를 형성한 후에는 도 17의 (A) 내지 도 21의 (D)에 나타낸 제작 공정을 수행함으로써도 본 발명의 일 형태의 반도체 장치를 제작할 수 있다. 또한 본 발명의 일 형태에 따른 반도체 장치의 제작 방법은 먼저 개구(158)를 형성하고, 개구(158) 내에 절연체(153_2), 절연체(154_2), 및 도전체(160_2)(도전체(160a_2) 및 도전체(160b_2))를 형성하고, 그 후에 개구(258)를 형성하고, 개구(258) 내에 절연체(253), 절연체(254), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성하는 순서로 하여도 좋다(도시하지 않았음).

[0246] <반도체 장치의 변형예>

[0247] 이하에서는, 도 2의 단면 구성예와는 다른 본 발명의 일 형태인 반도체 장치(DEV)의 구성예에 대하여 설명한다.

[0248] 도 22의 단면 모식도는 도 2에 나타낸 반도체 장치(DEV)의 변형예이다. 구체적으로는 도 22에 나타낸 반도체

장치(DEV)는 도전체(242b) 및 산화물(230)과, 용량 소자(C1)가 중첩되는 점에서 도 2의 반도체 장치(DEV)와 다르다.

[0249] 또한 도 23은 도 22의 반도체 장치(DEV)의 구성예를 나타낸 사시 모식도이다. 또한 도 23에서는, 기억층(ALYa)과 기억층(ALYb)의 적층 구조를 보기 쉽게 하기 위하여, 후술하는 절연체(222_1) 및 절연체(222_2)의 해칭을 의도적으로 없애고, 절연체(275)를 도시하지 않았다.

[0250] 또한 도 22의 반도체 장치(DEV)는 도 4와 같이 도전체(242a) 위에 플러그 또는 배선으로서 기능하는 도전체가 제공되고 상기 도전체 위에 배선이 제공되는 구성을 가져도 좋다. 예를 들어, 도 24에 나타낸 반도체 장치(DEV)는 도 22의 반도체 장치(DEV)의 변형예이고, 도전체(242a) 위에 플러그 또는 배선으로서 기능하는 도전체(270)가 제공되고, 도전체(270) 위 및 절연체(222_2) 위에 배선으로서 기능하는 도전체(242c)가 제공된다. 또한 도전체(242c)는 기억층(ALYb)의 메모리 셀(MCb)에 포함되는 도전체(242a) 및 도전체(242b)와 동시에 형성할 수 있다. 또한 도전체(242c)는 도전체(242a) 및 도전체(242b)와 같은 재료를 사용할 수 있다. 또한 도전체(242c)는 기억층(ALYa)에서의 배선(BLa[1]) 내지 배선(BLa[n]) 중 어느 하나의 배선으로서 기능한다.

[0251] <<메모리 셀의 구성예>>

[0252] 다음으로 도 22에 나타낸 반도체 장치(DEV)의 메모리 셀의 구성예에 대하여 설명한다.

[0253] 도 25의 (A) 내지 (D)는 도 22의 반도체 장치(DEV)에서의 트랜지스터(M1), 용량 소자(C1)를 가지는 메모리 셀(MC)의 평면 모식도 및 단면 모식도이다. 도 25의 (A)는 메모리 셀(MC)의 평면 모식도이다. 또한 도 25의 (B) 내지 (D)는 메모리 셀(MC)의 단면 모식도이다. 여기서, 도 25의 (B)는 도 25의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(M1)의 채널 길이 방향의 단면도이기도 하다. 또한 도 25의 (C)는 도 25의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면 모식도이고, 트랜지스터(M1)의 채널 폭 방향의 단면 모식도이기도 하다. 또한 도 25의 (D)는 도 25의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이고, 용량 소자(C1)의 단면 모식도이기도 하다. 또한 도 25의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.

[0254] 메모리 셀(MC)은 기판(도시하지 않았음) 위의 절연체(280_1), 절연체(153_1), 절연체(154_1), 및 도전체(160_1)(도전체(160a_1) 및 도전체(160b_1))를 가진다. 또한 메모리 셀(MC)은 절연체(280_1) 위, 절연체(153_1) 위, 절연체(154_1) 위, 및 도전체(160_1) 위의 절연체(222_1)를 가진다. 또한 메모리 셀(MC)은 절연체(222_1) 위에서 도전체(160_1)와 중첩되는 범위를 포함하는 영역에 절연체(224)와, 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)을 가진다. 또한 메모리 셀(MC)은 산화물(230b) 위의 도전체(242a)(도전체(242a1) 및 도전체(242a2))와, 도전체(242b)(도전체(242b1) 및 도전체(242b2))를 가진다. 또한 메모리 셀(MC)은 절연체(222_1) 위, 절연체(224)의 측면 위, 산화물(230)의 측면 위, 도전체(242a) 측면 위, 및 도전체(242b) 위의 절연체(275)와, 절연체(275) 위의 절연체(280_2)를 가진다. 또한 메모리 셀(MC)은 산화물(230b) 위에서 도전체(160_1)와 중첩되는 영역에 위치하는 절연체(253)와, 절연체(253) 위의 절연체(254)와, 절연체(254) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다. 또한 메모리 셀(MC)은 도전체(242b) 위에서 도전체(160_1)와 중첩되지 않는 영역에 위치하는 절연체(153_2)와, 절연체(153_2) 위의 절연체(154_2)와, 절연체(154_2) 위의 도전체(160_2)(도전체(160a_2) 및 도전체(160b_2))를 가진다. 또한 메모리 셀(MC)은 절연체(280_2) 위, 절연체(253) 위, 절연체(254) 위, 도전체(260) 위, 절연체(153_2) 위, 절연체(154_2) 위, 및 도전체(160_2) 위의 절연체(222_2)를 가진다. 특히, 트랜지스터(M1) 및 용량 소자(C1) 중 한쪽 또는 양쪽은 절연체(280_2)에 매립되어 배치된다.

[0255] 또한 도 25의 (A) 내지 (D)에 나타낸, 절연체(280_1), 절연체(153_1), 절연체(154_1), 도전체(160_1), 절연체(222_1), 절연체(224)와, 산화물(230)과, 도전체(242a), 도전체(242b), 절연체(275), 절연체(280_2), 절연체(253), 절연체(254), 도전체(260), 절연체(153_2), 절연체(154_2), 도전체(160_2), 및 절연체(222_2) 각각에 대해서는 도 6의 (A) 내지 (D)에 나타낸 절연체, 도전체, 및 산화물에 관한 설명을 원용한다.

[0256] 또한 도 25의 (A) 내지 (D)에는 나타내지 않았지만, 도전체(242a) 및 도전체(242b)는 절연체(224)의 측면 위, 산화물(230a)의 측면 위, 및 산화물(230)의 측면 위에도 제공되어 있어도 좋다. 또한 마찬가지로 도전체(242a) 및 도전체(242b)는 절연체(222_1) 위에도 제공되어 있어도 좋다. 도전체(242a) 및 도전체(242b)를 절연체(224)의 측면 위, 산화물(230a)의 측면 위, 산화물(230)의 측면 위, 및 절연체(222_1) 위에 제공함으로써, 절연체(224)의 측면 위, 산화물(230a)의 측면 위, 산화물(230)의 측면 위, 및 절연체(222_1) 위에 제공된 도전체(242a), 및 도전체(242b)는 트랜지스터(M1)의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되는 배선으

로 할 수 있다. 또한 이 경우, 상기 배선은 비트선으로서 기능한다.

[0257] <<반도체 장치의 제작 방법예>>

[0258] 다음으로 도 25의 (A) 내지 (D)에 나타낸 반도체 장치(DEV)의 기억층(ALYa)의 제작 방법의 예에 대하여 설명한다. 또한 제작 방법의 예를 설명하는 데 도 26의 (A) 내지 도 31의 (D)를 사용한다.

[0259] 도 26의 (A) 내지 도 31의 (D)에 있어서, 각 도면의 (A)는 평면 모식도이다. 또한 각 도면의 (B)는 각 도면의 (A)에서 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면 모식도이고, 트랜지스터(M1)의 채널 길이 방향의 단면 모식도이기도 하다. 또한 각 도면의 (C)는 각 도면의 (A)에서 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면 모식도이고, 트랜지스터(M1)의 채널 폭 방향의 단면 모식도이기도 하다. 또한 각 도면의 (D)는 각 도면의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면 모식도이다. 또한 각 도면의 (A)의 평면 모식도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.

[0260] 또한 도 22의 반도체 장치(DEV)의 메모리 셀의 제작 방법에 있어서, 도 2의 반도체 장치(DEV)의 메모리 셀의 제작 방법과 내용이 중복되는 부분에 대해서는 설명을 생략하는 경우가 있다. 또한 도 22의 반도체 장치(DEV)의 메모리 셀의 제작 방법은 도 2의 반도체 장치(DEV)의 메모리 셀의 제작 방법을 원용할 수 있다.

[0261] 우선 기판(도시하지 않았음)을 준비하고, 상기 기판의 위쪽에 절연체(280_1), 절연체(153_1), 절연체(154_1), 및 도전체(160_1)를 형성한다(도 26의 (A) 내지 (D) 참조). 또한 절연체(280_1), 절연체(153_1), 절연체(154_1), 및 도전체(160_1)의 형성 방법에 대해서는 도 7의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0262] 다음으로 절연체(280_1) 위, 절연체(153_1) 위, 절연체(154_1) 위, 및 도전체(160_1) 위에 절연체(222_1)를 성막한다(도 26의 (A) 내지 (D) 참조). 또한 절연체(222_1)의 형성 방법에 대해서는 도 7의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0263] 다음으로, 절연체(222_1) 위에 절연층(224A), 산화물층(230A), 및 산화물층(230B)을 형성한다(도 26의 (A) 내지 (D) 참조). 구체적으로는, 도 8의 (A) 내지 (D)에 관한 설명과 같이, 절연층(224A)이 되는 절연막, 산화물층(230A)이 되는 산화막, 및 산화물층(230B)이 되는 산화막을 이 순서대로 형성하고, 그 후, 도 9의 (A) 내지 (D)에 관한 설명과 같이, 절연층(224A)이 되는 절연막, 산화물층(230A)이 되는 산화막, 및 산화물층(230B) 각각을 리소그래피법 등을 사용하여 가공하면 좋다. 또한 도 26의 (A) 내지 (D)에 나타낸 형성 방법은 나중에 용량 소자(C1)가 형성되는 영역, 예를 들어 도전체(160_1)와 중첩되지 않는 영역에도 절연층(224A), 산화물층(230A), 및 산화물층(230B)이 형성되어 있는 점에서 도 9의 (A) 내지 (D)에 나타낸 형성 방법과 다르다.

[0264] 다음으로 절연체(222_1) 위 및 산화물층(230B) 위에 도전막(242Af)과 도전막(242Bf)을 이 순서대로 성막한다(도 27의 (A) 내지 (D) 참조). 또한 도전막(242Af) 및 도전막(242Bf)의 형성 방법에 대해서는 도 10의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0265] 다음으로 리소그래피법을 사용하여, 절연층(224A), 산화물층(230A), 산화물층(230B), 도전막(242Af), 및 도전막(242Bf)을 가공함으로써 섬 형상을 가진 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)을 형성한다(도 28의 (A) 내지 (D) 참조). 또한 절연층(224A), 산화물층(230A), 산화물층(230B), 도전막(242Af), 및 도전막(242Bf)의 가공에 대해서는 도 11의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0266] 또한 도 28의 (A) 내지 (D)에는 나타내지 않았지만, 절연체(222_1) 위, 절연체(224)의 측면 위, 산화물(230a)의 측면 위, 및 산화물(230b)의 측면 위에 도전층(242A) 및 도전층(242B)이 형성되도록 가공이 수행되어도 좋다. 절연체(222_1) 위, 절연체(224)의 측면 위, 산화물(230a)의 측면 위, 및 산화물(230b)의 측면 위에 형성된 도전층(242A) 및 도전층(242B)은 예를 들어 배선으로서 기능한다.

[0267] 다음으로 절연체(224), 산화물(230a), 산화물(230b), 도전층(242A), 및 도전층(242B)을 덮어 절연체(275)를 성막하고, 절연체(275) 위에 절연체(280_2)가 되는 절연막을 성막한다. 그 후, 절연체(280_2)가 되는 절연막에 대하여 CMP법 등으로 평탄화 처리를 수행하여 상면이 평탄한 절연체(280_2)를 형성한다(도 29의 (A) 내지 (D) 참조). 또한 절연체(275) 및 절연체(280_2)의 형성 방법에 대해서는 도 12의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0268] 다음으로 도전체(160_1)와 산화물(230)이 중첩되는 영역에 있어서, 절연체(280_2)의 일부, 절연체(275)의 일부, 도전층(242A)의 일부, 및 도전층(242B)의 일부를 가공하여, 산화물(230b)에 도달하는 개구(258)를 형성한다. 개구(258)의 형성에 의하여, 도전층(242A)으로부터 도전체(242a1) 및 도전체(242b1)를 형성하고, 도전층(242B)으로부터 도전체(242a2) 및 도전체(242b2)를 형성할 수 있다(도 30의 (A) 내지 (D) 참조). 또한 개구(258)의

형성 방법에 대해서는 도 13의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0269] 또한 도전층(242A)과 도전층(242B)과 절연체(222_1)가 중첩되고 도전체(160_1)와 산화물(230)이 중첩되지 않는 영역에 있어서, 절연체(280_2)의 일부, 절연체(275)의 일부를 가공하여, 도전층(242B)(도전체(242b2))에 도달하는 개구(158)를 형성한다(도 30의 (A) 내지 (D) 참조). 또한 개구(158)의 형성 방법에 대해서는 도 13의 (A) 내지 (D)에 관한 설명을 참조할 수 있다.

[0270] 또한 개구(158)와 개구(258) 각각은 서로 일괄로 형성되어도 좋고, 또는 개구(158) 및 개구(258) 중 한쪽을 먼저 형성하고, 그 후에 다른 쪽을 형성하여도 좋다. 또한 개구(258)는 개구(258)의 바닥부에 산화물(230b)이 노출되도록 형성되고, 개구(158)는 개구(158)의 바닥부에 도전체(242b2)가 노출되도록 형성되는 것이 바람직하다. 그러므로 개구(158)와 개구(258) 각각의 형성에는 서로 다른 조건의 가공 방법을 사용하는 것이 바람직하다.

[0271] 이어서, 절연체(280_2) 위와, 개구(258)의 바닥면 위 및 측면 위와, 개구(158)의 바닥면 위 및 측면 위에 절연체(253)가 되는 절연막을 성막한다. 또한 절연체(253)가 되는 절연막의 성막 후에는 마이크로파 처리를 수행하여도 좋다. 그 후, 절연체(253)가 되는 절연막 위에 절연체(254)가 되는 절연막과, 도전체(260) 및 도전체(160_2)가 되는 도전막을 이 순서대로 성막한다. 또한 도전체(260) 및 도전체(160_2)가 되는 도전막의 형성 후에 CMP법 등의 평탄화 처리에 의하여 절연체(253)가 되는 절연막과, 절연체(254)가 되는 절연막과, 도전체(260) 및 도전체(160_2)가 되는 도전막이 노출될 때까지 연마한다. 즉, 절연체(253)가 되는 절연막과, 절연체(254)가 되는 절연막과, 도전체(260) 및 도전체(160_2)가 되는 도전막의 개구(258) 및 개구(158) 각각으로부터 노출된 부분을 제거한다. 이에 의하여, 개구(258) 내에 절연체(253), 절연체(254), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성하고, 개구(158) 내에 절연체(153_2), 절연체(154_2), 및 도전체(160_2)(도전체(160a_2) 및 도전체(160b_2))를 형성한다(도 31의 (A) 내지 (D) 참조). 또한 절연체(253), 절연체(254), 도전체(260), 절연체(153_2), 절연체(154_2), 및 도전체(160_2)의 형성 방법에 대해서는 도 14의 (A) 내지 도 16의 (D)에 관한 설명을 참조할 수 있다.

[0272] 다음으로 절연체(253) 위, 절연체(254) 위, 도전체(260) 위, 절연체(153_2) 위, 절연체(154_2) 위, 도전체(160_2) 위, 및 절연체(280_2) 위에 절연체(222_2)를 형성한다(도 25의 (A) 내지 (D) 참조). 또한 절연체(222_2)의 형성 방법에 대해서는 도 16의 (A) 내지 (D)에 나타낸 공정 후에 수행되는 절연체(222_2)의 형성 방법의 설명을 참조할 수 있다.

[0273] 상술한 바와 같이, 도 22에 나타낸 메모리 셀(MCa) 또는 메모리 셀(MCb)을 가지는 반도체 장치를 제작할 수 있다. 도 25의 (A) 내지 도 31의 (D)에 나타낸 바와 같이, 본 실시형태에서 설명하는 반도체 장치의 제작 방법을 사용함으로써, 용량 소자(C1)와 트랜지스터(M1)를 동일한 공정으로 제작할 수 있다. 이에 의하여, 용량 소자(C1)와 트랜지스터(M1)를 가지는 반도체 장치의 제작 공정을 줄일 수 있다.

[0274] 또한 도 22에 나타낸 메모리 셀(MCa) 또는 메모리 셀(MCb)을 가지는 반도체 장치는 메모리 셀의 점유 면적을 작게 할 수 있다. 즉, 상기 반도체 장치의 기록 밀도를 높일 수 있다.

[0275] 또한 본 발명의 일 형태에 따른 반도체 장치의 제작 방법은 도 26의 (A) 내지 도 31의 (D)에 나타낸 방법에 한정되지 않는다. 반도체 장치의 제작 방법은 상황에 따라 재료 및 공정을 변경하여도 좋다.

[0276] 예를 들어, 도 22의 반도체 장치(DEV)의 제작 방법은 도 2의 반도체 장치(DEV)의 제작 방법인 도 7의 (A) 내지 도 12의 (D) 그리고 도 17의 (A) 내지 도 21의 (D)와 같은 식으로, 먼저 개구(258)를 형성하고, 개구(258) 내에 절연체(253), 절연체(254), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성하고, 그 후에 개구(158)를 형성하고, 개구(158) 내에 절연체(153_2), 절연체(154_2), 및 도전체(160_2)(도전체(160a_2) 및 도전체(160b_2))를 형성하여도 좋다. 또한 도 22의 반도체 장치(DEV)의 제작 방법은 먼저 개구(158)를 형성하고, 개구(158) 내에 절연체(153_2), 절연체(154_2), 및 도전체(160_2)(도전체(160a_2) 및 도전체(160b_2))를 형성하고, 그 후에 개구(258)를 형성하고, 개구(258) 내에 절연체(253), 절연체(254), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성하는 순서로 하여도 좋다.

[0277] 또한 본 실시형태는 본 명세서에서 설명하는 다른 실시형태와 적절히 조합할 수 있다.

[0278] (실시형태 2)

[0279] 본 실시형태에서는, 앞의 실시형태에서 설명한 반도체 장치를 포함하는 기억 장치의 구성예에 대하여 설명한다.

[0280] 도 32의 (A)는 기억 장치(100)의 구성예를 나타낸 사시 개략도이다. 도 32의 (B)는 기억 장치(100)의 구성예를 나타낸 블록도이다. 기억 장치(100)는 구동 회로층(50)과, N층(N은 1 이상의 정수)의 기억층(60)을 가진다.

또한 하나의 층의 기억층(60)은 m행 n열의 매트릭스로 배치되는 복수의 메모리 셀(10)을 가진다. 또한 도 32의 (B)에는 기억층(60_k)에 메모리 셀(10[1,1]), 메모리 셀(10[m,1])(여기서의 m은 1 이상의 정수로 함), 메모리 셀(10[1,n])(여기서의 n은 1 이상의 정수로 함), 메모리 셀(10[m,n]), 메모리 셀(10[i,j])(여기서의 i는 1 이상 m 이하의 정수로 하고, 여기서의 j는 1 이상 n 이하의 정수로 함)이 배치되어 있는 예를 나타내었다.

[0281] 또한 기억층(60)은 실시형태 1에서 설명한 기억층(ALYa) 내지 기억층(ALYb)에 상당한다. 또한 메모리 셀(10)은 실시형태 1에서 설명한 메모리 셀(MCa) 또는 메모리 셀(MCb)에 상당한다.

[0282] N층의 기억층(60)은 구동 회로층(50) 위에 제공된다. N층의 기억층(60)을 구동 회로층(50) 위에 제공함으로써, 기억 장치(100)의 점유 면적을 저감할 수 있다. 또한 단위 면적당 기억 용량을 높일 수 있다.

[0283] 본 실시형태 등에서는 첫 번째 층의 기억층(60)을 기억층(60_1)이라고 나타내고, 2번째 층의 기억층(60)을 기억층(60_2)이라고 나타내고, 세 번째 층의 기억층(60)을 기억층(60_3)이라고 나타낸다. 또한 k번째 층(k는 1 이상 N 이하의 정수로 함)의 기억층(60)을 기억층(60_k)이라고 나타내고, N번째 층의 기억층(60)을 기억층(60_N)이라고 나타낸다. 또한 본 실시형태에서, N층의 기억층(60) 전체에 따른 사항을 설명하는 경우 또는 N층의 기억층(60)의 각 층에 공통되는 사항을 나타내는 경우에 단순히 "기억층(60)"이라고 표기하는 경우가 있다.

[0284] <구동 회로층(50)의 구성예>

[0285] 구동 회로층(50)은 PSW(파워 스위치)(22), PSW(23), 및 주변 회로(31)를 가진다. 주변 회로(31)는 주변 회로(41), 컨트롤 회로(32), 및 전압 생성 회로(33)를 가진다.

[0286] 기억 장치(100)에서, 각 회로, 각 신호, 및 각 전압은 필요에 따라 적절히 취사선택할 수 있다. 또는 다른 회로 또는 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부로의 출력 신호이다. 신호(CLK)는 클록 신호이다.

[0287] 또한 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 게이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 컨트롤 회로(32)에서 생성하여도 좋다.

[0288] 컨트롤 회로(32)는 기억 장치(100)의 동작 전반을 제어하는 기능을 가지는 로직 회로이다. 예를 들어, 컨트롤 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하여 기억 장치(100)의 동작 모드(예를 들어 기록 동작, 판독 동작)를 결정한다. 또는 컨트롤 회로(32)는 이 동작 모드가 실행되도록 주변 회로(41)의 제어 신호를 생성한다.

[0289] 전압 생성 회로(33)는 음의 전압을 생성하는 기능을 가진다. 신호(WAKE)는 전압 생성 회로(33)에 대한 신호(CLK)의 입력을 제어하는 기능을 가진다. 예를 들어 신호(WAKE)에 H레벨의 신호가 공급되면, 신호(CLK)가 전압 생성 회로(33)에 입력되고, 전압 생성 회로(33)는 음의 전압을 생성한다.

[0290] 주변 회로(41)는 메모리 셀(10)에 대한 데이터의 기록 및 판독을 수행하기 위한 회로이다. 주변 회로(41)는 행 디코더(42), 열 디코더(44), 행 드라이버(43), 열 드라이버(45), 입력 회로(47), 출력 회로(48), 및 감지 증폭기(46)를 가진다.

[0291] 행 디코더(42) 및 열 디코더(44)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(42)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(44)는 액세스하는 열을 지정하기 위한 회로이다.

[0292] 행 드라이버(43)는 행 디코더(42)가 지정하는 배선(WL)(기록 및 판독 워드선)을 선택하는 기능을 가진다.

[0293] 열 드라이버(45)는 데이터를 메모리 셀(10)에 기록하는 기능, 메모리 셀(10)로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 가진다. 열 드라이버(45)는 열 디코더(44)가 지정하는 배선(BL)(기록 및 판독 비트선)을 선택하는 기능을 가진다.

[0294] 입력 회로(47)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(47)가 유지하는 데이터(상기 실시형태에서는 제 1 데이터로 하였음)는 열 드라이버(45)에 출력된다. 입력 회로(47)의 출력 데이터는 메모리 셀(10)에 기록되는 데이터(Din)이다. 열 드라이버(45)가 메모리 셀(10)로부터 판독한 데이터(Dout)는 출력 회로(48)에 출력된다. 또한 상기 실시형태에서는 판독된 데이터(Dout)는 연산 결과의 데이터로서 취급된다. 출력 회로(48)는 Dout를 유지하는 기능을 가진다. 또한 출력 회로(48)는 Dout를 기억 장치(100)의 외부에 출력하는 기능을 가진

다. 출력 회로(48)로부터 출력되는 데이터는 신호(RDA)이다.

[0295] PSW(22)는 주변 회로(31)에 대한 VDD의 공급을 제어하는 기능을 가진다. PSW(23)는 행 드라이버(43)에 대한 VHM의 공급을 제어하는 기능을 가진다. 여기서는, 기억 장치(100)의 고전원 전압이 VDD이고, 저전원 전압은 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 PSW(22)의 온 상태와 오프 상태의 전환이 수행되고, 신호(PON2)에 의하여 PSW(23)의 온 상태와 오프 상태의 전환이 수행된다. 도 32의 (B)에서는 주변 회로(31)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우, 각 전원 도메인에 파워 스위치를 제공하면 좋다.

[0296] 다음으로 주변 회로(41)와 기억층(60)의 전기적인 접속에 대하여 설명한다.

[0297] 도 33은 주변 회로(41)와 기억층(60_k)의 구성예를 나타낸 블록도이다. 도 33에 있어서, 행 디코더(42) 및 행 드라이버(43)는 배선(WL[1]) 내지 배선(WL[m]) 각각과 전기적으로 접속되고, 열 디코더(44), 열 드라이버(45), 및 감지 증폭기(46)는 배선(BL[1]) 내지 배선(BL[n]) 각각과 전기적으로 접속된다.

[0298] 또한 배선(WL[1]) 내지 배선(WL[m])은 실시형태 1에서 설명한 배선(WLa[1]) 내지 배선(WLa[m]) 또는 배선(WLb[1]) 내지 배선(WLb[m])에 상당하는 배선이다. 즉 배선(WL[1]) 내지 배선(WL[m])은 워드선으로서 기능한다.

[0299] 또한 배선(BL[1]) 내지 배선(BL[m])은 실시형태 1에서 설명한 배선(BLa[1]) 내지 배선(BLa[m]) 또는 배선(BLb[1]) 내지 배선(BLb[m])에 상당하는 배선이다. 즉 배선(BL[1]) 내지 배선(BL[m])은 비트선으로서 기능한다.

[0300] i행 j열에 배치된 메모리 셀(10[i,j])은 배선(WL[i])과 배선(BL[j])에 전기적으로 접속되어 있다.

[0301] 도 33에 나타낸 바와 같이, 기억층(60_k)과 주변 회로(41)가 전기적으로 접속됨으로써, 기억층(60_k)에 대한 데이터의 기록 및 기억층(60_k)으로부터의 데이터의 판독을 수행할 수 있다.

[0302] 다음으로 본 발명의 일 형태에 따른 기억 장치(100)의 단면 구성예를 도 34에 나타내었다. 도 34에 나타낸 기억 장치(100)는 구동 회로층(50)의 위쪽에 복수 층의 기억층(60)(기억층(ALYa) 또는 기억층(ALYb))을 가진다. 설명의 반복을 줄이기 위하여, 본 실시형태에서의 기억층(60)에 관한 설명은 생략한다.

[0303] 또한 도 34에서는 구동 회로층(50)이 가지는 트랜지스터(400)를 예시하였다. 트랜지스터(400)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316), 게이트 절연체로서 기능하는 절연체(315), 기판(311)의 일부를 포함하는 반도체 영역(313), 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 저저항 영역(314a), 및 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 저저항 영역(314b)을 가진다. 트랜지스터(400)는 p채널형 트랜지스터 및 n채널형 트랜지스터 중 어느 것이어도 좋다. 기판(311)으로서는 예를 들어 단결정 실리콘 기판을 사용할 수 있다.

[0304] 여기서, 도 34에 나타낸 트랜지스터(400)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 가진다. 또한 절연체(315)를 개재하여 반도체 영역(313)의 측면 및 상면을 덮도록 도전체(316)가 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(400)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체가 제공되어도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우에 대하여 설명하였지만, SOI(Silicon On Insulator) 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.

[0305] 또한 도 34에 나타낸 트랜지스터(400)는 일례이고, 그 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0306] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 여러 개 제공할 수 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그는 일체가 되어 있어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0307] 예를 들어 트랜지스터(400) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(320) 및 절연체(322)에는 도전체(328) 등이 매립되어 있다. 또한 절연체(324) 및 절연체(326)에는 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는

콘택트 플러그 또는 배선으로서 기능한다.

[0308] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0309] 절연체(326) 위 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 34에서는 절연체(326) 위 및 도전체(330) 위에 절연체(350), 절연체(357), 및 절연체(352)가 이 순서대로 적층되어 제공되어 있다. 절연체(350), 절연체(357), 및 절연체(352)에는 도전체(356)가 형성되어 있다. 도전체(356)는 콘택트 플러그 또는 배선으로서 기능한다. 예를 들어, 도 33의 배선(WL)(배선(WL[1]) 내지 배선(WL[m]) 중 어느 하나)) 또는 배선(BL)(배선(BL[1]) 내지 배선(BL[n]) 중 어느 하나))에 상당하는 도전체와 트랜지스터(400)는 도전체(356), 도전체(330) 등을 통하여 전기적으로 접속된다.

[0310] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.

[0311] (실시형태 3)

[0312] 본 실시형태에서는 앞의 실시형태에서 설명한 기억 장치 등이 형성된 반도체 웨이퍼, 및 상기 기억 장치를 포함한 전자 부품의 일례에 대하여 설명한다.

[0313] <반도체 웨이퍼>

[0314] 먼저, 기억 장치 등이 형성된 반도체 웨이퍼의 예를 도 35의 (A)를 사용하여 설명한다.

[0315] 도 35의 (A)에 나타낸 반도체 웨이퍼(4800)는 웨이퍼(4801)와, 웨이퍼(4801)의 상면에 제공된 복수의 회로부(4802)를 가진다. 또한 웨이퍼(4801)의 상면에서 회로부(4802)가 없는 부분은 공간(spacing)(4803)이고 다이싱용 영역이다.

[0316] 반도체 웨이퍼(4800)는, 전공정에 의하여 웨이퍼(4801)의 표면에 복수의 회로부(4802)를 형성함으로써 제작할 수 있다. 또한 그 후에, 웨이퍼(4801)에서 복수의 회로부(4802)가 형성된 면과 반대쪽 면을 연삭하여 웨이퍼(4801)를 박막화하여도 좋다. 이 공정을 통하여 웨이퍼(4801)의 휨 등을 저감하고 부품의 크기를 작게 할 수 있다.

[0317] 다음으로 다이싱 공정이 수행된다. 다이싱은 일점쇄선으로 나타낸 스크라이브 라인(SCL1) 및 스크라이브 라인(SCL2)(다이싱라인 또는 절단 라인이라고 하는 경우가 있음)을 따라 수행된다. 또한 다이싱 공정을 용이하게 수행하기 위하여, 복수의 스크라이브 라인(SCL1)이 평행하게 되고, 복수의 스크라이브 라인(SCL2)이 평행하게 되고, 스크라이브 라인(SCL1)과 스크라이브 라인(SCL2)이 수직이 되도록 공간(4803)을 제공하는 것이 바람직하다.

[0318] 다이싱 공정을 수행함으로써, 도 35의 (B)에 나타낸 칩(4800a)을 반도체 웨이퍼(4800)로부터 잘라 낼 수 있다. 칩(4800a)은 웨이퍼(4801a)와, 회로부(4802)와, 공간(4803a)을 가진다. 또한 공간(4803a)은 가능한 한 작게 하는 것이 바람직하다. 이 경우, 인접한 회로부(4802)들 사이의 공간(4803)의 폭이, 스크라이브 라인(SCL1)의 커프 폭 또는 스크라이브 라인(SCL2)의 커프 폭과 거의 같은 길이면 좋다.

[0319] 또한 본 발명의 일 형태의 소자 기판의 형상은, 도 35의 (A)에 나타낸 반도체 웨이퍼(4800)의 형상에 한정되지 않는다. 예를 들어 직사각형의 반도체 웨이퍼이어도 좋다. 소자 기판의 형상은, 소자의 제작 공정 및 소자를 제작하기 위한 장치에 따라 적절히 변경할 수 있다.

[0320] <전자 부품>

[0321] 도 35의 (C)에 전자 부품(4700) 및 전자 부품(4700)이 실장된 기판(실장 기판(4704))의 사시도를 나타내었다. 도 35의 (C)에 나타낸 전자 부품(4700)은 몰드(4711) 내에 칩(4800a)을 가진다. 또한 도 35의 (C)에 나타낸 칩(4800a)에는 회로부(4802)가 적층된 구성을 나타내었다. 즉 회로부(4802)로서, 앞의 실시형태에서 설명한 기억 장치를 적용할 수 있다. 도 35의 (C)에서는 전자 부품(4700)의 내부를 나타내기 위하여 일부를 생략하였다. 전자 부품(4700)은 몰드(4711)의 외측에 랜드(4712)를 가진다. 랜드(4712)는 전극 패드(4713)에 전기적으로 접속되고, 전극 패드(4713)는 와이어(4714)에 의하여 칩(4800a)에 전기적으로 접속된다. 전자 부품(4700)은 예를 들어 인쇄 기판(4702)에 실장된다. 이와 같은 전자 부품이 복수로 조합되고, 각각이 인쇄 기판(4702) 위에서 전기적으로 접속됨으로써, 실장 기판(4704)이 완성된다.

[0322] 도 35의 (D)에 전자 부품(4730)의 사시도를 나타내었다. 전자 부품(4730)은 SiP(System in Package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(4730)에서는 패키지 기판(4732)(인쇄 기판) 위에 인터포저(4731)가 제공되고, 인터포저(4731) 위에 반도체 장치(4735) 및 복수의 반도체 장치(4710)가 제공되어 있다.

[0323] 전자 부품(4730)은 반도체 장치(4710)를 가진다. 반도체 장치(4710)의 예에는 앞의 실시형태에서 설명한 기억 장치, 광대역 메모리(HBM: High Bandwidth Memory) 등으로 할 수 있다. 또한 반도체 장치(4735)에는 예를 들어 CPU, GPU, FPGA, 또는 기억 장치 등의 집적 회로(반도체 장치)를 사용할 수 있다.

[0324] 패키지 기판(4732)으로서는 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판을 사용할 수 있다. 인터포저(4731)로서는 실리콘 인터포저 또는 수지 인터포저를 사용할 수 있다.

[0325] 인터포저(4731)는 복수의 배선을 가지고, 단자 피치가 다른 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(4731)는 인터포저(4731) 위에 제공된 집적 회로를 패키지 기판(4732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로, 인터포저를 '재배선 기판' 또는 '중간 기판'이라고 부르는 경우가 있다. 또한 인터포저(4731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(4732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.

[0326] 인터포저(4731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자가 제공될 필요가 없기 때문에, 집적 회로보다 적은 비용으로 제작할 수 있다. 또한 실리콘 인터포저의 배선은 반도체 공정으로 형성할 수 있기 때문에, 수지 인터포저를 사용하는 경우에는 형성하기 어려운 미세 배선을 용이하게 형성할 수 있다.

[0327] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0328] 또한 실리콘 인터포저를 사용한 SiP 또는 MCM에서는, 집적 회로와 인터포저 간의 팽창 계수의 차이로 인한 신뢰성의 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높기 때문에, 실리콘 인터포저 위에 제공하는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히 복수의 집적 회로를 인터포저 위에 옆으로 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0329] 또한 전자 부품(4730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(4731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에 나타내는 전자 부품(4730)에서는 반도체 장치(4710)와 반도체 장치(4735)의 높이를 일치시키는 것이 바람직하다.

[0330] 전자 부품(4730)을 다른 기판에 실장하기 위하여, 패키지 기판(4732)의 바닥 부분에 전극(4733)을 제공하여도 좋다. 도 35의 (D)에서는 전극(4733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(4732)의 바닥 부분에 땜납 볼을 매트릭스로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(4733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(4732)의 바닥 부분에 도전성의 핀을 매트릭스로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0331] 전자 부품(4730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.

[0332] 또한 본 실시형태는 본 명세서에서 설명하는 다른 실시형태와 적절히 조합할 수 있다.

[0333] (실시형태 4)

[0334] 본 실시형태에서는 앞의 실시형태의 기억 장치를 포함할 수 있는 CPU에 대하여 설명한다.

[0335] 도 36은 앞의 실시형태에서 설명한 기억 장치를 일부에 사용한 CPU의 구성예를 나타낸 블록도이다.

[0336] 도 36에 나타낸 CPU는 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록이 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 가진다. 기판(1190)으로서는 반도체 기판, SOI 기판, 유리 기판 등을 사용한다.

ROM(1199) 및 ROM 인터페이스(1189)를 다른 칩에 제공하여도 좋다. 물론, 도 36에 나타낸 CPU는, 그 구성을 간략화하여 나타낸 일례에 불과하고, 실제의 CPU는 그 용도에 따라 다종다양한 구성을 가지고 있다. 예를 들어 도 36에 나타낸 CPU 또는 연산 회로를 포함한 구성을 하나의 코어로 하고, 상기 코어를 복수로 포함하고, 각 코어가 병렬로 동작하는 구성, 즉 GPU와 같은 구성으로 하여도 좋다. 또한 CPU가 내부 연산 회로, 데이터버스 등에서 취급하는 비트 수를, 예를 들어, 8비트, 16비트, 32비트, 또는 64비트 이상으로 할 수 있다.

[0337] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0338] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 기초하여 각종 제어를 수행한다. 구체적으로, ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한 CPU의 프로그램 실행 중에, 인터럽트 컨트롤러(1194)는 외부의 입출력 장치 또는 주변 회로로부터의 인터럽트 요구를 그 우선도 또는 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)에 대한 판독 또는 기록을 수행한다.

[0339] 또한 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클록 신호를 바탕으로 내부 클록 신호를 생성하는 내부 클록 생성부를 구비하고, 내부 클록 신호를 상기 각종 회로에 공급한다.

[0340] 도 36에 나타낸 CPU에서는, 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)는 예를 들어 앞의 실시형태에서 설명한 기억 장치 등을 가져도 좋다.

[0341] 도 36에 나타낸 CPU에 있어서, 레지스터 컨트롤러(1197)는, ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 행한다. 즉 레지스터(1196)가 가지는 메모리 셀에서 플립플롭에 의한 데이터의 유지를 수행할지 또는 용량 소자에 의한 데이터의 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터의 유지가 선택되어 있는 경우, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급이 수행된다. 용량 소자에서의 데이터의 유지가 선택되어 있는 경우, 용량 소자에 대한 데이터의 재기록이 수행되어, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0342] 또한 본 실시형태는 본 명세서에서 설명하는 다른 실시형태와 적절히 조합할 수 있다.

[0343] (실시형태 5)

[0344] 본 실시형태에서는 앞의 실시형태에서 설명한 기억 장치를 가지는 전자 기기의 일례에 대하여 설명한다. 또한 도 37의 (A) 내지 (J) 그리고 도 39의 (A) 내지 (E)는 상기 기억 장치를 가지는 전자 부품(4700)이 각 전자 기기에 포함되어 있는 상태를 나타낸 것이다.

[0345] [휴대 전화]

[0346] 도 37의 (A)에 나타낸 정보 단말기(5500)는 정보 단말기의 일종인 휴대 전화(스마트폰)이다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 제공되고, 버튼이 하우징(5510)에 제공되어 있다.

[0347] 앞의 실시형태에서 설명한 기억 장치를 적용함으로써, 정보 단말기(5500)는 애플리케이션 실행 시에 생성되는 일시적인 파일(예를 들어 웹 브라우저 사용 시의 캐시 등)을 유지할 수 있다.

[0348] [웨어러블 단말기]

[0349] 또한 도 37의 (B)는 웨어러블 단말기의 일례인 정보 단말기(5900)를 나타낸 것이다. 정보 단말기(5900)는 예를 들어 하우징(5901), 표시부(5902), 조작 버튼(5903), 용두(5904), 및 밴드(5905)를 가진다.

[0350] 상술한 정보 단말기(5500)와 같이, 앞의 실시형태에서 설명한 기억 장치를 적용함으로써, 웨어러블 단말기는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.

[0351] [정보 단말기]

[0352] 또한 도 37의 (C)는 데스크톱형 정보 단말기(5300)를 나타낸 것이다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301)와, 디스플레이(5302)와, 키보드(5303)를 가진다.

[0353] 상술한 정보 단말기(5500)와 같이, 앞의 실시형태에서 설명한 기억 장치를 적용함으로써, 데스크톱형 정보 단말기(5300)는 애플리케이션 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.

[0354] 또한 앞에서는 전자 기기로서 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기를 예로 들어 각각 도 37의 (A) 내지 (C)에 나타내었지만, 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기 외의 정보 단말기를 적용할 수도 있다. 스마트폰, 웨어러블 단말기, 데스크톱용 정보 단말기 외의 정보 단말기로서는, 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 워크스테이션 등이 있다.

[0355] [전자 제품]

[0356] 또한 도 37의 (D)는 전자 제품의 일례로서 전기 냉동 냉장고(5800)를 나타낸 것이다. 전기 냉동 냉장고(5800)는 예를 들어 하우징(5801), 냉장실용 문(5802), 및 냉동실용 문(5803) 등을 포함한다.

[0357] 전기 냉동 냉장고(5800)에 앞의 실시형태에서 설명한 기억 장치를 적용함으로써 전기 냉동 냉장고(5800)를 예를 들어 IoT(Internet of Things)로서 이용할 수 있다. IoT를 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 저장되어 있는 식재료, 그 식재료의 소비 기한 등의 정보를 인터넷 등을 통하여 상술한 바와 같은 정보 단말기 등에 대하여 송수신할 수 있다. 또한 전기 냉동 냉장고(5800)에서는 상기 정보를 송신하는 경우에, 상기 정보를 일시 파일로서 상기 기억 장치에 유지할 수 있다.

[0358] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는, 예를 들어 청소기, 전자 레인지, 전기 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등이 있다.

[0359] [게임기]

[0360] 또한 도 37의 (E)는 게임기의 일례인 휴대용 게임기(5200)를 나타낸 것이다. 휴대용 게임기(5200)는 예를 들어 하우징(5201), 표시부(5202), 및 버튼(5203)을 가진다.

[0361] 또한 도 37의 (F)는 게임기의 일례인 거치형 게임기(7500)를 나타낸 것이다. 거치형 게임기(7500)는 본체(7520) 및 컨트롤러(7522)를 가진다. 또한 본체(7520)에는 무선 또는 유선으로 컨트롤러(7522)를 접속할 수 있다. 또한 도 37의 (F)에는 나타내지 않았지만, 컨트롤러(7522)는 게임의 화상을 표시하는 표시부, 버튼 외의 입력 인터페이스로서 기능하는 터치 패널, 스틱, 회전식 손잡이, 및 슬라이드식 손잡이 중에서 선택된 하나 또는 2개 이상을 포함할 수 있다. 또한 컨트롤러(7522)의 형상은 도 37의 (F)에 나타낸 것에 한정되지 않고, 게임의 장르에 따라 다양하게 변경하여도 좋다. 예를 들어 FPS(First Person Shooter) 등의 슈팅 게임에서는, 트리거 버튼을 가지는 총 모양의 컨트롤러를 사용할 수 있다. 또한 예를 들어 음악 게임 등에서는 악기, 음악 기기 등의 형상을 가지는 컨트롤러를 사용할 수 있다. 또한 거치형 게임기는 컨트롤러를 사용하는 대신에 카메라, 심도 센서, 마이크로폰 등을 포함하고, 게임 플레이어의 제스처 및 음성 중 한쪽 또는 양쪽으로 조작되어도 좋다.

[0362] 또한 상술한 게임기의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이 또는 헤드 마운트 디스플레이에 포함되는 표시 장치에 의하여 출력할 수 있다.

[0363] 앞의 실시형태에서 설명한 기억 장치를 휴대용 게임기(5200) 및 거치형 게임기(7500)에 적용함으로써, 저소비 전력의 휴대용 게임기(5200)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0364] 또한 앞의 실시형태에서 설명한 기억 장치를 휴대용 게임기(5200) 및 거치형 게임기(7500)에 적용함으로써, 게임 중에 발생하는 연산에 필요한 일시 파일 등을 유지할 수 있다.

[0365] 도 37의 (E) 및 (F)에서는 게임기의 일례로서 휴대용 게임기 및 거치형 게임기를 도시하였지만 본 발명의 일 형태의 전자 기기는 이에 한정되지 않는다. 본 발명의 일 형태의 전자 기기로서는, 예를 들어 오락 시설(예를 들어 오락실 또는 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등이 있다.

[0366] [이동체]

[0367] 앞의 실시형태에서 설명한 기억 장치는 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.

[0368] 도 37의 (G)는 이동체의 일례인 자동차(5700)를 나타낸 것이다.

[0369] 자동차(5700)의 운전석 주변에는 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등 다양한 정보를 표시할 수 있는 계기판이 제공된다. 또한 운전석 주변에는, 이들 정보를 표시하는 표시 장치가 제공되어도 좋다.

[0370] 특히 상기 표시 장치는, 자동차(5700)에 제공된 촬상 장치(도시하지 않았음)가 찍은 영상을 표시함으로써, 필러 등에 가려진 시계, 운전석의 사각 등을 보완할 수 있어 안전성을 높일 수 있다.

[0371] 앞의 실시형태에서 설명한 기억 장치는 정보를 일시적으로 유지할 수 있기 때문에, 예를 들어 자동차(5700)의 자동 운전 시스템, 도로 안내, 위험 예측 등을 실행하는 시스템 등에서 필요한 일시적인 정보 유지에 상기 기억 장치를 사용할 수 있다. 또한 상기 표시 장치에 도로 안내, 위험 예측 등의 일시적인 정보를 표시하는 구성으로 하여도 좋다. 또한 자동차(5700)에 제공된 블랙 박스가 찍은 영상을 유지하는 구성으로 하여도 좋다.

[0372] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(예를 들어 헬리콥터, 무인 항공기(드론), 비행기, 또는 로켓) 등도 있다.

[0373] [카메라]

[0374] 앞의 실시형태에서 설명한 기억 장치는 카메라에 적용할 수 있다.

[0375] 도 37의 (H)에는 촬상 장치의 일례로서 디지털 카메라(6240)를 나타내었다. 디지털 카메라(6240)는 하우징(6241), 표시부(6242), 조작 버튼(6243), 및 셔터 버튼(6244) 등을 포함하고, 탈착 가능한 렌즈(6246)가 장착되어 있다. 또한 여기서 디지털 카메라(6240)는 하우징(6241)에서 렌즈(6246)를 떼어 교환할 수 있는 구성을 가지지만, 렌즈(6246)와 하우징(6241)은 일체가 되어도 좋다. 또한 디지털 카메라(6240)는 스트로보 장치 또는 뷰파인더를 별도로 장착할 수 있는 구성을 가져도 좋다.

[0376] 앞의 실시형태에서 설명한 기억 장치를 디지털 카메라(6240)에 적용함으로써, 저소비 전력의 디지털 카메라(6240)를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0377] [비디오 카메라]

[0378] 앞의 실시형태에서 설명한 기억 장치는 비디오 카메라에 적용할 수 있다.

[0379] 도 37의 (I)에는 촬상 장치의 일례로서 비디오 카메라(6300)를 나타내었다. 비디오 카메라(6300)는 제 1 하우징(6301), 제 2 하우징(6302), 표시부(6303), 조작 키(6304), 렌즈(6305), 및 접속부(6306)를 가진다. 조작 키(6304) 및 렌즈(6305)는 제 1 하우징(6301)에 제공되어 있고, 표시부(6303)는 제 2 하우징(6302)에 제공되어 있다. 그리고 제 1 하우징(6301)과 제 2 하우징(6302)은 접속부(6306)에 의하여 접속되어 있고, 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도는 접속부(6306)에 의하여 변경할 수 있다. 표시부(6303)에 표시되는 영상을 접속부(6306)에서의 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0380] 비디오 카메라(6300)로 촬영한 영상을 기록하는 경우, 데이터의 기록 형식에 따른 인코드를 수행할 필요가 있다. 상술한 기억 장치를 이용함으로써, 비디오 카메라(6300)는 인코드를 할 때 발생하는 일시적인 파일을 유지할 수 있다.

[0381] [ICD]

[0382] 앞의 실시형태에서 설명한 기억 장치는 ICD(implantable cardioverter-defibrillator)에 적용할 수 있다.

[0383] 도 37의 (J)는 ICD의 일례를 나타낸 단면 모식도이다. ICD 본체(5400)는 배터리(5401)와, 전자 부품(4700)과, 레귤레이터와, 제어 회로와, 안테나(5404)와, 우심방에 연결되는 와이어(5402)와, 우심실에 연결되는 와이어(5403)를 적어도 가진다.

[0384] ICD 본체(5400)는 수술에 의하여 몸 안에 설치되고, 2개의 와이어는 인체의 쇄골하 정맥(5405) 및 상대정맥(5406)을 통과하여 한쪽 와이어 끝이 우심실에 설치되고, 다른 쪽 와이어 끝이 우심방에 설치되도록 한다.

[0385] ICD 본체(5400)는 페이스메이커로서의 기능을 가지고, 심박수가 규정의 범위에서 벗어난 경우에 심장 박동 조율을 수행한다. 또한 심장 박동 조율을 수행하여도 심박수가 개선되지 않는 경우(예를 들어 심실 빈맥 또는 심실 세동이 일어나는 경우)에는, 전기 충격에 의한 치료가 수행된다.

[0386] 심장 박동 조율 및 전기 충격을 적절히 수행하기 위하여, ICD 본체(5400)는 심박수를 항상 감시할 필요가 있다. 그러므로 ICD 본체(5400)는 심박수를 검지하기 위한 센서를 가진다. 또한 ICD 본체(5400)에서는, 상기 센서 등에 의하여 취득한 심박수의 데이터, 심장 박동 조율에 의한 치료를 수행한 횟수, 시간 등을 전자 부품(4700)에 기억할 수 있다.

[0387] 또한 안테나(5404)는 전력을 수신할 수 있고, 그 전력은 배터리(5401)에 충전된다. 또한 ICD 본체(5400)가 복수의 배터리를 가짐으로써 안전성을 높일 수 있다. 구체적으로는 ICD 본체(5400)의 일부의 배터리를 사용할 수 없어도, 나머지 배터리가 기능할 수 있기 때문에 보조 전원으로서도 기능한다.

[0388] 또한 전력을 수신할 수 있는 안테나(5404)에 더하여, 생체 신호를 송신할 수 있는 안테나를 가져도 좋고, 예를 들어 맥박, 호흡수, 심박수, 또는 체온 등의 생체 신호를 외부의 모니터 장치로 확인할 수 있는, 심장 활동을 감시하는 시스템을 구성하여도 좋다.

[0389] [헤드 마운트 디스플레이]

[0390] 앞의 실시형태에서 설명한 기억 장치는 AR(증강 현실) 또는 VR(가상 현실) 등의 XR(Extended Reality 또는 Cross Reality)용 전자 기기에 적용할 수 있다.

[0391] 도 38의 (A) 내지 (C)는 헤드 마운트 디스플레이인 전자 기기(8300)의 외관을 나타낸 도면이다. 도 38의 (A) 내지 (C)에 나타낸 전자 기기(8300)는 하우징(8301), 표시부(8302), 밴드상 고정구(8304), 머리에 장착하는 고정구(8304a), 및 한 쌍의 렌즈(8305)를 가진다. 또한 전자 기기(8300)에는 조작용 버튼이 제공되어도 좋다.

[0392] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 볼 수 있다. 또한 표시부(8302)를 만곡시켜 배치하면, 사용자는 높은 현장감을 느낄 수 있어 바람직하다. 또한 표시부(8302)의 상이한 영역에 표시된 다른 화상을 렌즈(8305)를 통하여 봄으로써 시차를 사용한 3차원 표시 등을 할 수도 있다. 또한 하나의 표시부(8302)를 제공하는 구성에 한정되지 않고, 2개의 표시부(8302)를 제공하여 사용자의 한쪽 눈마다 하나의 표시부를 배치하여도 좋다.

[0393] 또한 표시부(8302)에는 예를 들어 정세도가 매우 높은 표시 장치를 사용하는 것이 바람직하다. 표시부(8302)에 정세도가 높은 표시 장치를 사용함으로써, 도 38의 (C)와 같이 렌즈(8305)를 사용하여 확대하여도, 사용자에게 화소가 보이지 않고, 현실감이 더 높은 영상을 표시할 수 있다.

[0394] 또한 본 발명의 일 형태의 전자 기기인 헤드 마운트 디스플레이는 도 38의 (D)에 나타낸 안경형 헤드 마운트 디스플레이인 전자 기기(8200)의 구성이어도 좋다.

[0395] 전자 기기(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 및 케이블(8205)을 가진다. 또한 장착부(8201)에는 배터리(8206)가 내장되어 있다.

[0396] 케이블(8205)은 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 가지고, 수신한 영상 정보를 표시부(8204)에 표시시킬 수 있다. 또한 본체(8203)는 카메라를 포함하고, 사용자의 안구 또는 눈꺼풀의 움직임의 정보를 입력 수단으로서 사용할 수 있다.

[0397] 또한 장착부(8201)는 사용자와 접촉하는 위치에 사용자의 안구의 움직임에 따라 흐르는 전류를 검지할 수 있는 복수의 전극이 제공되고 시선을 인식하는 기능을 가져도 좋다. 또한 상기 전극을 흐르는 전류에 의하여 사용자의 맥박을 모니터링하는 기능을 가져도 좋다. 또한 장착부(8201)는 온도 센서, 압력 센서, 또는 가속도 센서 등의 각종 센서를 가져도 좋고, 사용자의 생체 정보를 표시부(8204)에 표시하는 기능, 사용자의 머리 움직임에 맞추어 표시부(8204)에 표시되는 영상을 변화시키는 기능 등을 가져도 좋다.

[0398] [PC용 확장 디바이스]

[0399] 앞의 실시형태에서 설명한 기억 장치는 PC(Personal Computer) 등의 계산기, 정보 단말기용 확장 디바이스에 적용할 수 있다.

[0400] 도 39의 (A)에는, 상기 확장 디바이스의 일례로서, 정보의 저장이 가능한 칩을 포함하고, PC 외부에 장착되는 포터블 확장 디바이스(6100)를 나타내었다. 확장 디바이스(6100)는 예를 들어 USB(Universal Serial Bus) 등에 의하여 PC에 접속되면, 상기 칩에서 정보를 기억할 수 있다. 또한 도 39의 (A)에는 들고 다닐 수 있는 형태의 확장 디바이스(6100)를 도시하였지만, 본 발명의 일 형태에 따른 확장 디바이스는 이에 한정되지 않고, 예를 들어 냉각용 팬 등을 탑재한 비교적 큰 형태의 확장 디바이스로 하여도 좋다.

[0401] 확장 디바이스(6100)는 하우징(6101), 캡(6102), USB 커넥터(6103), 및 기판(6104)을 가진다. 기판(6104)은 하우징(6101)에 수납된다. 기판(6104)에는, 앞의 실시형태에서 설명한 기억 장치 등을 구동하는 회로가 제공되어 있다. 예를 들어 기판(6104)에는 전자 부품(4700), 컨트롤러 칩(6106)이 장착되어 있다. USB 커넥터(6103)는 외부 장치와 접속하기 위한 인터페이스로서 기능한다.

[0402] [SD 카드]

[0403] 앞의 실시형태에서 설명한 기억 장치는, 정보 단말기, 디지털 카메라 등의 전자 기기에 장착할 수 있는 SD 카드에 적용할 수 있다.

[0404] 도 39의 (B)는 SD 카드의 외관의 모식도이고, 도 39의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(5110)는 하우징(5111), 커넥터(5112), 및 기판(5113)을 가진다. 커넥터(5112)는 외부 장치에 접속하기 위한 인터페이스로서 기능한다. 기판(5113)은 하우징(5111)에 수납된다. 기판(5113)에는 기억 장치 및 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기판(5113)에는 전자 부품(4700), 컨트롤러 칩(5115)이 장착되어 있다. 또한 전자 부품(4700)과 컨트롤러 칩(5115) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어 전자 부품에 제공되는 기록 회로, 행 드라이버, 판독 회로 등은 전자 부품(4700)이 아니라 컨트롤러 칩(5115)에 제공되어도 좋다.

[0405] 기판(5113)의 이면(裏面) 측(기억 장치 및 기억 장치를 구동하는 회로가 제공되는 면과는 반대 측의 면)에도 전자 부품(4700)을 제공함으로써, SD 카드(5110)의 용량을 늘릴 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기판(5113)에 제공하여도 좋다. 이에 의하여, 외부 장치와 SD 카드(5110) 사이에서 무선 통신을 수행할 수 있기 때문에, 데이터를 전자 부품(4700)으로부터 판독하거나 전자 부품(4700)에 기록할 수 있다.

[0406] [SSD]

[0407] 앞의 실시형태에서 설명한 기억 장치는, 정보 단말기 등의 전자 기기에 장착할 수 있는 SSD(Solid State Drive)에 적용할 수 있다.

[0408] 도 39의 (D)는 SSD의 외관의 모식도이고, 도 39의 (E)는 SSD의 내부 구조의 모식도이다. SSD(5150)는 하우징(5151), 커넥터(5152), 및 기판(5153)을 가진다. 커넥터(5152)는 외부 장치에 접속하기 위한 인터페이스로서 기능한다. 기판(5153)은 하우징(5151)에 수납된다. 기판(5153)에는 기억 장치 및 기억 장치를 구동하는 회로가 제공되어 있다. 예를 들어 기판(5153)에는 전자 부품(4700), 메모리 칩(5155), 컨트롤러 칩(5156)이 장착되어 있다. 기판(5153)의 이면 측(기억 장치 및 기억 장치를 구동하는 회로가 제공되는 면과는 반대 측의 면)에도 전자 부품(4700)을 제공함으로써, SSD(5150)의 용량을 늘릴 수 있다. 메모리 칩(5155)에는 작업 메모리가 포함되어 있다. 예를 들어 메모리 칩(5155)에는 DRAM 칩을 사용하면 좋다. 컨트롤러 칩(5156)에는 프로세서, ECC 회로 등이 포함되어 있다. 또한 전자 부품(4700)과, 메모리 칩(5155)과, 컨트롤러 칩(5156) 각각의 회로 구성은 앞의 기재에 한정되지 않고, 상황에 따라 적절히 변경하여도 좋다. 예를 들어 컨트롤러 칩(5156)에도 작업 메모리로서 기능하는 메모리를 제공하여도 좋다.

[0409] 앞의 실시형태에서 설명한 기억 장치를 상술한 전자 기기에 포함된 기억 장치에 적용함으로써 신규 전자 기기를 제공할 수 있다.

[0410] 또한 본 실시형태는 본 명세서에서 설명하는 다른 실시형태와 적절히 조합할 수 있다.

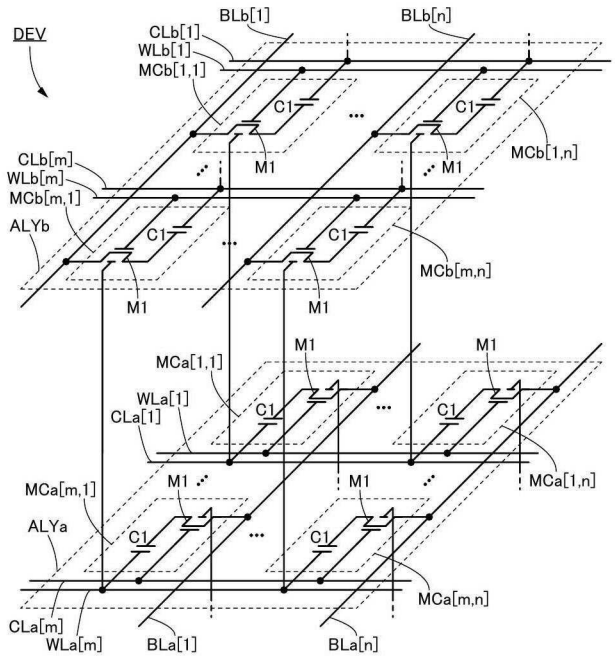
부호의 설명

[0411] DEV: 반도체 장치, ALYa: 기억층, ALYb: 기억층, MC: 메모리 셀, MCa: 메모리 셀, MCb: 메모리 셀, M1: 트랜지스터, C1: 용량 소자, BLa: 배선, BLb: 배선, WLa: 배선, WLb: 배선, CLa: 배선, CLb: 배선, 10: 메모리 셀, 22: PSW, 23: PSW, 31: 주변 회로, 32: 컨트롤 회로, 33: 전압 생성 회로, 41: 주변 회로, 42: 행 디코더, 43: 행 드라이버, 44: 열 디코더, 45: 열 드라이버, 46: 감지 증폭기, 47: 입력 회로, 48: 출력 회로, 50: 구동 회로층, 60: 기억층, 100: 기억 장치, 153_1: 절연체, 153_2: 절연체, 153A: 절연막, 154_1: 절연체, 154_2: 절연체, 154A: 절연막, 158: 개구, 160_1: 도전체, 160a_1: 도전체, 160b_1: 도전체, 160_2: 도전체, 160a_2: 도전체, 160b_2: 도전체, 160A: 도전막, 160B: 도전막, 222_1: 절연체, 222_2: 절연체, 224: 절연체, 224Af: 절연막, 224A: 절연층, 230: 산화물, 230a: 산화물, 230Af: 산화막, 230A: 산화물층, 230b: 산화물, 230Bf: 산화막, 230B: 산화물층, 242a: 도전체, 242a1: 도전체, 242a2: 도전체, 242Af: 도전막, 242A: 도전층, 242b: 도전체, 242b1: 도전체, 242b2: 도전체, 242Bf: 도전막, 242B: 도전층, 242c: 도전체, 253: 절연체, 253A: 절연막, 254: 절연체, 254A: 절연막, 258: 개구, 260: 도전체, 260a: 도전체, 260b: 도전체, 260A: 도전막, 260B: 도전

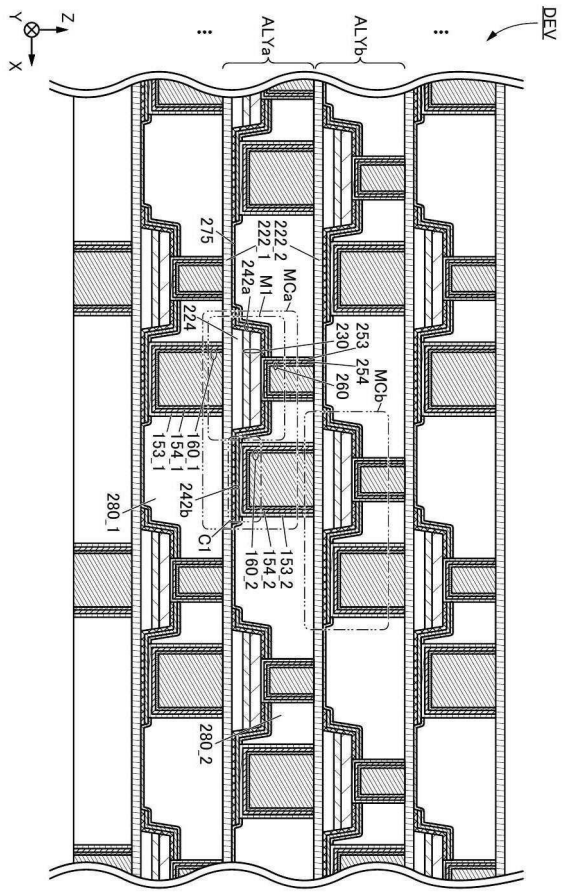
막, 270: 도전체, 275: 절연체, 280_1: 절연체, 280_2: 절연체, 311: 기판, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 356: 도전체, 357: 절연체, 400: 트랜지스터, 1189: ROM 인터페이스, 1190: 기판, 1192: ALU 컨트롤러, 1193: 인스트럭션 디코더, 1194: 인터럽트 컨트롤러, 1195: 타이밍 컨트롤러, 1196: 레지스터, 1197: 레지스터 컨트롤러, 1198: 버스 인터페이스, 1199: ROM, 4700: 전자 부품, 4702: 인쇄 기판, 4710: 반도체 장치, 4711: 몰드, 4712: 랜드, 4714: 와이어, 4730: 전자 부품, 4735: 반도체 장치, 4800: 반도체 웨이퍼, 4801: 웨이퍼, 4801a: 웨이퍼, 4802: 회로부, 4803: 공간(spacing), 4803a: 공간, 5110: SD 카드, 5111: 하우징, 5112: 커넥터, 5113: 기판, 5115: 컨트롤러 칩, 5151: 하우징, 5152: 커넥터, 5153: 기판, 5156: 컨트롤러 칩, 5200: 휴대용 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 데스크톱형 정보 단말기, 5301: 본체, 5302: 디스플레이, 5303: 키보드, 5400: ICD 본체, 5401: 배터리, 5402: 와이어, 5403: 와이어, 5404: 안테나, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5700: 자동차, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 문, 5803: 냉동실용 문, 5900: 정보 단말기, 5901: 하우징, 5902: 표시부, 5903: 조작 버튼, 5904: 용두, 5905: 밴드, 6100: 확장 디바이스, 6101: 하우징, 6102: 캡, 6103: USB 커넥터, 6104: 기판, 6106: 컨트롤러 칩, 6240: 디지털 카메라, 6241: 하우징, 6243: 조작 버튼, 6246: 렌즈, 6242: 표시부, 6301: 제 1 하우징, 6302: 제 2 하우징, 6303: 표시부, 6304: 조작 키, 6305: 렌즈, 6306: 접속부, 7500: 거치형 게임기, 7520: 본체, 7522: 컨트롤러, 8200: 전자 기기, 8201: 장착부, 8202: 렌즈, 8203: 본체, 8204: 표시부, 8205: 케이블, 8206: 배터리, 8300: 전자 기기, 8301: 하우징, 8302: 표시부, 8304: 고정구, 8304a: 고정구, 8305: 렌즈

도면

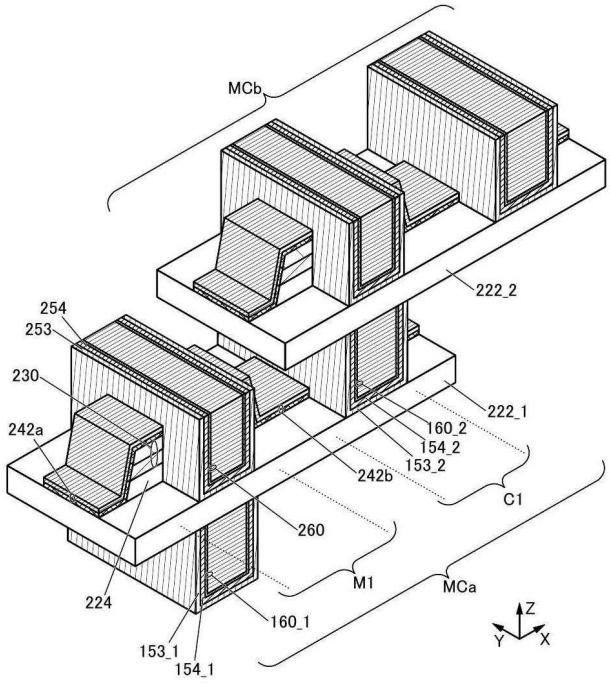
도면1



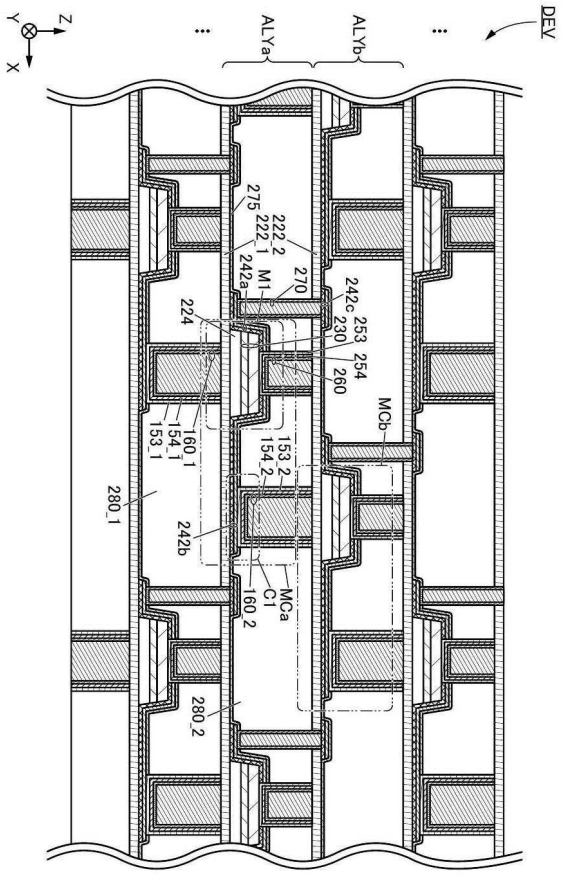
도면2


Y
Z
X
...
ALYa
ALYb
...
DEV
275
222_2
222_1
M1
MCa
242a
224
230
253
254
260
MCb
160_1
154_1
153_1
280_1
242b
C1
153_2
154_2
160_2
280_2

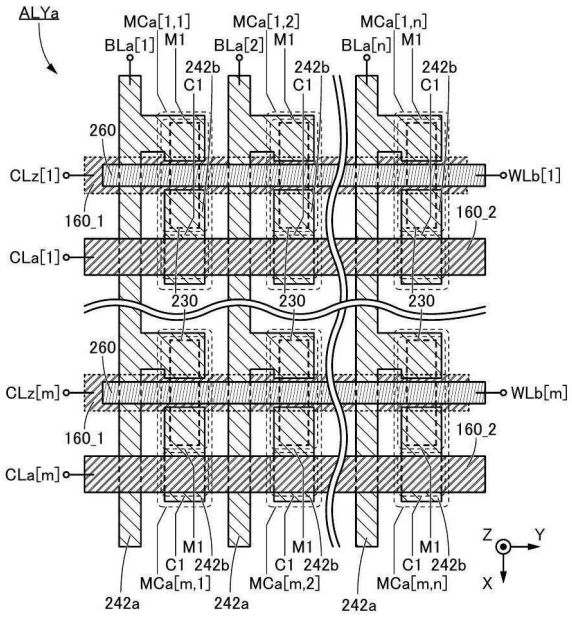
도면3


MCb
222_2
254
253
230
242a
222_1
160_2
154_2
153_2
242b
C1
260
M1
MCa
224
160_1
153_1
154_1
Z
Y
X

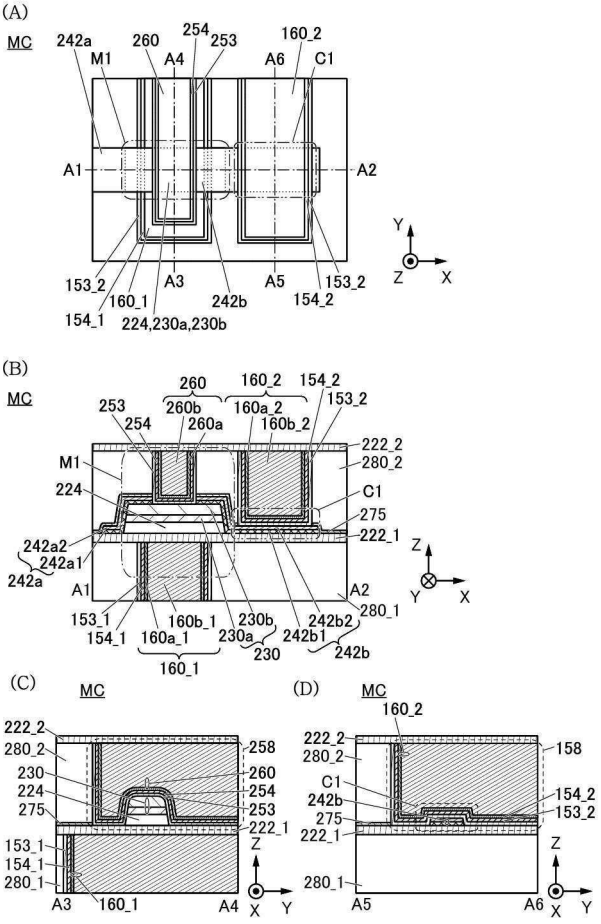
도면4


Y
Z
X
ALYa
ALYb
DEV
275
222_2
222_1
242a
M1
270
242c
230
253
254
260
MCb
224
153_1
154_1
160_1
153_2
154_2
280_1
242b
C1
MCa
160_2
280_2

도면5

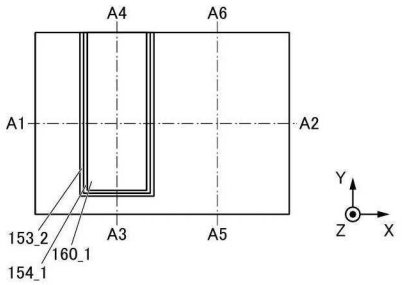

ALYa
MCa[1,1]
MCa[1,2]
MCa[1,n]
BLa[1]
BLa[2]
BLa[n]
M1
242b
C1
260
CLz[1]
WLb[1]
160_1
160_2
CLa[1]
230
CLz[m]
WLb[m]
CLa[m]
MCa[m,1]
MCa[m,2]
MCa[m,n]
242a
Z
Y
X

도면6

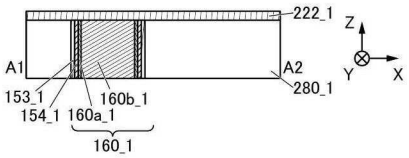

(A)
MC
242a
M1
260
254
253
A4
160_2
A6
C1
A1
A2
153_2
160_1
154_1
224,230a,230b
A3
242b
A5
154_2
Y
Z
X
(B)
MC
260
160_2
154_2
253
260b
160a_2
153_2
254
260a
160b_2
222_2
280_2
M1
224
C1
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230b
230a
230
242b1
242b2
242b
160_1
(C)
MC
222_2
280_2
230
224
275
153_1
154_1
280_1
258
260
254
253
222_1
A3
160_1
A4
(D)
MC
160_2
222_2
280_2
C1
242b
275
222_1
280_1
158
154_2
153_2
A5
A6

도면7

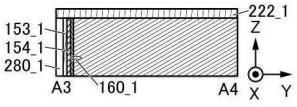
(A)


A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
A5

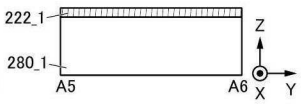
(B)


222_1
Z
A1
A2
Y
X
280_1
153_1
154_1
160a_1
160b_1
160_1

(C)

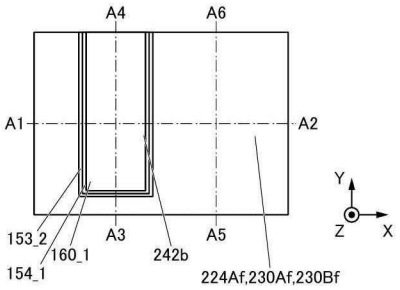

222_1
153_1
154_1
280_1
Z
A3
160_1
A4
X
Y

(D)

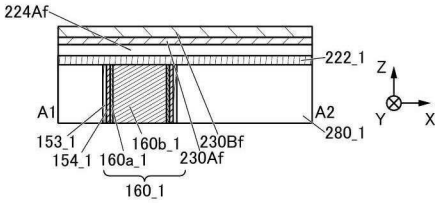

222_1
Z
280_1
A5
A6
X
Y

도면8

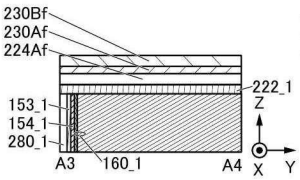
(A)


A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
242b
A5
224Af,230Af,230Bf

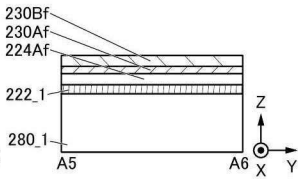
(B)


224Af
222_1
Z
A1
A2
Y
X
280_1
153_1
154_1
160a_1
160b_1
230Af
230Bf
160_1

(C)

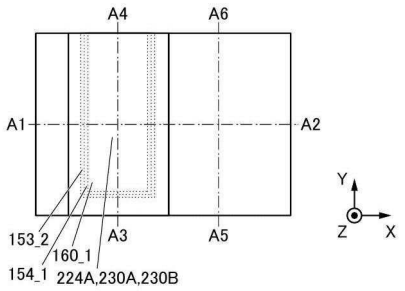

230Bf
230Af
224Af
222_1
Z
153_1
154_1
280_1
A3
160_1
A4
X
Y

(D)

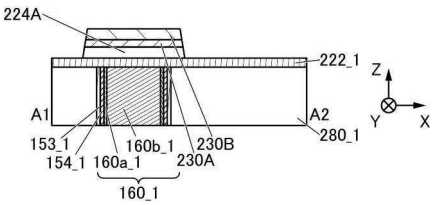

230Bf
230Af
224Af
222_1
Z
280_1
A5
A6
X
Y

도면9

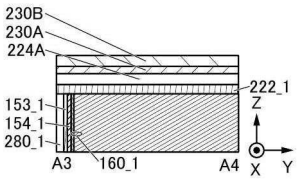
(A)


A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
224A,230A,230B
A3
A5

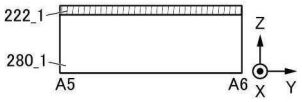
(B)


224A
222_1
Z
A1
A2
Y
X
280_1
153_1
154_1
160a_1
160b_1
230A
230B
160_1

(C)

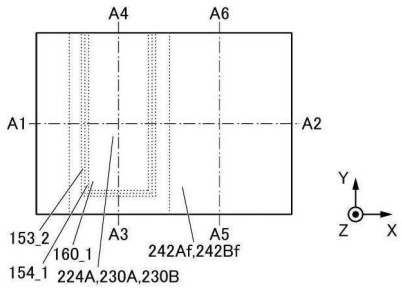

230B
230A
224A
222_1
153_1
154_1
280_1
Z
A3
160_1
A4
X
Y

(D)

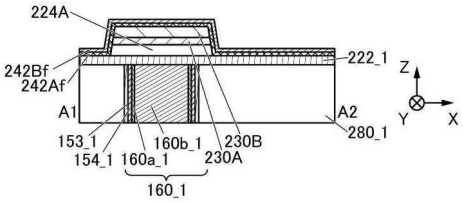

222_1
Z
280_1
A5
A6
X
Y

도면10

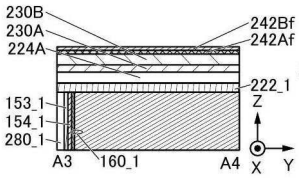
(A)


A4
A6
A1
A2
Y
Z
X
153_2
160_1
A3
A5
154_1
224A,230A,230B
242Af,242Bf

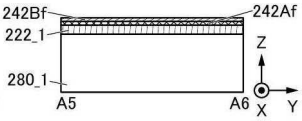
(B)


224A
242Bf
242Af
222_1
Z
A1
A2
Y
X
153_1
154_1
160a_1
160b_1
230A
230B
280_1
160_1

(C)

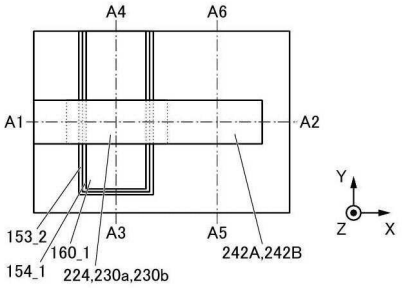

230B
230A
224A
242Bf
242Af
222_1
153_1
154_1
280_1
Z
A3
160_1
A4
X
Y

(D)

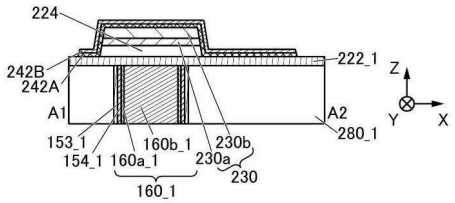

242Bf
242Af
222_1
Z
280_1
A5
A6
X
Y

도면11

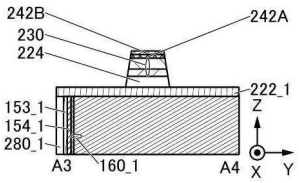
(A)


A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
224,230a,230b
A3
A5
242A,242B

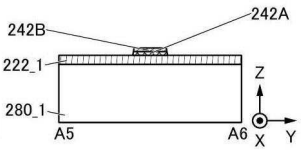
(B)


224
222_1
242B
242A
Z
A1
A2
Y
X
153_1
154_1
160a_1
160b_1
230a
230b
230
160_1
280_1

(C)

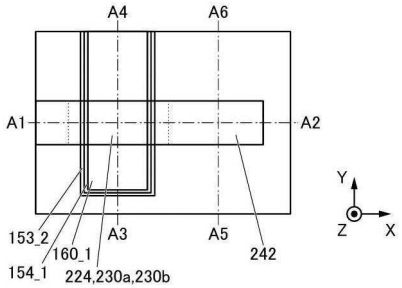

242B
242A
230
224
222_1
153_1
154_1
280_1
Z
A3
160_1
A4
X
Y

(D)

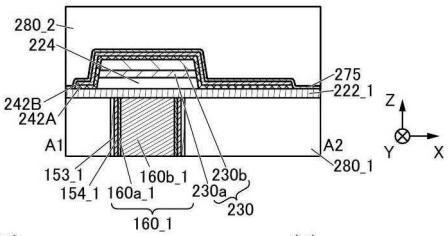

242A
242B
222_1
Z
280_1
A5
A6
X
Y

도면12

(A)

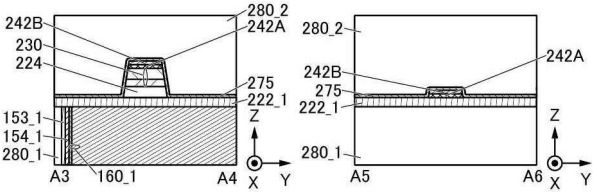

A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
224,230a,230b
A3
A5
242

(B)

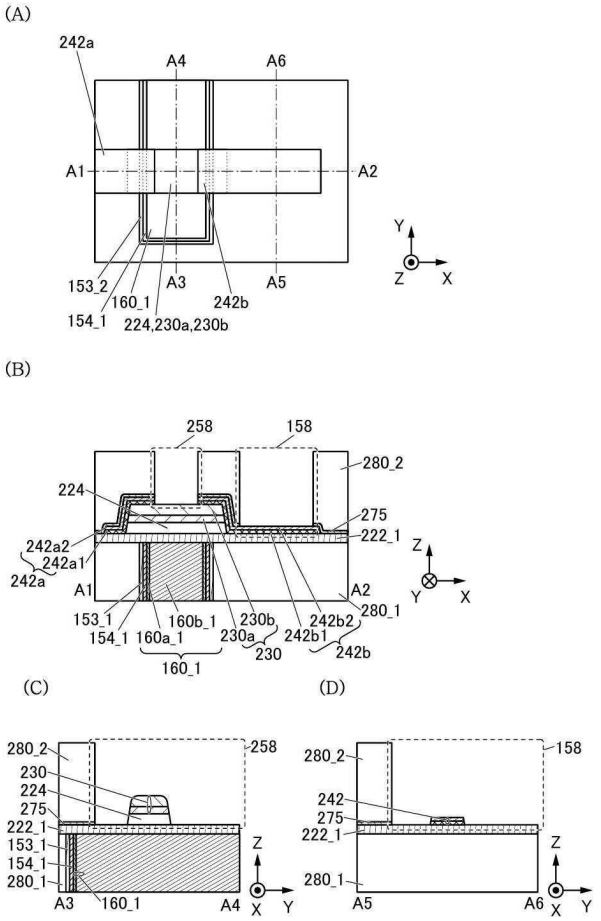

280_2
224
275
222_1
242B
242A
Z
A1
A2
Y
X
280_1
153_1
160b_1
230b
154_1
160a_1
230a
230
160_1

(C)

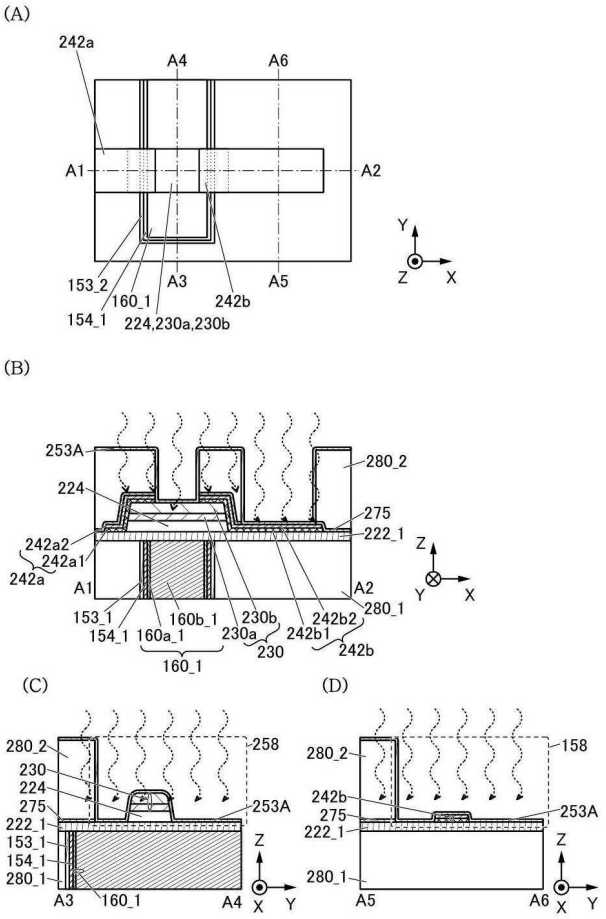
(D)


242B
280_2
242A
230
224
275
222_1
153_1
154_1
280_1
Z
A3
160_1
A4
X
Y
280_2
242A
242B
275
222_1
280_1
Z
A5
A6
X
Y

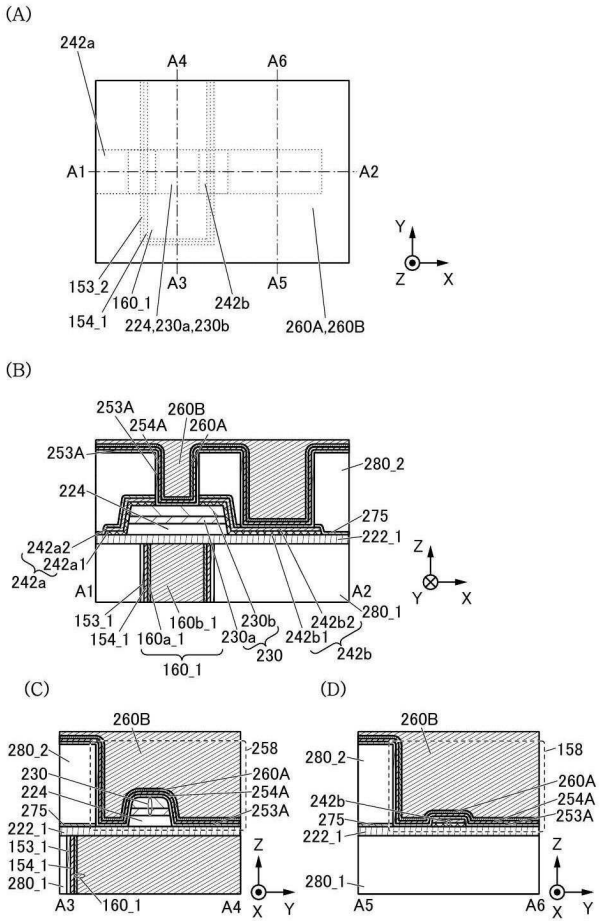
도면13


(A)
242a
A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
224,230a,230b
A3
A5
242b
(B)
258
158
280_2
224
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
(C)
(D)
280_2
258
230
224
275
222_1
153_1
154_1
280_1
A3
160_1
A4
158
242
A5
A6

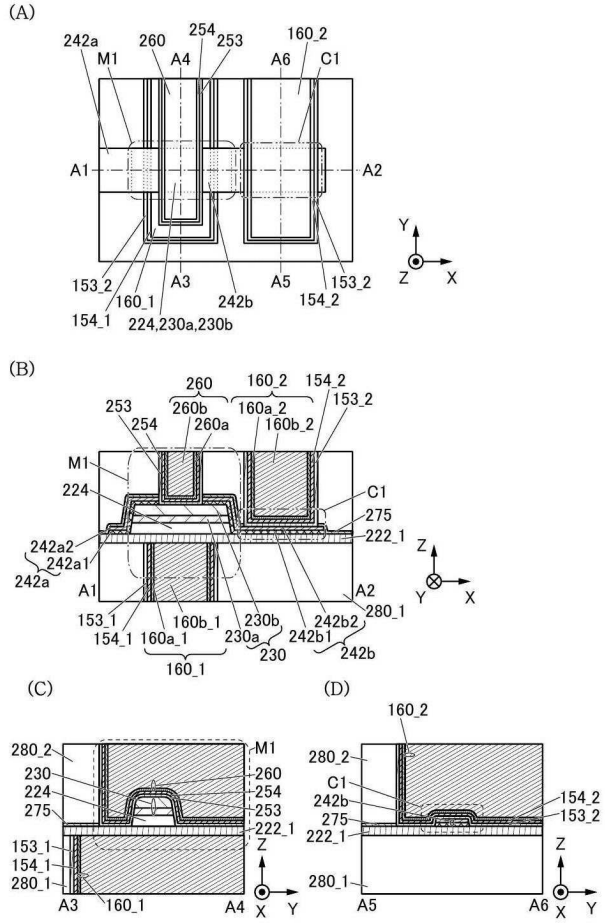
도면14


(A)
242a
A4
A6
A1
A2
Y
Z
X
153_2
160_1
A3
A5
242b
154_1
224,230a,230b
(B)
253A
280_2
224
275
222_1
242a2
242a1
242a
Z
Y
X
A1
A2
280_1
153_1
154_1
160b_1
160a_1
230b
230a
230
242b2
242b1
242b
160_1
(C)
(D)
280_2
258
230
224
275
222_1
153_1
154_1
280_1
253A
Z
A3
160_1
A4
X
Y
280_2
158
242b
275
222_1
253A
Z
280_1
A5
A6
X
Y

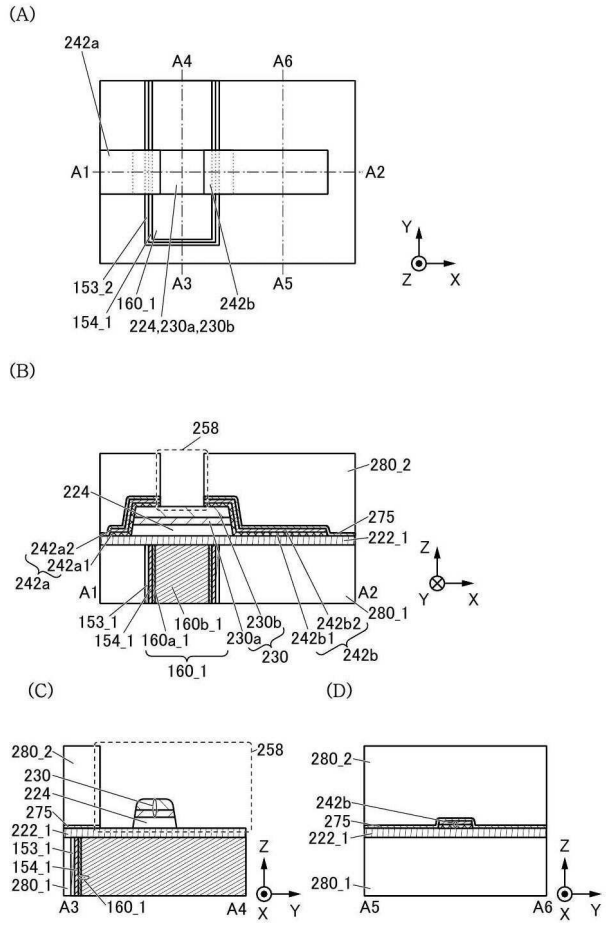
도면15


(A)
242a
A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
224,230a,230b
A3
A5
242b
260A,260B
(B)
253A
260B
254A
260A
253A
280_2
224
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
(C)
(D)
260B
280_2
230
224
275
222_1
153_1
154_1
280_1
258
260A
254A
253A
A3
160_1
A4
A5
A6
158

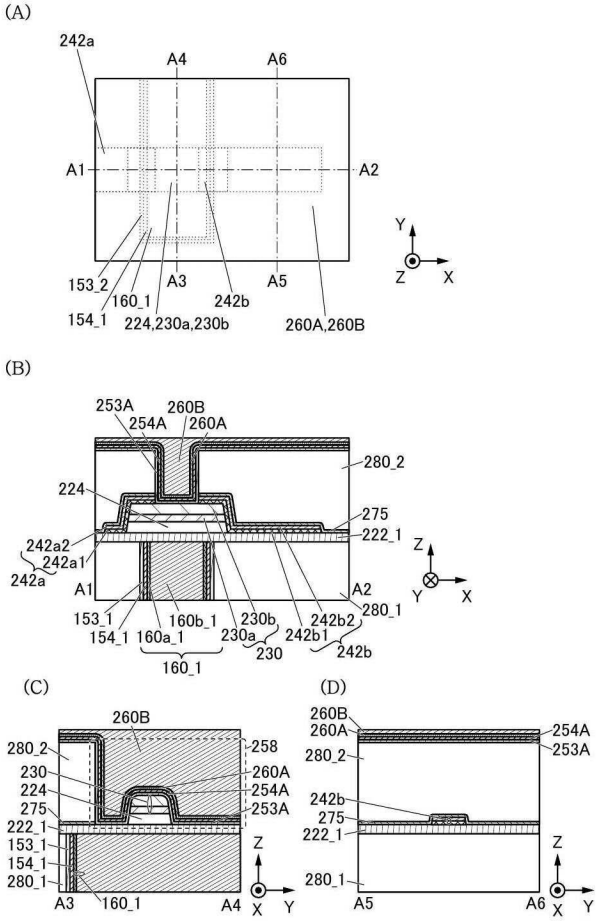
도면16


(A)
242a
M1
260
254
A4
253
160_2
A6
C1
A1
A2
153_2
160_1
154_1
224,230a,230b
A3
242b
A5
154_2
153_2
Y
Z
X
(B)
260
160_2
154_2
153_2
253
260b
160a_2
254
260a
160b_2
M1
224
C1
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230b
230a
230
242b1
242b2
242b
160_1
Z
Y
X
(C)
(D)
280_2
230
224
275
153_1
154_1
280_1
M1
260
254
253
222_1
A3
160_1
A4
160_2
C1
242b
154_2
153_2
A5
A6

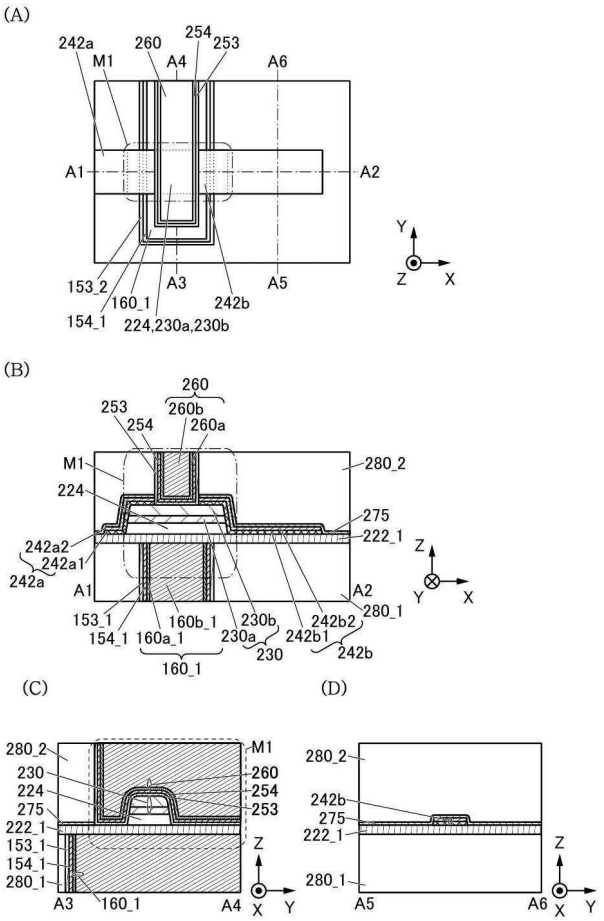
도면17


(A)
242a
A4
A6
A1
A2
153_2
154_1
160_1
224,230a,230b
A3
A5
242b
Y
Z
X
(B)
258
280_2
224
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
Z
Y
X
(C)
(D)
280_2
258
230
224
275
222_1
153_1
154_1
280_1
A3
160_1
A4
Z
X
Y
280_2
242b
275
222_1
280_1
A5
A6
Z
X
Y

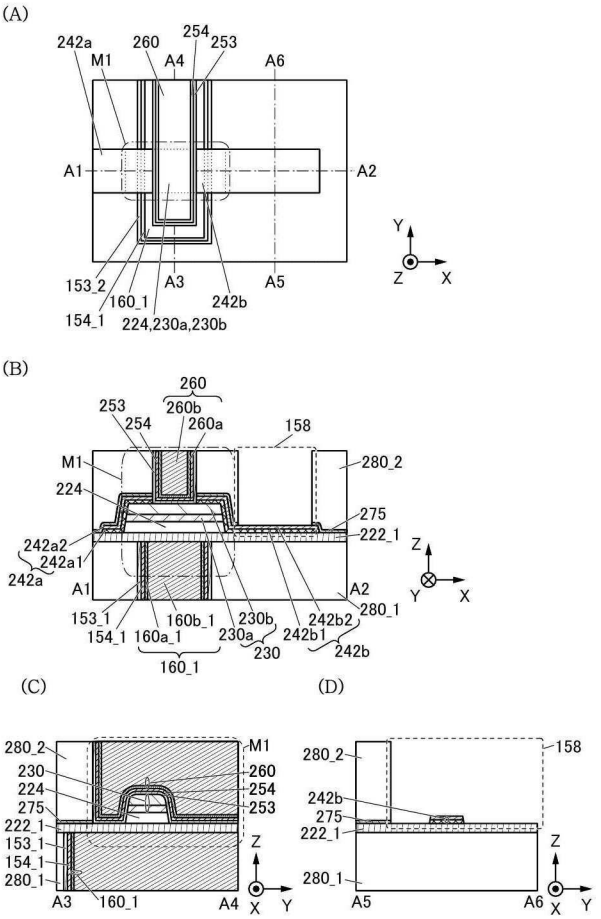
도면18


(A)
242a
A4
A6
A1
A2
153_2
154_1
160_1
224,230a,230b
A3
A5
242b
260A,260B
Y
Z
X
(B)
253A
254A
260B
260A
280_2
224
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
Z
Y
X
(C)
260B
280_2
230
224
275
222_1
153_1
154_1
280_1
258
260A
254A
253A
A3
160_1
A4
Z
X
Y
(D)
260B
260A
280_2
242b
275
222_1
280_1
254A
253A
A5
A6
Z
X
Y

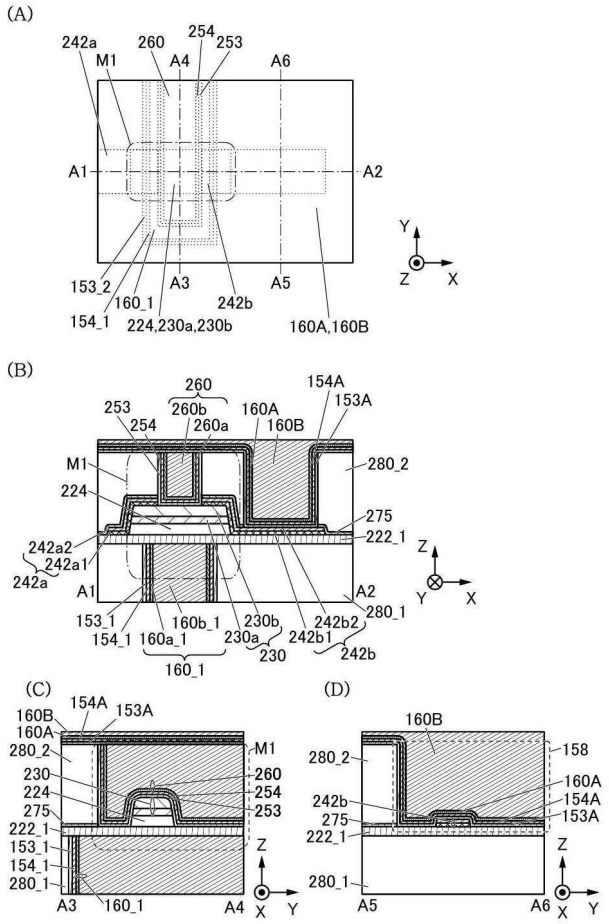
도면19


(A)
242a
M1
260
254
A4
253
A6
A1
A2
153_2
160_1
154_1
224,230a,230b
A3
A5
242b
Y
Z
X
(B)
260
253
260b
254
260a
M1
280_2
224
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
Z
Y
X
(C)
(D)
280_2
230
224
275
222_1
153_1
154_1
280_1
M1
260
254
253
A3
160_1
A4
Z
X
Y
280_2
242b
275
222_1
280_1
A5
A6
Z
X
Y

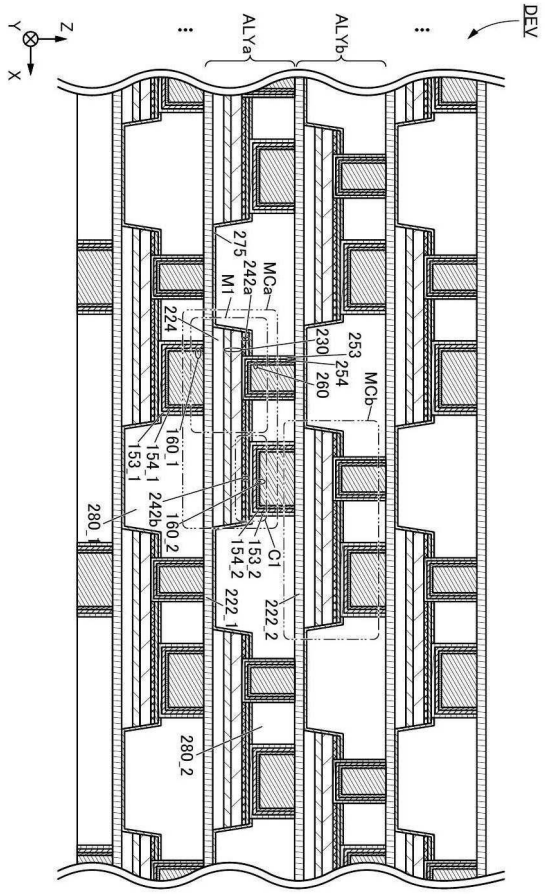
도면20


(A)
242a
M1
260
254
253
A4
A6
A1
A2
153_2
160_1
154_1
224,230a,230b
A3
A5
242b
Y
Z
X
(B)
260
260b
253
254
260a
158
M1
280_2
224
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
Z
Y
X
(C)
(D)
280_2
230
224
275
222_1
153_1
154_1
280_1
M1
260
254
253
A3
160_1
A4
158
242b
A5
A6

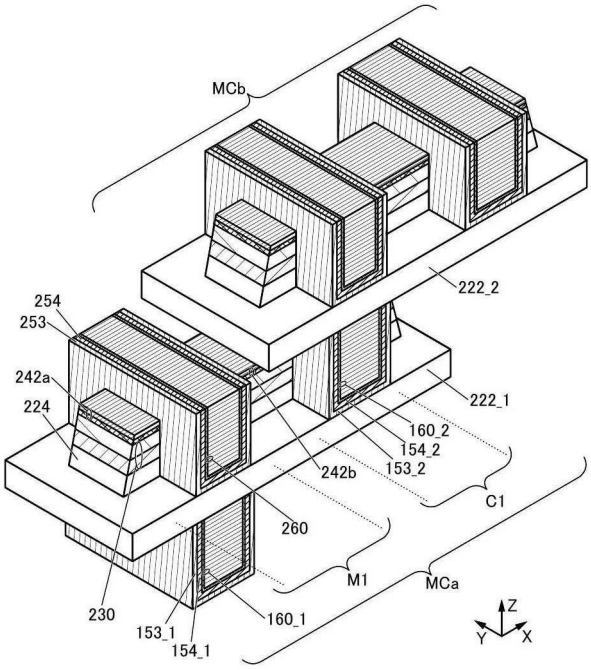
도면21


(A)
242a
M1
260
254
253
A4
A6
A1
A2
Y
Z
X
153_2
154_1
160_1
224,230a,230b
A3
242b
A5
160A,160B
(B)
260
253
260b
254
260a
160A
160B
154A
153A
M1
224
280_2
275
222_1
242a2
242a1
242a
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
(C)
160B
160A
154A
153A
280_2
230
224
275
222_1
153_1
154_1
280_1
M1
260
254
253
A3
160_1
A4
(D)
160B
280_2
158
160A
154A
153A
242b
275
222_1
280_1
A5
A6

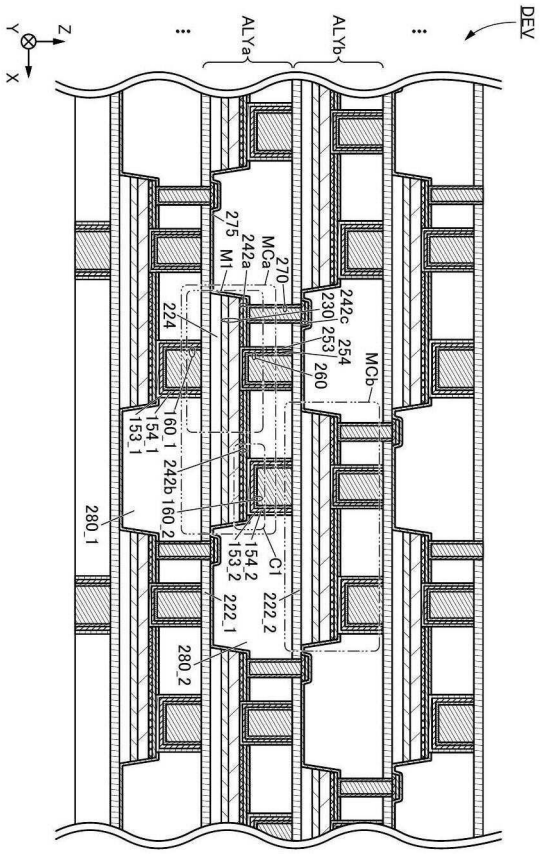
도면22


Y
Z
X
ALYa
ALYb
DEV
275
M1
MCa
242a
224
230
253
254
260
MCb
160_1
154_1
153_1
242b
160_2
280_1
153_2
154_2
C1
222_1
222_2
280_2

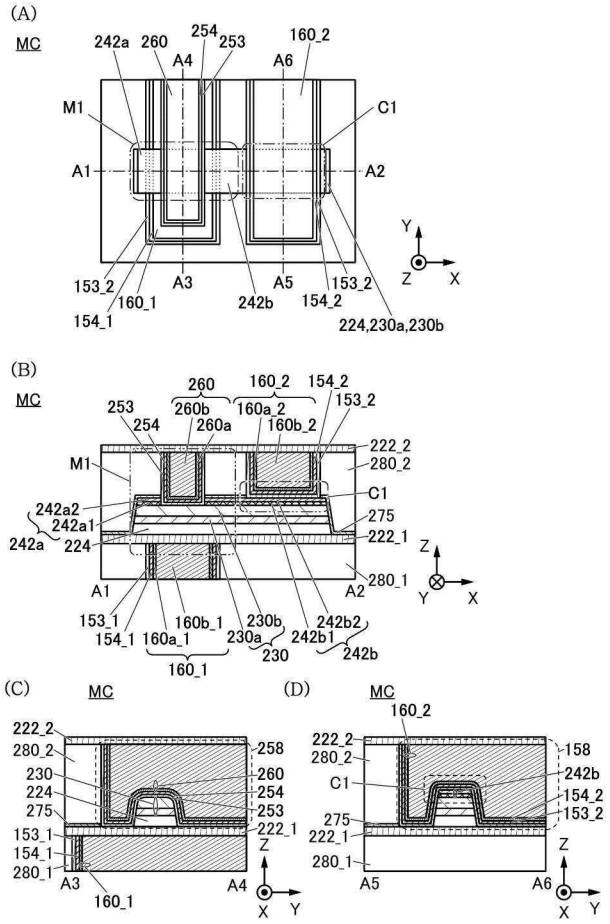
도면23


MCb
222_2
254
253
242a
224
222_1
160_2
154_2
153_2
242b
C1
260
M1
MCa
230
153_1
154_1
160_1
Z
Y
X

도면24

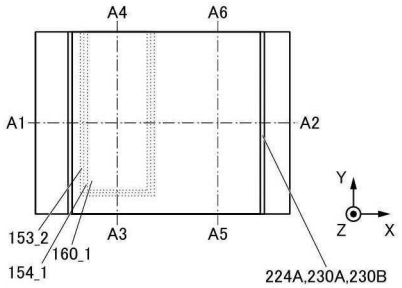

Z
Y
X
ALYa
ALYb
DEV
275
M1
270
MCa
242a
224
230
242c
253
254
260
MCb
160_1
154_1
153_1
242b
160_2
280_1
154_2
153_2
C1
222_2
222_1
280_2

도면25

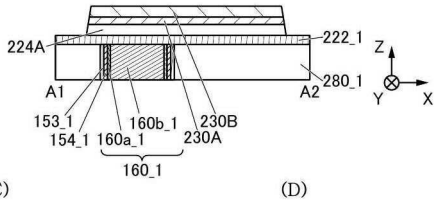

(A)
MC
242a
260
254
253
160_2
A4
A6
M1
C1
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
242b
A5
154_2
153_2
224,230a,230b
(B)
MC
260
160_2
154_2
253
260b
160a_2
153_2
254
260a
160b_2
222_2
280_2
M1
C1
242a2
242a1
242a
224
275
222_1
280_1
A1
A2
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
(C)
MC
222_2
280_2
230
224
275
153_1
154_1
280_1
258
260
254
253
222_1
A3
A4
160_1
(D)
MC
160_2
222_2
280_2
C1
275
222_1
280_1
158
242b
154_2
153_2
A5
A6

도면26

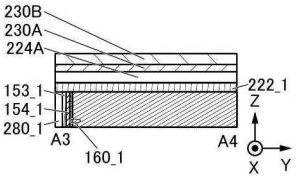
(A)


A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
A5
224A,230A,230B

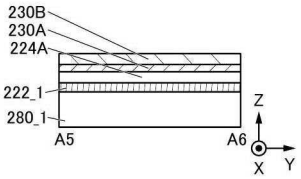
(B)


224A
222_1
Z
A1
A2
280_1
Y
X
153_1
154_1
160a_1
160b_1
230B
230A
160_1

(C)

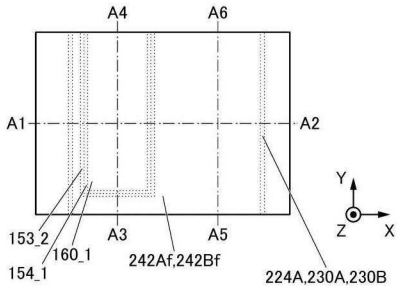

230B
230A
224A
153_1
154_1
280_1
222_1
Z
A3
A4
160_1
X
Y

(D)

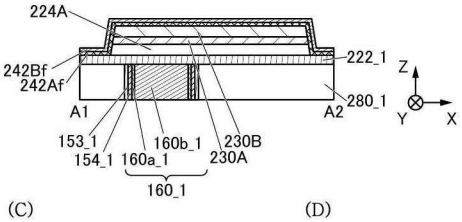

230B
230A
224A
222_1
280_1
Z
A5
A6
X
Y

도면27

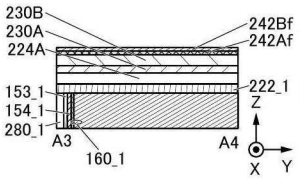
(A)


A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
A5
242Af,242Bf
224A,230A,230B

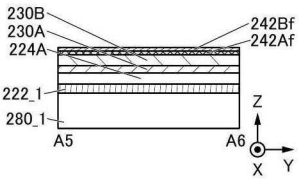
(B)


224A
222_1
242Bf
242Af
Z
A1
A2
280_1
Y
X
153_1
154_1
160a_1
160b_1
230B
230A
160_1

(C)

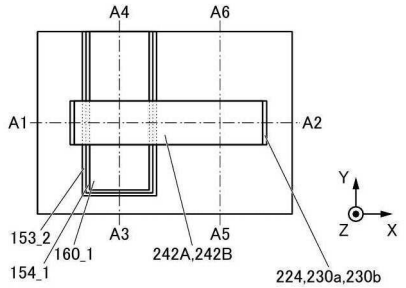

230B
230A
224A
242Bf
242Af
222_1
153_1
154_1
280_1
Z
A3
A4
160_1
X
Y

(D)

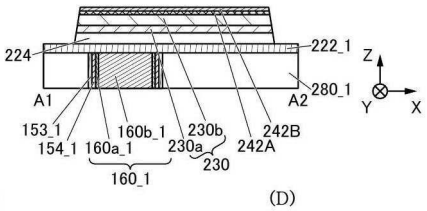

230B
230A
224A
242Bf
242Af
222_1
280_1
Z
A5
A6
X
Y

도면28

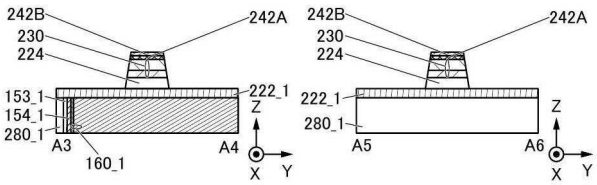
(A)


A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
A5
242A,242B
224,230a,230b

(B)

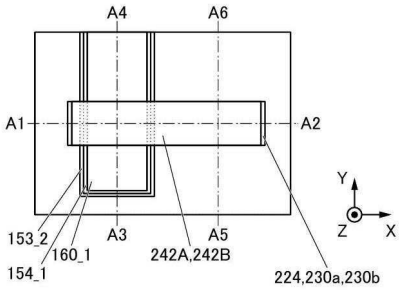

224
222_1
Z
A1
A2
280_1
Y
X
153_1
154_1
160a_1
160b_1
230a
230b
230
242A
242B
160_1

(C) (D)

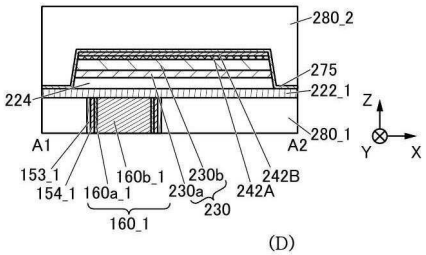

242B
230
224
242A
153_1
154_1
280_1
222_1
Z
A3
A4
160_1
X
Y
242B
230
224
242A
222_1
280_1
Z
A5
A6
X
Y

도면29

(A)

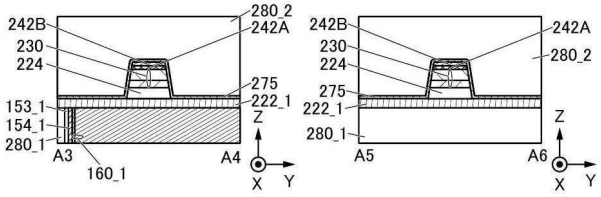

A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
A5
242A,242B
224,230a,230b

(B)


280_2
275
222_1
224
Z
Y
X
A1
A2
280_1
153_1
154_1
160a_1
160b_1
230b
230a
230
242A
242B
160_1

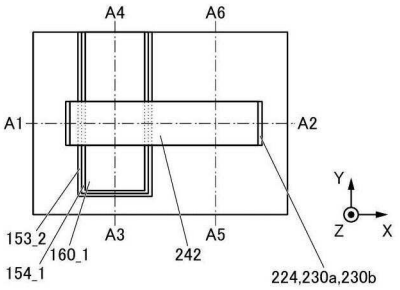
(C)

(D)

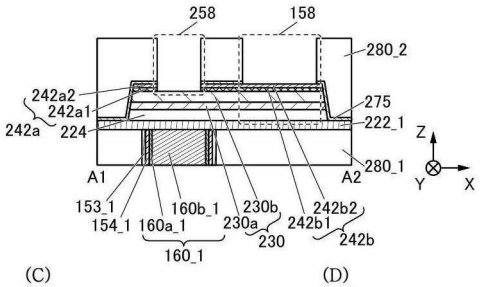

242B
230
224
280_2
242A
275
222_1
153_1
154_1
280_1
Z
A3
A4
160_1
X
Y
242B
230
224
242A
280_2
275
222_1
280_1
Z
A5
A6
X
Y

도면30

(A)

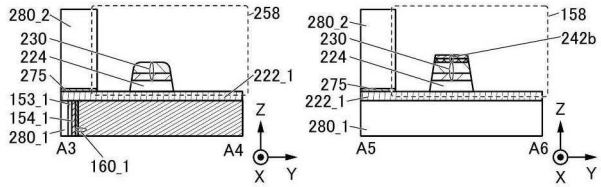

A4
A6
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
A5
242
224,230a,230b

(B)

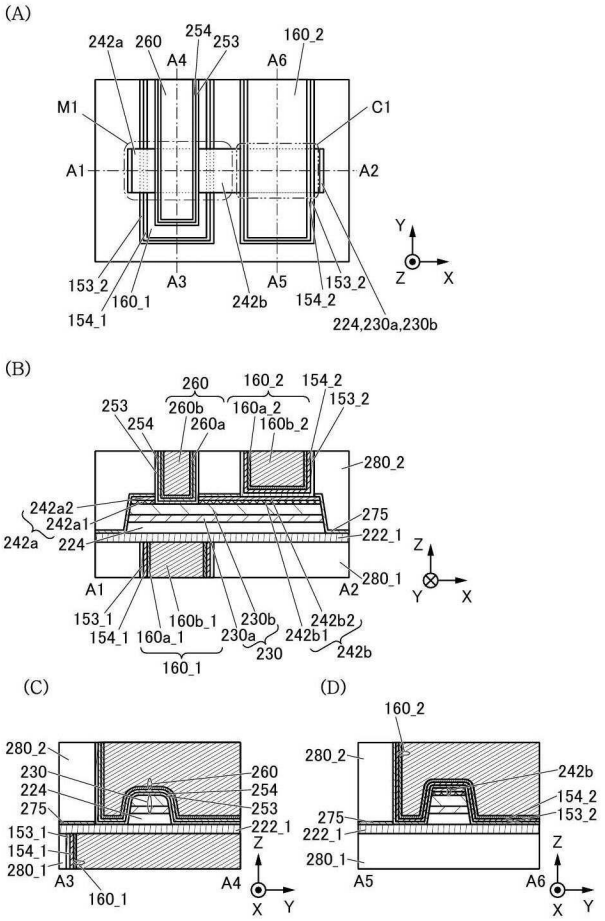

258
158
280_2
242a2
242a1
242a
224
275
222_1
Z
Y
X
A1
A2
280_1
153_1
154_1
160a_1
160_1
160b_1
230b
230a
230
242b2
242b1
242b

(C)

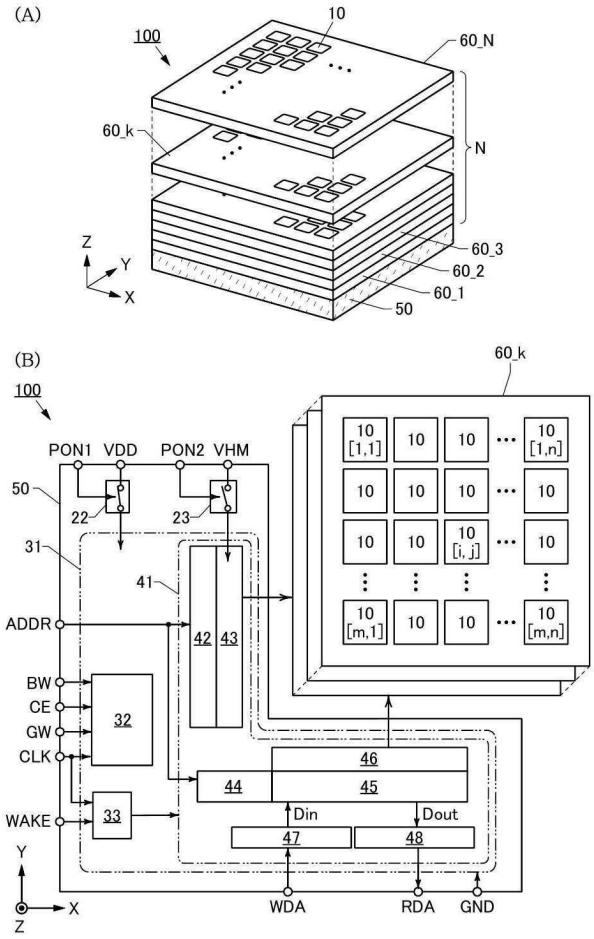
(D)


280_2
230
224
275
153_1
154_1
280_1
258
222_1
Z
A3
A4
160_1
X
Y
280_2
230
224
275
222_1
280_1
158
242b
Z
A5
A6
X
Y

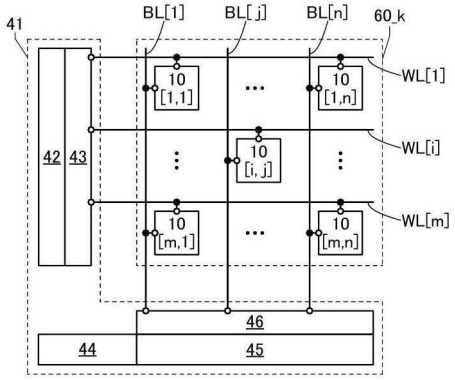
도면31


(A)
242a
260
254
253
160_2
A4
A6
M1
C1
A1
A2
Y
Z
X
153_2
160_1
154_1
A3
242b
A5
154_2
153_2
224,230a,230b
(B)
260
160_2
154_2
253
260b
160a_2
153_2
254
260a
160b_2
280_2
242a2
242a1
242a
224
275
222_1
280_1
A1
A2
153_1
154_1
160a_1
160b_1
230a
230b
230
242b1
242b2
242b
160_1
(C)
(D)
280_2
230
224
275
153_1
154_1
280_1
260
254
253
222_1
A3
A4
160_1
160_2
242b
154_2
153_2
A5
A6

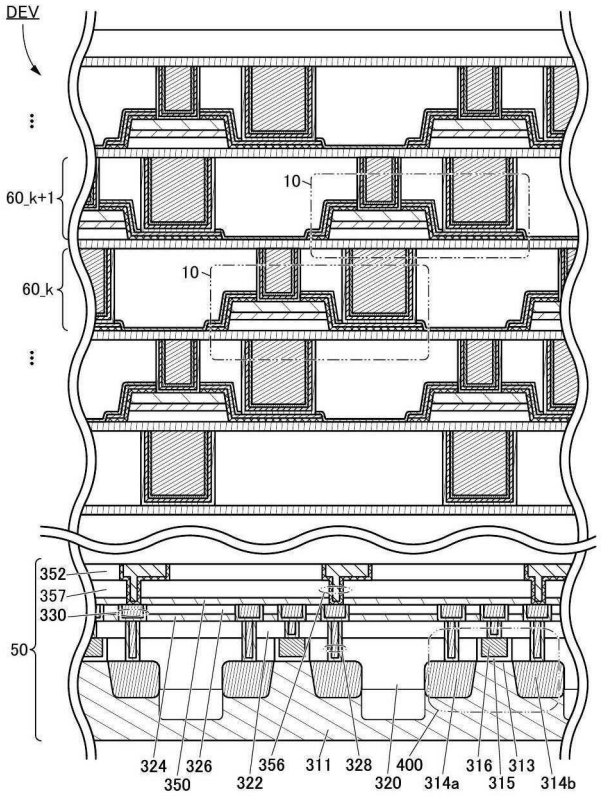
도면32


(A)
100
10
60_N
60_k
N
60_3
60_2
60_1
50
Z
Y
X
(B)
100
60_k
PON1
VDD
PON2
VHM
50
22
23
31
41
ADDR
42
43
BW
CE
GW
CLK
32
WAKE
33
44
45
46
Din
Dout
47
48
WDA
RDA
GND
10 [1,1]
10 [1,n]
10 [i, j]
10 [m,1]
10 [m,n]
10

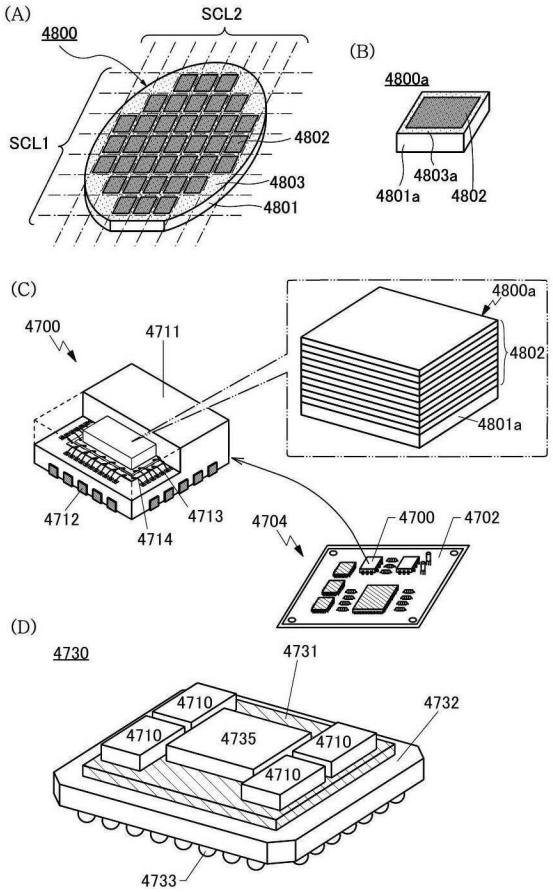
도면33


41
BL[1]
BL[j]
BL[n]
60_k
WL[1]
WL[i]
WL[m]
42
43
10 [1,1]
10 [1,n]
10 [i, j]
10 [m,1]
10 [m,n]
46
44
45

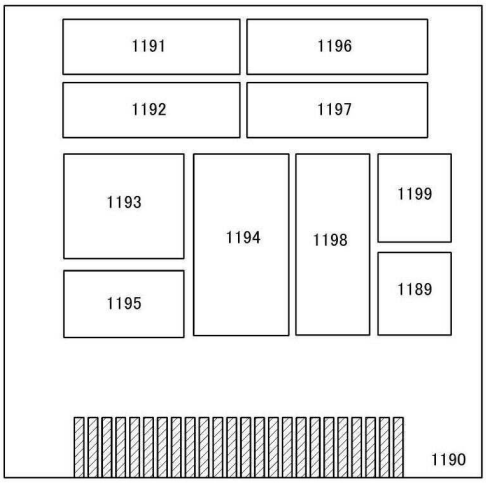
도면34


DEV
60_k+1
60_k
10
10
352
357
330
50
324
350
326
322
356
311
328
320
400
314a
316
315
313
314b

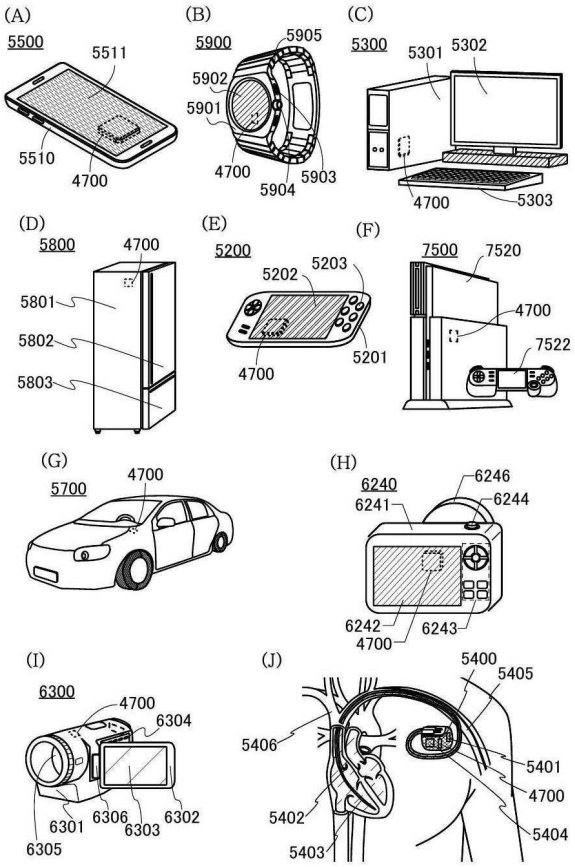
도면35


(A)
4800
SCL2
SCL1
4802
4803
4801
(B)
4800a
4803a
4801a
4802
(C)
4700
4711
4800a
4802
4801a
4712
4714
4713
4704
4700
4702
(D)
4730
4731
4732
4710
4710
4735
4710
4710
4733

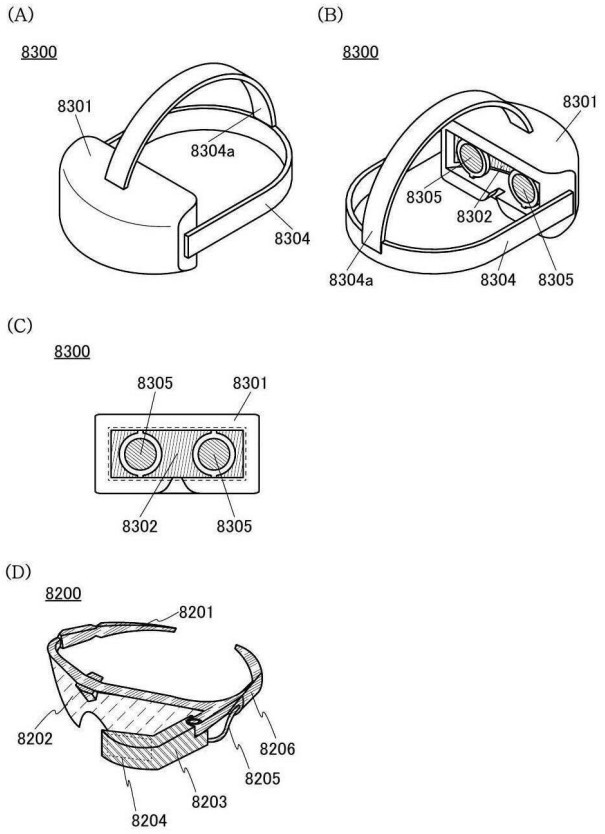
도면36


1191
1196
1192
1197
1193
1194
1198
1199
1189
1195
1190

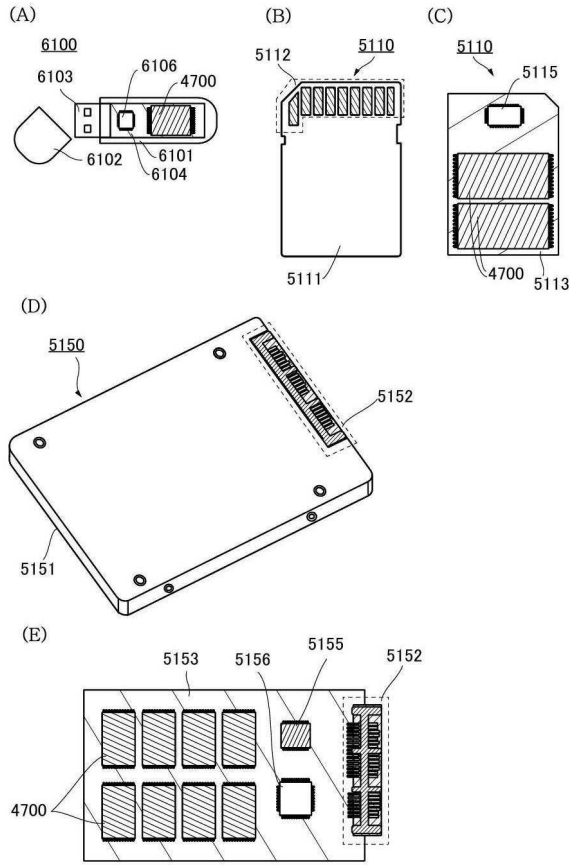
도면37


(A)
5500
5511
5510
4700
(B)
5900
5905
5902
5901
4700
5904
5903
(C)
5300
5301
5302
4700
5303
(D)
5800
4700
5801
5802
5803
(E)
5200
5202
5203
4700
5201
(F)
7500
7520
4700
7522
(G)
5700
4700
(H)
6240
6246
6241
6244
6242
6243
4700
(I)
6300
4700
6304
6301
6306
6303
6302
6305
(J)
5400
5405
5406
5401
4700
5402
5404
5403

도면38


(A)
8300
8301
8304a
8304
(B)
8300
8301
8305
8302
8304a
8304
8305
(C)
8300
8305
8301
8302
8305
(D)
8200
8201
8202
8206
8205
8203
8204

도면39


(A)
6100
6103
6106
4700
6102
6101
6104
(B)
5112
5110
5111
(C)
5110
5115
4700
5113
(D)
5150
5152
5151
(E)
5153
5156
5155
5152
4700