

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

PCT

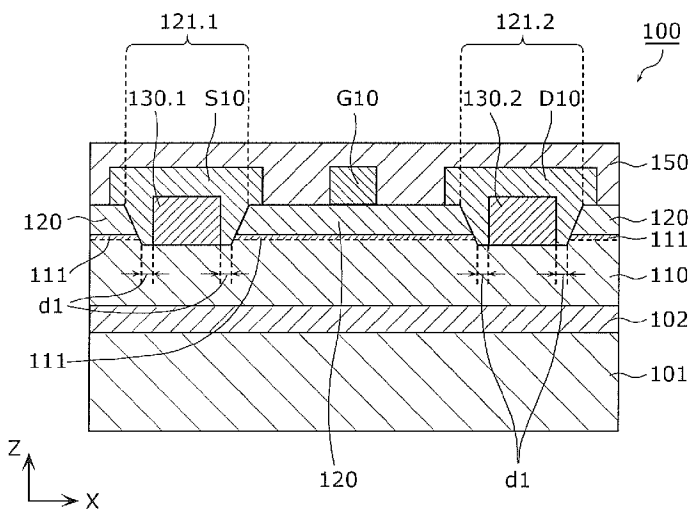
(10) 国際公開番号
WO 2012/008141 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 21/28 (2006.01) H01L 29/812 (2006.01)
H01L 21/283 (2006.01)
- (21) 国際出願番号: PCT/JP2011/003968
- (22) 国際出願日: 2011 年 7 月 11 日(11.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-160113 2010 年 7 月 14 日(14.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 〇 〇 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 健一郎 (TANAKA, Kenichiro). 上田 哲三 (UEDA, Tetsuzo).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
一 国際調査報告 (条約第 21 条(3))
- (74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 1 〇 号 タナカ・イートピア新大阪ビル 6 階新居国際特許事務所内 Osaka (JP).

(54) Title: ELECTRIC FIELD-EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ

[図1]



(57) Abstract: By forming an opening section (121.1), an insulator (130.1) is formed in at least part of a portion of the upper surface of a first semiconductor layer (110) which does not have a second semiconductor layer (120) formed there-above. A source electrode (S10) is formed in the opening section (121.1) so as to cover the insulator (130.1). The source electrode (S10) is formed so as to touch the interfaces between the first semiconductor layer (110) and the second semiconductor layer (120).

(57) 要約: 開口部 (121.1) の形成により、第1の半導体層 (110) の上面のうち、上方に第2の半導体層 (120) が形成されていない部分の少なくとも一部には、絶縁体 (130.1) が形成される。開口部 (121.1) には、絶縁体 (130.1) を覆うようにソース電極 (S10) が形成され

る。ソース電極 (S10) は、第1の半導体層 (110) と前記第2の半導体層 (120) との界面と接するように形成される。

明 細 書

発明の名称：電界効果トランジスタ

技術分野

[0001] 本発明は、民生機器の電源回路に用いられるパワートランジスタに適用可能な電界効果トランジスタに関する。

背景技術

[0002] 窒化物半導体は、シリコン（Si）やGaAsなどと比べ、バンドギャップ、絶縁破壊電界、電子の飽和ドリフト速度のいずれもが大きい。また、（0001）面を主面とする基板上に形成された、AlGa_xN/GaNからなる、ヘテロ構造のトランジスタでは、自発分極およびピエゾ分極によりヘテロ界面に2次元電子ガス（以下、2DEGともいう）が生じる。

[0003] そのため、当該ヘテロ構造のトランジスタでは、何もドーピングしなくとも $1 \times 10^{13} \text{ cm}^{-2}$ 程度以上のシートキャリア濃度の2DEGが得られる。この高濃度の2DEGをキャリアとして用いた高電子移動度トランジスタ（HEMT（High Electron Mobility Transistor））が近年注目を集めており、種々のHEMT構造（ヘテロ接合）の電界効果トランジスタが提案されている。

[0004] 図6は、特許文献1に示される従来の電界効果トランジスタ500の断面構造を示す図である。以下においては、電界効果トランジスタを、単に、FET（Field Effect Transistor）ともいう。また、以下においては、FETを、単に、デバイスともいう。

[0005] 図6に示されるように、電界効果トランジスタ500においては、基板501上に、第1の窒化物半導体（GaN）からなる第1の半導体層510（動作層）、第2の窒化物半導体からなる第2の半導体層520（障壁層）が積層される。第2の窒化物半導体のバンドギャップは、第1の窒化物半導体のバンドギャップより大きい。

[0006] 第1の半導体層510上に第2の半導体層520が形成されることにより、ヘテロ接合界面が形成される。そのため、第1の半導体層510における

ヘテロ接合界面の近傍の領域には、2DEG層511が形成される。

[0007] 第2の半導体層520には、当該第2の半導体層520を貫通して第1の半導体層510に達する（接する）開口部521. 1, 521. 2が形成される。

[0008] なお、開口部521. 1, 521. 2の各々は、2DEG層511を貫通し、当該2DEG層511よりも下側の領域に達するように形成される。

[0009] 開口部521. 1の内部に、導電性材料が埋め込まれることにより、オーミック電極であるソース電極S50が形成される。また、開口部521. 2の内部に、導電性材料が埋め込まれることにより、オーミック電極であるドレイン電極D50が形成される。

[0010] 第2の半導体層520上には、ショットキー電極であるゲート電極G50が形成される。また、ゲート電極G50は、ソース電極S50とドレイン電極D50との間に形成される。

[0011] なお、ソース電極S50、ドレイン電極D50およびゲート電極G50上には、表面保護膜550が形成される。

[0012] この構成により、オーミック電極と2DEG層とが直接接触するため、オーミック電極のコンタクト抵抗を低減することができる。以下においては、電界効果トランジスタ500を、従来のFETともいう。

先行技術文献

特許文献

[0013] 特許文献1：特開2007-329350号公報

発明の概要

発明が解決しようとする課題

[0014] しかしながら、従来のFETでは、以下のような問題を解決できない。

[0015] 例えば、従来のFETにおいては、ゲート電極の幅（ソースドレイン間の電流経路の幅）を長くすることにより、ON時の抵抗（ON抵抗）を下げるることができる。

[0016] ところが、当該従来のFETの第1の半導体層510または第2の半導体層520には、図7の電子線顕微鏡写真に示されるような小さなピットが存在する場合がある。当該ピットは、ボイド状の欠陥である。ピットが存在する場合、ピットと基板との間の耐電圧が低下する。すなわち、FET（デバイス）の耐電圧が低下する。耐電圧とは、デバイス等に印加可能な電圧の限界値である。

[0017] そのため、FET（デバイス）の耐電圧が、良品とみなされるための所定の耐電圧未満となる確率が増大し、FET（デバイス）の歩留りが低下する。

[0018] 本発明は、上述の問題点を解決するためになされたものであって、その目的は、歩留りの低下を抑制可能な電界効果トランジスタを提供することである。

課題を解決するための手段

[0019] 上述の課題を解決するために、この発明のある局面に従う電界効果トランジスタは、基板と、第1の窒化物半導体からなる第1の半導体層と、前記第1の窒化物半導体よりもバンドギャップの大きい第2の窒化物半導体からなる第2の半導体層とを備え、前記第1の半導体層は、前記基板の上方に形成され、前記第2の半導体層は、前記第1の半導体層上に形成され、前記第2の半導体層には、該第2の半導体層を貫通して前記第1の半導体層に達する開口部が形成され、前記開口部の形成により、前記第1の半導体層の上面のうち、上方に前記第2の半導体層が形成されていない部分の少なくとも一部には、絶縁体が形成され、前記開口部には、前記絶縁体を覆うように電極が形成され、前記電極は、前記第1の半導体層と前記第2の半導体層との界面と接するように形成される。

[0020] すなわち、前記開口部の形成により、前記第1の半導体層の上面のうち、上方に前記第2の半導体層が形成されていない部分の少なくとも一部には、絶縁体が形成される。前記開口部には、前記絶縁体を覆うように電極が形成される。前記電極は、前記第1の半導体層と前記第2の半導体層との界面と

接するように形成される。

[0021] ここで、仮に、第1の半導体層のうち、絶縁体の下部に耐電圧の低下の要因となる欠陥（例えば、ピット）が存在するとする。この場合、絶縁体により、欠陥と基板との間の耐電圧の低下を抑制することができる。すなわち、絶縁体により、電界効果トランジスタの耐電圧の低下を抑制することができる。

[0022] これにより、耐電圧の低下の要因となる欠陥が存在する場合でも、電界効果トランジスタの耐電圧が、良品とみなされるための所定の耐電圧以上を維持する確率の低下を抑制することができる。

[0023] すなわち、電界効果トランジスタの歩留りの低下を抑制することができる。

[0024] また、好ましくは、前記第1の半導体層と前記第2の半導体層との界面の近傍の領域に相当する、前記第1の半導体層の表面部には、2次元電子ガス層が形成され、前記電極は、前記第2の半導体層および前記2次元電子ガス層を貫通するように形成される。

[0025] これにより、電極は、2次元電子ガス層と直接接触する。そのため、絶縁体が形成されていても、当該電極のコンタクト抵抗を小さくすることができる。

[0026] また、好ましくは、前記第1の半導体層および前記第2の半導体層のうち、前記開口部の内側の表面部に相当する部分には、n型不純物がドーピングされる。

[0027] また、好ましくは、前記開口部の内側の表面部に相当する部分は、前記第1の半導体層と前記第2の半導体層との界面の端部を含む。

[0028] また、好ましくは、さらに、バッファ層を備え、前記基板、前記バッファ層および前記第1の半導体層は、この順で積層される。

[0029] また、好ましくは、前記絶縁体は、少なくとも、AlN、SiO₂、SiN、サファイア、ダイヤモンドおよび絶縁性有機物のいずれかからなる。

発明の効果

[0030] 本発明により、歩留りの低下を抑制することができる。

図面の簡単な説明

[0031] [図1]図1は、第1の実施の形態における電界効果トランジスタの断面構造を示す図である。

[図2]図2は、デバイスの素子面積とその歩留りとの関係を表した図である。

[図3]図3は、欠陥が存在する電界効果トランジスタを説明するための図である。

[図4]図4は、第2の実施の形態における電界効果トランジスタの断面構造を示す図である。

[図5]図5は、第3の実施の形態における電界効果トランジスタの断面構造を示す図である。

[図6]図6は、従来の電界効果トランジスタの断面構造を示す図である。

[図7]図7は、六角形状のピットを示す電子線顕微鏡写真である。

発明を実施するための形態

[0032] 以下、図面を参照しつつ、本発明の実施の形態について説明する。以下の説明では、同一の構成要素には同一の符号を付してある。それらの名称および機能も同じである。したがって、それらについての詳細な説明を省略する場合がある。

[0033] なお、実施の形態において例示される各構成要素の寸法、材質、形状、それらの相対配置などは、本発明が適用される装置の構成や各種条件により適宜変更されるものであり、本発明はそれらの例示に限定されるものではない。また、各図における各構成要素の寸法は、実際の寸法と異なる場合がある。

[0034] <第1の実施の形態>

図1は、第1の実施の形態における電界効果トランジスタ100の断面構造を示す図である。電界効果トランジスタ100は、ヘテロジャンクション電界効果トランジスタである。また、電界効果トランジスタ100は、高電子移動度トランジスタ（HEMT）でもある。なお、図1には、電界効果ト

ランジスタ 100 には含まれない表面保護膜 150 が示される。なお、表面保護膜 150 は、電界効果トランジスタ 100 に含まれても良い。

[0035] 図 1 に示されるように、電界効果トランジスタ 100 は、基板 101 と、バッファ層 102 と、第 1 の半導体層 110 と、第 2 の半導体層 120 と、ソース電極 S10 と、ドレイン電極 D10 と、ゲート電極 G10 と、絶縁体 130、1、130、2 とを備える。

[0036] 基板 101 は、一例として、p 型の Si 基板である。

[0037] バッファ層 102 は、基板 101 上に形成される。バッファ層 102 は、AlN（窒化アルミニウム）バッファ、AlN および GaN を 100 周期形成した超格子構造を有する。当該 AlN バッファの膜厚は、例えば、300 nm である。当該超格子構造 1 周期中の AlN の膜厚は、例えば、5 nm である。当該超格子構造 1 周期中の GaN の膜厚は、例えば、20 nm である。

[0038] 第 1 の半導体層 110 は、バッファ層 102 上に形成される。すなわち、第 1 の半導体層 110 は、基板 101 の上方に形成される。つまり、基板 101、バッファ層 102 および第 1 の半導体層 110 は、この順で積層される。

[0039] 第 1 の半導体層 110 は、第 1 の窒化物半導体からなる。第 1 の窒化物半導体は、例えば、GaN（窒化ガリウム）である。なお、第 1 の窒化物半導体は、GaN に限定されず、窒化物半導体である他の材料であってもよい。また、第 1 の窒化物半導体は、GaN と他の材料が混合されたものであってもよい。第 1 の半導体層 110 の膜厚は、例えば、2 μ m である。

[0040] 第 2 の半導体層 120 は、第 1 の半導体層 110 上に形成される。第 2 の半導体層 120 は、第 2 の窒化物半導体からなる。第 2 の窒化物半導体は、例えば、AlGaN である。なお、第 2 の窒化物半導体は、AlGaN に限定されず、窒化物半導体である他の材料であってもよい。また、第 2 の窒化物半導体は、AlGaN と他の材料が混合されたものであってもよい。第 2 の半導体層 120 の膜厚は、例えば、50 nm である。

- [0041] 第2の窒化物半導体のバンドギャップは、第1の窒化物半導体のバンドギャップより大きい。
- [0042] なお、第1の半導体層110上に第2の半導体層120が形成されることにより、ヘテロ接合界面が形成される。そのため、第1の半導体層110におけるヘテロ接合界面の近傍の領域には、2DEG（2次元電子ガス）層111が形成される。2DEG層111は、2DEG（2次元電子ガス）により形成される層である。
- [0043] すなわち、第1の半導体層110と第2の半導体層120との界面の近傍の領域に相当する、第1の半導体層110の表面部には、2次元電子ガス層（2DEG層111）が形成される。
- [0044] 第2の半導体層120には、当該第2の半導体層120を貫通する開口部（以下、貫通領域部ともいう）が形成される。具体的には、第2の半導体層120には、第2の半導体層120を貫通して第1の半導体層110に達する（接する）開口部121.1、121.2が形成される。
- [0045] 開口部121.1、121.2は、ドライエッチング工程により形成される。開口部121.1、121.2の各々の深さは、例えば、100nmである。
- [0046] 開口部121.1の形成により、第1の半導体層110の上面のうち、上方に第2の半導体層120が形成されていない部分（以下、層上面Aともいう）の少なくとも一部には、絶縁体130.1が形成される。なお、絶縁体130.1の底面の面積は、層上面Aの面積の例えば80%～100%である。
- [0047] 開口部121.2の形成により、第1の半導体層110の上面のうち、上方に第2の半導体層120が形成されていない部分（以下、層上面Bともいう）の少なくとも一部には、絶縁体130.2が形成される。
- [0048] なお、絶縁体130.2の底面の面積は、層上面Bの面積の例えば80%～100%である。
- [0049] 開口部121.1には、オーミック電極であるソース電極S10が形成さ

れる。すなわち、開口部 121. 1 には、絶縁体 130. 1 の上部を覆うように電極（ソース電極 S10）が形成される。電極としてのソース電極 S10 は、第 1 の半導体層 110 と第 2 の半導体層 120 との界面と接するように形成される。具体的には、電極としてのソース電極 S10 は、第 1 の半導体層 110 と第 2 の半導体層 120 との界面の端部と接するように形成される。また、電極としてのソース電極 S10 は、第 2 の半導体層 120 および 2 次元電子ガス層（2DEG 層 111）を貫通するように形成される。

[0050] また、ソース電極 S10 は、当該ソース電極 S10 の下部が、当該 2DEG 層 111 よりも下側の領域に達するように形成される。

[0051] ソース電極 S10 は、主に、Ti と Al からなる。ソース電極 S10 の膜厚は、200nm である。

[0052] 開口部 121. 2 には、オーミック電極であるドレイン電極 D10 が形成される。すなわち、開口部 121. 2 には、絶縁体 130. 2 の上部を覆うように電極（ドレイン電極 D10）が形成される。電極としてのドレイン電極 D10 は、第 1 の半導体層 110 と第 2 の半導体層 120 との界面と接するように形成される。具体的には、電極としてのドレイン電極 D10 は、第 1 の半導体層 110 と第 2 の半導体層 120 との界面の端部と接するように形成される。また、電極としてのドレイン電極 D10 は、第 2 の半導体層 120 および 2 次元電子ガス層（2DEG 層 111）を貫通するように形成される。

[0053] また、ドレイン電極 D10 は、当該ドレイン電極 D10 の下部が、当該 2DEG 層 111 よりも下側の領域に達するように形成される。

[0054] ドレイン電極 D10 は、主に、Al からなる。ドレイン電極 D10 の厚みは、200nm である。ソース電極 S10 およびドレイン電極 D10 は、順次形成される。

[0055] ゲート電極 G10 は、第 2 の半導体層 120 上に形成され、かつ、ソース電極 S10 とドレイン電極 D10 との間に形成される。ゲート電極 G10 は、ショットキー電極もしくは p 型窒化物半導体からなる。p 型窒化物半導体

としては一例として $p\text{-GaN}$ が挙げられる。

[0056] ソース電極 $S10$ 、ドレイン電極 $D10$ およびゲート電極 $G10$ 上には、表面保護膜 150 が形成される。

[0057] 本願の発明者らは、絶縁体 130.1 、 130.2 を構成する材料として、プラズマ CVD 装置により形成される AlN を用いた。また、本願の発明者らは、絶縁体 130.1 、 130.2 の膜厚を 150 nm とし、 X 方向における、絶縁体 130.1 と $2DEG$ 層 111 との距離 $d1$ は、一例として、 $0.5\text{ }\mu\text{ m}$ とした。また、 X 方向における、絶縁体 130.2 と $2DEG$ 層 111 との距離 $d1$ も、一例として、 $0.5\text{ }\mu\text{ m}$ とした。

[0058] 本願の本発明者らは、絶縁体 130.1 、 130.2 を構成する材料として、放熱性を考慮して放熱性のよい AlN を用いたが、これに限定されず、絶縁体として機能する材料であれば他の材料が用いられてもよい。

[0059] 絶縁体 130.1 、 130.2 を構成する材料は、例えば、 SiO_2 、 SiN 、 Al_2O_3 、サファイア、ダイヤモンド、絶縁性有機物等であってもよい。すなわち、絶縁体 130.1 、 130.2 は、少なくとも、 AlN 、 SiO_2 、 SiN 、サファイア、ダイヤモンドおよび絶縁性有機物のいずれかからなる。

[0060] 図2は、デバイスの素子面積とその歩留りとの関係を表した図である。

[0061] 図2において、横軸は、電界効果トランジスタの素子面積を示し、縦軸は、電界効果トランジスタの歩留りを示す。以下においては、電界効果トランジスタを、 FET ともいう。

[0062] ここで、 FET としての電界効果トランジスタ 100 の構造として、ソースーゲート間距離 $L_{SG} = 1.5\text{ }\mu\text{ m}$ 、ゲート電極長 $L_G = 2\text{ }\mu\text{ m}$ 、ゲートードレイン間距離 $L_{GD} = 10\text{ }\mu\text{ m}$ 、ソース電極長 $L_S = 8\text{ }\mu\text{ m}$ 、ドレイン電極長 $L_D = 8\text{ }\mu\text{ m}$ とした。

[0063] FET の歩留りは、以下の条件 A を満たす FET を「不良」とみなした場合の歩留りである。当該条件 A は、 FET の OFF 状態において、ドレインーソース間電圧 V_{DS} が 400 V である場合にリーク電流が 10^{-7} A/mm 以下

であるという条件である。

[0064] 以下においては、デバイス（例えば、F E T）の耐電圧の低下の要因となる欠陥を、耐電圧低下欠陥ともいう。耐電圧低下欠陥は、一例として、ピットであるとする。なお、耐電圧低下欠陥は、ピットに限定されず、例えば、転位、マイクロパイプ、インバージョンドメインであってもよい。

[0065] 特性曲線 L 1 1, L 1 2, L 1 3, L 1 4, L 1 5, L 1 6 は、デバイス（F E T）内に、耐電圧低下欠陥が存在すると仮定した場合の当該耐電圧低下欠陥の密度に対応する理論曲線である。

[0066] デバイス（F E T）内に存在すると仮定した耐電圧低下欠陥は、一例として、デバイス（F E T）の耐電圧が 4 0 0 V 以上になることを妨げる欠陥であるとする。当該耐電圧低下欠陥は、一例として、ピットであるとする。前述の耐電圧低下欠陥の密度とは、リークパスの面内密度でもある。

[0067] 特性曲線 L 1 1, L 1 2, L 1 3, L 1 4, L 1 5, L 1 6 は、それぞれ、耐電圧低下欠陥の密度が 1 0 0 0 0, 1 0 0 0, 1 0 0, 1 0, 1, 0. 1 / c m² に対応する特性曲線である。

[0068] 特性曲線 L 1 1 ~ L 1 6 より、デバイス（F E T）の耐電圧が 4 0 0 V 以上になることを妨げる耐電圧低下欠陥の密度は、およそ 1 0 / c m² であることがわかる。

[0069] 図 2 において、特性点 P 1（三角（▲）印）は、絶縁体 1 3 0. 1, 1 3 0. 2 が形成された電界効果トランジスタ 1 0 0（デバイス）の歩留りを示す。

[0070] 一方、黒丸（●）印は種々の素子面積を持つ F E T において、絶縁体 1 3 0. 1, 1 3 0. 2 が形成されてない場合の歩留りを、素子面積の関数としてプロットしたものである。特性点 P 0 は、電界効果トランジスタ 1 0 0 において、仮に、絶縁体 1 3 0. 1, 1 3 0. 2 が形成されていない場合のデバイス（電界効果トランジスタ）の歩留りを示す。

[0071] 図 2 より、同一素子面積において、特性点 P 1 が示す歩留りは、特性点 P 0 が示す歩留りの約 2 倍である。すなわち、同一素子面積において、絶縁体

がない場合と比べ、絶縁体がある場合には歩留りが2倍に上昇した。このように、絶縁体の形成によりデバイス（電界効果トランジスタ）の歩留りが向上することがわかる。

[0072] <比較例>

ここで、図6で説明した、従来のFETについて考察する。前述したように、当該従来のFETの第1の半導体層510または第2の半導体層520に、耐電圧低下欠陥が存在する場合、耐電圧低下欠陥と基板との間の耐電圧が低下する。ここで、当該電圧低下欠陥は、一例として、ピットであるとする。

[0073] そのため、FET（デバイス）の耐電圧が、良品とみなされるための所定の耐電圧未満となる確率が増大し、FET（デバイス）の歩留りが低下する。

[0074] なお、ゲート電極の長手方向の長さ（図6のゲート電極G50の奥行方向の長さ）を長くし、FET（デバイス）の有効面積を大きくするほど、デバイスの有効面積中の耐電圧低下欠陥の存在確率が増大する。そのため、耐電圧低下欠陥の存在確率を所定値以下に維持するためには、ゲート電極の長さを無制限に長くすることはできない。

[0075] ここで、図6のソース電極S50のX方向の幅（長さ）を、ソース電極長という。また、図6のドレイン電極D50のX方向の幅（長さ）を、ドレイン電極長という。

[0076] デバイスの有効面積をなるべく小さくする手段の一つとして、ソース電極長やドレイン電極長を短くする手段も考えられる。しかしながら、この手段は、以下に示す理由A、Bから好ましい手段ではない。

[0077] 理由Aは、ソース電極やドレイン電極に流れる電流に制限が生じるためである。

[0078] 理由Bは、ソース電極長、ドレイン電極長を短くすると、放熱性が悪化し、デバイスの特性が悪化する可能性があるためである。

[0079] 特に、2DEGを用いた窒化物半導体電界効果トランジスタにおいては、

温度が上がるにつれて電子の移動度が減少し、それに伴いシート抵抗が上昇する。そのため、放熱性が悪化するようなデバイス構造は望ましくない。

[0080] ここで、本実施の形態における電界効果トランジスタ１００において、図３に示すように、絶縁体１３０．１の直下に、耐電圧低下欠陥Ｂ１１が存在したとする。耐電圧低下欠陥Ｂ１１は、一例として、ピットであるとする。

[0081] この場合、ドレイン電極Ｄ１０に電圧が印加されたとしても、絶縁体１３０．１，１３０．２が存在するため、耐電圧低下欠陥Ｂ１１と基板１０１との間の耐電圧を維持することができる。

[0082] すなわち、耐電圧低下欠陥Ｂ１１と基板１０１との間の耐電圧の低下を抑制することができる。

[0083] なお、電界効果トランジスタ１００において、絶縁体１３０．２の直下に、耐電圧低下欠陥Ｂ１１が存在するとする。この場合に、ドレイン電極Ｄ１０に電圧が印加されたとしても、絶縁体１３０．２が存在するため、耐電圧低下欠陥Ｂ１１と基板との間の耐電圧を維持することができる。

[0084] これにより、耐電圧の低下の要因となる欠陥が存在する場合であっても、電界効果トランジスタ１００の耐電圧が、良品とみなされるための所定の耐電圧以上を維持する確率の低下を抑制することができる。

[0085] すなわち、電界効果トランジスタ１００の歩留りの低下を抑制することができる。

[0086] また、オーミック電極（ソース電極Ｓ１０、ドレイン電極Ｄ１０）は、２ＤＥＧ層１１１と直接接触する。そのため、当該絶縁体１３０．１，１３０．２が形成されていても、オーミック電極（ソース電極Ｓ１０、ドレイン電極Ｄ１０）と、２ＤＥＧ層１１１とのコンタクト抵抗は影響を受けない。したがってデバイスの静特性には何ら影響を及ぼさない。

[0087] したがって、本実施の形態に係る電界効果トランジスタ１００の構成によれば、ゲート幅を長くすることにより、電界効果トランジスタ１００の有効面積を大きくしても、電界効果トランジスタ１００は、所望の耐電圧を維持することができる。すなわち電界効果トランジスタ１００の耐電圧が、良品

とみなされるための所定の耐電圧以上を維持する確率の低下を抑制することができる。すなわち、電界効果トランジスタの歩留りの低下を抑制することができる。

[0088] したがって、本実施の形態に係る電界効果トランジスタ 100 の構成によれば、歩留りの向上を実現することができる。

[0089] <第 2 の実施の形態>

図 4 は、第 2 の実施の形態における電界効果トランジスタ 100 A の断面構造を示す図である。

[0090] 電界効果トランジスタ 100 A は、図 1 の電界効果トランジスタ 100 と比較して、n 型不純物がドーピングされている領域 122 が形成されている点が異なる。それ以外の電界効果トランジスタ 100 A の構造は、電界効果トランジスタ 100 と同様なので詳細な説明は繰り返さない。また、電界効果トランジスタ 100 A を構成する構成要素の材料も、電界効果トランジスタ 100 と同様なので詳細な説明は繰り返さない。

[0091] 以下においては、開口部 121. 1, 121. 2 の各々を、総括的に、開口部 121 ともいう。

[0092] 具体的には、第 1 の半導体層 110 および第 2 の半導体層 120 のうち、開口部 121 の内側の表面部に相当する部分（領域 122）には、n 型不純物がドーピングされる。

[0093] n 型不純物は、例えば、シリコン（Si）である。n 型不純物がドーピングされる際の当該 n 型不純物の濃度は、 10^{-18} cm^{-3} である。

[0094] さらに具体的には、第 1 の半導体層 110 および第 2 の半導体層 120 のうち、開口部 121. 1 の内側の表面部に相当する部分（領域 122）には、n 型不純物がドーピングされる。開口部 121. 1 の内側の表面部に相当する部分は、第 1 の半導体層 110 と第 2 の半導体層 120 との界面の端部を含む。すなわち、ソース電極 S10（オーミック電極）と 2DEG 層 111 とがコンタクトしている部分（領域 122）に、n 型不純物がドーピングされる。

[0095] これにより、ソース電極S 1 0（オーミック電極）と2 D E G層1 1 1とのコンタクト抵抗が低減される。

[0096] また、第1の半導体層1 1 0および第2の半導体層1 2 0のうち、開口部1 2 1. 2の内側の表面部に相当する部分（領域1 2 2）には、n型不純物がドーピングされる。ここで、開口部1 2 1. 2の内側の表面部に相当する部分は、第1の半導体層1 1 0と第2の半導体層1 2 0との界面の端部を含む。すなわち、ドレイン電極D 1 0（オーミック電極）と2 D E G層1 1 1とがコンタクトしている部分（領域1 2 2）に、n型不純物がドーピングされる。

[0097] これにより、ドレイン電極D 1 0（オーミック電極）と2 D E G層1 1 1とのコンタクト抵抗が低減される。

[0098] なお、本実施の形態においても、第1の実施の形態と同様、絶縁体1 3 0. 1, 1 3 0. 2を構成する材料はA l Nであり、絶縁体1 3 0. 1, 1 3 0. 2の膜厚は1 5 0 n mである。また、X方向における、絶縁体1 3 0. 1（絶縁体1 3 0. 2）と2 D E G層1 1 1との距離d 1（図1参照）は、一例として、0. 5 μ mである。

[0099] なお、本実施の形態においても、第1の実施の形態と同様、F E Tとしての電界効果トランジスタ1 0 0 Aの構造として、ソースーゲート間距離 $L_{SG} = 1. 5 \mu$ m、ゲート電極長 $L_G = 2 \mu$ m、ゲートードレイン間距離 $L_{GD} = 1 0 \mu$ m、ソース電極長 $L_S = 8 \mu$ m、ドレイン電極長 $L_D = 8 \mu$ mである。

[0100] F E Tの歩留りは、第1の実施の形態と同様、前述の条件Aを満たすF E Tを「不良」とみなした場合の歩留りである。

[0101] 図2において、特性点P 2（中抜きの方角（□）印）は、絶縁体1 3 0. 1, 1 3 0. 2が形成されている電界効果トランジスタ1 0 0 Aの電界効果トランジスタの歩留りを示す。

[0102] 図2により、同一素子面積において、特性点P 2が示す歩留りは、特性点P 0が示す歩留りの約2倍である。つまり、絶縁体がある場合の電界効果トランジスタの歩留りは、絶縁体がない場合の電界効果トランジスタの歩留り

の約2倍である。このように、本実施の形態における電界効果トランジスタ100Aの構成においても、歩留りの向上を達成することができる。

[0103] また、本実施の形態における電界効果トランジスタ100Aの構成により、第1の実施の形態と同様に、電界効果トランジスタ100Aの歩留りの低下を抑制することができる。

[0104] <第3の実施の形態>

図5は、第3の実施の形態における電界効果トランジスタ100Bの断面構造を示す図である。

[0105] 電界効果トランジスタ100Bは、図1の電界効果トランジスタ100と比較して、開口部121.1に、絶縁体130.1が形成されていない点が異なる。それ以外の電界効果トランジスタ100Bの構成は、電界効果トランジスタ100と同様なので詳細な説明は繰り返さない。また、電界効果トランジスタ100Bを構成する構成要素の材料も、電界効果トランジスタ100と同様なので詳細な説明は繰り返さない。

[0106] すなわち、電界効果トランジスタ100Bには、絶縁体130.1, 130.2のうち、絶縁体130.2のみが形成されている。なお、この構成に限定されず、電界効果トランジスタ100Bには、絶縁体130.1, 130.2のうち、絶縁体130.1のみが形成されていてもよい。

[0107] なお、本実施の形態においても、第1の実施の形態と同様、絶縁体130.2を構成する材料はAlNであり、絶縁体130.2の膜厚は150nmである。また、X方向における、絶縁体130.2と2DEG層111との距離d1（図1参照）は、一例として、0.5μmである。

[0108] なお、第1の実施の形態と同様、絶縁体130.2を構成する材料を、放熱性を考慮して放熱性のよいAlNとしたが、これに限定されず、絶縁体として機能する材料であれば他の材料が用いられてもよい。絶縁体130.2を構成する材料は、例えば、SiO₂、SiN、Al₂O₃、サファイア、ダイヤモンド、絶縁性有機物等であってもよい。

[0109] なお、本実施の形態においても、第1の実施の形態と同様、FETとして

の電界効果トランジスタ 100B の構造として、ソースーゲート間距離 $L_{SG} = 1.5 \mu m$ 、ゲート電極長 $L_G = 2 \mu m$ 、ゲートドレイン間距離 $L_{GD} = 10 \mu m$ 、ソース電極長 $L_S = 8 \mu m$ 、ドレイン電極長 $L_D = 8 \mu m$ である。

[0110] FET の歩留りは、第 1 の実施の形態と同様、前述の条件 A を満たす FET を「不良」とみなした場合の歩留りである。

[0111] 図 2 において、特性点 P3（中抜き of 白丸（○）印）は、絶縁体 130、2 が形成されている電界効果トランジスタ 100B の電界効果トランジスタの歩留りを示す。図 2 により、同一素子面積において、特性点 P2 が示す歩留りは、特性点 P0 が示す歩留りの約 1.5 倍である。このように、本実施の形態における電界効果トランジスタ 100B の構成においても、歩留りの向上を達成することができる。

[0112] また、本実施の形態における電界効果トランジスタ 100B の構成により、第 1 の実施の形態と同様に、電界効果トランジスタ 100B の歩留りの低下を抑制することができる。

[0113] 以上、本発明における電界効果トランジスタについて、実施の形態に基づいて説明したが、本発明は、これらの実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもの、あるいは異なる実施の形態における構成要素を組み合わせることで構築される形態も、本発明の範囲内に含まれる。

[0114] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0115] 本発明における電界効果トランジスタは、エアコン、調光装置等の民生機器の電源回路等で用いられるパワートランジスタとして、利用することができる。

符号の説明

[0116] 100, 100A, 100B 電界効果トランジスタ

101 基板

102 バッファ層

110 第1の半導体層

120 第2の半導体層

121. 1, 121. 2 開口部

122 領域

130. 1, 130. 2 絶縁体

150 表面保護膜

D10 ドレイン電極

G10 ゲート電極

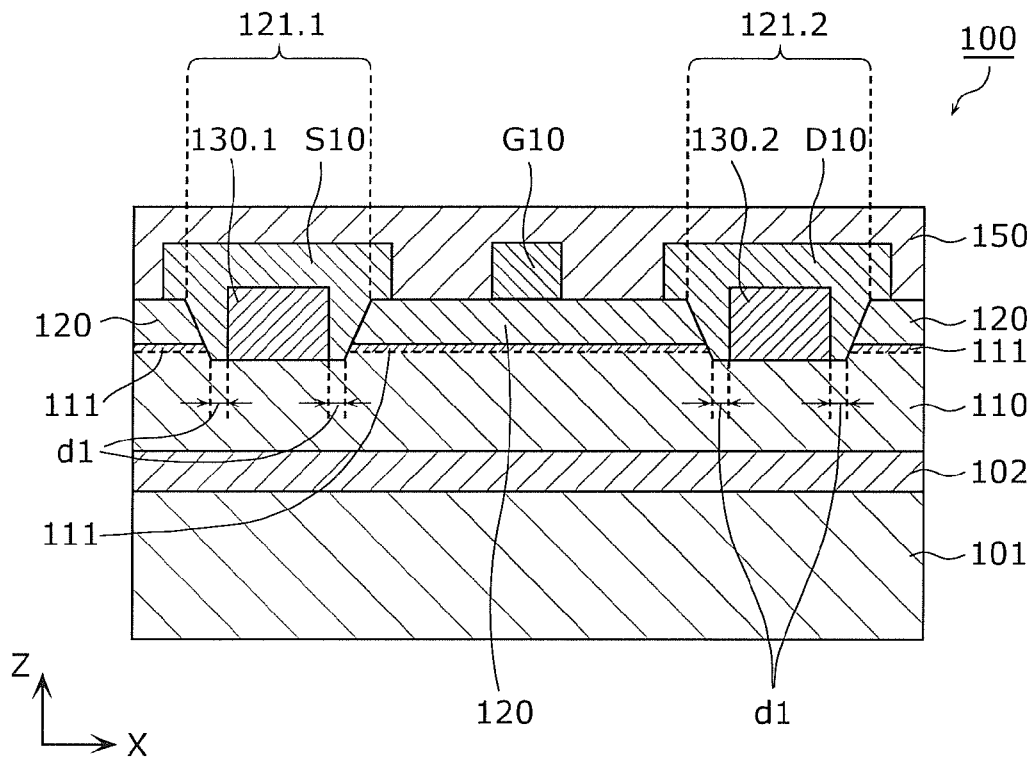
S10 ソース電極

請求の範囲

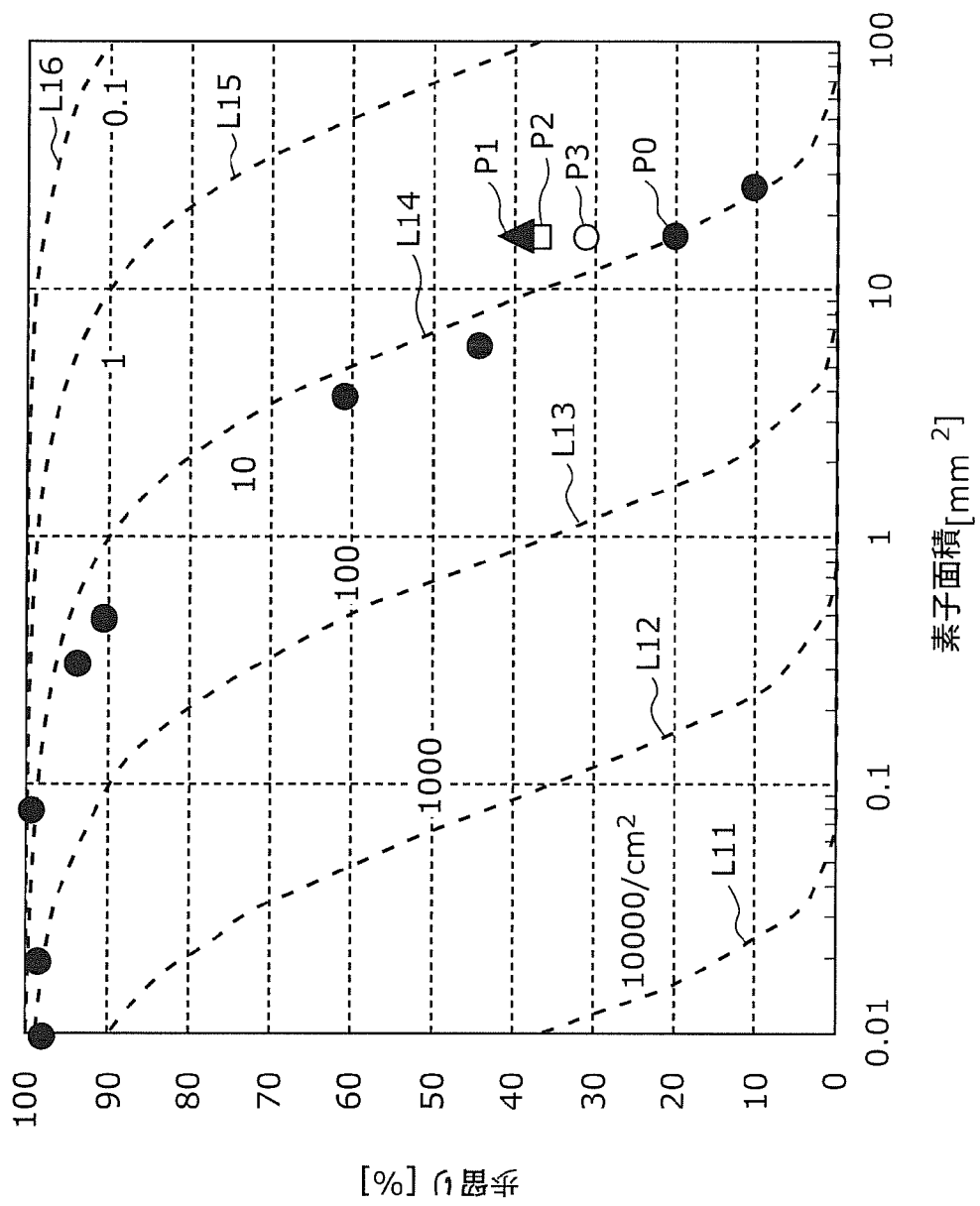
- [請求項1] 基板と、
第1の窒化物半導体からなる第1の半導体層と、
前記第1の窒化物半導体よりもバンドギャップの大きい第2の窒化物半導体からなる第2の半導体層とを備え、
前記第1の半導体層は、前記基板の上方に形成され、
前記第2の半導体層は、前記第1の半導体層上に形成され、
前記第2の半導体層には、該第2の半導体層を貫通して前記第1の半導体層に達する開口部が形成され、
前記開口部の形成により、前記第1の半導体層の上面のうち、上方に前記第2の半導体層が形成されていない部分の少なくとも一部には、絶縁体が形成され、
前記開口部には、前記絶縁体を覆うように電極が形成され、
前記電極は、前記第1の半導体層と前記第2の半導体層との界面と接するように形成される
電界効果トランジスタ。
- [請求項2] 前記第1の半導体層と前記第2の半導体層との界面の近傍の領域に相当する、前記第1の半導体層の表面部には、2次元電子ガス層が形成され、
前記電極は、前記第2の半導体層および前記2次元電子ガス層を貫通するように形成される
請求項1に記載の電界効果トランジスタ。
- [請求項3] 前記第1の半導体層および前記第2の半導体層のうち、前記開口部の内側の表面部に相当する部分には、n型不純物がドーピングされる
請求項1または2に記載の電界効果トランジスタ。
- [請求項4] 前記開口部の内側の表面部に相当する部分は、前記第1の半導体層と前記第2の半導体層との界面の端部を含む
請求項3に記載の電界効果トランジスタ。

- [請求項5] さらに、バッファ層を備え、
前記基板、前記バッファ層および前記第1の半導体層は、この順で
積層される
請求項1～4のいずれか1項に記載の電界効果トランジスタ。
- [請求項6] 前記絶縁体は、少なくとも、 AlN 、 SiO_2 、 SiN 、サファイ
ア、ダイヤモンドおよび絶縁性有機物のいずれかからなる
請求項1～5のいずれか1項に記載の電界効果トランジスタ。

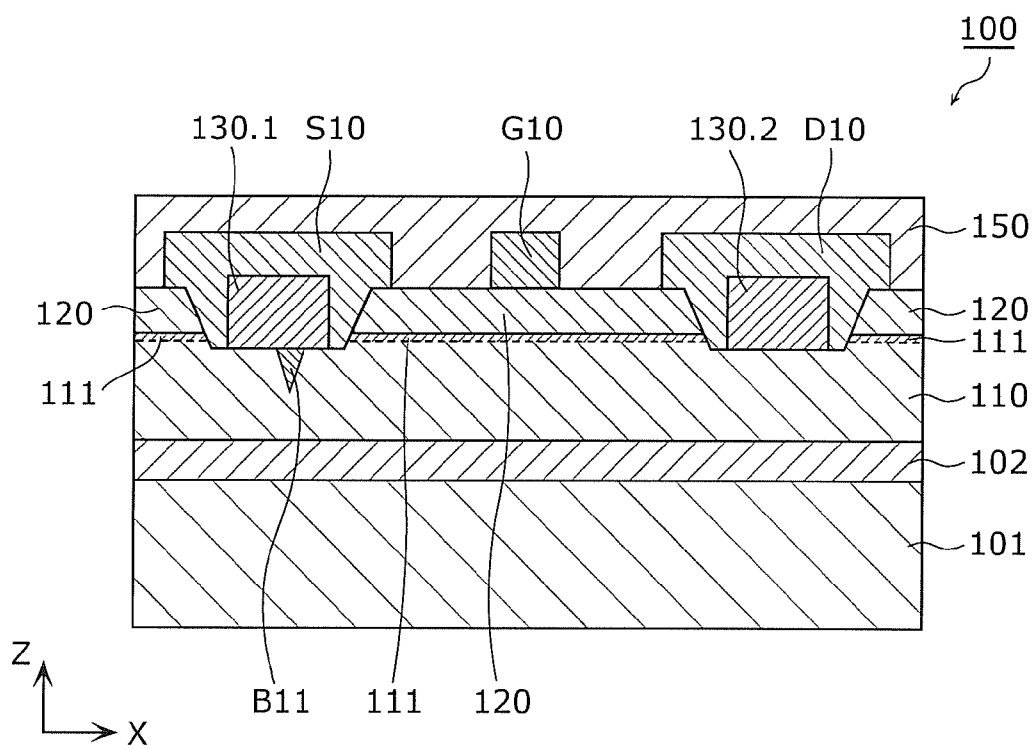
[図1]



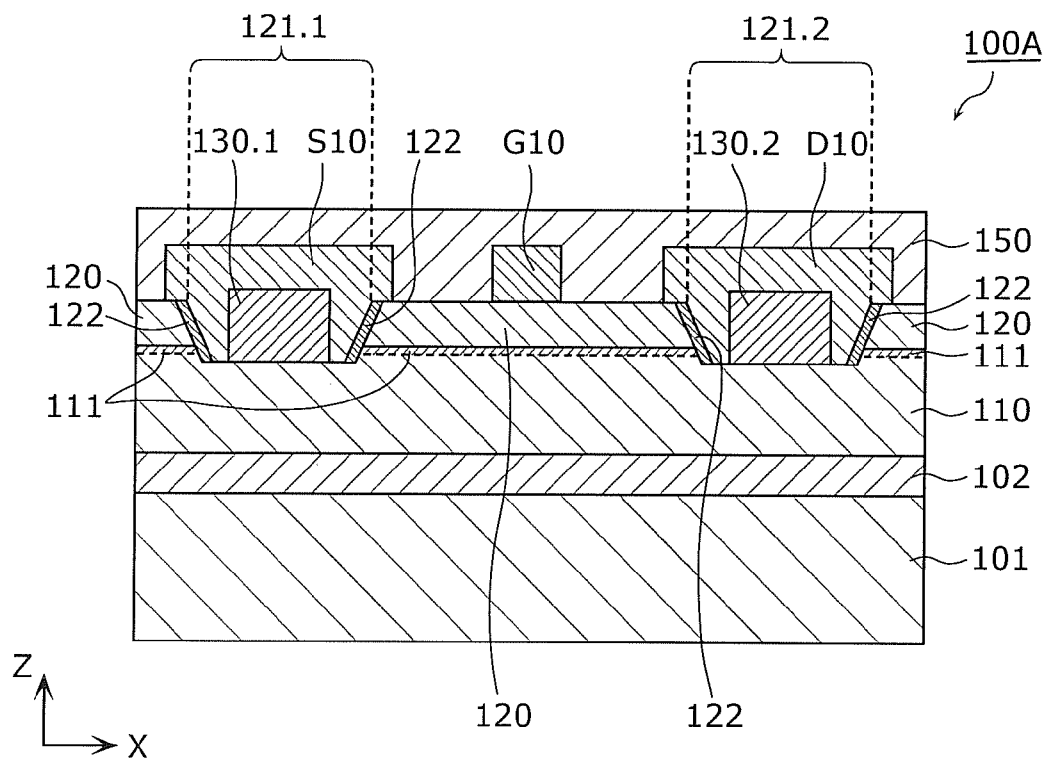
[図2]



[図3]

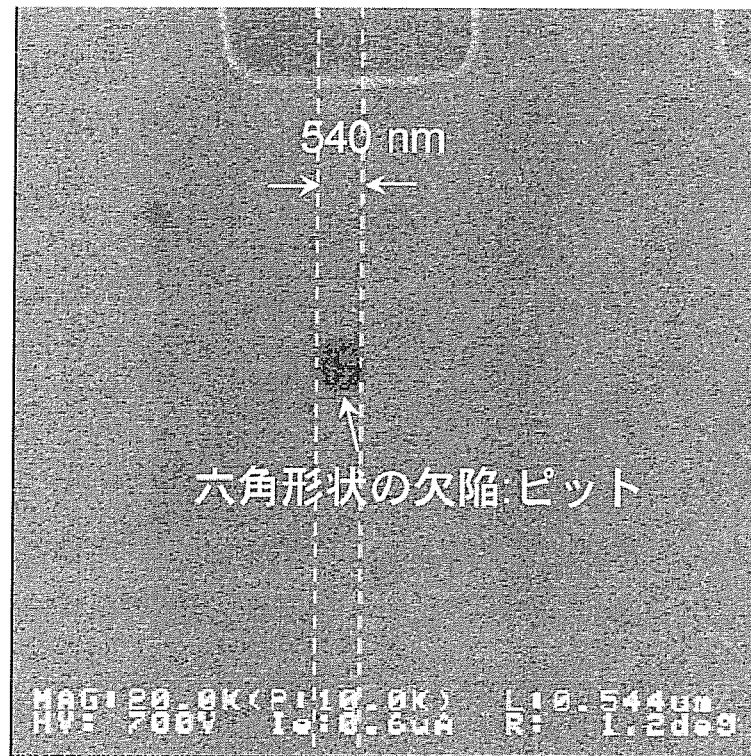


[図4]



A cross-sectional view of a semiconductor device 100B. The device consists of a substrate 101 with a thin layer 102 on top. A layer 110 is formed on layer 102, containing a recessed region 111. A layer 120 is formed on layer 110, containing several rectangular features: a first feature 121.1 (containing S10), a second feature 121.2 (containing G10), and a third feature 121.2 (containing 130.2 and D10). A layer 150 is formed on top of layer 120. A coordinate system with Z and X axes is shown at the bottom left.

[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003968

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/283(2006.01)i,
H01L29/778(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/28, H01L21/283, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-099678 A (Oki Electric Industry Co., Ltd.), 07 May 2009 (07.05.2009), fig. 1 to 4 (Family: none)	1-6
A	JP 2008-147524 A (Sanken Electric Co., Ltd.), 26 June 2008 (26.06.2008), fig. 4 & US 2008/0284022 A1	1-6
A	JP 11-354817 A (The Furukawa Electric Co., Ltd.), 24 December 1999 (24.12.1999), fig. 1 (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
12 August, 2011 (12.08.11)

Date of mailing of the international search report
23 August, 2011 (23.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338 (2006.01) i, H01L21/28 (2006.01) i, H01L21/283 (2006.01) i, H01L29/778 (2006.01) i, H01L29/812 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/338, H01L21/28, H01L21/283, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-099678 A (沖電気工業株式会社) 2009.05.07, 図 1-4 (ファミリーなし)	1-6
A	JP 2008-147524 A (サンケン電気株式会社) 2008.06.26, 図 4 & US 2008/0284022 A1	1-6
A	JP 11-354817 A (古河電気工業株式会社) 1999.12.24, 図 1 (ファミリーなし)	1-6

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 8 . 2 0 1 1

国際調査報告の発送日

2 3 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

村岡 一磨

4 L

3 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8