

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2018/091852 A1

(43) Date de la publication internationale
24 mai 2018 (24.05.2018)

(51) Classification internationale des brevets :

H01L 23/495 (2006.01) *H05K 1/02* (2006.01)
H01L 23/498 (2006.01) *H01L 23/66* (2006.01)

(72) Inventeurs : **GUILLOT, Laurent** ; 1, rue Jean Jacques
Rousseau, 31600 SEYSSSES (FR). **LO VERDE, Domenico**
; Poststr N. 57, 79423 HEITERSHEIM (DE).

(21) Numéro de la demande internationale :

PCT/FR2017/053167

(74) Mandataire : **BREESE, Pierre** ; IP TRUST, 2 rue de Cli-
chy, 75009 Paris (FR).

(22) Date de dépôt international :

20 novembre 2017 (20.11.2017)

(81) États désignés (*sauf indication contraire, pour tout titre de protection nationale disponible*) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

1661315 21 novembre 2016 (21.11.2016) FR

(71) Déposant : **EXAGAN** [FR/FR] ; 7 Parvis Louis Néel, BP
50, 38040 Grenoble Cedex 9 (FR).

(54) Title: INTEGRATED CIRCUIT FORMED BY TWO CHIPS THAT ARE CONNECTED IN SERIES

(54) Titre : CIRCUIT INTÉGRÉ FORME DE DEUX PUCES CONNECTÉES EN SÉRIE

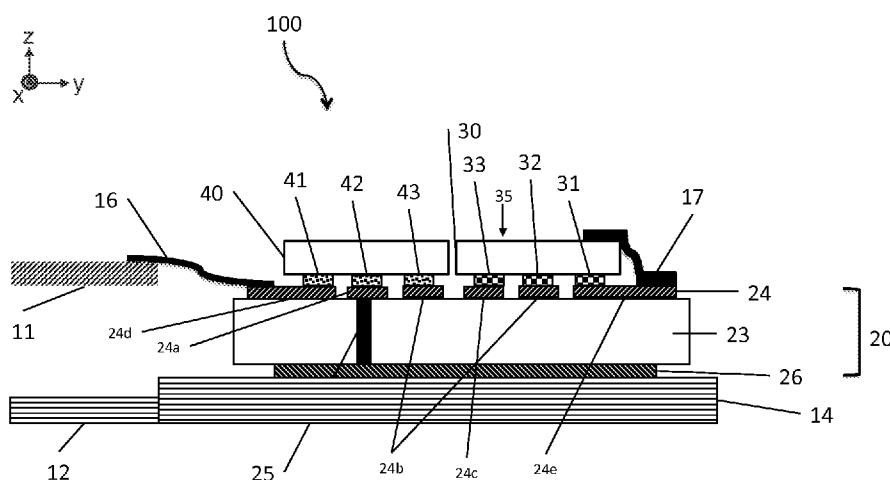


FIG.4c

(57) Abstract: The invention relates to an integrated circuit comprising: a package including at least three electrical terminals, a gate terminal, a source terminal and a drain terminal, and including a conductive structural plate connected to one of the three terminals; an interconnecting substrate having a front side and a back side which is placed on the structural plate; and, placed on the interconnecting substrate, at least one first chip comprising a high-voltage depletion-mode transistor, and at least one second chip comprising an enhancement-mode device, the first and second chips including first and second drain, source and gate contact pads, respectively; this integrated circuit is noteworthy in that: the first and second contact pads, respectively formed on a front side of the first chip and on a front side of the second chip, make contact with conductive tracks formed on the front side of the interconnecting substrate; at least one conductive track being configured so as to connect the first source contact pad with the second drain contact pad; the interconnecting substrate comprises at least one conductive through-via for connecting at least one defined conductive track to the structural plate.

(57) Abrégé : invention concerne un circuit intégré comprenant : • un boîtier comportant au moins trois terminaux électriques, un

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

terminal de grille, un terminal de source et un terminal de drain, et comportant une plaque structurelle conductrice connectée à l'un des trois terminaux, • un substrat d'interconnexion présentant une face avant et une face arrière disposée sur la plaque structurelle, • et, disposées sur le substrat d'interconnexion, au moins une première puce comprenant un transistor à haute tension en mode déplétion, et au moins une deuxième puce comprenant un dispositif en mode enrichissement, la première et la deuxième puces comportant respectivement des premiers et des deuxièmes plots de contact de grille, de source et de drain; circuit intégré est remarquable en ce que : • Les premiers et deuxièmes plots de contacts, respectivement formés sur une face avant de la première puce et sur une face avant de la deuxième puce, sont en contact avec des pistes conductrices formées sur la face avant du substrat d'interconnexion; au moins une piste conductrice étant configurée de manière à connecter le premier plot de contact de source avec le deuxième plot de contact de drain; • Le substrat d'interconnexion comprend au moins un via conducteur traversant pour connecter au moins une piste conductrice déterminée avec la plaque structurelle.

CIRCUIT INTEGRE FORME DE DEUX PUCES CONNECTEES EN SERIE

DOMAINE DE L'INVENTION

5

La présente invention concerne un circuit intégré comprenant une puce formée d'un transistor à haute tension en mode déplétion et une puce formée d'un transistor en mode enrichissement, connectées en série.

10

ARRIERE PLAN TECHNOLOGIQUE DE L'INVENTION

Les transistors HEMT (transistors à haute mobilité électronique) élaborés sur des matériaux semi-conducteurs III-N sont classiquement « normally on », c'est-à-dire qu'ils présentent une tension de seuil négative et peuvent conduire le courant avec une tension de grille à 0V. Ces composants avec tensions de seuil négatives sont appelés composants en mode déplétion (« depletion mode » ou « D-mode » selon la terminologie anglo-saxonne).

Il est préférable pour les applications d'électronique de puissance d'avoir des composants dits « normally off », c'est-à-dire présentant une tension de seuil positive : ces composants ne peuvent pas conduire le courant lorsque la tension de grille est à 0V et sont communément appelés composants en mode enrichissement (« E-mode »).

La fabrication de composants à haute tension sur matériaux semi-conducteurs III-N en E-mode s'avère complexe. Une alternative à un composant E-mode haute tension simple est de combiner un composant D-mode à haute tension avec un composant E-mode. Un tel dispositif hybride comprend typiquement un transistor HEMT D-mode élaboré sur matériaux semi-conducteurs III-N et un transistor MOSFET (Transistor métal/oxyde/semi-conducteur à effet de champ) E-mode élaboré sur silicium.

Par exemple, comme illustré sur la figure 1, des puces 1,2 comprenant respectivement les composants HEMT et MOSFET peuvent être couplées pour former un circuit intégré de type cascode 3 : le drain 2a et la source 2b de la puce MOSFET E-mode 2 sont respectivement connectés à la source 1b et à la grille 1c de la puce HEMT D-mode 1 ; cette connexion électrique se fait dans le boîtier 4 du circuit intégré 3 comprenant les deux puces électroniques 1,2, habituellement par connexion filaire 5 (« wire bonding » selon la terminologie anglo-saxonne) entre différents plots de contact de grille 1c,2c, de source 1b,2b et de drain 1a,2a accessibles sur chacune des puces 1,2. Dans un circuit intégré cascode 3, la grille 2c de la puce MOSFET 2 contrôle la mise en mode passant ou bloquant du circuit intégré 3.

Le plot de contact de grille 2c de la puce MOSFET 2 est connecté dans le boîtier 4 du circuit intégré 3 à une broche de grille 3c. Le plot de contact de source 2b de la puce MOSFET 2 est connecté dans le boîtier 4 à une broche de source 3b. Enfin, le plot de contact de drain de la puce HEMT 1 est connecté, toujours dans le boîtier 4, à une broche de drain 3a. Habituellement, les connexions entre les plots de contact des puces et les broches sont faits par connexion filaire ou à l'aide de clips de raccordement électrique. Les trois broches 3a,3b,3c constituent les terminaux électriques du circuit intégré 3 vers l'extérieur du boîtier 4.

Dans un circuit intégré de type cascode, les interconnexions (notamment les connexions filaires) entre les différents composants vont ralentir la vitesse de commutation, alors qu'une commutation rapide est un des avantages attendus d'une puce HEMT. Pour conserver des vitesses de commutation importantes, il est donc nécessaire de minimiser les inductances et résistances parasites liées aux interconnexions dans un arrangement cascode.

Le document US9171837 présente une solution pour réduire les inductances dans un boîtier à trois terminaux électriques, mettant en œuvre un circuit intégré cascode comprenant un substrat sur lequel un premier transistor en mode déplétion et un second transistor MOSFET sont montés ; le

substrat comprend des pistes conductrices procurant la connexion entre la source du premier transistor et le drain du second transistor.

5

OBJET DE L'INVENTION

Un objet de la présente invention est de proposer une solution alternative aux solutions de l'état de l'art. Un
10 objet de l'invention est notamment de proposer un circuit intégré comprenant un substrat d'interconnexion, une puce formée d'un transistor à haute tension en mode déplétion et une puce formée d'un transistor en mode enrichissement, dans lequel les inductances et résistances parasites liées aux
15 interconnexions sont réduites.

BREVE DESCRIPTION DE L'INVENTION

20 La présente invention concerne un circuit intégré comprenant :

- un boîtier comportant au moins trois terminaux électriques, un terminal de grille, un terminal de source et un terminal de drain, et comportant une plaque
25 structurelle conductrice connectée à l'un des trois terminaux,
- un substrat d'interconnexion présentant une face avant et une face arrière disposée sur la plaque structurelle,
- et, disposées sur le substrat d'interconnexion, au moins
30 une première puce comprenant un transistor à haute tension en mode déplétion, et au moins une deuxième puce comprenant un dispositif en mode enrichissement, la première et la deuxième puces comportant respectivement des premiers et des deuxièmes plots de contact de grille,
35 de source et de drain;

Le circuit intégré est remarquable en ce que :

- Les premiers et deuxièmes plots de contacts, respectivement formés sur une face avant de la première puce et sur une face avant de la deuxième puce, sont en contact avec des pistes conductrices formées sur la face avant du substrat d'interconnexion ; au moins une piste conductrice étant configurée de manière à connecter le premier plot de contact de source avec le deuxième plot de contact de drain;
- Le substrat d'interconnexion comprend au moins un via conducteur traversant pour connecter au moins une piste conductrice déterminée avec la plaque structurelle.

Selon d'autres caractéristiques avantageuses et non limitatives de l'invention, prises seules ou selon toute combinaison techniquement réalisable :

- la piste conductrice déterminée est celle en contact avec le deuxième plot de contact de source, le terminal du boîtier connecté à la plaque structurelle formant le terminal de source du circuit intégré ;
- la piste conductrice en contact avec le premier plot de contact de drain et la piste conductrice en contact avec le deuxième plot de contact de grille sont respectivement connectées au terminal de drain et au terminal de grille du boîtier ;
- les connexions entre les pistes conductrices et les terminaux de drain et de grille sont réalisées au moyen de clips de raccordement électrique ;
- la piste conductrice déterminée est celle en contact avec le premier plot de contact de drain, le terminal du boîtier connecté à la plaque structurelle formant le terminal de drain du circuit intégré ;

- la piste conductrice en contact avec le deuxième plot de contact de grille et la piste conductrice en contact avec le deuxième plot de contact de source sont respectivement connectées au terminal de grille et au terminal de source du boîtier ;
5
- les connexions entre les pistes conductrices et les terminaux de grille et de source sont réalisées au moyen de clips de raccordement électrique ;
- au moins une piste conductrice est configurée de manière à connecter le premier plot de contact de grille avec le deuxième plot de contact de source, pour connecter la première et la deuxième puce en cascode ;
10
- la piste conductrice en contact avec le premier plot de contact de grille est connectée à un terminal additionnel du boîtier ;
15
- le dispositif en mode enrichissement inclus dans la deuxième puce comprend un transistor en mode enrichissement dont une électrode de grille est connectée au plot de contact de grille de la deuxième puce ;
- le dispositif en mode enrichissement inclus dans la deuxième puce comprend un transistor en mode enrichissement et un composant de commande, une électrode de grille du transistor en mode enrichissement étant connectée à une entrée du composant de commande et une
20
- sortie du composant de commande étant connectée au plot de contact de grille de la deuxième puce ;
25
- le circuit intégré comprend une troisième puce comportant un composant passif ou actif ;
- la troisième puce comporte un transistor à haute tension en mode déplétion, et des troisièmes plots de contact de grille, de source et de drain ; les troisièmes plots de contacts formés sur une face avant de la troisième puce, étant en contact avec des pistes conductrices formées sur
30

la face avant du substrat d'interconnexion ; les pistes conductrices étant configurées de manière à connecter la première et la troisième puce en parallèle.

5

BREVE DESCRIPTION DES DESSINS

D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée qui va suivre en
10 référence aux figures annexées sur lesquelles :

- la figure 1 présente un circuit intégré dans un boîtier selon l'état de la technique ;
- les figures 2a à 2c présentent des éléments du circuit intégré conforme à l'invention ;
- 15 - la figure 3 présente une vue en coupe d'un circuit intégré conforme à l'invention ;
- les figures 4a à 4d présentent des vues en coupe d'un premier mode de réalisation du circuit intégré selon l'invention ;
- 20 - la figure 5 présente une vue en coupe d'un deuxième mode de réalisation selon l'invention.

DESCRIPTION DETAILLEE DE L'INVENTION

25

Dans la partie descriptive, les mêmes références sur les figures pourront être utilisées pour des éléments de même nature.

Les figures sont des représentations schématiques qui,
30 dans un objectif de lisibilité, ne sont pas à l'échelle. En particulier, les épaisseurs des couches ou des composants selon l'axe z ne sont pas à l'échelle par rapport aux dimensions latérales selon les axes x et y. Par ailleurs, pour permettre une visualisation plus aisée des connexions dans le

circuit intégré selon l'invention, les vues en coupe pourront dans certains cas représenter des éléments compris dans plusieurs plans verticaux (plan (y,z) sur les figures) différents.

5

L'invention concerne un circuit intégré 100 comprenant un boîtier 10 dont une partie isolante 15 destinée à encapsuler les composants électroniques du circuit intégré est formée par un matériau isolant électrique, typiquement de la
10 résine. Le boîtier 10 comporte au moins trois terminaux électriques, un terminal de grille 11, un terminal de source 12 et un terminal de drain 13, comme illustré sur la figure 2a. Par terminal électrique, on entend notamment une broche ou un plot métallique ou tout autre moyen permettant de former un
15 contact électrique externe du circuit intégré 100 : ce contact externe pourra ensuite être connecté à d'autres éléments, par exemple sur un circuit imprimé.

Le boîtier 10 comporte également une plaque structurelle 14 conductrice. La plaque structurelle 14 est
20 destinée à supporter les composants électroniques du circuit intégré 100. La plaque structurelle 14 est connectée à l'un des trois terminaux 11,12,13 ; dans le cas illustré sur la figure 2a, la plaque structurelle 14 est connectée au terminal de source 12. Dans la présente description, par « connecté »,
25 on entend électriquement connecté : soit directement, c'est-à-dire par contact direct entre les deux éléments connectés, soit indirectement, c'est-à-dire au moyen d'un élément intermédiaire, lui-même en contact avec les éléments électriquement connectés ; ledit élément intermédiaire pourra
30 par exemple être un clip de raccordement électrique ou encore une ou une pluralité de connexion(s) filaire(s). La plaque structurelle 14 est habituellement encapsulée, de même que les composants électroniques du circuit intégré 100, dans la partie isolante 15 du boîtier 10.

Le circuit intégré 100 comprend également un substrat d'interconnexion 20 présentant une face avant 21 et une face arrière 22. Le substrat d'interconnexion 20 est composé d'une base 23 formée par un matériau isolant électrique et
5 présentant par exemple une forme de plaque (figure 2b). A titre d'exemple, le matériau isolant de la base 23 est choisi parmi les céramiques, telles que le nitrure d'aluminium, ou autres matériaux appropriés.

Le substrat d'interconnexion 20 comporte des pistes conductrices 24 sur sa face avant 21, qui s'étendent sur la base 23. Rappelons que la figure 2b est une représentation schématique qui ne limite en rien les configurations ou répartitions dans le plan (x,y) que l'on pourra adopter pour les pistes de conduction 24. Ces dernières pourront être
15 formées par un matériau métallique tel que le cuivre ou autres matériaux appropriés.

Selon la présente invention, le substrat d'interconnexion 20 comprend en outre au moins un via conducteur 25 traversant, c'est-à-dire allant de la face avant
20 21 jusqu'à la face arrière 22 du substrat d'interconnexion 20, à travers la base 23. Le via conducteur 25 pourra par exemple être formé par un matériau tel que le cuivre ou autres matériaux adaptés. Avantagusement, le substrat d'interconnexion 20 comporte également un pavé conducteur 26
25 sur sa face arrière 22, en contact avec le via conducteur 25. Dans le circuit intégré 100 selon l'invention, le substrat d'interconnexion 20 est disposé sur la plaque structurelle 14 conductrice, en particulier, le pavé conducteur 26 est en contact direct avec ou assemblé au moyen d'un matériau
30 conducteur électrique sur la plaque structurelle 14 : ainsi le via conducteur 25 permet de connecter au moins une piste conductrice déterminée 24a avec la plaque structurelle 14. Cette connexion par au moins un via conducteur 25 permet de réduire significativement la longueur de connexion entre la

piste conductrice déterminée 24a (qui est destinée à être en contact avec au moins un plot de contact de la première 30 et/ou de la deuxième 40 puce) et la plaque structurelle 14 électriquement reliée à un terminal du circuit intégré 100.

5 Les inductances et résistances parasites étant proportionnelles à la géométrie de la connexion pour un matériau conducteur donné, la réduction de la longueur de connexion résulte notamment en une diminution de ces éléments parasites. Par ailleurs, elle peut également résulter en une
10 réduction d'émission d'interférences électromagnétiques (EMI).

Le circuit intégré 100 comprend au moins une première puce 30 comprenant un transistor à haute tension en mode déplétion, et au moins une deuxième puce 40 comprenant un
15 dispositif en mode enrichissement. A titre d'exemple, le transistor à haute tension en mode déplétion pourra consister en un transistor HEMT élaboré sur GaN. A titre d'exemple, le dispositif en mode enrichissement pourra consister en un transistor MOS à effet de champ (MOSFET) élaboré sur
20 Silicium ; il pourra également consister en un dispositif comprenant un MOSFET couplé avec un composant de commande (driver).

La première puce 30 et la deuxième puce 40 comportent respectivement, des premiers plots de contact de grille 31, de
25 source 32 et de drain 33, et des deuxièmes plots de contact de grille 41, de source 42 et de drain 43. Ces premiers et deuxièmes plots de contacts sont respectivement formés sur la face avant 34 de la première puce 30 et la face avant 44 de la deuxième puce 40 (figure 2c). Comme bien connu de l'homme du
30 métier, les plots de contact sont composés d'un matériau métallique conducteur électrique, par exemple le cuivre ou autres matériaux adaptés. En particulier, le matériau métallique formant les plots de contacts est apte à être assemblé ou soudé. Les plots de contacts d'une puce selon

l'invention pourront se présenter sous différentes formes : soit sous la forme de pavés en relief par rapport à la surface de la face avant de la puce, soit sous la forme de billes (« bumps » selon la terminologie anglo-saxonne) également en relief par rapport à la surface de la face avant de la puce. Les premiers 31,32,33 et deuxièmes plots de contacts 41,42,43 pourront être disposés de différentes manières sur les faces avant 34,44 respectives des première 30 et deuxième 40 puces, selon les différents modes de réalisation et variantes conformes à l'invention.

La première puce 30 et la deuxième puce 40 sont disposées sur le substrat d'interconnexion 20, en particulier selon l'invention, leurs faces avant 34,44 sont en vis-à-vis avec la face avant 21 du substrat d'interconnexion 20 : les premiers 31,32,33 et deuxièmes plots de contact 41,42,43 sont en contact avec les pistes conductrices 24 du substrat d'interconnexion 20. L'assemblage des premiers 31,32,33 et deuxièmes 41,42,43 plots sur les pistes conductrices 24 pourra être réalisé par un procédé de collage métallique par exemple par thermo-compression ou un procédé de soudage ou brasage entre les matériaux composant les plots de contact et les pistes conductrices. Il est ainsi possible d'obtenir un contact électrique de bonne qualité entre les plots de contact des puces 30,40 et le substrat d'interconnexion 20, avec un chemin de conduction fortement réduit, par exemple par rapport à des connexions filaires.

Au moins une piste conductrice 24b est configurée de manière à connecter le premier plot de contact de source 32 avec le deuxième plot de contact de drain 43 : une telle configuration permet la mise en série du transistor à haute tension en mode déplétion et du dispositif en mode enrichissement, selon un arrangement dit cascade.

Cette connexion par une piste de conduction 24b permet également de réduire la longueur de connexion entre la source

32 de la première puce 30 et le drain 43 de la deuxième puce 40, ce qui limite les résistance et inductance parasites au niveau de ce nœud de connexion.

5 La figure 3 illustre une vue en coupe d'un circuit intégré 100 conforme à l'invention. Les premiers plots de contact 31,32,33 de la première puce 30 et les deuxièmes plots de contact 41,42,43 de la deuxième puce 40 sont en contact avec les pistes conductrices 24 (incluant notamment les pistes
10 référéncées 24a,24b) du substrat d'interconnexion 20. Le via conducteur 25 relie électriquement la piste conductrice 24a et le pavé conducteur 26 en face arrière du substrat d'interconnexion 20. Le pavé conducteur 26 est assemblé par collage métallique, soudure ou brasage sur la plaque
15 structurelle 14, établissant également avec celle-ci un contact électrique. Pour plus de lisibilité, la figure 3 ne montre pas la partie isolante 15 du boîtier 10, ni les au moins trois terminaux électriques 11,12,13. Compte tenu de la vue en coupe, la piste conductrice 24b reliant le premier plot
20 de contact de source 32 et le deuxième plot de contact de drain 43 n'est pas visible entièrement : elle se prolonge dans le plan (x,y) perpendiculaire au plan de coupe de la figure 3, pour former la connexion électrique entre les deux plots de contacts 32,43.

25 Selon un premier mode de réalisation du circuit intégré 100 selon l'invention (figure 4a), la piste conductrice déterminée 24a est celle en contact avec le deuxième plot de contact de source 42, le terminal du boîtier connecté à la plaque structurelle 14 forme alors le terminal de source 12 du circuit intégré 100. Dans ce cas de figure, une piste conductrice 24c en contact avec le premier plot de contact de drain 33 et une autre piste conductrice 24d en contact avec le

deuxième plot de contact de grille 41 sont respectivement connectées au terminal de drain 13 (non représenté sur la figure 4a) et au terminal de grille 11 du boîtier 10 du circuit intégré 100. Notons que le terminal de grille 11 est représenté sur la figure 4a dans le même plan de coupe que le terminal de source 12 pour plus de lisibilité ; en réalité, il est situé dans un plan (y,z) voisin, conformément au schéma de la figure 2a.

Avantageusement, les connexions entre les pistes conductrices 24 et les terminaux de drain 13 et de grille 11 sont réalisées au moyen de clips de raccordement électrique 16. Les clips de raccordement électrique 16 sont habituellement formés par des bandes métalliques, par exemple en cuivre, en aluminium ou autre matériau approprié, soudées sur l'un et l'autre des éléments à connecter. Ils présentent l'avantage d'une faible inductance et d'une faible résistance d'accès, par rapport à des connexions filaires.

Selon une première variante s'appliquant au cas d'un arrangement cascade (figure 4b), une piste conductrice 24e en contact avec le premier plot de contact de grille 31 est connectée à un terminal additionnel 111 du boîtier 10. Le boîtier 10 comporte dans ce cas quatre terminaux électriques, les trois précédemment cités et un terminal additionnel 111 de grille, pour commander indépendamment la grille du transistor à haute tension en mode déplétion de la première puce 30 (connectée au terminal additionnel 111), et la grille du dispositif en mode enrichissement de la deuxième puce 40 (connectée au terminal de grille 11). Notons que le terminal additionnel de grille 111 est représenté sur la figure 4b dans le même plan de coupe que le terminal de source 12 pour plus de lisibilité ; en réalité il est situé dans un plan vertical (y,z) voisin.

Selon une deuxième variante s'appliquant au cas d'un arrangement cascode (figure 4c), le boîtier 10 ne comporte que trois terminaux 11,12,13 et au moins une piste conductrice 24e est configurée de manière à connecter le premier plot de contact de grille 31 avec le deuxième plot de contact de source 42 : dans l'exemple de la figure 4c, cela signifie que la piste conductrice 24e est connectée à la piste 24a, dans le plan (x,y) en face avant 21 du substrat d'interconnexion 20. Avantageusement, la piste conductrice 24e en contact avec le premier plot de contact de grille 31 est connectée à la face arrière 35 de la première puce 30, au moyen d'un clip de raccordement électrique 17, pour mettre ladite face arrière 35 à la masse. Ce clip 17 présente l'avantage additionnel de favoriser une dissipation thermique au niveau de la face arrière 35 de la première puce 30.

Selon une troisième variante s'appliquant au cas d'un arrangement cascode (figure 4d), le boîtier 10 ne comporte que trois terminaux 11,12,13 et la piste conductrice déterminée 24a est configurée de manière à connecter le premier plot de contact de grille 31 avec le deuxième plot de contact de source 42. Un via conducteur 25 ou une pluralité de vias conducteurs 25 permet de connecter la piste conductrice déterminée 24a et le pavé conducteur 26 en face arrière du substrat d'interconnexion 20. Avantageusement, la piste conductrice 24a en contact avec le premier plot de contact de grille 31 est connectée à la face arrière 35 de la première puce 30, au moyen d'un clip de raccordement électrique 17 (non représenté), pour mettre ladite face arrière 35 à la masse.

30

Selon un deuxième mode de réalisation du circuit intégré 100 selon l'invention (figure 5), la piste conductrice déterminée 24a est celle en contact avec le premier plot de

contact de drain 33, le terminal du boîtier connecté à la plaque structurelle 14 forme alors le terminal de drain 13 du circuit intégré 100. Dans ce cas de figure, la piste conductrice 24d en contact avec le deuxième plot de contact de grille 41 et une piste conductrice 24f en contact avec le deuxième plot de contact de source 42 sont respectivement connectées au terminal de grille 11 et au terminal de source 12 (non représenté) du boîtier 10 du circuit intégré 100.

Avantageusement, la connexion entre les pistes conductrices 24d, 24f et les terminaux de grille 11 et de source 12 sont réalisées au moyen de clips de raccordement électrique 16 présentant l'avantage d'une faible inductance et d'une faible résistance d'accès, par rapport à des connexions filaires.

Les première et deuxième variantes décrites dans le cadre du premier mode de réalisation s'appliquent également dans le cadre du deuxième mode de réalisation.

Selon la première variante s'appliquant au cas d'un arrangement cascade, la piste conductrice 24e en contact avec le premier plot de contact de grille 31 est connectée à un terminal additionnel du boîtier 10 (non représenté). Le boîtier 10 comporte dans ce cas quatre terminaux électriques, les trois précédemment cités et un terminal additionnel de grille, pour commander indépendamment la grille du transistor à haute tension en mode déplétion de la première puce 30 (connectée au terminal additionnel), et la grille du dispositif en mode enrichissement de la deuxième puce 40 (connectée au terminal de grille 11).

Selon la seconde variante s'appliquant au cas d'un arrangement cascode, le boîtier 10 ne comporte que trois terminaux 11, 12, 13 et au moins une piste conductrice 24e est configurée de manière à connecter le premier plot de contact de grille 31 avec le deuxième plot de contact de source 42 :

dans l'exemple de la figure 5, cela signifie que la piste conductrice 24e est connectée à la piste 24f, dans le plan (x,y) en face avant 21 du substrat d'interconnexion 20. Avantageusement, la piste conductrice 24e en contact avec le premier plot de grille 31 est connectée à la face arrière 35 de la première puce 30 (non représenté), au moyen d'un clip de raccordement électrique 17, pour mettre ladite face arrière 35 à la masse.

Dans le circuit intégré 100 selon les différents modes de réalisation de l'invention, le dispositif en mode enrichissement inclus dans la deuxième puce 40 pourra comprendre un transistor en mode enrichissement dont une électrode de grille est connectée au deuxième plot de contact de grille 41 de la deuxième puce 40. Le terminal de grille 11 du boîtier 10, connecté au deuxième plot de contact de grille 41 permet alors d'envoyer un signal électrique pour commander la grille du transistor en mode enrichissement (par exemple, un MOSFET sur silicium).

Alternativement, le dispositif en mode enrichissement inclus dans la deuxième puce 40 pourra comprendre un transistor en mode enrichissement et un composant de commande : dans ce cas, une électrode de grille du transistor en mode enrichissement est connectée à une entrée du composant de commande et une sortie du composant de commande est connectée au deuxième plot de contact de grille 41 de la deuxième puce 40. Le terminal de grille 11 du boîtier 10, connecté au deuxième plot de contact de grille 41 permet ici d'envoyer un signal électrique au composant de commande ; ce dernier est ensuite apte à traiter ce signal pour commander la grille du transistor en mode enrichissement.

Le circuit intégré 100 selon les différents modes de réalisation de l'invention, peut comprendre, outre la première 30 et la deuxième puce 40, une troisième puce comportant un composant passif ou actif. A titre d'exemple, la troisième 5 puce peut comporter un transistor à haute tension en mode déplétion, et des troisièmes plots de contact de grille, de source et de drain. Les troisièmes plots de contacts formés sur une face avant de la troisième puce sont en contact avec des pistes conductrices 24 formées sur la face avant 21 du 10 substrat d'interconnexion 20 : lesdites pistes conductrices 24 sont configurées de manière à connecter la première 30 et la troisième puce en parallèle. Une telle configuration présente notamment l'avantage de minimiser les interconnexions et ainsi, de réduire les inductances et résistances parasites 15 ainsi que les émissions d'EMI.

Bien entendu, l'invention n'est pas limitée aux modes de réalisation décrits et on peut y apporter des variantes de 20 réalisation sans sortir du cadre de l'invention tel que défini par les revendications.

REVENDICATIONS

1. Circuit intégré (100) comprenant :

- un boîtier (10) comportant au moins trois terminaux électriques, un terminal de grille (11), un terminal de source (12) et un terminal de drain (13), et comportant une plaque structurelle (14) conductrice connectée à l'un des trois terminaux (11,12,13),
- un substrat d'interconnexion (20) présentant une face avant (21) et une face arrière (22) disposée sur la plaque structurelle (14),
- et, disposées sur le substrat d'interconnexion (20), au moins une première puce (30) comprenant un transistor à haute tension en mode déplétion, et au moins une deuxième puce (40) comprenant un dispositif en mode enrichissement, la première (30) et la deuxième (40) puces comportant respectivement des premiers et des deuxièmes plots de contact de grille (31,41), de source (32,42) et de drain (33,43);

Le circuit intégré (100) étant caractérisé en ce que :

- Les premiers (31,32,33) et deuxièmes (41,42,43) plots de contacts, respectivement formés sur une face avant de la première puce (30) et sur une face avant de la deuxième puce (40), sont en contact avec des pistes conductrices (24) formées sur la face avant (21) du substrat d'interconnexion (20) ; au moins une piste conductrice (24b) étant configurée de manière à connecter le premier plot de contact de source (32) avec le deuxième plot de contact de drain (43);
- Le substrat d'interconnexion (20) comprend au moins un via conducteur traversant (25) pour connecter au moins une piste conductrice déterminée (24a) avec la plaque structurelle (14).

2. Circuit intégré (100) selon la revendication précédente, dans lequel la piste conductrice déterminée (24a) est celle en contact avec le deuxième plot de contact de source (42), le terminal du boîtier connecté à la plaque

structurelle (14) formant le terminal de source (12) du circuit intégré (100).

3. Circuit intégré (100) selon la revendication précédente,
5 dans lequel la piste conductrice (24) en contact avec le premier plot de contact de drain (33) et la piste conductrice (24) en contact avec le deuxième plot de contact de grille (41) sont respectivement connectées au terminal de drain (13) et au terminal de grille (11) du
10 boîtier (10).

4. Circuit intégré (100) selon la revendication précédente,
dans lequel les connexions entre les pistes conductrices (24) et les terminaux de drain (13) et de grille (11)
15 sont réalisées au moyen de clips de raccordement électrique (16).

5. Circuit intégré (100) selon la revendication 1, dans lequel la piste conductrice déterminée (24a) est celle en
20 contact avec le premier plot de contact de drain (33), le terminal du boîtier connecté à la plaque structurelle (14) formant le terminal de drain (13) du circuit intégré (100).

6. Circuit intégré (100) selon la revendication précédente,
25 dans lequel la piste conductrice (24) en contact avec le deuxième plot de contact de grille (41) et la piste conductrice (24) en contact avec le deuxième plot de contact de source (42) sont respectivement connectées au
30 terminal de grille (11) et au terminal de source (12) du boîtier (10).

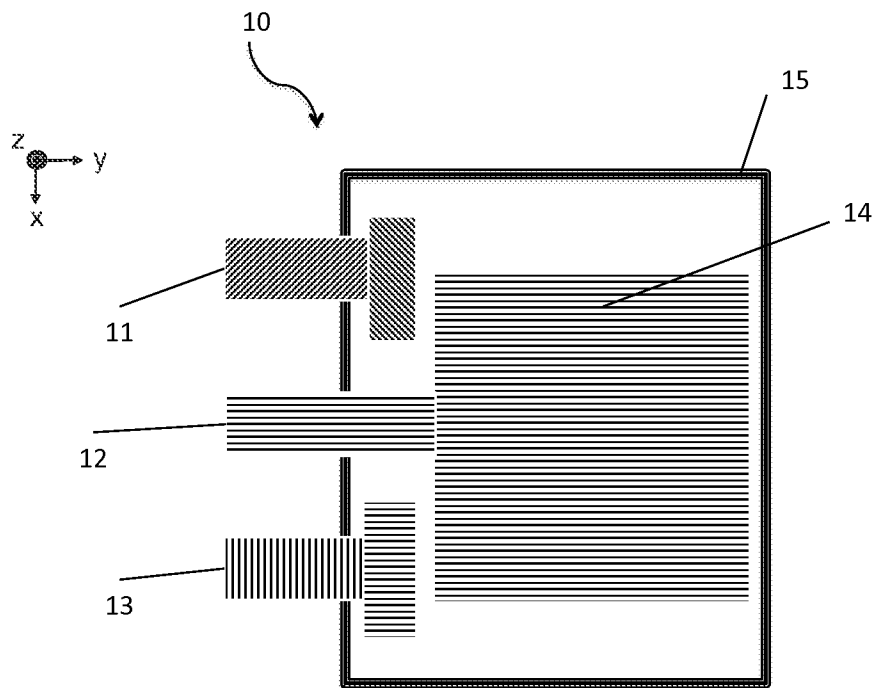
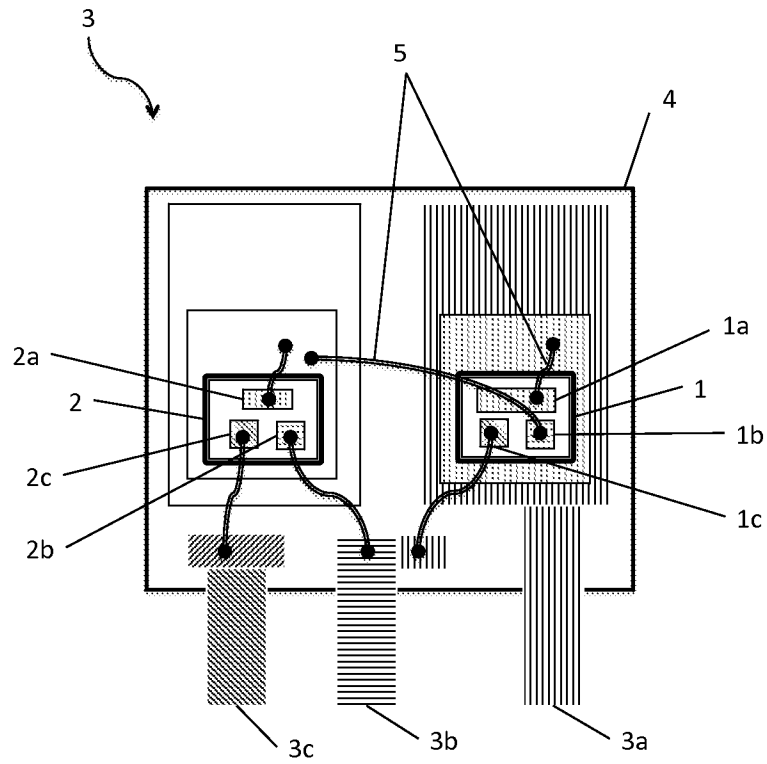
7. Circuit intégré (100) selon la revendication précédente,
dans lequel les connexions entre les pistes conductrices

(24) et les terminaux de grille (11) et de source (12) sont réalisées au moyen de clips de raccordement électrique (16).

- 5 8. Circuit intégré (100) selon l'une des revendications précédentes, dans lequel au moins une piste conductrice (24) est configurée de manière à connecter le premier plot de contact de grille (31) avec le deuxième plot de contact de source (42), pour connecter la première (30)
10 et la deuxième (40) puce en cascode.
9. Circuit intégré (100) selon l'une des revendications 1 à 7, dans lequel la piste conductrice (24) en contact avec le premier plot de contact de grille (31) est connectée à
15 un terminal additionnel (111) du boîtier (10).
10. Circuit intégré (100) selon l'une des revendications précédentes, dans lequel le dispositif en mode enrichissement inclus dans la deuxième puce (40) comprend
20 un transistor en mode enrichissement dont une électrode de grille est connectée au plot de contact de grille (41) de la deuxième puce (40).
11. Circuit intégré (100) selon l'une des revendications 1 à 9, dans lequel le dispositif en mode enrichissement inclus dans la deuxième puce (40) comprend un transistor en mode enrichissement et un composant de commande, une électrode de grille du transistor en mode enrichissement étant connectée à une entrée du composant de commande et
25 une sortie du composant de commande étant connectée au plot de contact de grille (41) de la deuxième puce (40).
30

12. Circuit intégré (100) selon l'une des revendications précédentes, comprenant une troisième puce comportant un composant passif ou actif.

5 13. Circuit intégré (100) selon la revendication précédente, dans lequel la troisième puce comporte un transistor à haute tension en mode déplétion, et des troisièmes plots de contact de grille, de source et de drain ; les troisièmes plots de contacts formés sur une
10 face avant de la troisième puce, étant en contact avec des pistes conductrices (24) formées sur la face avant (21) du substrat d'interconnexion (20) ; les pistes conductrices (24) étant configurées de manière à connecter la première (30) et la troisième puce en
15 parallèle.



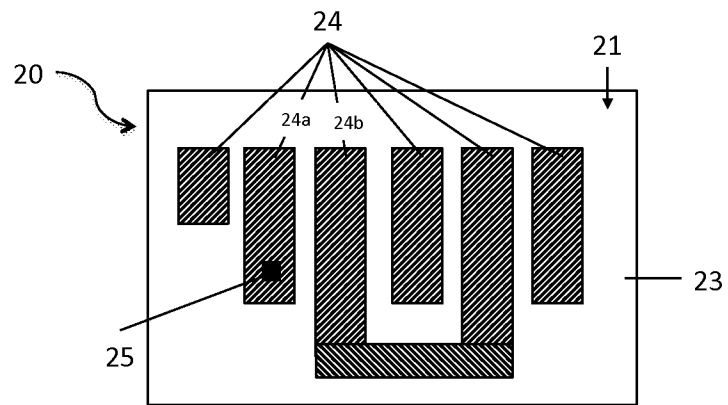
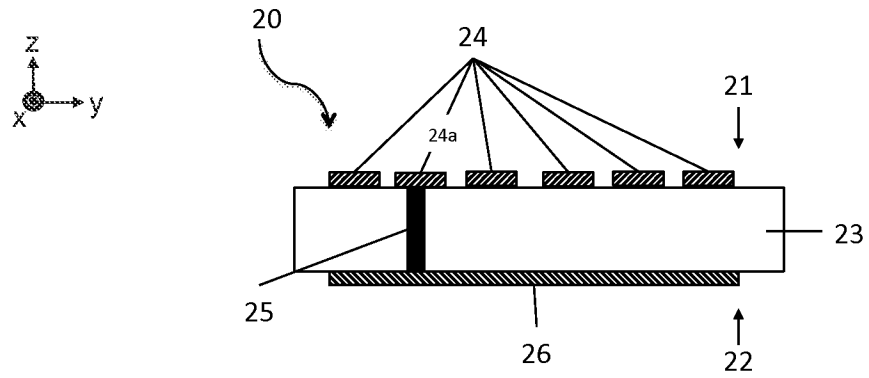


FIG.2b

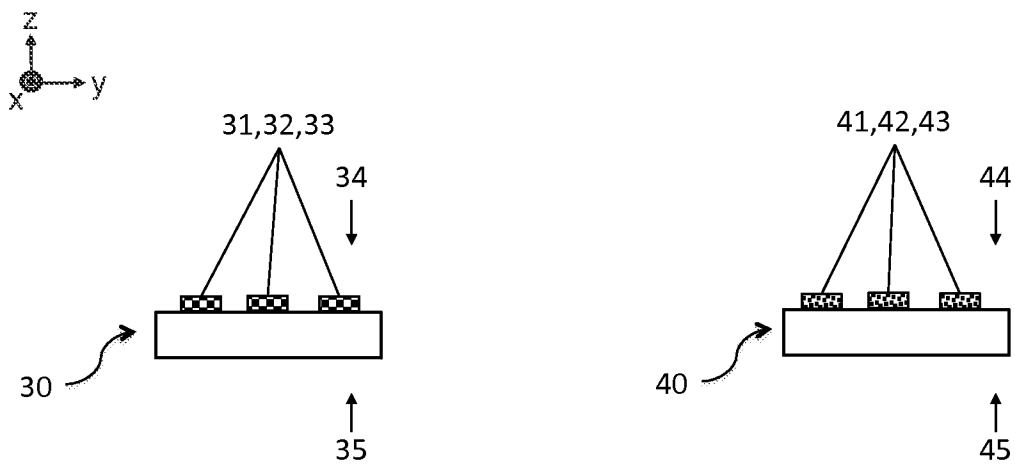


FIG.2c

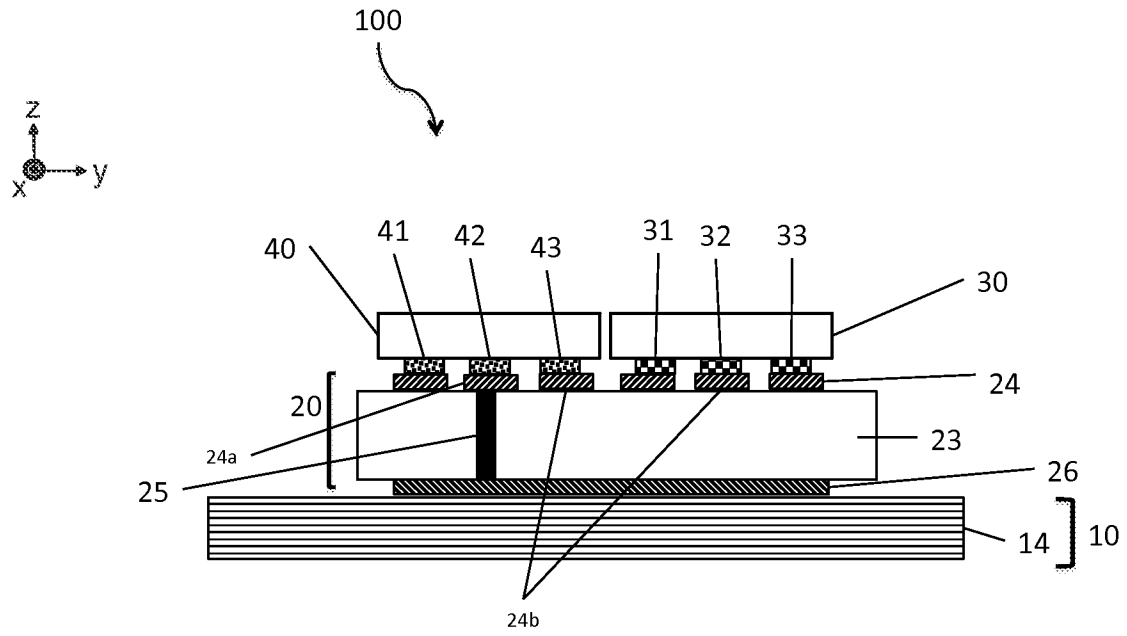


FIG.3

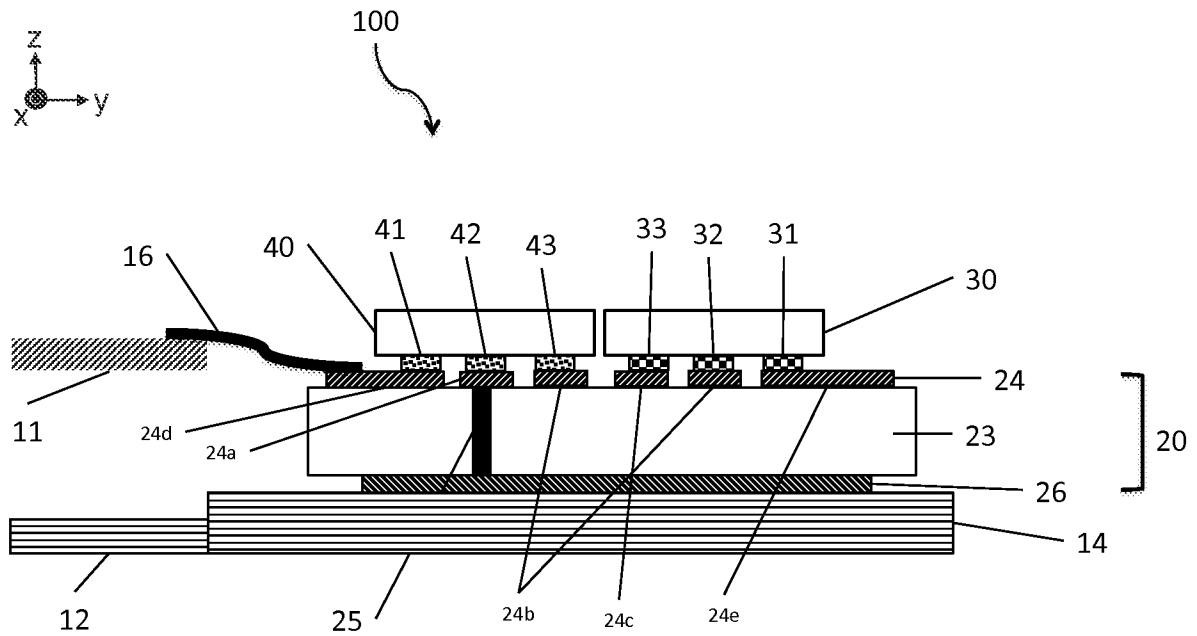


FIG.4a

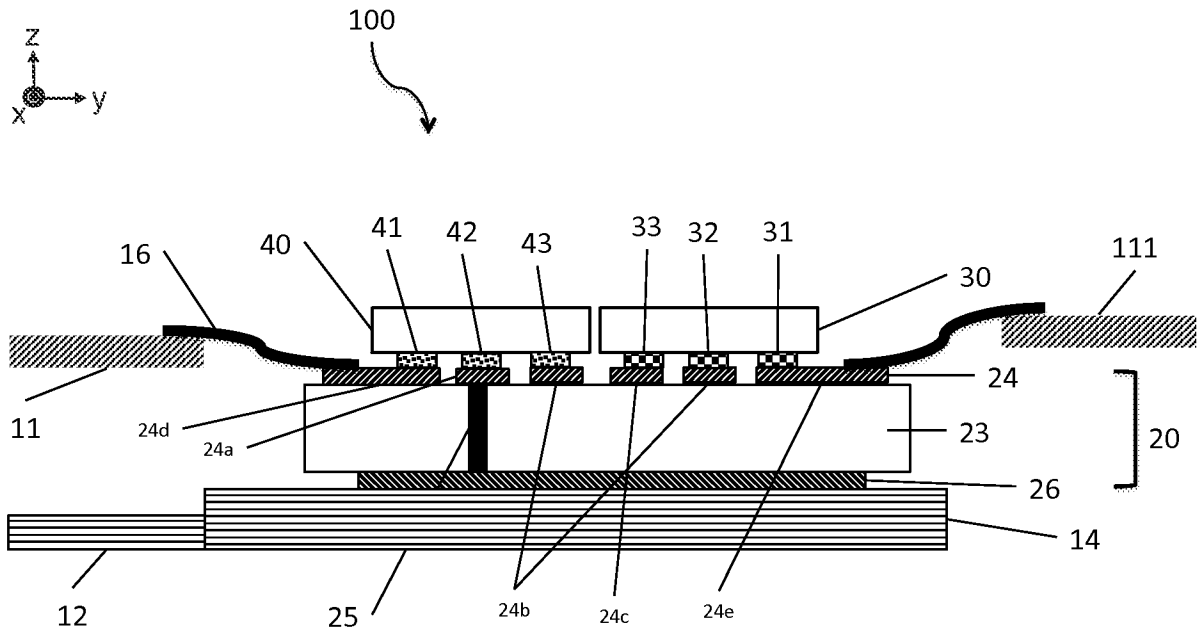


FIG. 4b

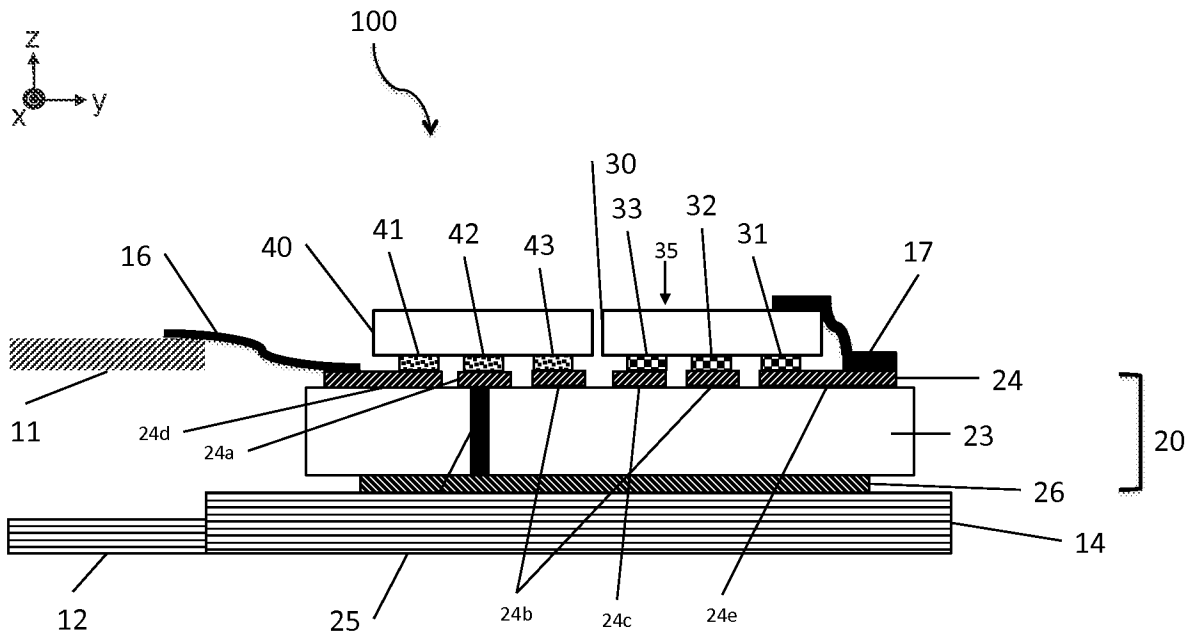


FIG. 4c

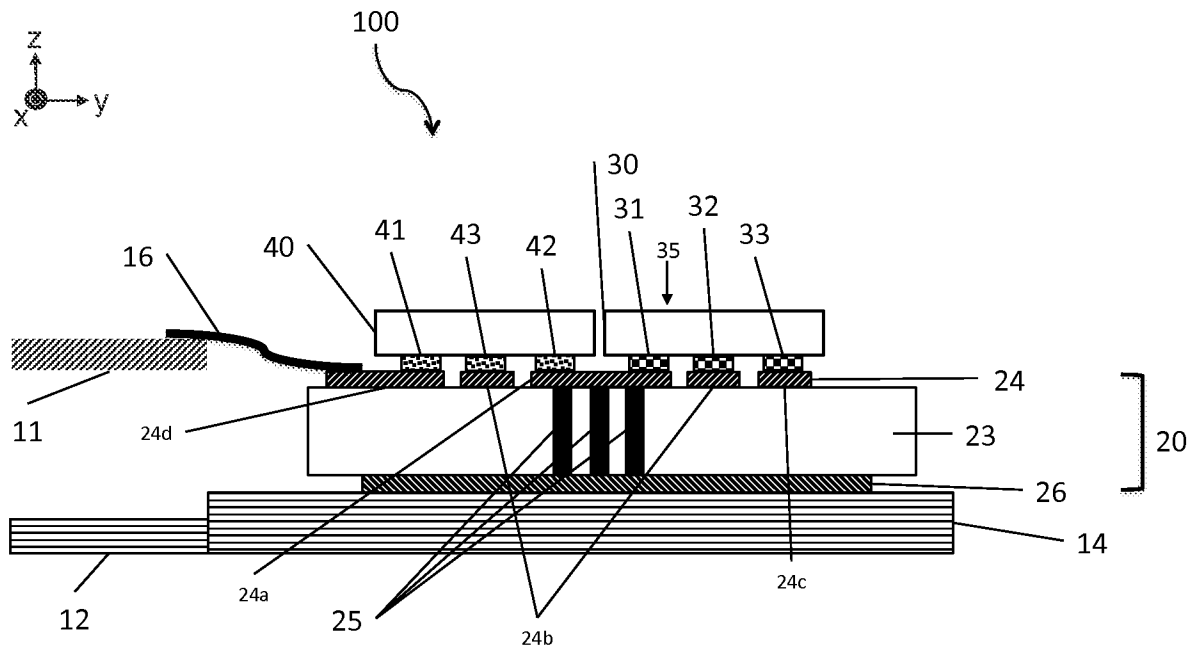


FIG. 4d

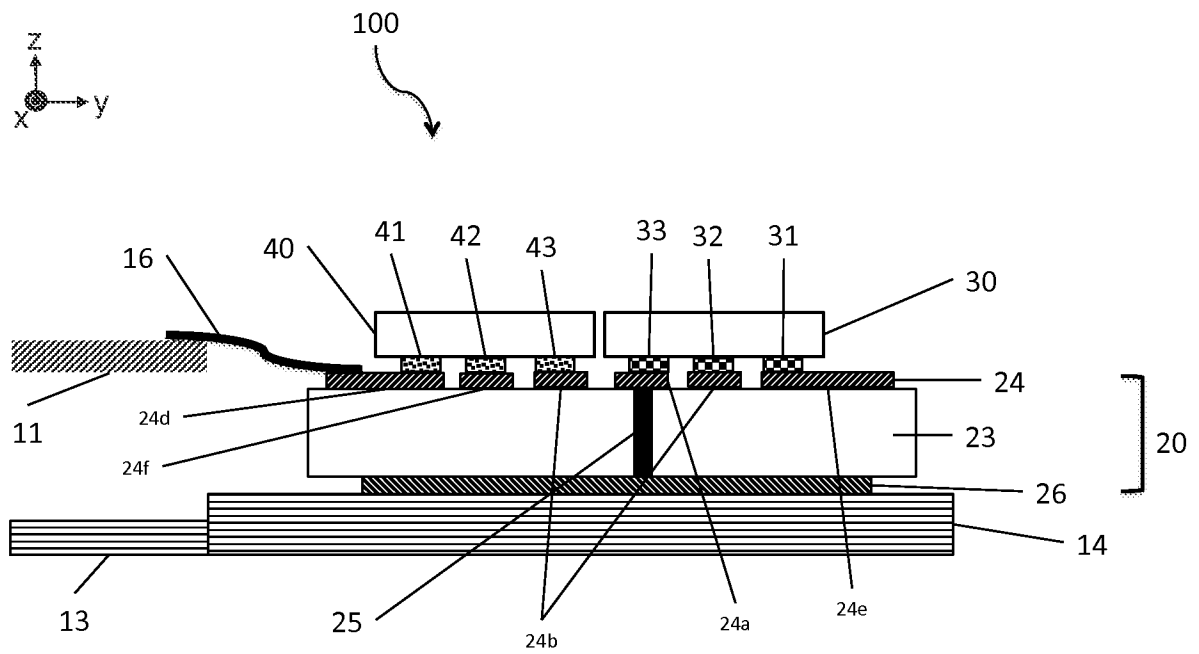


FIG. 5

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2017/053167

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L23/495 H01L23/498 H05K1/02 H01L23/66
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2014/167822 A1 (RUTTER PHILIP [GB] ET AL) 19 June 2014 (2014-06-19) paragraph [0026] - paragraph [0074]; figures 4,5	1-13
Y	US 5 117 068 A (SEIEROE LOUIS M [US] ET AL) 26 May 1992 (1992-05-26) column 1, line 5 - column 3, line 16; figures 1,4,5	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

8 February 2018

Date of mailing of the international search report

22/02/2018

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Hirsch, Alexander

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2017/053167

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2014167822 A1	19-06-2014	CN 103872006 A	18-06-2014
		US 2014167822 A1	19-06-2014

US 5117068 A	26-05-1992	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2017/053167

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L23/495 H01L23/498 H05K1/02 H01L23/66 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H01L H05K		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 2014/167822 A1 (RUTTER PHILIP [GB] ET AL) 19 juin 2014 (2014-06-19) alinéa [0026] - alinéa [0074]; figures 4,5 -----	1-13
Y	US 5 117 068 A (SEIEROE LOUIS M [US] ET AL) 26 mai 1992 (1992-05-26) colonne 1, ligne 5 - colonne 3, ligne 16; figures 1,4,5 -----	1-13
☐ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 8 février 2018		Date d'expédition du présent rapport de recherche internationale 22/02/2018
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Hirsch, Alexander

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2017/053167

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2014167822 A1	19-06-2014	CN 103872006 A	18-06-2014
		US 2014167822 A1	19-06-2014
US 5117068 A	26-05-1992	AUCUN	