

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5223635号  
(P5223635)

(45) 発行日 平成25年6月26日 (2013. 6. 26)

(24) 登録日 平成25年3月22日 (2013. 3. 22)

(51) Int. Cl. F I  
 H O 1 L 23/12 (2006.01) H O 1 L 23/12 E  
 H O 1 L 23/12 5 O 1 W

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2008-309828 (P2008-309828)	(73) 特許権者	308014341
(22) 出願日	平成20年12月4日 (2008. 12. 4)		富士通セミコンダクター株式会社
(65) 公開番号	特開2010-135555 (P2010-135555A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成22年6月17日 (2010. 6. 17)		23
審査請求日	平成23年8月31日 (2011. 8. 31)	(74) 代理人	100090273
			弁理士 園分 孝悦
		(72) 発明者	天野 剛
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通VLSI株式会社内
		審査官	坂本 薫昭

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体ダイと、前記半導体ダイが搭載された基板とを有し、  
 前記基板は、  
複数の信号端子と、  
外部より電源が供給される複数の電源端子と、  
前記半導体ダイに配置されている複数の端子と接続された複数のパッドと、  
前記複数の信号端子の内の第1の信号端子と前記複数のパッドの内の第1のパッドとを  
接続する第1の配線と、  
前記第1の信号端子と前記第1のパッドと前記第1の配線とを囲み、前記複数の電源端  
子の内の一つに接続された第2の配線とを有し、  
前記第2の配線は、前記複数の電源端子の内の一つとの接続部分に対して近い側の配線  
幅よりも前記接続部分に対して遠い側の配線幅が太いことを特徴とする半導体装置。

10

【請求項2】

前記第2の配線は、前記複数の電源端子の内の一つとの接続部分に対する距離の増加に伴って単位長さあたりの抵抗値が減少することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第1の信号端子と隣接して配置される前記複数の信号端子の内の第2の信号端子と

20

前記複数のパッドの内の第2のパッドと、  
前記第2の信号端子と前記第2のパッドとを接続する第3の配線と、  
前記第2の信号端子と前記第2のパッドと前記第3の配線とを囲み、前記第2の配線と  
一部を共用する第4の配線とを有することを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記第4の配線は、前記複数の電源端子の内の一つとの接続部分に対して近い側の配線  
幅よりも前記接続部分に対して遠い側の配線幅が太いことを特徴とする請求項3に記載の  
半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置に関し、詳しくは、半導体装置におけるノイズの抑制技術に関する。

【背景技術】

【0002】

L S I (Large Scale Integration) パッケージ等の半導体パッケージの設計においては、配置ルール(配置制約)に従って、パッケージ外部との間で信号の伝送等を行うための端子の割り当て(アサイン)が行われる。例えば、高速信号(例えば、100MHz以上の信号)が入力もしくは出力される端子は、ノイズ対策として、電源端子に近接して配置するなど周りをなるべくノイズが小さい信号の端子にしてノイズの影響をうけにくくするように配置される。

20

【0003】

また、信号の同時動作により発生したノイズが電源ピンから信号ピンに伝播することを抑制するために、強化を施していない高インピーダンスの電源ピンに対して、強化を施した低インピーダンスの電源ピンを隣接して配置する方法が提案されている(例えば、特許文献1参照)。

【0004】

【特許文献1】特開平1-297850号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0005】

しかしながら、高速信号が入力もしくは出力される端子の各々に対して電源端子を1つずつ配置すると、電源端子の数が高速信号数分増えてしまい、半導体パッケージの端子数は増加する。また、高速信号が入力もしくは出力される端子の周りをノイズが小さい信号の端子にしようとする、端子の配置に係る制約が増大し設計作業が煩雑になる。

本発明の目的は、半導体パッケージの端子数の増加を抑制しながらも信号に対するノイズの影響を低減できるようにすることである。

【課題を解決するための手段】

【0006】

40

本発明の一観点によれば、半導体ダイとそれが搭載された基板とを有し、複数の信号端子と、半導体ダイの複数の端子と接続された複数のパッドと、複数の信号端子の内の第1の信号端子と複数のパッドの内の第1のパッドとを接続する第1の配線と、第1の信号端子と第1のパッドと第1の配線とを囲み、複数の電源端子の内の一つに接続された第2の配線とを有する半導体装置が提供される。第2の配線は、複数の電源端子の内の一つとの接続部分に対して近い側の配線幅よりも接続部分に対して遠い側の配線幅が太い。

【発明の効果】

【0007】

第1の信号端子と第1のパッドとそれらを接続する第1の配線とを囲み、電源端子に接続された第2の配線を設けることにより、信号に対しての相互干渉を避けることができる

50

。したがって、所定の信号を伝送する信号端子同士を隣接させて配置することが可能となり、端子数の増加を抑制しながらも信号に対するノイズの影響を低減することができる。

【発明を実施するための最良の形態】

【0008】

以下、本発明の実施形態を図面に基づいて説明する。

【0009】

図1は、本発明の一実施形態に係る半導体装置（半導体パッケージ）の構成例を示す図である。図1（A）に模式的に示すように、本実施形態における半導体装置（半導体パッケージ）は、回路が形成されるとともにその回路に接続するための複数のパッドが配置された半導体ダイ（半導体チップ）11と、半導体ダイ11が搭載された基板13とを有する。

10

【0010】

ダイ11のパッド15と基板13のボンディングパッド17とが、ボンディングワイヤ21により電氣的に接続される。また、基板13のボンディングパッド17と端子19とが、パッケージ内配線（インターポーザ）23により電氣的に接続される。端子19は、パッケージ外部との間で信号の伝送等を行ったり、電源の供給を受けたりするためのものである。なお、図1（A）においては、簡略に図示しているが、本実施形態における半導体パッケージでは、端子19は、基板13に格子状に配置されている。

【0011】

例えば、端子19は、半導体パッケージがBGA（ボールグリッドアレイ）であればボール（パンブ）を介してパッケージ外部に接続される。また、例えば、端子19は、半導体パッケージがLGA（ランドグリッドアレイ）であればランドを介してパッケージ外部に接続され、PGA（ピングリッドアレイ）であればピンを介してパッケージ外部に接続される。

20

【0012】

ここで、半導体パッケージの設計においては、図2に示すような端子の割り当てが行われるのが一般的である。図2は、半導体パッケージの一部を示す平面図である。図2において、11は半導体ダイであり、13は基板である。ダイ11のパッド15と基板13のボンディングパッド17とが、ボンディングワイヤ21により接続され、基板13のボンディングパッド17と端子19とが、パッケージ内配線23により接続されている。

30

【0013】

端子19のうち、19HSは高速信号（例えば、100MHz以上の信号、高周波信号）が入出力される、あるいは入力又は出力される端子（以下、「高速信号端子」とも称す。）である。高速信号端子19HSは、高速信号へのノイズ対策として、所定のルール（制約）に従い配置される。例えば、高速信号端子19HSは、電源端子19PWに近接して配置される。電源端子19PWは、高電位側電源（例えばVdd）を供給するための電源高電位側端子、又は低電位側電源（例えばVss）を供給するための電源低電位側端子である。

【0014】

また、例えば、高速信号端子19HSは、それら同士を隣接させないように、すなわち図2に示すように高速信号端子19HS間に少なくとも他の1つの端子があるように配置されたり、出力端子と隣接させないように配置されたりする。また、例えば、高速信号端子19HSは、データ系の入力端子で周辺がガードされるように配置される。

40

【0015】

このような所定のルールに従って高速信号端子19HSを配置することで、ノイズの影響を受けにくくするようにしている。しかしながら、上述した手法では、1つの高速信号端子19HSに対して、高速信号とは異なる信号に係る端子や電源端子を1つ以上割り当てなければならない。そのため、高速信号端子19HSの数の増加にともない、半導体パッケージに必要とされる端子数も増加する。

【0016】

50

それに対して、本実施形態における半導体装置（半導体パッケージ）では、例えば、図 1（B）に示すように端子の割り当てを行う。図 1（B）は、図 1（A）に示した半導体パッケージの一部（図 1（A）に示した部分 25 相当）を示す平面図である。

【0017】

図 1（B）に示すように、ダイ 11 のパッド 15 と基板 13 のボンディングパッド 17 とが、ボンディングワイヤ 21 により接続され、基板 13 のボンディングパッド 17 と端子 19 とが、パッケージ内配線 23 により接続されている。

【0018】

ここで、本実施形態における半導体パッケージは、高速信号（例えば 100 MHz 以上の信号、高周波信号）に係るインタフェースを有しており、端子 19 A、19 B は、パッケージ外部との間で高速信号が入出力される、あるいは入力又は出力される端子（以下、「高速信号端子」とも称す。）である。本実施形態において高速信号は、例えば、クロック、DDR（Double Data Rate）- IF（interface）、SATA（Serial Advanced Technology Attachment）- IF、PCI-E（Peripheral Component Interconnect - Express）、SERDES（serializer/deserializer）、LVDS（Low Voltage Differential Signaling）などノイズに対して敏感なインタフェースからなる信号である。

10

【0019】

高速信号端子 19 A とボンディングパッド 17 A とがパッケージ内配線により接続され、ボンディングパッド 17 A とダイ 11 のパッド 15 A とがボンディングワイヤにより接続される。また、高速信号端子 19 A とボンディングパッド 17 A とそれを接続するパッケージ内配線とを囲むようにシールド用の配線 GL が形成されている。シールド用の配線 GL により閉ループが形成され、そのループ内に高速信号端子 19 A とボンディングパッド 17 A とそれを接続するパッケージ内配線とがある。以下、このシールド用の配線を、ガードリングとも称す。

20

【0020】

同様に、高速信号端子 19 B とボンディングパッド 17 B とがパッケージ内配線により接続され、ボンディングパッド 17 B とダイ 11 のパッド 15 B とがボンディングワイヤにより接続される。また、高速信号端子 19 B とボンディングパッド 17 B とそれを接続するパッケージ内配線とを囲むように、ループ内に高速信号端子 19 B とボンディングパッド 17 B とそれを接続するパッケージ内配線とがある閉ループを形成するように、カードリング GL が形成されている。

30

【0021】

なお、図 1（B）に示した例では、高速信号端子 19 A に係るガードリング GL と、高速信号端子 19 B に係るガードリング GL とは、一部の配線を共有するようにして形成されている。しかし、これに限定されるものではなく、高速信号端子 19 A に係るガードリング GL と、高速信号端子 19 B に係るガードリング GL とが、それぞれ独立した配線により形成されても良い。

【0022】

電源端子 19 P は、電源高電位側端子又は電源低電位側端子である。電源高電位側端子は、パッケージ外部から高電位側電源（例えば V<sub>dd</sub>）の供給を受けてダイ 11 に供給するための端子である。また、電源低電位側端子は、パッケージ外部から低電位側電源（例えば V<sub>ss</sub> やグラウンド電位）の供給を受けてダイ 11 に供給するための端子であり、例えば V<sub>ss</sub> 端子や接地（グラウンド）端子である。電源端子 19 P とボンディングパッド 17 P とがパッケージ内配線（ガードリング GL の一部）により接続され、ボンディングパッド 17 P とダイ 11 のパッド 15 P とがボンディングワイヤにより接続される。

40

【0023】

高速信号端子 19 A に係るガードリング GL 及び高速信号端子 19 B に係るガードリング GL のそれぞれは、電源端子 19 P に接続される。すなわち、本実施形態では、異なる高速信号端子 19 A、19 B に係る複数のガードリング GL がともに電源端子 19 P に接続される。

50

## 【 0 0 2 4 】

このように高速信号に対応してガードリング G L を設けることで、高速信号に対しての相互干渉を避けることができる。これにより、図 1 ( B ) に一例を示したように高速信号端子 1 9 A、1 9 B 同士を隣接させ配置することが可能となり、端子数の増加を抑制しながらも高速信号に対するノイズの影響を低減することができる。

## 【 0 0 2 5 】

また、複数の高速信号端子 ( 図 1 ( B ) に示した例では 2 つの高速信号端子 1 9 A、1 9 B ) に対して、1 つの電源端子 1 9 P を対応させれば良いので、高速信号端子毎に異なる電源端子を配置させる必要がなく、端子数の増加を抑制することができる。例えば、図 2 に示した例と同様にして端子の割り当てを行うと、例えば端子 1 9 X も電源端子となるが、本実施形態によれば電源端子以外の他の端子として割り当てることが可能となる。例えば、図 2 に示した例と同様の手法では端子 1 9 Y に割り当てられるものを、端子 1 9 X に割り当てれば、端子 1 9 Y を設ける必要がなく、端子数の増加を抑制することができる。なお、複数のガードリング G L がともに接続される電源端子は少なくとも 1 つあれば良く、その数は任意であるが、端子数の増加を抑制するために対応する高速信号端子 ( ガードリング ) の数よりも少ないことが望ましい。

## 【 0 0 2 6 】

また、図 2 に示したような例と比較して、本実施形態によれば、端子の割り当て ( アサイン ) に係る配置制約 ( 配置ルール ) が緩和されて端子配置の自由度があがり、設計に係る負担を軽減することができる。

なお、図 1 ( B ) に示した例では、ボンディングパッド 1 7 に対して、ボンディングパッド 1 7 A、1 7 B をダイ 1 1 側に配置しているが、ダイ 1 1 に対する距離を同じにして、すべてのボンディングパッド 1 7 を配置するようにしても良い。図 1 ( B ) に示すように配置した場合には、ボンディングパッドの間隔を広げなくともガードリング G L を通すことができる。

## 【 0 0 2 7 】

ここで、ガードリング G L は、ガードリング G L の位置によらず流れる電流が一定となることが好ましい。ガードリング G L の配線幅等を位置 ( 接続される電源端子 1 9 P に対する経路や距離 ) に応じて調整してインピーダンスを平均化したり、高速信号端子に接続されるパッケージ内配線 2 3 とガードリング G L との間の距離を所定の距離に保ったりすることで、流れる電流の均一化を図ることができる。

## 【 0 0 2 8 】

例えば、図 1 ( B ) に示したように、電源端子 1 9 P からの距離に応じ、距離が大きくなる配線 G L A、G L B、G L C、G L D の順で配線幅が太くなるようにガードリング G L の配線幅を変えればよい。例えば、電源端子 1 9 P に対して遠い側のガードリング G L の配線幅を、電源端子 1 9 P に対して近い側のガードリング G L の配線幅よりも太くする。このようにすることで、電源端子 1 9 P に近い配線は単位長さあたりの抵抗値が大きく、遠くなるに従い単位長さあたりの抵抗値が小さくなり、流れる電流の均一性を改善することができる。

## 【 0 0 2 9 】

また、ガードリング G L の配線幅は、例えば次のようにして決めても良い。図 1 ( B ) に示した例では、高速信号端子 1 9 A、1 9 B に係るガードリング G L は、配線 G L A と G L B と G L C により 1 つのループを形成し、配線 G L A と G L B と G L D により 1 つのループを形成し、配線 G L C と G L D により 1 つのループを形成する。

## 【 0 0 3 0 】

したがって、図 1 ( B ) に示したガードリング G L は、模式的に図 3 に示す回路図で示される。図 3 において、P 1 及び P 2 は、例えばボンディングパッド及び電源端子に対応する。上述した 3 つのループでの抵抗値が一定 ( 略一定であっても良く、所定範囲内 ) になるように、すなわち  $R 1 + R 2 + R 3 = R 1 + R 2 + R 4 = R 3 + R 4$  を満たすように、各配線 G L A、G L B、G L C、G L D の抵抗値を決定する。そして、 $R = 1 / w t$

10

20

30

40

50

…(式1)により配線幅を決めればよい。なお、式1において、 $R$ は抵抗値、 $\rho$ は抵抗率、 $l$ は配線長(配置により決定される)、 $w$ は配線幅、 $t$ は配線厚さである。なお、配線厚さは一般的には一定であるが、配線に応じて配線厚さが調整可能である場合には配線厚さも調整するようにしても良い。また、ガードリングGLにより3つのループが形成される場合について説明したが、対応する高速信号端子の数や構成によってガードリングGLにて形成されるループの数も変わるので、形成されるループの数に応じて同様に配線幅等を求めればよい。

#### 【0031】

なお、図1に示した例では、高速信号端子に隣接する端子を電源端子19PとしてガードリングGLが接続されているが、これに限定されるものではない。例えば、図4に示すように、高速信号端子に隣接する端子ではなく、少なくとも1つの端子を間に挟むような近接する位置の端子を電源端子19PとしてガードリングGLを接続するようにしても良い。また、例えば、図5に示すように、高速信号端子に対して遠方に位置する端子を電源端子19PとしてガードリングGLを接続するようにしても良い。図4及び図5において、図1に示した構成要素と同一の構成要素には同一の符号を付している。

10

#### 【0032】

図4及び図5に一例を示すように、ガードリングGLが接続される電源端子の位置は任意であり、ガードリングGLが接続される電源端子の位置にかかわらず、図1に示した例と同様の効果を得ることができる。例えば、図2に示した例と同様にして端子の割り当てを行うと、例えば端子19XA、19XBは電源端子となるが、本実施形態によれば電源端子以外の他の端子として割り当てることが可能となる。また、例えば、図4及び図5に示すように、電源端子19Pからの距離に応じ、距離が大きくなる配線GLA、GLB、GLC、GLDの順で配線幅が太くなるようにガードリングGLの配線幅を変えることで、流れる電流の均一性を改善することができる。

20

#### 【0033】

また、上述した説明では、シングルエンドの高速信号に関して説明したが、これに限定されるものではなく、図6に一例を示すように差動伝送される高速信号に対しても適用可能である。図6は、本実施形態における半導体装置(半導体パッケージ)のその他の構成例を示す図であり、半導体装置(半導体パッケージ)の一部を示す平面図である。

30

#### 【0034】

図6に示すように、半導体ダイ11のパッド15と基板13のボンディングパッド17とが、ボンディングワイヤ21により接続され、基板13のボンディングパッド17と端子19とが、パッケージ内配線23により接続されている。端子19A、19B、19C、19Dは、高速信号端子であり、パッケージ外部との間で差動伝送される高速信号が入出力される、あるいは入力又は出力される。端子19A、19Cを介して1組の高速差動信号が伝送され、端子19B、19Dを介して他の1組の高速差動信号が伝送されるものとする。

#### 【0035】

高速信号端子19Aとボンディングパッド17Aとがパッケージ内配線(インターポーザ)により接続され、ボンディングパッド17Aとダイ11のパッド15Aとがボンディングワイヤにより接続される。高速信号端子19Cとボンディングパッド17Cとがパッケージ内配線により接続され、ボンディングパッド17Cとダイ11のパッド15Cとがボンディングワイヤにより接続される。

40

#### 【0036】

また、高速信号端子19Aとボンディングパッド17Aとそれを接続するパッケージ内配線、及び高速信号端子19Cとボンディングパッド17Cとそれを接続するパッケージ内配線を囲むようにガードリングGLが形成されている。ガードリングGLは閉ループを形成し、そのループ内に高速信号端子19A、19Cとボンディングパッド17A、17Cとそれらを接続するパッケージ内配線とがある。

#### 【0037】

50

同様に、高速信号端子19Bとボンディングパッド17Bとがパッケージ内配線により接続され、ボンディングパッド17Bとダイ11のパッド15Bとがボンディングワイヤにより接続される。高速信号端子19Dとボンディングパッド17Dとがパッケージ内配線により接続され、ボンディングパッド17Dとダイ11のパッド15Dとがボンディングワイヤにより接続される。

【0038】

また、高速信号端子19Bとボンディングパッド17Bとそれを接続するパッケージ内配線、及び高速信号端子19Dとボンディングパッド17Dとそれを接続するパッケージ内配線を囲むようにガードリングGLが形成されている。ガードリングGLは閉ループを形成し、そのループ内に高速信号端子19B、19Dとボンディングパッド17B、17Dとそれらを接続するパッケージ内配線とがある。

10

【0039】

つまり、差動伝送される1組の高速信号に対して1つのガードリングが形成される点が異なるだけで、シングルエンドの高速信号の場合と同様に構成され、ガードリングがともに接続される電源端子19Pも少なくとも1つあれば良い。また、ガードリングGLが接続される電源端子の位置も任意である。このように差動伝送される高速信号に対して本実施形態を適用しても、図1に示した例と同様の効果を得ることができる。

【0040】

なお、図6に示した例においても、高速信号端子19A、19Cに係るガードリングGLと、高速信号端子19B、19Dに係るガードリングGLとは、一部の配線を共有するようにして形成されているが、それぞれのガードリングGLを独立した配線により形成するようにしても良い。

20

【0041】

また、上述した説明では、ガードリングGLの配線幅を抵抗値が一定となるように抵抗率を用いた計算により求める例を示したが、予め用意した配線テーブルを用いてガードリングGLの配線幅を決定するようにしても良い。半導体装置(半導体パッケージ)は、外形サイズや配線幅や配線ピッチなどルール化することができ、それらを利用して配線幅を決定することにより簡単な処理で容易に配線幅を決めることが可能である。

【0042】

例えば、ガードリングGLにより形成される閉ループにおいて、電流経路(電源端子からの距離)の短い部分から離れていくにつれて配線幅を太くしていくようにする。すなわち、図7に一例を示すようにガードリングGLの配線幅が決定されるよう配線テーブルを予め用意し、それを参照して配線幅を決定する。図7に示した例では、電流経路の短い部分(基準位置とする)における配線の配線幅をGLW0とし、そこから1ボールピッチ分の距離D1だけ離れた部分における配線の配線幅をGLW1( $GLW1 > GLW0$ )とする。また、基準位置から2ボールピッチ分の距離D2だけ離れた部分における配線の配線幅をGLW2( $GLW2 > GLW1$ )とし、基準位置から3ボールピッチ分の距離D3だけ離れた部分における配線の配線幅をGLW3( $GLW3 > GLW2$ )とする。このように、基準とする位置からの距離が所定の値(例えば、ボールピッチ)の1倍、2倍、3倍、...の位置での配線幅をテーブルに規定しておき、それを基にガードリングGLの配線幅が決定されても良い。

30

40

【0043】

このように配線テーブルを用いてガードリングGLの配線幅を決定するようにした場合には、煩雑な演算処理を行う必要がなく、容易に配線幅を決めることができる。また、例えばパッケージのタイプによりボールピッチ等は異なるので、絶対的な距離ではなくボールピッチ等を用いて配線テーブルを規定することで、具体的な数値を予め定義しておく必要がなく汎用性が向上される。

【0044】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならない

50

ものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

【0045】

(付記1)

半導体ダイと、前記半導体ダイが搭載された基板とを有し、  
前記基板は、  
外部と信号を伝送する信号端子と、  
外部より電源が供給される電源端子と、  
前記半導体ダイに配置されている複数のパッドとワイヤで接続された複数のボンディング  
グパッドと、  
所定の信号を伝送する前記信号端子、当該信号端子に対応する前記ボンディングパッド  
、及び当該信号端子と当該ボンディングパッドとを接続する第1の配線を囲み、かつ前記  
電源端子に接続された第2の配線とを有することを特徴とする半導体装置。

10

(付記2)

前記第2の配線は、1つの前記電源端子に接続されていることを特徴とする付記1記載  
の半導体装置。

(付記3)

複数の前記第2の配線が、当該第2の配線の数よりも少ない数の前記電源端子にとも  
に接続されていることを特徴とする付記1記載の半導体装置。

20

(付記4)

前記第2の配線は、接続された前記電源端子に対する経路及び距離の少なくとも一方に  
応じて配線幅が異なることを特徴とする付記1～3の何れか1項に記載の半導体装置。

(付記5)

前記第2の配線は、接続された前記電源端子に対する距離の増加に伴って単位長さあた  
りの抵抗値が減少することを特徴とする付記1～3の何れか1項に記載の半導体装置。

(付記6)

前記第2の配線は、接続された前記電源端子に対する距離の増加に伴って配線幅が太く  
なることを特徴とする付記1～3の何れか1項に記載の半導体装置。

(付記7)

前記第2の配線は、接続された前記電源端子に対して遠い側の配線幅が、当該電源端子  
に対して近い側の配線幅より太いことを特徴とする付記1～3の何れか1項に記載の半導  
体装置。

30

(付記8)

前記所定の信号を伝送する前記信号端子が隣接して配置され、隣接して配置された前記  
信号端子の間で一部を共用して、各々の前記信号端子に対応する前記第2の配線が形成さ  
れていることを特徴とする付記1～7の何れか1項に記載の半導体装置。

(付記9)

前記所定の信号は差動信号であって、当該差動信号を伝送する1組の前記信号端子、当  
該1組の信号端子に対応する1組の前記ボンディングパッド、及び当該信号端子と当該ボ  
ンディングパッドとを接続する第1の配線を囲み、前記第2の配線が形成されていること  
を特徴とする付記1～8の何れか1項に記載の半導体装置。

40

【図面の簡単な説明】

【0046】

【図1】本発明の実施形態における半導体装置の構成例を示す図である。

【図2】半導体装置での端子割り当ての一例を示す図である。

【図3】本実施形態におけるガードリングに係る回路を模式的に示した図である。

【図4】本実施形態における半導体装置の他の構成例を示す図である。

【図5】本実施形態における半導体装置のその他の構成例を示す図である。

【図6】本実施形態における半導体装置のその他の構成例を示す図である。

50

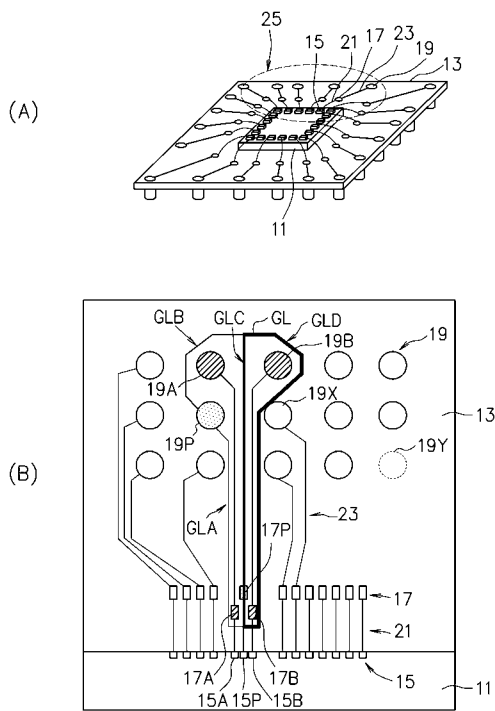
【図7】本実施形態におけるガードリングの配線幅の他の決定方法を説明するための図である。

【符号の説明】

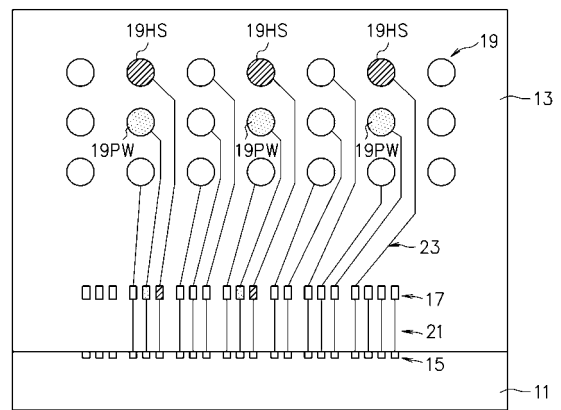
【0047】

- 11 半導体ダイ（半導体チップ）
- 13 基板
- 15 パッド
- 17 ボンディングパッド
- 19 端子
- 19A～19D 信号端子
- 19P 電源端子
- 21 ボンディングワイヤ
- 23 インターポーザ
- GL シールド用配線（ガードリング）

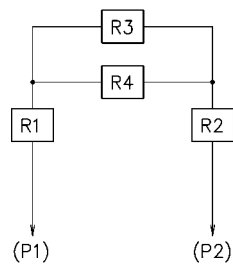
【図1】



【図2】



【図3】





---

フロントページの続き

(56)参考文献 特開2003-168764(JP,A)  
特開2005-340741(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 23/12