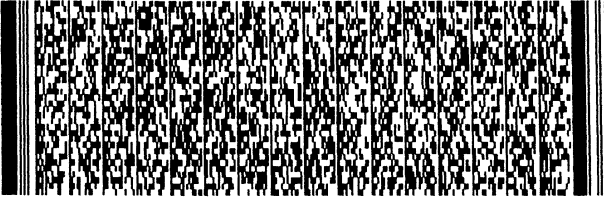


申請日期: 89.5.25	案號: 89110149
類別: Holl 2/3105, 2/271	

(以上各欄由本局填註)

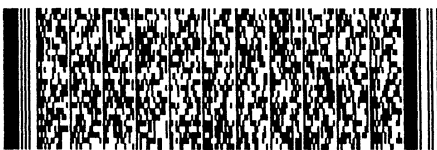
發明專利說明書		523831
一、 發明名稱	中文	半導體裝置以及用以設計光罩之方法
	英文	SEMICONDUCTOR DEVICE AND A PROCESS FOR DESIGNING A MASK
二、 發明人	姓名 (中文)	1. 艾德華 O. 特唯斯 2. 亞庫特 丹吉 3. 史傑爾 奇達 4. 塔-關 尤
	姓名 (英文)	1. EDWARD O. TRAVIS 2. AYKUT DENGİ 3. SEJAL CHHEDA 4. TAT-KWAN YU
	國籍	1. 美國 2. 土耳其 3. 美國 4. 美國
	住、居所	1. 美國德州奧斯汀市愛比路4506號 2. 美國亞歷桑那州坦普市胡-依斯塔W. 博士路135號 3. 美國德州奧斯汀市郝比霍爾斯路11901號 4. 美國德州奧斯汀市蜂蜜樹路3105號
三、 申請人	姓名 (名稱) (中文)	1. 美商摩托羅拉公司
	姓名 (名稱) (英文)	1. MOTOROLA INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代表人 姓名 (中文)	1. F. 強 莫辛格
	代表人 姓名 (英文)	1. F. JOHN MOTSINGER
		

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 馬克 S. 羅博頓 6. 魯崑 譚
	姓名 (英文)	5. MARK S. ROBERTON 6. RUIQI TIAN
	國籍	5. 美國 6. 中國
	住、居所	5. 美國德州奧斯汀市南默帕克路2001號 6. 美國德州普夫魯吉唯爾市籃普汀路14001號
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1999/06/29 09/340,697

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

先前申請案之參考

本申請案已於1999年6月29日在美國提出為09/340,697號申請案編號。

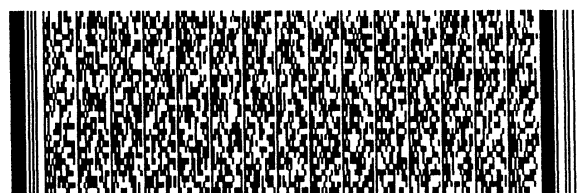
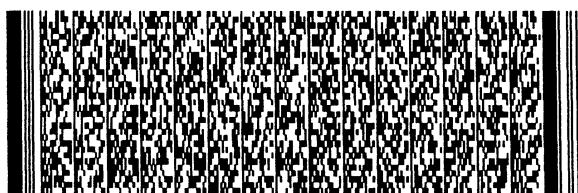
發明領域

本發明大致係關於半導體裝置及光罩，較特別的是指具有仿真元件之半導體裝置及光罩。

相關技藝

拋光係用於磨平製造半導體裝置中之表面，傳統上並未使用砌磚於製造半導體裝置中，當未使用砌磚時，拋光會造成凹陷或相關於一半導體裝置基材均勻厚度之其他問題，這些問題包括圖1所示之超過石版印刷或相關蝕刻之焦點深度。圖1包括一含有一導電層11之基材，一絕緣層12製成及製出圖型，使開孔延伸至導電層11，一導電性填充材料(例如鎢或類此物)沉積於開孔內及拋光以製成導電性栓塞13，拋光會腐蝕緊鄰於導電性栓塞之較多絕緣層12，一絕緣層16隨後製成於導電性栓塞13上，絕緣層16之頂表面呈平面狀。

隨後製成開孔17，在某些位置中，開孔因為腐蝕而未完全延伸至所有導電性栓塞13，因此在一開孔17及其下層導電性栓塞13之間留下一絕緣間隙19，如圖1所示，而製成一電氣性開孔。若持續蝕刻而去除間隙19，則先前曝露之導電性栓塞13即過度蝕刻，造成高接觸阻抗，因此，局部由拋光造成之厚度不均勻性全造成電氣性開斷、高阻抗接觸、電氣性短路、或其他漏電路徑。



五、發明說明 (2)

仿真元件曾嘗試使用於解決有關凹陷及其他累積厚度效應之問題，用於協助拋光之仿真元件係利用"砌磚"製成，因為自一半導體裝置俯視之，仿真元件之圖型有如磚片，砌磚製程通常包括產生一電路配置、定義一緩衝區(大約5-10微米範圍內)於配置內之主動元件周側、及將電路配置結合於最小區以決定排除區，所有其他區皆可用於砌磚。

與電路密度無關，只要任意主動元件之間距離在一最小寬度以上即可使用砌磚，通常最小寬度係不超過10微米，且可大致為10微米。磚片或至少部分磚片係置於一至少5微米寬之可用區域中，砌磚圖型(即磚片之尺寸及密度)通常在整個半導體裝置上皆相同，請參閱5,278,105號美國專利及0 712 156號歐洲專利申請案公告(1996)中之圖5，雖然部分磚片不見，但是仍可用相同之元件密度。

圖式簡單說明

本發明係由舉例說明且未侷限於相關圖式中，其中相同參考號碼表示相同元件，及其中：

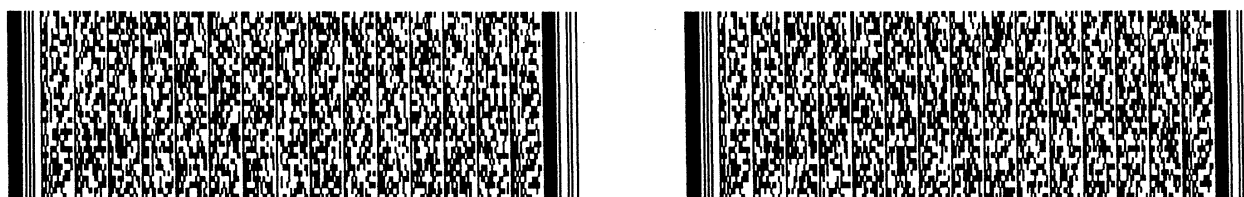
圖1包括製成開孔後之一部分基材截面圖(先前技藝)。

圖2包括一實施例之製造流程圖，用於決定拋光仿真元件置入一半導體裝置內之何處；

圖3包括一半導體裝置及一圖型層之一部分頂視圖；

圖4包括沉積及拋光圖型層上方一層後之圖3所示基材截面圖；

圖5包括一半導體裝置之頂視圖；



五、發明說明 (3)

圖6包括圖5所示半導體裝置之一拓樸畫像；

圖7包括圖6所示拓樸畫像之一補充影像；

圖8包括圖5所示半導體裝置之一元件高度處之一部分半導體裝置配置之頂視圖；

圖9包括一部分半導體裝置之截面圖，揭示主動元件及一上方絕緣層，且無任意拋光仿真元件；

圖10包括相似於圖9所示一部分基材之截面圖，係當拋光仿真元件添加至低濃密區時；

圖11包括拋光基材後之圖10所示基材之截面圖；

圖12包括圖5所示半導體裝置之一元件高度處之一部分半導體裝置之頂視圖；

圖13包括接近於畫線及畫線及控制元件之一部分半導體裝置頂視圖；

圖14包括具有不同元件高度之拋光仿真元件之一部分半導體裝置之截面圖；

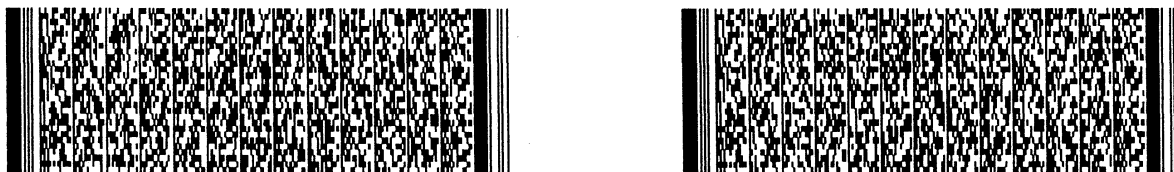
圖15及16包括部分基材之截面圖，揭示不同元件高度之主動元件與拋光仿真元件之位置關係；及

圖17包括一部分半導體裝置之截面圖，及不同元件高度之導體與拋光仿真元件間之位置關係。

習於此技者可以瞭解的是圖中之元件僅為方便說明，而不需依比例繪示，例如圖中某些元件之尺寸可能較其他元件誇大，以方便瞭解本發明之實施例。

詳細說明

當決定於何處放置拋光之仿元件時，物理近接效應、電



五、發明說明 (4)

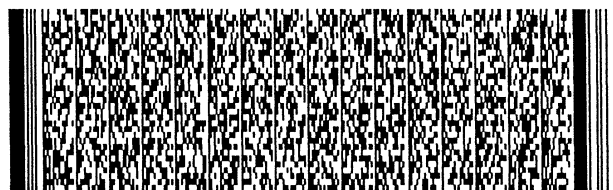
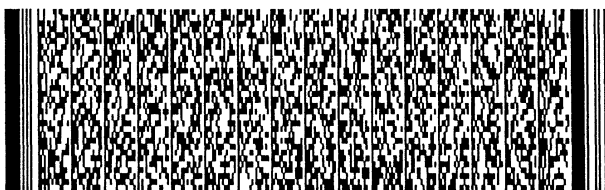
氣近接效應、或二者皆可加以考量，拋光之仿真元件可插入、移出、移動、或在一或多個元件高度處調整，以利取得足夠之平坦度，而對半導體裝置之性能無負面影響，基本上其係使用較可選擇之拋光仿真元件圖型放置方式，而非略為無差別之拋光仿真元件圖型放置方式，拓樸變化之低頻率(數百微米以上)及高頻率(10微米以下)二者皆做檢查。當實施至其最大範圍時，本發明之實施例容許做足夠之平坦度，且仍保有訊號之完整性，本發明係由申請專利範圍定義及可在審閱以下詳細說明後獲得充分瞭解。

數項名詞係定義如下，以利瞭解本說明書。

1. 主動元件 係指對應於一半導體裝置設計電路之元件，主動元件包括電晶體、電容器、電阻器或類此物等部分。主動元件包括電源供應元件，係設計以在一大致固定電位操作，以及訊號元件，係設計以在一組電子狀態下之一電位及在另一組電子狀態下之一不同電位操作。

2. 控制元件 係指協助控制一基材處理之元件，控制元件包括對準光罩、用於測量元件度量之結構(CD桿)、電氣試驗結構、及類此物，控制元件通常位於一半導體裝置基材上之晶粒之間畫線內。

3. 環境保護元件 係指在後製之環境狀態中具有主要(最重要)保護一半導體裝置功能之元件，晶粒周側之一邊緣圈環封閉件為最常用者，且此僅為一環境保護裝置之範例，邊緣圈環封閉件可在切細及封裝操作期間提供可動式之離子保護。



五、發明說明 (5)

4. 積體電路區 係指具有主動元件之晶粒部分，通常積體電路區係由接近於晶粒邊緣之接合墊圍起。

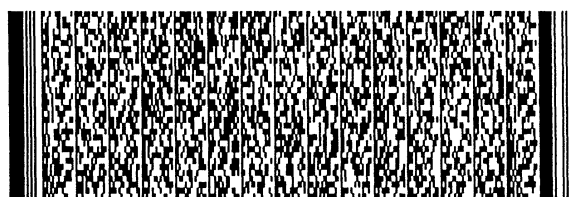
5. 周緣區 係指位於積體電路區與畫線之間之一晶粒部分，在許多積體電路中，周緣區為位於接合墊與畫線之間之晶粒部分。

6. 解析度協助元件 係指有助於欲印刷至一半導體裝置基材上之主動元件解析度之次解析度元件，解析度協助元件係存在於一光罩內，但是並未印刷成為一基材上之分離元件，為了方便說明，添加用於光學近接校正之元件可視為解析度協助元件。

7. 仿真元件 包括印刷至一半導體裝置基材上之元件，且非上述定義之任一元件，不同型式之仿真元件可因不同原因而用於半導體裝置內，仿真位元線即沿著最外緣以用於記憶體陣元內，供陣列內之所有主動位元線皆可均勻地製圖。不同於仿真位元線的是，拋光之仿真元件為添加至一半導體裝置之光罩元件高度之仿真元件，以改善在目前或一稍後製成高度處之拋光特徵。一拋光之仿真元件為一裝置之正確操作中所不需要者。

8. 電子設計規則 係指減小元件間距、尺寸、或一積體電路內元件之間重疊度之規則，電子設計規則有一部分由處理邊距及裝置性能(免於閉鎖、外漏電流等等)所決定。

9. 拋光之仿真元件設計規則 係指電子設計規則之一次組，但是指定於拋光之仿真元件。傳統上，一拋光仿真元件及一主動元件或另一拋光仿真元件之間之最小間距至少



五、發明說明 (6)

為5微米，且通常不大於10微米。

10. 差異排除區 係指一拋光仿真元件與一主動元件之間最小間距，以及二主動元件之間最小間距，二最小間距之間相同元件高度之差異。

為了方便瞭解文內之概念，故闡明特定之非侷限性範例，諸範例先針對一單一元件層，隨後再朝向多元件層之整合。一導體圖型將由一大約0.8微米厚之含金屬層製成，一大約1.5微米厚之氧化物層隨後製成於導體圖型上且拋光之。探討之焦點係指產生導體圖型及拋光仿真元件，以協助一具有減少高度變化之拋光氧化物層之製造。

圖2包括一製造流程圖10，說明一製程用於決定拋光之仿真元件欲在何處放置於一配置內，製程係利用產生一配置(方塊102)而開始(方塊100)，在此時間點之配置通常具有主動及控制元件，而無任何拋光之仿真元件。配置隨後係做選項處理，以調整於配置，最小之幾何形元件可重訂尺寸以供印刷或蝕刻偏移，再者，解析度協助元件通常亦添加入。在此特定實施例中，拋光之仿真元件此時並不存在於配置中，惟，拋光之仿真元件在其他實施例中則有可能存在。

在方塊104中，決定是否做成一拓樸畫像，若否，則氧化物拋光製程即特徵於方塊112，且一交互作用距離決定於方塊114中，此特徵化可利用試驗晶圓執行。圖3包括一基材20及一層22之頂視圖，因為欲製成之導體大約0.8微米厚，層22亦應大約0.8微米厚。通常，用於基材20及層



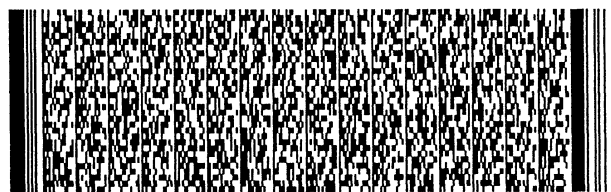
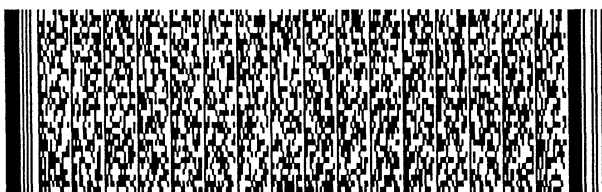
五、發明說明 (7)

22 之材料並不重要，層 22 可為一大約 0.8 微米厚之絕緣層，以替代使用一導電層。惟，若一較多壓縮量之層（例如有機之低 k 介電性材料）位於成品裝置內之導體下方，則基材 20 可能需要使用相同或相似材料，以利較精確地特徵化拋光製程。

製成層 22 後，其即製出圖型以模擬一相似於電路配置組件之導體邊緣，雖然半枚晶圓在圖 3 中製出圖型，但是其他圖型如西洋棋盤形、條紋形等亦可使用，欲拋光之層隨後製成於圖形表面上。層之材料及厚度應大致相同於將在半導體裝置上拋光之層者，在此特定範例中，層包括二氧化矽且厚度大約 1.5 微米，若欲拋光之層包括複數不同之膜或具有摻雜劑，則用於試驗晶圓之層應亦包括不同之膜或摻雜劑。

層 32 隨後拋光之，如圖 4 所示，試驗晶圓之拋光條件應儘量匹配於半導體裝置基材之拋光條件，會影響拋光特徵之拋光變數包括拋光墊之勁度（材料之硬度及其厚度）、下壓力、拋光流體組合物、壓板之轉速、或類此者。

拋光後，層 32 之厚度係在遠離於層 22 邊緣（大約相距 50-100 毫米）之二側上較為固定，在層 32 之高度改變處有一轉變距離 34，轉變距離 34 係一拋光特徵且典型為至少大約 0.3 毫米，通常為至少大約 1.0 毫米。對於拋光以供層間介電質層或溝槽場隔絕之某些氧化物而言，轉變距離 34 可在大約 5-10 毫米範圍內，而當改變拋光變數時轉變距離 34 之敏感度即為未知。惟，即使產物基材上之轉變距離改變



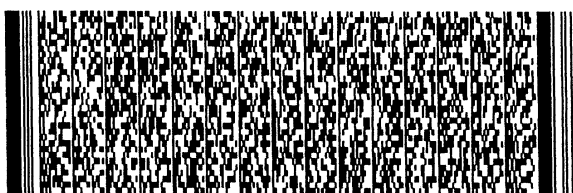
五、發明說明 (8)

大約50%，試驗晶圓之轉變寬度可用於決定拋光仿真元件之放置。

一交互作用距離係由製程之使用者決定，但是一般為轉變距離之至少一半，相隔於一主動元件而放置在交互作用距離內之拋光仿真元件應在拋光及磨平上具有較少衝擊。例如，轉變距離大約6毫米，交互作用距離大約3毫米。若使用砌磚，則拋光之仿真元件(磚片)將不需要鄰置於至少部分電路配置之最近主動元件(例如閘極、位元線、連接件等)超過3毫米。通常，在一元件高度處具有最大主動元件密度之光罩或裝置區係對於拋光仿真元件之需求度最低，因此，拋光之仿真元件可在最密主動元件圖型內相距於最近主動元件大約3毫米，且不致嚴重影響一後續層之拋光。

將此相比較於通常不考量主動元件密度之習知砌磚法，在習知砌磚法中，磚片係置入至少5-10微米寬及至少5-10微米長之開放式區域內，而不論開放式區域是否接近於最高主動元件密度或最低主動元件密度。因此，習知方法通常在一拋光仿真元件圖型之邊緣處具有拋光之仿真元件，其相距於最近之主動元件或其他仿真元件不大於10微米。應注意的是，交互作用距離係略小於開放式區域一般砌磚所用最小橫向度量之三倍。本發明之實施例可具有至少大約50微米寬度及長度之開放式區域。

利用交互作用距離資料，拋光之仿真元件可放入電路配置中(方塊132)，在此點，一般會執行確認(方塊134)以決



五、發明說明 (9)

定後續沉積及拋光後之生成表面是否夠平坦，若是，製程即進行，否則在配置內目前包括主動及拋光仿真元件之拋光仿真元件圖型即做修改。製程可反覆進行，直到預期之平坦度可接受為止。

另一製程可配合或替換於上述製程，復參閱圖2，可利用拓樸畫像(方塊104)，以此範例而言，可以假設拋光製程並未特徵化("否"路徑後之方塊118)。圖5包括一半導體裝置40之配置說明，半導體裝置具有二記憶體陣列42、44及一邏輯區46，記憶體陣列42、44及邏輯區46各為至少50微米x50微米，且通常為500微米x500微米。陣列及區可為任意形狀，且不限於方形或直線形。雖然畫像在虛擬上具有所有主動元件(顯示虛擬之所有閘極、字線、位元線、連接件及類此物)，但是配置之方塊圖可用於方便瞭解。

在此範例中，記憶體陣列42、44為靜態隨機存取記憶體(SRAM)陣列，而邏輯區46包括一中央處理單元、算術邏輯單元、其組合、或類此物，不同型式之記憶體陣列亦可使用(動態隨機存取記憶體(DRAM)陣列、浮動閘極記憶體陣列、鐵電隨機存取記憶體(FERAM)陣列，等等)。此外，記憶體陣列42、44可為不同型式之記憶體陣列，在本說明書中，一記憶體陣列區係由記憶體陣列之最外側記憶體單元之邊緣定義，且不包括成行或成列之解譯器、偵測放大器、或類此物。

參閱圖5，記憶體陣列42、44及邏輯區46通常彼此位於一大約10-100微米範圍內，雖然圖中未示，但是記憶體陣



五、發明說明 (10)

列42、44可包括記憶體塊(次陣列)，係在同一記憶體陣列內彼此相距至少10微米。

記憶體陣列42、44具有濃密電路(緊密間隔之多元酸字線、金屬字線、及位元線)，雖然邏輯區46具有一些本地化之濃密電路區，但是其整體電路密度顯著低於記憶體陣列42、44之電路密度。

請回到圖2中之方塊122，第一拓樸畫像係製成且可以空間性或頻率為領域，在空間性領域中，畫像係相似於一輪廓地圖，惟，其揭示相較於一平均值之相對高度差。可產生此型畫像之一程式為加州弗雷蒙市Avant!公司製造之Hercules Hierarchical Design Verification軟體(亦為習知之Hercules Hierarchical Design Rule Check軟體)，再者，真實之畫像係比圖5所示者更為詳細，一空間性畫像可利用一傅立葉(Fourier)轉換函數轉換成頻率領域，反之亦然。

在圖2之方塊124中，第一拓樸畫像隨即脫焦或模糊成圖6之第二拓樸畫像，最高點在位置52，其基本上為記憶體陣列42、44之間之點，而最低點為點54，即邏輯區邊緣外側或附近之區域。

脫焦或模糊可依多種方式發生，脫焦之一簡易方法為取得詳細拓樸之一彩色空間地圖及令眼睛脫焦，另一方法為取得低解析度以產生第一畫像之透明度，及將其放置於一懸空之投影機上，確定影像脫焦以利決定較高及較低之點在何處。取得第二拓樸畫像之另一方式為使用第一拓樸畫



五、發明說明 (11)

像之頻率領域畫像，及令其通過一低通濾波器處理，低通濾波器可不計顯微之變化(即拓樸中之高頻率變化)，但是保持巨觀變化(即拓樸中之低頻率變化)。若頻率領域畫像轉變成空間領域，則第二畫像即如圖6所示，圖6包括脫焦後之一空間性地圖說明，點52代表最高點而點54代表最低點。

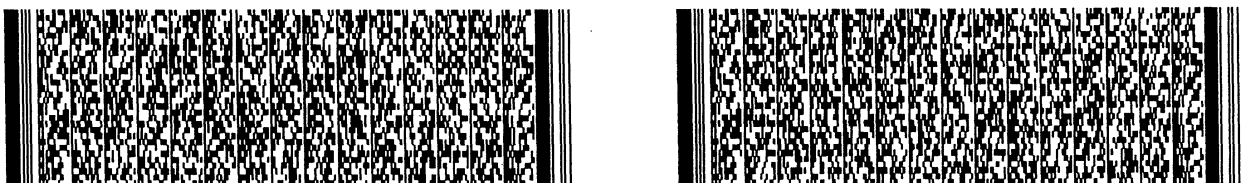
如圖7所示之一互補性影像隨後製成如圖2之選項性方塊126所列者，互補性影像主要為圖6所示者之倒影。圖7之互補性影像包括最需要拋光仿真元件之點64及最不需要或可免除拋光仿真元件之點62，互補性影像為第三拓樸畫像，其可在空間性或頻率性領域內。

在此點處，拋光之仿真元件可置入電路配置中(如圖2中之方塊132)，生成之配置係經確認以決定表面在後續之沉積及拋光後是否足夠平坦，若是，則即進行製程。

否則，在配置內目前包括主動及拋光仿真元件之拋光仿真元件圖型即做修改，此修改可增刪拋光仿真元件，或改變其密度或形狀。

製程可反覆直到預期之平坦度可接受為止，反覆另可回到不同位置，請參閱圖2中之方塊142，最短之反覆迴路係回到拋光仿真元件之放置(方塊132)。在決定方塊144中，反覆可回到方塊102，目前之配置包括主動及拋光仿真元件。另者，包括主動及拋光仿真元件之配置可脫焦(方塊124)。

一拋光仿真元件之插入及位置調整係揭示於圖8，如圖8



五、發明說明 (12)

所檢查之區域(窗孔)量應相關於交互作用距離，其為上述拋光特徵之一。若檢查之區域相較於交互作用距離而呈小型，則一理想之拋光仿真元件圖形即無法取得。窗孔可為任意形狀，但是一圓形或一長方形(含方形)較易於做相互比較，窗孔具有一寬度(即直徑或二平面方向之較窄者)，在正常下為交互作用距離之至少大約 $1/10$ ，或至少大約 0.3 毫米。在許多例子中，窗孔具有一直徑或寬度與長度(直線式)各在大約 $0.3-3.0$ 倍交互作用距離之範圍內，或在大約 $1.0-10.0$ 毫米之範圍內，若窗孔小於整個初縮掩膜版域，可做另一檢查以確定窗孔擴大到包括整個初縮掩膜版域。

主動元件710、712、714已置入配置內，在第一次通過時，拋光仿真元件添加於所有位置，但是由電子設計規則排除者除外。針對此特定實施例，各拋光仿真元件需遠離一主動元件至少 5 微米。在圖8中，一拋光仿真元件係添加於主動元件710、712、714之間之此元件高度，最初拋光之形狀係由虛線730表示，當此拋光仿真元件插入模擬之拓樸內時，脫焦之畫像表示一後續製成層之頂表面高度對於圖8所示之基材部分將呈過高。

拋光仿真元件之尺寸減小至虛線732表示之形狀，拋光仿真元件之此形狀可取代對應於虛線730之形狀，應注意的是位於主動元件710、714之間之形狀730部分係去除之。若此形狀可為接受，其即可使用，若收縮係對所需之調整呈過度補償，則會生成形狀734，形狀734之一部分係



五、發明說明 (13)

延伸於主動元件710、714之間，惟，該部分並不必要，在此例子中，形狀734可為形狀732之放大版。

在一變換之製程中，拋光特徵化(方塊112、114)及拓樸畫像皆可進行(方塊122、124、126)，當放置拋光之仿真元件於電路配置中時(方塊132)，則可使用來自二路徑之資料。例如，拓樸畫像可用於決定拋光之仿真元件如磚片應放置之位置，而拋光特徵化可用於決定主動元件與最接近之拋光仿真元件之間之最小距離。在一實施例中，拋光特徵化係一次完成，但是拓樸畫像及拋光仿真元件之放置則可反覆任意次數。確認拋光仿真元件之放置為正確後，一光罩即可產生。

圖9包括一半導體裝置基材70一部分之說明，其中製成記憶體陣列42、44及邏輯區46(如圖5)，在此範例中，基材70包括一絕緣層，而一導體72製於基材70上。在記憶體陣列42、44內，導體72為位元線，以利電氣性接觸於電晶體(圖中未示)之汲極區，在邏輯區46內，導體為連接件，以利電氣性連接於不同組件(電晶體、電容器、電阻器，等等)。

圖9揭示疊覆絕緣層74如何具有一沿著絕緣層74頂表面而改變之拓樸(未添加拋光仿真元件)，若拋光仿真元件未添加且基材拋光以磨平絕緣層74，則記憶體陣列42、44內之基材70上方之絕緣層74厚度將較厚於邏輯區46內之基材70上方之絕緣層74厚度。習知之砌磚可將拋光仿真元件(圖中未示)放置於具有5-10微米寬度之開放式位置內，其



五、發明說明 (14)

中一位置在記憶體陣列42、44之間。

依本發明之一實施例所示，拋光仿真元件82係在相同於導體72之高度插入光罩內，生成之圖型為圖10中所示之一半導體裝置，應注意的是，並無拋光仿真元件置入記憶體陣列42、44間之間隙84內，間隙寬度為大約20-100微米範圍內，再者，類似間隙(圖中未示)可位於記憶體陣列42、44任一者或兩者內之記憶體塊之間。

通常，拋光仿真元件82相距於具有最高主動元件密度之區域內之最接近導體72(主動元件)為至少大約0.3毫米，且通常至少相隔1毫米，在此特定實施例中，最接近於具有最高主動元件密度之區域內之主動元件之拋光仿真元件82係彼此相距大約3-5毫米(拋光仿真元件至主動元件之間距)。再次，此大約為習於此技者常用之三倍(所有開放式區域內之磚片之無差別式放置係大於10微米)，用於拋光仿真元件之最小間隙及間距至少有一部分可由上述之拋光特徵化決定。

導體72及拋光仿真元件82製成於基材70上之後，絕緣層74即利用沉積一或多絕緣膜於導體72及拋光仿真元件82上而製成，用於圖10左側部(陣列42、44)之絕緣層74頂表面之平均高度係接近於邏輯區46上方之絕緣層74頂表面之平均高度。

沉積絕緣層74後，進行拋光以取得圖11所示之一大致平面式表面92，用於拋光之條件應相似於上述特徵化期間所用者，因此，相似拋光墊、相似拋光流體、及相似拋光變



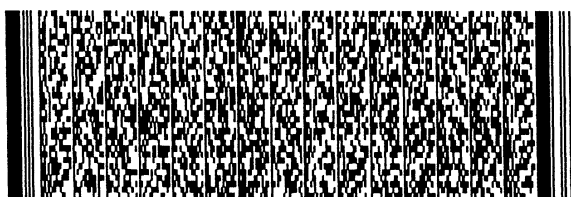
五、發明說明 (15)

數皆應使用，因為這些變數會影響拋光特徵化，其至少有一部分可決定拋光仿真元件之放置。一完美之平面式表面並非必定為拋光所致，凹凸量應不可嚴重影響電子性能（無電氣性短路或漏電路徑）或後續處理（石版印刷或相關蝕刻中之焦點深度）。

許多其他實施例皆可行，圖12包括當SRAM陣列44由DRAM陣列121取代時之裝置40放大圖，DRAM陣列121具有溝槽電容器及掩埋之位元線（位元線係位於半導體裝置基材內），圖12所示之位置係接近於SRAM陣列42、DRAM陣列121、及邏輯區46之邊界，雖然陣列及區之邊界揭示於圖12中，但是這些邊界係用於參考且未揭示於欲設計或製成之光罩或半導體裝置中。在此實施例中，一高度之導體具有主動元件（用於SRAM陣列42之位元線123），其在SRAM陣列42上方呈濃密、在邏輯區46上方呈半濃密（ $-V_{SS}$ 電源匯流排1251及 $-V_{DD}$ 電源匯流排1271）、及在DRAM陣列121上方呈不存在或極低密度。

拋光仿真元件129、1253、1255、1273、1275係插入配置內，陣列42並無圖12所示之拋光仿真元件，具有最高主動元件密度之半導體裝置部分如陣列42係無拋光仿真元件。另者，針對拋光仿真元件所用之面積而言（主動元件以外之區域及電子設計規則所用之最小間距），具有最高主動元件密度之諸部分相較於低主動元件密度面積，而可具有一由拋光仿真元件佔用之較小面積。

如本文中所用者，用於一區域之元件密度相較於未由任

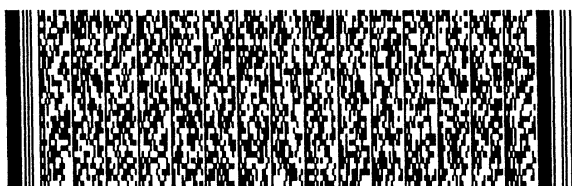


五、發明說明 (16)

意元件佔用之區域中之總面積，而為任意元件覆蓋之區域之百分比，易言之，元件密度為元件佔用面積除以區域中總面積之百分比。記憶體陣列121之元件密度為最高，因為整個記憶體陣列皆由拋光仿真元件129覆蓋，而邏輯區46之元件密度為最低，雖然其在此實施例中並無任意拋光仿真元件。陣列42之元件密度係在記憶體陣列42、121之元件密度之間，應注意的是，半導體裝置之三個不同區域中之任二個並無相同之元件密度。

某些項目係特別相關於圖12中之拋光仿真元件，拋光仿真元件通常可做電氣性浮接，或接於一電源供給器，在此實施例中，拋光仿真元件129、1253、1255係耦合於或電氣性連接於一 V_{SS} 電源供給端，而拋光仿真元件1273、1275係耦合於或電氣性連接於一 V_{DD} 電源供給端。拋光仿真元件129可為一接地平面，以協助減低 α 粒子效應或陣列121之輻射效應，拋光仿真元件1253、1255及 V_{SS} 電源匯流排1251等部分為一組去耦電容器，而拋光仿真元件1273、1275及 V_{DD} 電源匯流排1271等部分為另一組去耦電容器。

一負載或來自另一電路(圖中未示)之訊號會導致 V_{SS} 電源匯流排1251或 V_{DD} 電源匯流排1271上之電位改變，去耦電容器(元件1253、1255或元件1273、1275)中之其他電極則有助於減少電壓降，或減少電源匯流排接近於其正確電壓所需之時間。應注意的是，匯流排與其最接近拋光元件之間間距可以小於在該元件(遮蔽)高度之最接近主動元件之間間距，例如電子設計規則可要求主動元件之間為一大約



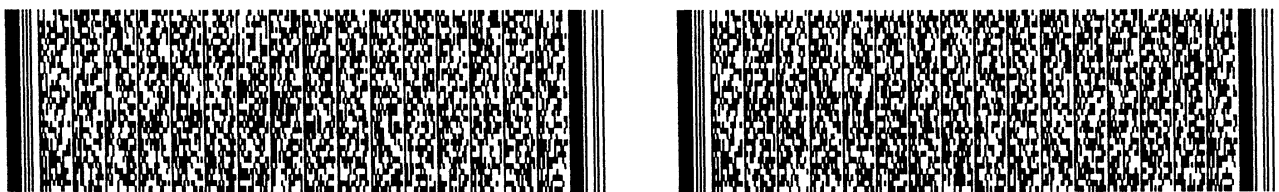
五、發明說明 (17)

0.5 微米之最小間距，惟，間距之石版印刷限制可為0.2 微米，拋光仿真元件與其對應電源匯流排之間間距可在0.2-0.4 微米範圍內，以增加電容性耦合。

拋光仿真元件129 及位元線123 係相隔一距離1297，且拋光仿真元件1255 及其中一位元線123 係相隔一距離1257，各距離1297、1257 代表各元件129、1255 與位元線123 之間最接近之點，應注意的是在這些間距內並無主動或拋光仿真元件。距離1297 可為大約0.3 毫米，而距離1257 可為大約1.0 毫米，在其他實施例中，這些距離可變大或變小。

因拋光所致之過量層腐蝕通常可發現於接近一畫線之一半導體裝置邊緣附近，圖13 包括一半導體裝置基材139 之一部分頂視圖，基材包括具有積體電路區(記憶體陣列及邏輯區並未揭示)之四個半導體裝置40。圖13 包括控制元件，例如度量測量之短劍符號1331、對準標記1333、及電氣性試驗結構(N^+ 電阻器)1335，皆位於半導體裝置40 之間之畫線內，其他控制元件(圖中未示)則可位於沿著畫線之任意處，或甚至沿著半導體裝置40。拋光仿真元件135 係添加於畫線，以減低接近於半導體裝置40 邊緣處之本地較高拋光率之負面效應，在此實施例中，拋光仿真元件135 可製成於與圖10 中之導體72 及拋光仿真元件82 相同之高度，且疊覆於半導體裝置基材。如後所述，拋光仿真元件在半導體裝置周邊區域內之添加亦有助於減少腐蝕量。

在又一實施例中，拋光仿真元件之設置係可發生於其他高度，例如拋光仿真元件之設置可在一溝槽場隔離順序期



五、發明說明 (18)

間影響所製成半導體(矽、矽-鍍，等)台地之位置，台地之圖型至少有一部分可由後續沉積及拋光之溝槽填充材料(氧化物、氮化物、矽、或類此物)之拋光特徵決定。上述製程亦可施加於絕緣層內之圖型，且絕緣層係在沉積及拋光一導電性或含金屬層之前製成。

拋光仿真元件不需要出現於使用拋光之每一高度處，省略拋光仿真元件之效果係隨著多層而累積，拋光仿真元件可以僅在某些高度添加。在一實施例中，半導體裝置40內之SRAM陣列42、44係由相似於前述DRAM陣列121之DRAM陣列替代，半導體裝置仍有邏輯區46。一第一高度之連接件可由使用於DRAM陣列之金屬字元線製成，較少連接件位於邏輯區46內，一第二高度之連接件可由DRAM陣列內之極少連接件製成，而較大量之連接件位於邏輯區46內。第二高度之連接件係由一絕緣層製成及覆蓋，絕緣層之頂表面具有超過DRAM陣列及邏輯區46之平均高度，後二者較為相近(二區之間小於100毫微米之差異)。

一第三高度之連接件係製成包括匯流排、電源軌(V_{SS} 及 V_{DD})、及類此物，第三高度之密度連接件用於DRAM陣列時可比邏輯區46高，在此實施例中，拋光仿真元件僅添加於第三高度之連接件，雖然拋光仿真元件並未使用於第一及第二高度之連接件。

主動與拋光仿真元件之間之增加間距可減少二型元件之間之寄生式電容性耦合，此減少之電容性耦合容許以極高頻率操作一半導體裝置，且較少負面效應。



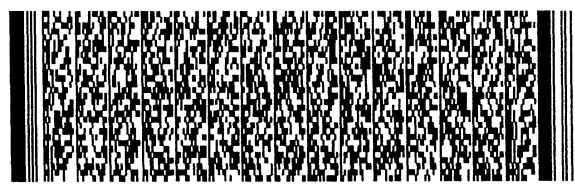
五、發明說明 (19)

在某些實施例中，拋光仿真元件可觸及其他拋光仿真元件，在圖14中，場隔離區1412係製成於一半導體裝置基材1410之部分上，一閘極介電層1416及閘極1418疊覆於基材1410之主表面上。摻雜區1414製成於基材1410內，一第一絕緣層1432製成於電晶體結構與場隔離區1412上方，一導電性栓塞1434製成於其中一摻雜區1414，一連接件1451製成於第一絕緣層1432上方，拋光仿真元件1453亦製成於與連接件1451相同之元件高度。

一第二絕緣層1455製成於連接件1451與拋光仿真元件1453上方，製成導電性栓塞1457、1459，在此實施例中，導電性栓塞1457為一主動元件，因為其係設計於裝置內之一電路之一部分，導電性栓塞1459則為拋光仿真元件。應注意的是，導電性栓塞1459鄰靠於拋光仿真元件1453。連接件1471與拋光仿真元件1473隨後製成於導電性栓塞1457、1459上方，拋光仿真元件1473鄰靠於亦為拋光仿真元件之導電性栓塞1459。一鈍化層製成以成為一大致完整之半導體裝置。

拋光製程可做改變，以改善拋光特徵而減少插入拋光仿真元件之需求，較硬之墊片、較小之下壓力、及較高壓板之轉速皆可增加轉變及交互作用距離，若交互作用距離大於半導體裝置、一初縮掩膜版場、或甚至一基材，則拋光仿真元件即可完全不需要。

前文之概念可延伸至多層，如圖15、16所示，拋光仿真元件之放置可影響其他高度之主動元件之電氣性特徵。參

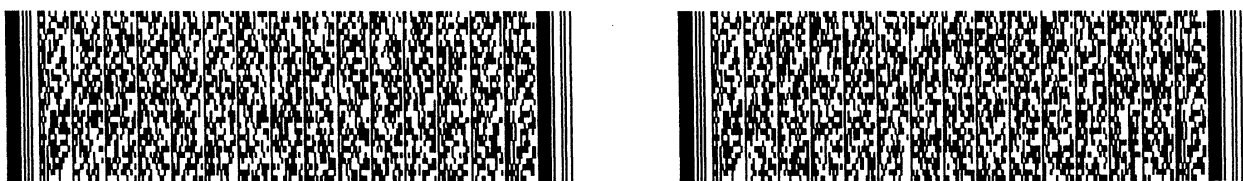


五、發明說明 (20)

閱圖15，導體152、154、156係半導體裝置內之主動元件，分別供給 V_{SS} 、 V_{DD} 、 V_{PP} ，層151、158、159為絕緣體。一較低元件層需要導體152、154、156下方區域內之拋光仿真元件，且拋光仿真元件153、155、157添加於導體152、154、156下方，拋光仿真元件153、155、157係導電性及分別電氣性連接於 V_{SS} 、 V_{DD} 、 V_{PP} 電源供給端，以增加拋光仿真元件與電源供給導體之間之電容性耦合。當負載放置於導體152、154、156上時，此將有助於減少電位漂移，應注意的是，導體152、154、156之側緣係相接於拋光仿真元件153、155、157之側緣。若導體152、154、156大致相同電位，則一單一拋光仿真元件(圖中未示)可取代拋光仿真元件152、154、156，單一拋光仿真元件之邊緣可相接於導體152之左邊緣及導體156之右邊緣。

雖然圖中未示，但是半導體台地之概念相同，即可或不位於場隔離區內減成為其一部分，一拋光仿真元件可放置於台地上，以形成基材內之雜訊之電容器或基材內之井區之電容器。若台地包括一p型半導體材料，則上層之拋光仿真元件通常耦合於或電氣性連接於一 V_{SS} 端，而以一n型半導體材料而言，上層之拋光仿真元件通常耦合於或電氣性連接於一 V_{DD} 端。相似於電源供給導體的是，電容性耦合應保持在較高，在此特殊情況中，拋光仿真元件應重疊於一相鄰高度之元件上方而非下方。

不同於電源供給導體的是，對於訊號導體之電容性耦合應減至最小或至少減低，圖16包括訊號導體162、164、



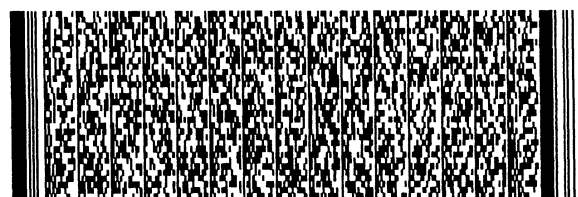
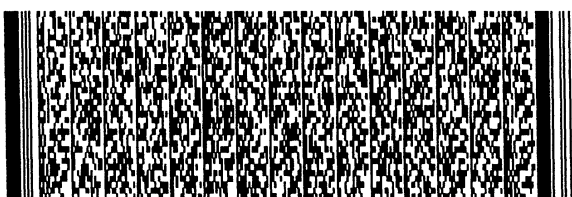
五、發明說明 (21)

166，其係主動元件，而層161、168、169為絕緣體，拋光仿真元件163、165呈導電性且添加於一較低之元件高度。應注意的是，拋光仿真元件163、165偏離於訊號導體162、164、166，且重疊於訊號元件之間之絕緣層169部分下方，偏離係有助於減少電容性耦合，否則電容性耦合可能影響訊號沿著導體162、164、166傳輸之速度或完整性(強度)。在變換實施例中，圖15、16所示之拋光仿真元件可重疊於電源供給及訊號元件下方，或在電源供給及訊號元件之上方與下方，拋光仿真元件之使用有一部分係取決於欲製成之元件高度處之平坦度要求。

一較為整體性之整合係說明於圖17中，其包括一半導體基材1700，且具有一半導體裝置、一畫線1704、及沿著畫線1704另一側之另一半導體裝置，圖式說明導電性拋光仿真元件如何結合至一連接件體系，習於此技者可以瞭解到圖17所示之連接件體系意在說明實施例中所用之概念，為了簡明起見，一接近於畫線1704之金屬邊緣封閉件並未揭示。

第一探討部分說明正在製造中者，而後一部分則說明拋光仿真元件如何相關於半導體裝置之其他部分而添加或去除，在一實施例中，參考數字1720、1721、1730、1731、1740、1741、1750、1751、1761、1770係指絕緣體，而參考數字1722、1728、1732、1738、1742、1744、1748、1752、1760、1762、1764、1768、1774、1776係指導體。

一第一層間介電質(ILD)層1720係製造及製出圖型，以



五、發明說明 (22)

定義開孔(圖中未示),且導電性栓塞及拋光仿真元件(圖中未示)皆設於開孔內。一第二ILD層1721係製造及製出圖型,以定義開孔,一連接件1722及拋光仿真元件1728皆設於開孔內。一第三ILD層1730係製造及製出圖型,以定義開孔(圖中未示),且導電性栓塞及拋光仿真元件(圖中未示)皆設於開孔內。

一第四ILD層1731係製造及製出圖型,以定義開孔,一連接件1732及拋光仿真元件1738皆設於開孔內。一第五ILD層1740係製造及製出圖型(圖中未示),以定義開孔,且導電性栓塞及拋光仿真元件(圖中未示)皆設於開孔內。一第六ILD層1741係製造及製出圖型,以定義開孔,且仿真位元線1742、位元線1744、及拋光仿真元件1748皆設於開孔內。

一第七ILD層1750係製造及製出圖型,以定義開孔,其中一者揭示於圖17中,且導電性栓塞如導電性栓塞1752及拋光仿真元件(圖中未示)皆設於開孔內。一第八ILD層1761係製造及製出圖型,以定義開孔,其中一者揭示於圖17中,且接合墊片1760、連接件1762、1764、及拋光仿真元件皆設於開孔內。一鈍化層1770製成於連接件之最頂層上方,且製出圖型以定義開孔於接合墊片1760上方,導電性緩衝塊1772則製成於開孔內,導電性緩衝塊1772包括一黏接/障礙層1774,以及一明顯較厚之金屬合金層1776。

習於此技者可以瞭解的是,ILD層、導電性栓塞、本地連接件、接合墊片、仿真位元線、拋光仿真元件、黏接/



五、發明說明 (23)

障礙層、及合金層各可利用一或多個不同膜製成，ILD層通常沉積及包括氧化物、氮化物、或低k之介電質(介電係數不大於大約3.5)，而導體通常沉積或電鍍及包括耐火金屬、其氮化物、鋁、銅、鉛、錫、上述任一者或類此物之合金。以本例而言，半導體裝置係利用0.2微米之製程技術，且0.5微米最小元件寬度與所有導電性栓塞及連接件高度處之0.5微米最小空間(1.0微米間距)而製成，而習知拋光元件設計規則係具有僅大約5-10微米之拋光仿真元件。

現在請注意拋光仿真元件以及其對半導體裝置其他組件與畫線之關係，以俯視來看，半導體裝置與畫線1704之周邊區域包括許多拋光仿真元件，當無拋光仿真元件置於畫線內時，則少量之拋光腐蝕中有些會發生在畫線及其附近，因為曝露表面係高於積體電路區內之曝露表面。在習知製程中，拋光仿真元件並非製成於畫線或周邊區域內，而僅製成於積體電路區內。畫線1704內之拋光仿真元件有助於減低(1)積體電路區(特別是高元件密度區)與(2)周邊區域及畫線之其中一或二者之間不同本地拋光率之負面影響，雖然拋光仿真元件主要揭示為製成於圖17所示之連接件高度，但是拋光仿真元件亦可製成於所有之導電性栓塞高度。

V_{SS} 連接件1762係電氣性連接於一 V_{SS} 端，且 V_{DD} 連接件1764係電氣性連接於一 V_{DD} 端，最左側之拋光仿真元件1748疊於 V_{DD} 連接件1764下方且係電氣性連接於一 V_{DD} 端，此可增大拋



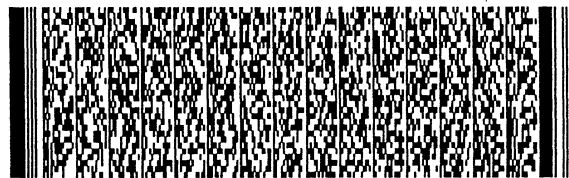
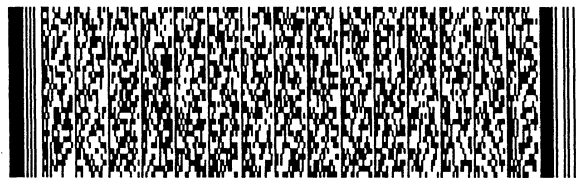
五、發明說明 (24)

光仿真元件1748與疊於上方之 V_{DD} 連接件1764之間之電容性耦合。若連接於 V_{DD} 連接件1764之許多組件係同時通達，則最左側之拋光仿真元件1748與 V_{DD} 連接件1764之間之電容性耦合可減少電壓電位變化量，並減少通達結束後回到 V_{DD} 所需之恢復時間。

仿真位元線1742及位元線1744係製成於具有拋光仿真元件1748之相同高度，仿真位元線1742係電氣性連接於一 V_{SS} 端，且有助於所有位元線1744皆具有較均勻之電氣性特徵（通達之位元線係在側向由二接地之導體包圍，無關於那一位元線通達）。位元線1744係訊號元件，不同於電源供給元件1762、1764的是，訊號元件與拋光仿真元件之間之電容性耦合應保持為較低。位元線1744下方係一部分絕緣層1731（接近圖17之中央），其由拋光仿真元件1738圍起，這些拋光仿真元件之間距在大約0.1至1.0毫米範圍內。

利用習知之拋光仿真元件設計規則，其他拋光仿真元件應已置入位元線1744下方之絕緣層1731部分內，惟，拋光仿真元件並不需要，因為當拋光絕緣層1731時交互作用距離大約在2.5至5.0毫米範圍內，比為習知技術使用拋光仿真元件之情形，但是在本實施例中之拋光仿真元件則可"去除"（即不使用）。

接近圖17之中央處，拋光仿真元件1728製成於位元線1744下方之一位置，請注意各拋光仿真元件1728並非直接位於任一位元線1744下方，拋光仿真元件1728係偏離於位元線1744，此有助於減低位元線1744與拋光仿真元件1728



五、發明說明 (25)

之間之電容性耦合。

上述諸實施例在決定拋光仿真元件位於相同及不同高度中，可具有較多彈性，習知之拋光仿真元件排除法可用於決定拋光仿真元件放置接近於訊號元件，惟，拋光仿真元件放置接近於電源導體可較接近元件高度之最小設計規則間距，因此，拋光仿真元件可位於不同之排除區內。

上述理念可延伸至絕緣體，大體上，低k介電性材料相較於包括有二氧化矽、氮化矽、耐火金屬氧化物、及類此物之較高介電係數材料(介電係數高於3.5)，而呈較軟(較可壓縮，較高之楊氏彈性模數)，具有較高介電係數之材料可使用接近於需要較多電容性耦合之元件處(即接近電源供給元件)，而低k介電性材料接近於欲減低電容性耦合之元件處(即訊號元件)。

前文中，本發明已參考特定實施例詳細說明，惟，習於此技者可以瞭解的是，在不脫離以下申請專利範圍載述之本發明範疇下仍可達成多種變化及修改。據此，說明書及圖式應視為闡釋用途，而非拘限之，諸修改應包含於本發明範疇內。

優異性、其他優點、及問題之解決方式已相關於特定實施例詳述如上，惟，優異性、優點、問題之解決方式、及可能造成任意優異性、優點、解決方式產生之元素皆不應視為任一或所有申請專利範圍之必要或基本特性或要素。本文所用之"包含"、"包括"或其變化，目的皆在涵蓋性，使得一製程、方法、物件、或含有許多元件而不含上述元



五、發明說明 (26)

件之裝置皆可包括未列示，或此製程、方法、物件、或裝置原有之元件。

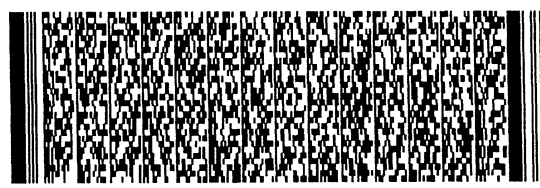
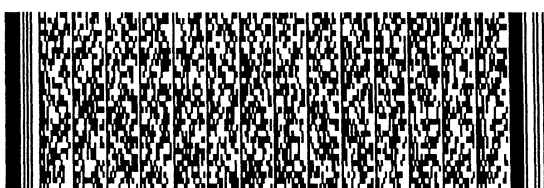


四、中文發明摘要 (發明之名稱：半導體裝置以及用以設計光罩之方法)

使用拋光仿真元件圖型之選擇性放置而非拋光仿真元件圖型之無差別性放置，低頻率(數百微米以上)及高頻率(10微米以下)之拓樸變化二者皆做檢查，拋光仿真元件圖型可特別調整至一半導體裝置，及用於製造半導體裝置中所用之拋光條件。當設計一積體電路時，吾人可預測出主動元件之拋光效果。拋光仿真元件圖型置入配置之後，可在一本地高度(裝置之一部分而非全部)及一較為整體之高度(裝置之全部，且裝置相當於一初縮掩膜版場，或甚至為一整枚晶圓)檢查平坦度。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND A PROCESS FOR DESIGNING A MASK)

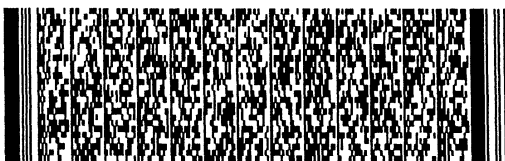
Selective placement of polishing dummy feature patterns, rather than indiscriminate placement of polishing dummy feature patterns, is used. Both low frequency (hundreds of microns and larger) and high frequency (10 microns and less) of topography changes are examined. The polishing dummy feature patterns can be specifically tailored to a semiconductor device and polishing conditions used in forming the semiconductor device. When designing an integrated circuit, polishing effects



四、中文發明摘要 (發明之名稱：半導體裝置以及用以設計光罩之方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND A PROCESS FOR DESIGNING A MASK)

for the active features can predicted. After polishing dummy feature pattern(s) are placed into the layout, the planarity can be examined on a local level (a portion but not all of the device) and a more global level (all of the device, devices corresponding to a reticle field, or even an entire wafer).



圖式

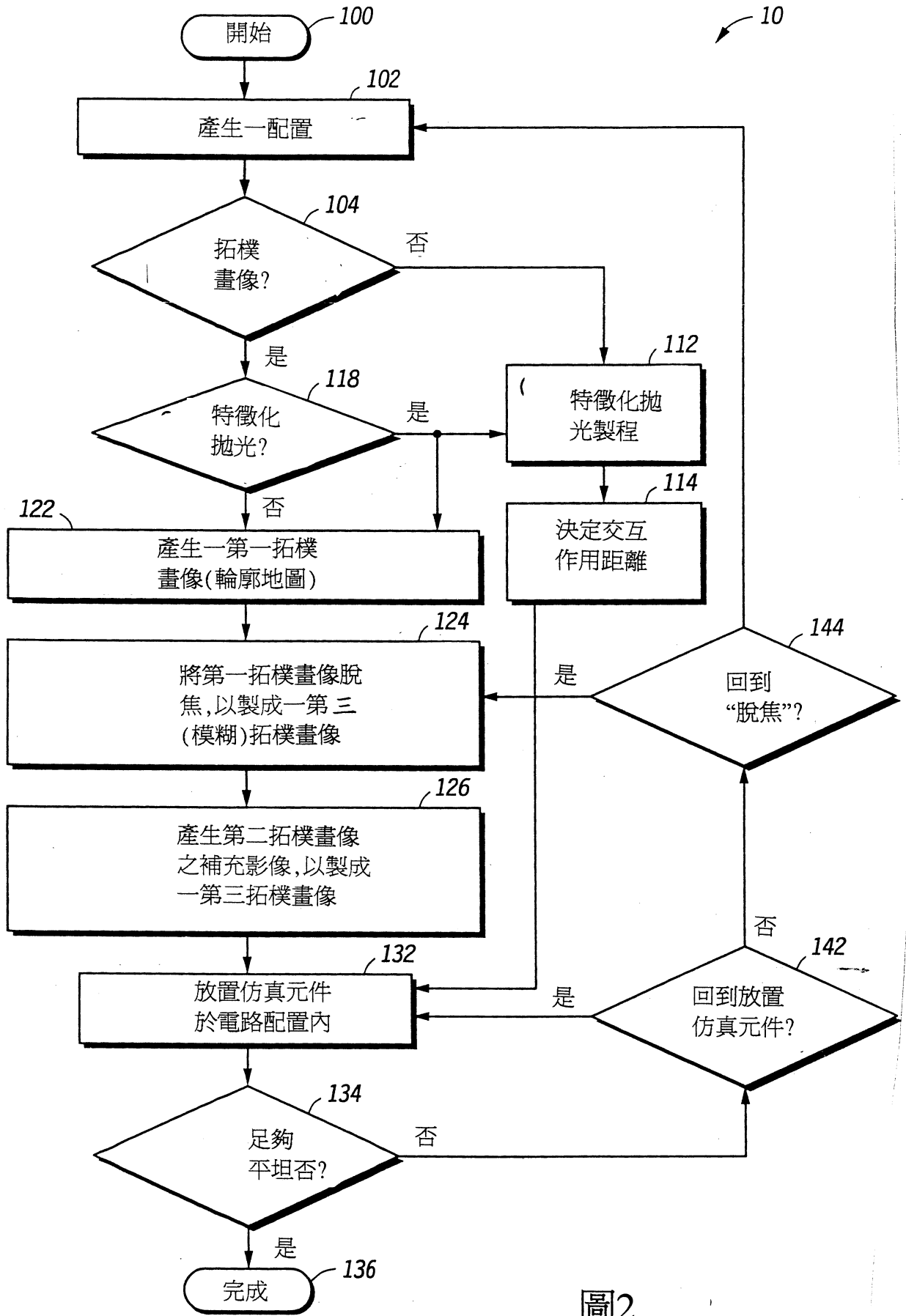


圖2

圖式

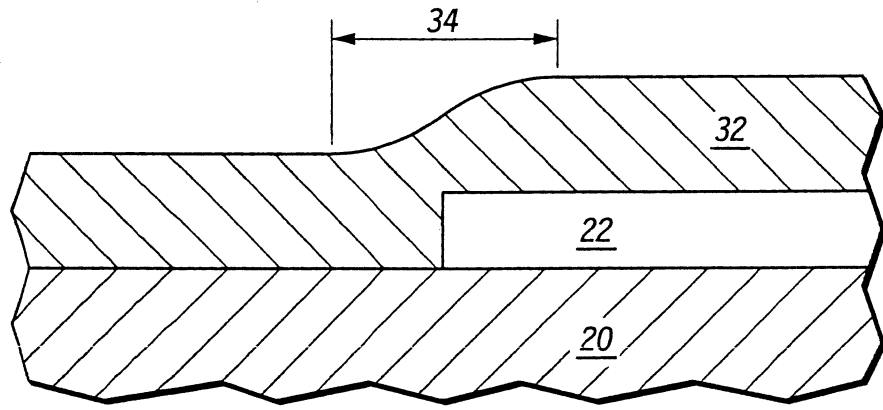


圖4

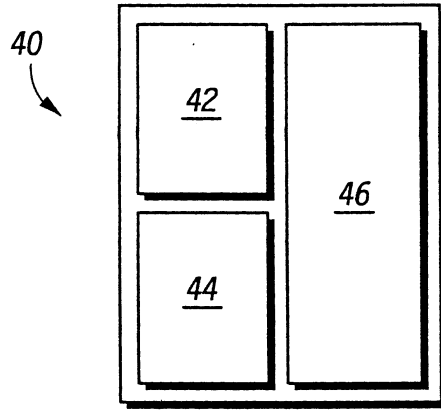


圖5

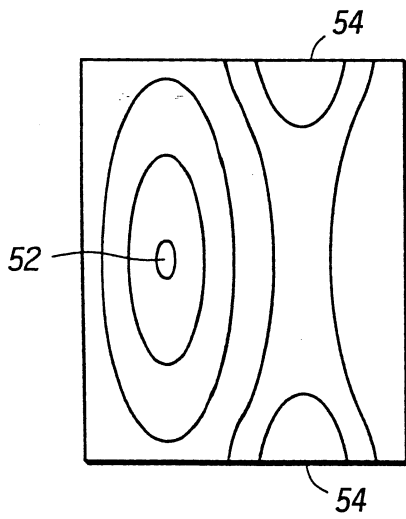


圖6

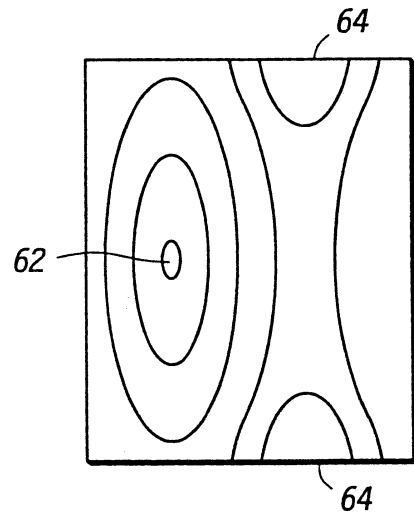


圖7

圖式

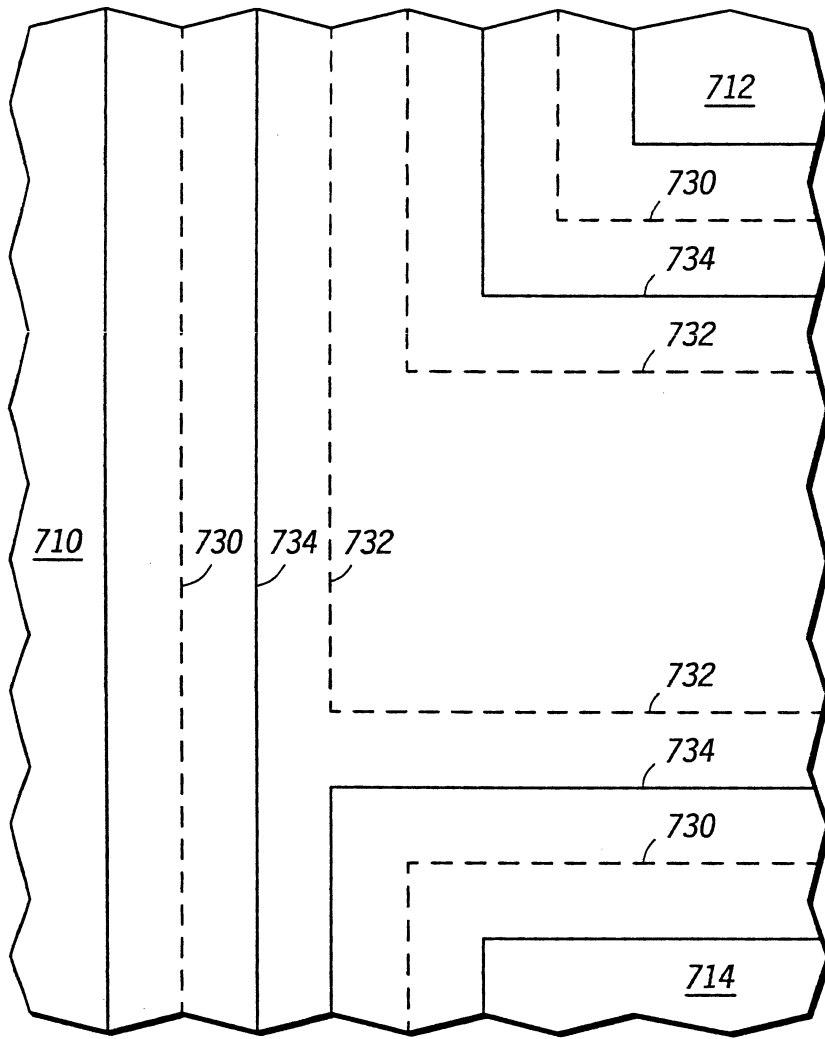


圖8

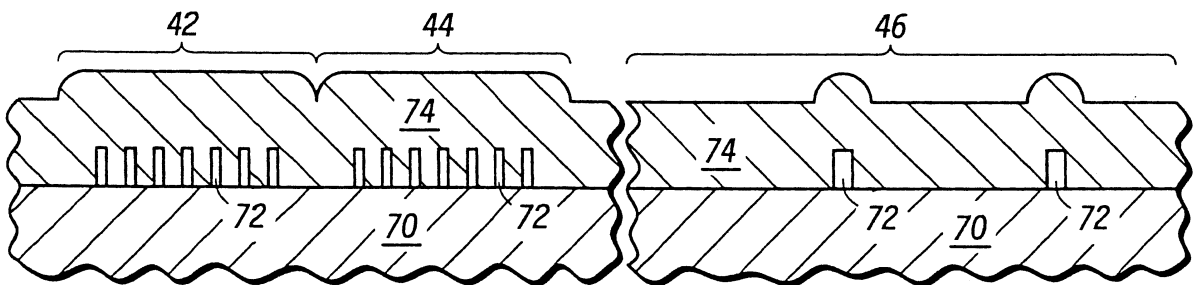


圖9

圖式

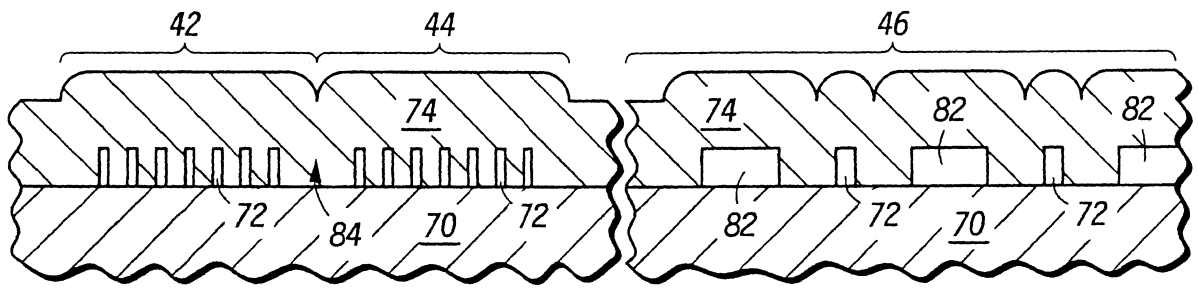


圖10

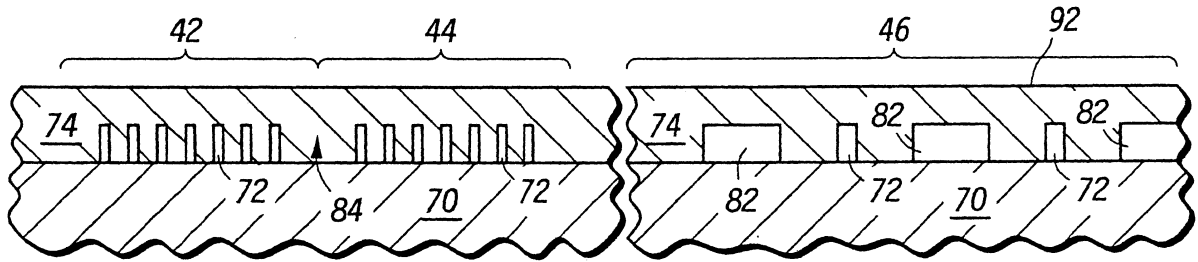


圖11

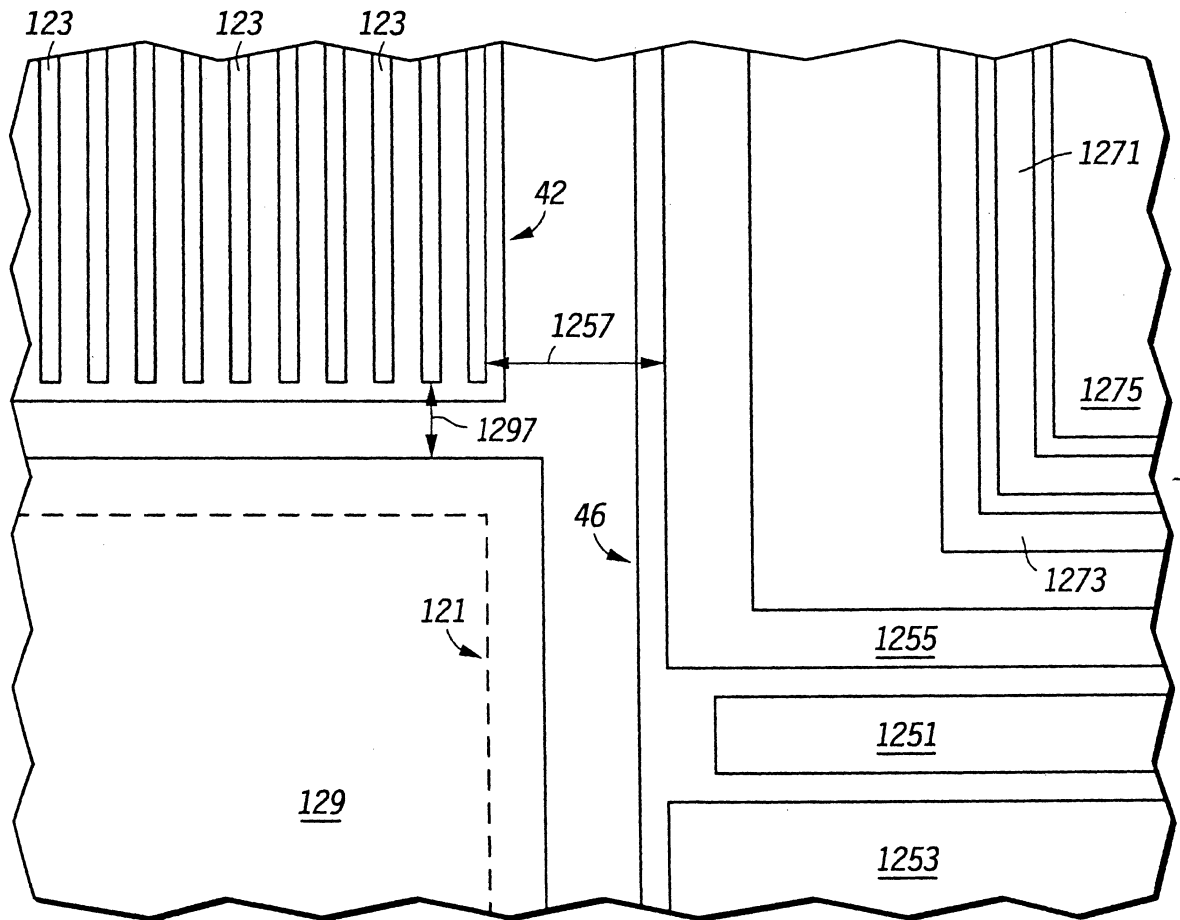


圖12

圖式

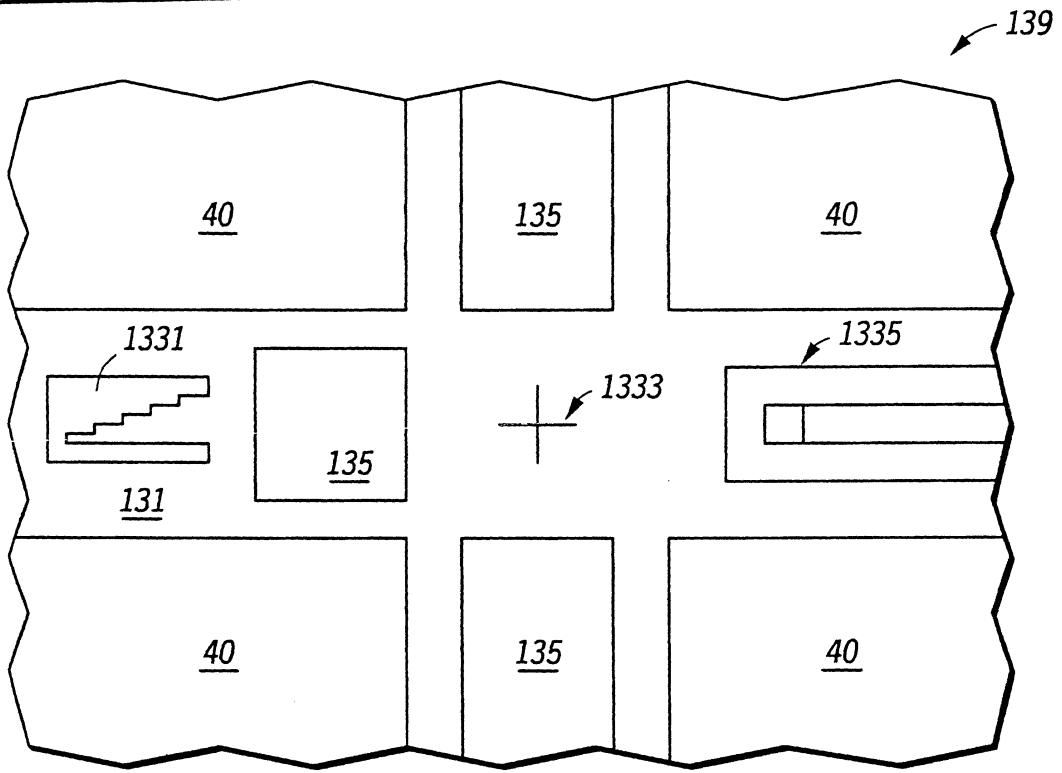


圖13

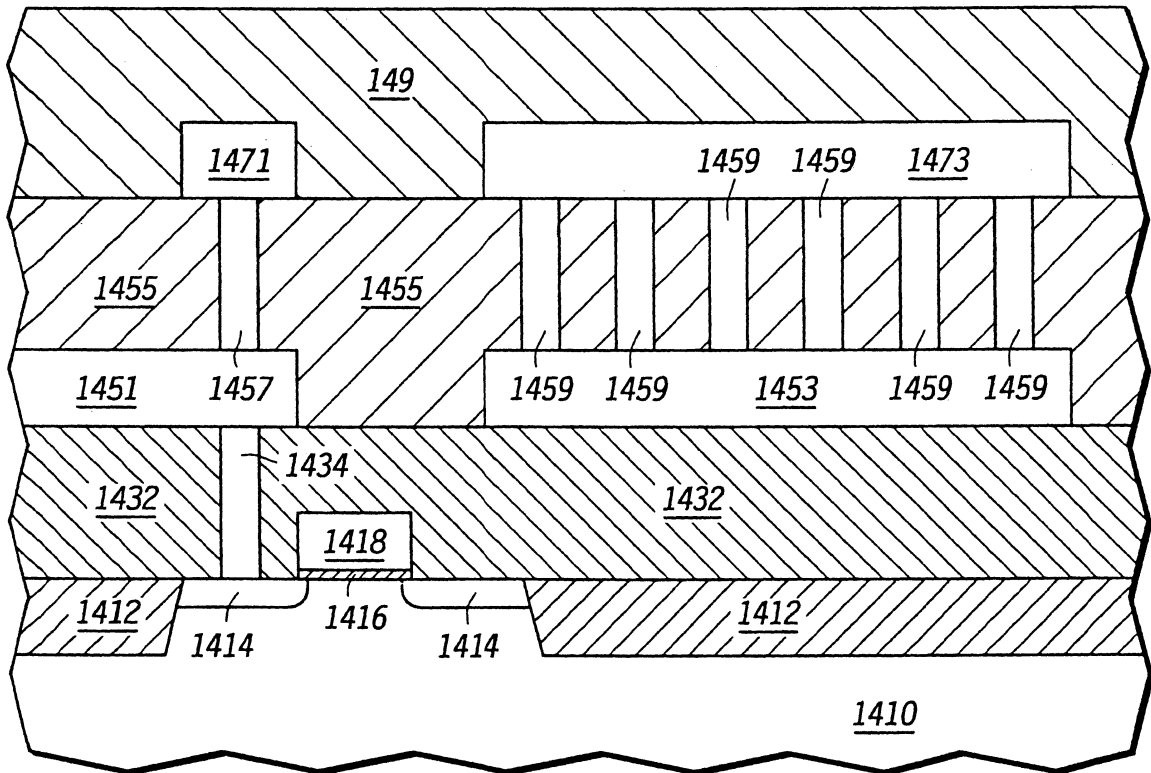


圖14

圖式

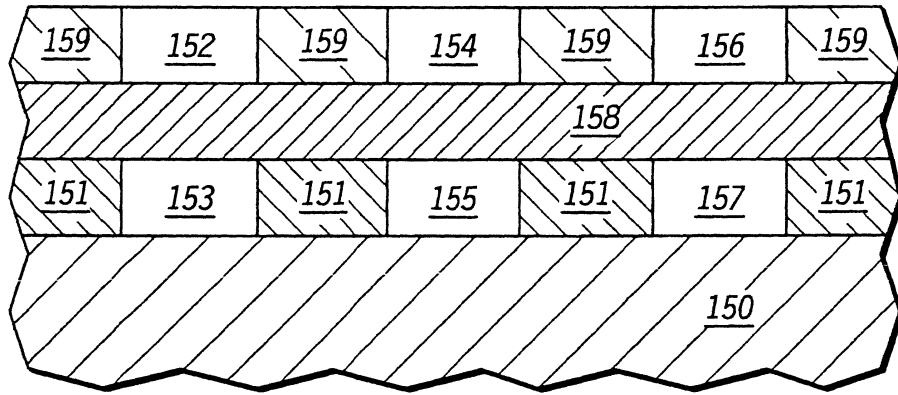


圖15

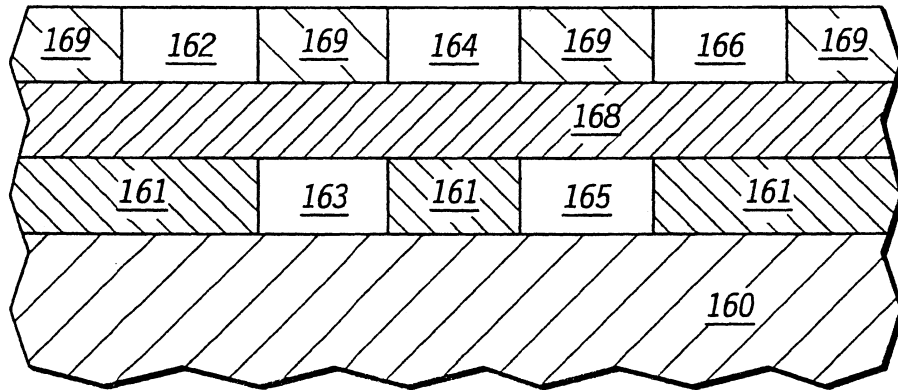


圖16

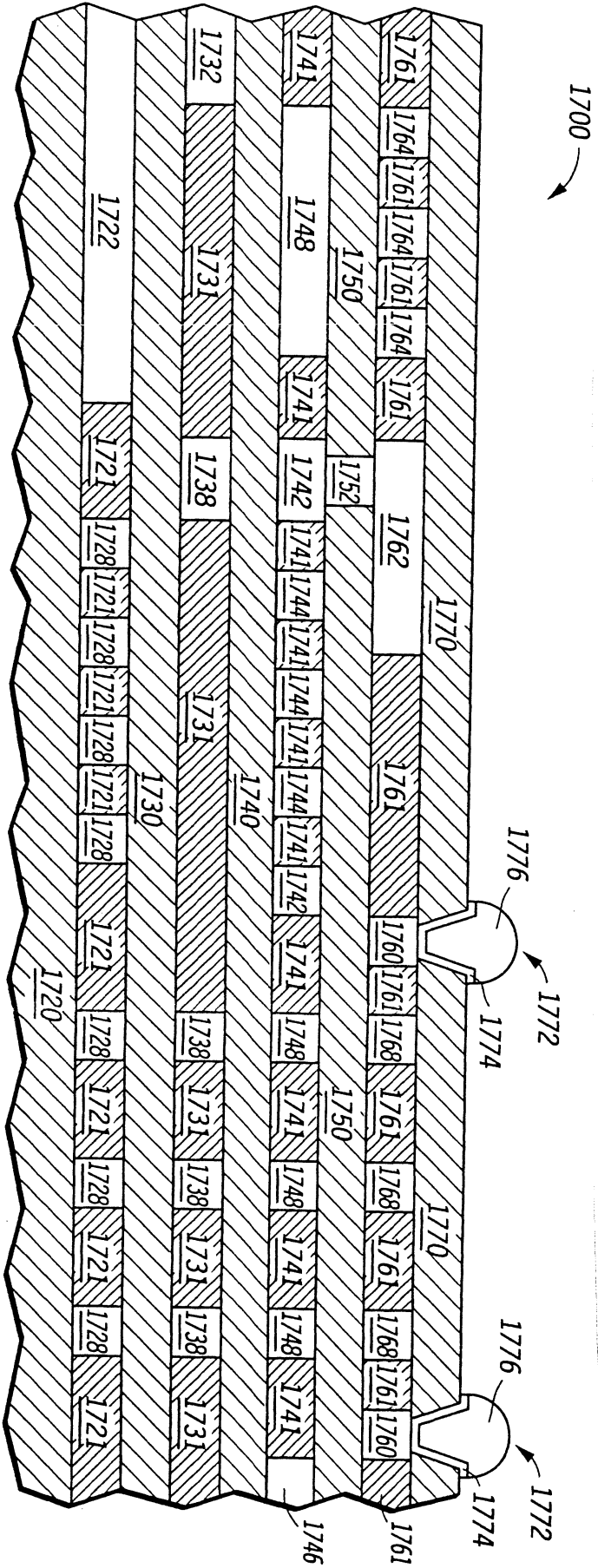


圖 17

1704

圖式簡單說明

91年2月4日 修正補充



六、申請專利範圍

1. 一種半導體裝置，包含：

一第一區域(46)，係位於一元件高度，其中：

第一區域包括第一主動元件(1251, 1271)及第一仿真元件(1253, 1255, 1273, 1275)；及

第一區域(46)具有一第一元件密度；及

一第二區域，係位於該元件高度，其中：

第二區域包括第二主動元件及第二仿真元件；及

第二區域具有一不同於第一元件密度之第二元件密度。

2. 一種半導體裝置，包含：

一第一區域(46)，係位於一元件高度，其中第一區域(46)包括一拋光仿真元件(1257)；

一第二區域(42)，係位於該元件高度，其中：

自半導體裝置之頂部俯視之，第二區域(42)具有一至少10微米高乘至少10微米寬之開孔面積；及

第二區域(42)並未包括一拋光仿真元件。

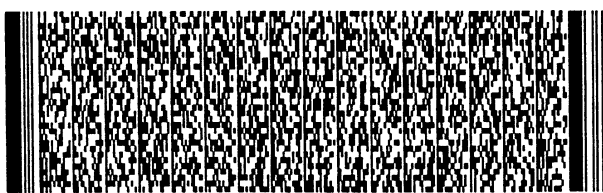
3. 一種半導體裝置，包含：

一拋光仿真元件(129)，係位於一元件高度；及

一主動元件(123)，係位於該元件高度，其係最接近於拋光仿真元件(129)之一主動元件，其中：

拋光仿真元件(129)具有一最接近於主動元件(123)之點；

自該最接近點至主動元件(123)之距離(1297)係至少大約0.3毫米；及



六、申請專利範圍

無其他主動或拋光仿真元件位於該最接近點與該元件高度之主動元件(123)之間。

4. 一種半導體裝置，包含：

一半導體裝置(139)基材；

一積體電路區(40)，疊覆於半導體裝置基材；

一畫線(131)之至少部分係位於積體電路區(40)以外；及

一第一拋光仿真元件(135)之至少部分係位於畫線(131)內且疊覆於半導體裝置基材(139)。

5. 一種半導體裝置，包含：

一積體電路區；

一畫線(1704)；及

一周邊區，係位於積體電路區和畫線之間；及

一拋光仿真元件，係位於周邊區內。

6. 一種半導體裝置，包含：

一第一主動元件；及

一拋光仿真元件，

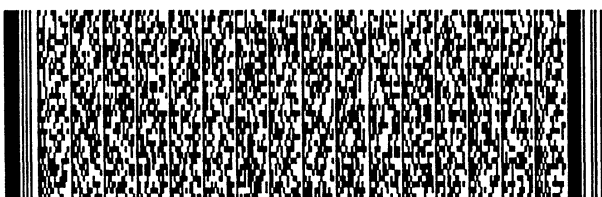
其中半導體裝置具有一選自以下族群之結構：

(a) 第一主動元件(1251, 1271)及拋光仿真元件(1253, 1255, 1273, 1275)，係位於一相同之元件高度；

第一主動元件(1251, 1271)係一電源供給元件；及

第一主動元件(1251, 1271)係位於大約1.0微米之拋光仿真元件(1253, 1255, 1273, 1275)內；

(b) 第一主動元件(152, 154, 156)及拋光仿真元件



六、申請專利範圍

(153, 155, 157)，係位於不同之元件高度；

第一主動元件(152, 154, 156)係一電源供給元件；及

第一主動元件(152, 154, 156)係重疊於拋光仿真元件(153, 155, 157)上或下；

(c) 第一主動元件(162, 164, 166)及拋光仿真元件(163, 165)，係位於一相同之元件高度；

第一主動元件(162, 164, 166)係一訊號元件；及

第一主動元件(162, 164, 166)係相距於拋光仿真元件(163, 165)至少大約0.3毫米；及

(d) 第一主動元件(162, 164, 166)及拋光仿真元件(163, 165)，係位於不同之元件高度；

第一主動元件(162, 164, 166)係一訊號元件；及

第一主動元件(162, 164, 166)並未重疊於拋光仿真元件(163, 165)上或下。

7. 一種半導體裝置，包含：

一第一拋光仿真元件(1453, 1473)，係位於一第一元件高度；及

一第二拋光仿真元件(1459)，係位於一第二元件高度且不同於第一元件高度，其中第二拋光仿真元件(1459)緊鄰靠於第一拋光仿真元件(1453, 1473)。

8. 一種用於設計一電子電路之方法，包含：

產生一包括主動元件(102)之配置；及

插入一拋光仿真元件至配置(132)內，其中：

拋光仿真元件具有一點，係最接近於最近之一主動



六、申請專利範圍

元件；

自該點至最近主動元件之一距離係選自以下族群中：

至少大約0.3毫米；及

至少大約一拋光特徵距離之一溝槽；及

無其他主動或拋光仿真元件位於該最接近點與其中一主動元件之間。

9. 一種用於設計一光罩之方法，包含：

產生一配置之一第一畫像，其中：

第一畫像具有一第一區域及一第二區域；及

第一區域具有一比第二區域者高之主動元件密度；

調整第一畫像以取得一第二畫像，第二畫像係第一畫像之一脫焦畫像；及

調整後，將一拋光仿真元件插入第二區域。

10. 一種用於設計一光罩之方法，包含：

產生一電子電路配置之一第一畫像，

決定電子電路之一電氣性特徵；及

調整一包括一拋光仿真元件之拋光仿真元件圖型，以取得電氣性特徵。

11. 一種用於製造一半導體裝置之方法，包含：

在一基材內定義開孔；

在開孔內且在基材上方製成一層；

去除開孔外側之層部分，以在開孔內製成主動元件及仿真元件。

