



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월08일
(11) 등록번호 10-0961800
(24) 등록일자 2010년05월28일

- (51) Int. Cl.
H01L 27/12 (2006.01)
- (21) 출원번호 10-2006-7010604
(22) 출원일자(국제출원일자) 2004년11월30일
심사청구일자 2008년01월14일
(85) 번역문제출일자 2006년05월30일
(65) 공개번호 10-2006-0130572
(43) 공개일자 2006년12월19일
(86) 국제출원번호 PCT/US2004/039970
(87) 국제공개번호 WO 2005/057631
국제공개일자 2005년06월23일
(30) 우선권주장
10/725,850 2003년12월02일 미국(US)
(56) 선행기술조사문헌
KR1019910009038 B1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
인터내셔널 비지네스 머신즈 코퍼레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
(72) 발명자
드 소우자, 조엘, 피.
미국, 뉴욕 10579, 푸트남 밸리, 10 웨스트 쇼어
드라이브
오트, 존, 에이
미국, 뉴욕 10925, 그린우드 레이크, 37 린덴 애
비뉴
(뒷면에 계속)
(74) 대리인
신영무, 윤혜진

전체 청구항 수 : 총 10 항

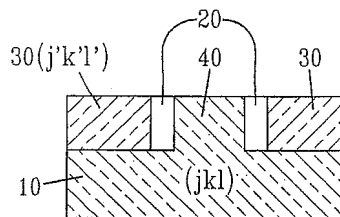
심사관 : 이규재

(54) 적층형 템플레이트층의 국부적 무결정 및 재결정으로형성된 선택적 반도체 결정 배향을 갖는 평면 기판

(57) 요약

적층형 템플레이트층의 국부적 무결정 및 재결정을 이용한 방법을 다른 결정 배향의 반도체층을 갖는 평면 기판을 제조하기 위해 제공한다. 또한 본 발명의 방법으로 제조된 하이브리드 배향 반도체 기판 구조물 뿐만 아니라, 소자의 성능의 개선을 위해 다른 표면 배향으로 배치된 적어도 두개의 반도체 소자를 포함하는 여러 CMOS 회로와 일체화된 구조물이 제공된다.

대표도 - 도1A



(72) 발명자

레즈니첵, 알렉산더

미국, 뉴욕 10549, 마운트 키스코, 84 카펜터 애비
뉴 #4

신거, 캐서린, 엘.

미국, 뉴욕 10562, 오싱, 115 언더힐 로드

특허청구의 범위

청구항 1

평면 하이브리드 배향 기판을 형성하는 방법에 있어서:

제1 배향을 갖는 제1 하부 단결정 반도체층, 제1 배향과 다른 제2 배향을 갖는 제2 상부 단결정 반도체층을 바닥부터 정상까지 포함하는 이중층 템플레이트 적층을 형성하는 단계;

상기 이중층 템플레이트 적층의 일부를 하나 이상의 선택 영역에서 상기 제2 상부 단결정 반도체층의 정상 표면의 일부를 통해 이온 주입하는 것으로 무결정화하여 매장된 국부적 무결정 영역을 형성하는 단계, -여기서, 상기 매장된 국부적 무결정 영역은 제1 국부적 무결정 영역 및 제2 국부적 무결정 영역을 포함하고, 상기 제1 국부적 무결정 영역은 상기 제1 하부 단결정 반도체층의 비-무결정 부위의 정상 표면이 상기 제2 상부 단결정 반도체층의 비-무결정 부위의 바닥 표면과 접촉하는 계면의 평면 위에 위치되고, 상기 제2 국부적 무결정 영역은 상기 계면의 상기 평면 아래에 위치되고, 여기서 상기 매장된 국부적 무결정 영역은 상기 제2 상부 단결정층의 상기 비-무결정 부위의 노출된 정상 표면으로부터 수직적으로 분리된다.-; 및

상기 이중층 템플레이트 적층의 상기 제2 상부 단결정 반도체층의 비-무결정 부위를 템플레이트로 이용하여 상기 매장된 국부적 무결정 영역을 재결정화하는 단계;

를 포함하고, 이로 인해 상기 매장된 국부적 무결정 영역이 상기 제2 결정 배향을 갖는 재결정화된 단결정 반도체 부위로 변경되고, 여기서, 상기 계면의 상기 평면 위의 상기 이중층 템플레이트층의 전체는 상기 재결정 후에 상기 제2 배향을 갖고, 상기 계면의 상기 평면 아래의 상기 이중층 템플레이트층의 일부는 상기 제1 하부 단결정 반도체층의 상기 비-무결정 부위와 상기 재결정 후에 상기 제2 결정 배향을 갖는 상기 재결정화된 단결정 반도체 부위의 일부를 포함하는 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 2

제1항에 있어서,

상기 제1 하부 단결정 반도체층은 SOI 기판의 절연층상에 배치되는 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 3

제1항에 있어서,

상기 제1 하부 단결정 반도체층은 단결정 반도체 기판을 포함하는 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 4

제1항에 있어서,

상기 이중층 템플레이트 적층은 상기 제2 상부 단결정 반도체층을 상기 제1 하부 단결정 반도체층과 본딩하는 것으로 형성되고, 여기서 상기 제2 상부 단결정 반도체층은 상기 제1 하부 단결정 반도체층의 최정상부에 직접적으로 위치되는 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 5

제1항에 있어서,

상기 국부적 무결정 영역은 제1 하부 단결정 반도체층 내에 우세하게 형성되는 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 6

제1항에 있어서,

상기 하나 이상의 선택된 영역을 무결정화를 위해 선택되지 않은 적어도 다른 영역으로부터 분리하기 위해 하나

이상의 트렌치 격리 영역을 형성하는 단계를 더 포함하고, 여기서 상기 하나 이상의 트렌치 격리는 무결정화 전에, 무결정화 및 재결정화 사이에 또는 부분적으로 무결정화 후 및 부분적으로 재결정화 후에 형성되는 것인 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 7

제1항에 있어서,

상기 제1 하부 단결정 반도체층 및 상기 제2 상부 단결정 반도체층은 Si, SiC, SiGe, SiGeC, Ge 합금, Ge, C, GaAs, InAs, InP, 계층 조합 또는 이들의 합금 및 다른 III-VI 또는 II-VI 화합물 반도체로 이루어진 군에서 선택된 동일하거나 다른 반도체 물질로 구성되는 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 8

제1항에 있어서,

상기 제1 하부 단결정 반도체층 및 상기 제2 상부 단결정 반도체층은 모두 Si-함유 반도체 물질로 구성되는 것인 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 9

제1항에 있어서,

상기 제1 하부 단결정 반도체층과 상기 제2 상부 단결정 반도체층은 변형된 반도체 물질, 비변형된 반도체 물질 또는 변형 및 비변형된 반도체 물질의 조합물로 구성되는 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 10

제1항에 있어서,

상기 제1 하부 단결정 반도체층과 상기 제2 상부 단결정 반도체층은 (110), (111) 및 (100)으로부터 선택된 다른 표면 배향을 갖는 평면 하이브리드 배향 기판을 형성하는 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

명세서

기술분야

[0001] 본 발명은 p형 전계 효과 트랜지스터 (FET) 및 n형 FET에 대해 다른 반도체 표면 배향을 이용함으로써 캐리어 이동성을 증진한 고성능 상보형 금속 산화물 반도체 (CMOS) 회로에 관한 것이다. 더욱 특히 본 발명은 다른 표면 결정 배향을 갖는 평면 기판 구조물을 제조하기 위한 방법 및, 이런 방법으로 제조된 하이브리드 배향 기판 구조물에 관한 것이다.

배경기술

[0002] 현재 반도체 기술의 CMOS 회로는 이들의 동작에 전자 캐리어를 이용하는 n형 FET (nFET), 및 이들의 동작에 홀 캐리어를 이용하는 p형 FET (pFET)를 포함한다. CMOS 회로는 통상 단결정 배향을 갖는 반도체 웨이퍼 상에 제조된다. 특히, 오늘날의 반도체 장치 대부분은 (100) 표면 배향을 갖는 Si 상에 구축된다.

[0003] 전자는 (100) 표면 배향인 Si에서 고 이동성을 가지고 홀은 (110) 표면 배향인 Si에서 고 이동성을 갖는다고 알려져 있다. 특히, 홀 이동성은 표준 100 배향 Si 웨이퍼 상에서 보다 110 배향 Si 웨이퍼 상에서 약 2 내지 4 배 더 높을 수 있다. 따라서, 100 배향 Si (이 때 nFET가 형성됨) 및 110 배향 Si (이 때 pFET가 형성됨)을 포함하는 하이브리드 배향 기판을 형성하는 것이 바람직할 수 있다.

[0004] 다른 표면 배향을 갖는 평면 하이브리드 기판 구조물은 이미 기재된 바 있다 (예를 들어, 2003년 10월 29일자 출원되어 함께 양도된 미국 특허 일련 번호 10/696,634 및 2003년 6월 17일자 출원되어 함께 양도된 미국 특허 일련 번호 10/250,241 참조).

[0005] 도 1A-1E는 벌크 반도체 기판(10), 유전체 트랜치 격리 영역(20), 제1 표면 배향 (예를 들어, j'k'l')을 갖는 반도체 영역(30), 및 제2 표면 배향 (예를 들어, jk1)을 갖는 반도체 영역(40)을 포함하는 평면 하이브리드 배향 반도체 기판 구조의 종래 기술을 단면도로 도시한다. 도 1A의 구조에서, 반도체 영역(30 및 40)은 둘다 바로 벌크 기판(10) 상에 바로 있으며, 반도체 영역(40)과 벌크 기판(10)은 동일한 배향을 갖는다. 도 1B의 구조는 반도체 영역(30)이 벌크 기판(10) 상에 바로 있는 대신에 매립 산화 (BOX)층(50) 상에 있다는 점만 도 1A와 다르다. 도 1C-1E의 구조는 BOX 층(50 및 50')의 두께와 트랜치 격리 구조물(20 및 20')의 깊이가 도 1A-1B의 것과 다르다.

[0006] 도 2A-2B는 Si의 (110) 결정면 상의 적어도 하나의 pFET 및 Si의 (100) 결정면 상의 적어도 하나의 nFET을 포함하는 집적 CMOS 회로가 도 1B의 하이브리드 배향 기판 구조 상에 바람직하게 배치되는 방법의 이전 예를 단면도로 나타낸다. 도 2A에서, 100 배향인 벌크 Si 기판(120)은 BOX 층(140) 상에 110 배향된 Si의 영역(130), 및 벌크 기판(120) 상에 재성장된 100 배향된 Si의 영역(150)을 갖는다. pFET 소자(170)는 110 배향된 영역(130) 상에 배치되고 nFET 소자(180)는 100 배향된 영역(150) 상에 배치된다. 도 2B에서, 110 배향인 벌크 Si 기판

(180)은 BOX 층(140) 상에 100 배향된 Si의 영역(190) 및 벌크 기판(180) 상에 재성장된 110 배향된 Si의 영역(200)을 갖는다. pFET 소자(210)는 110 배향된 영역(180) 상에 배치되고 nFET 소자(220)는 100 배향된 영역(190) 상에 배치된다.

[0007] 도 3A-3I는 도 1B의 구조를 형성하기 위해 이용되는 종래 방법의 단계를 단면도로 나타낸다. 더욱 상세히, 도 3A는 개시 Si 기판(250)을, 도 3B는 BOX 층(260) 및 실리콘 온 절연체(SiOI) 소자층(270)의 형성 이후의 기판(250)을 나타낸다. Si 기판(250)은 110 (또는 100) 배향일 수 있으며, SiOI 소자층(270)은 100 (또는 110) 배향일 수 있다. SiOI 층(270)은 본딩이나 그 외 다른 방법에 의해 형성될 수 있다. 보호 유전 (바람직하게 SiN_x)층(280)을 피착하여 도 3C의 구조를 형성한 후에, SiOI 소자층(270) 및 BOX 층(260)이 선택 영역에서 제거되어 도 3D에 나타낸 바와 같이, Si 기판(250) 까지 연장된 개구(290)를 형성한다. 개구(290)는 유전체 (바람직하게 SiN_x)와 라이닝되고 다음에 도 3E에서 나타낸 바와 같이, 측벽 스페이서(300)를 형성하도록 에칭된다. 다음에, 에피텍셜 Si(310)은 개구(290)에서 선택적으로 성장되어 도 3F의 구조물을 형성하게 되고, 이는 평탄화되어 도 3G의 구조물을 형성하도록 한다. 다음에 보호 유전체(280)가 연마 등의 프로세스에 의해 제거되어, 동일면이며 다르게 배향된 Si 소자층(310; 벌크 Si 기판(250) 위 및 320;BOX 층(260) 위)을 갖는 도 3H의 구조물을 형성하게 된다. 도 3I는 도 3H의 구조물에 얇은 트렌치 격리 영역(330)이 형성된 후의 완성된 기판 구조물을 나타낸다.

[0008] 그러나, 많은 어플리케이션에 있어서, BOX 상에 다르게 배향된 Si 영역 둘 다를 갖는 것을 원할 수 있다. 이런 구조물은 도 3A-3I의 방법을 변형하여 제조하는 것이 가능하지만, 쉽지는 않다. 예를 들어, 도 4의 구조물은 도 3A의 Si 기판(250)을 기판(410), BOX 층(420), 및 Si 층(430)을 포함하는 SiOI 기판(400)으로 교체하여 다르게 배향된 제1 배향의 단결정 영역(320) 및 반도체층(430)의 것과 일치하는 제2 배향의 영역(440)을 제조할 수 있다. 그러나, 두 BOX 층의 이용은 프로세스에 추가의 복잡성을 보태어 하이브리드 배향 중 하나가 다른 것보다 상당히 두꺼운 구조물을 형성하게 된다 (두 층이 얇아야 할 때 단점이 됨). 부가하여, 선택적 에피텍셜 Si 성장은 미묘할 수 있으며; 특히 개구(290)가 작은 (예를 들어, 직경 500nm 미만) 경우, (도 3E-3F에 나타낸) 측벽 스페이서(300)의 측면 상에 결함이 응집될 가능성이 있다.

[0009] 상기에 비추어, 평면 하이브리드 배향 반도체 기판 구조물, 특히 다르게 배향된 반도체가 공통 BOX 층 상에 배치되어 있는 평면 하이브리드 배향 반도체-온-절연체 (SOI) 기판 구조물을 형성하기 위해서 더 간단하며 더 양호한 방법 (즉, 에피텍셜 재성장을 필요로 하지 않는 것)이 요망되고 있다.

[0010] 부가하여, (110) 결정면 상에 pFET를 그리고 (100) 결정면 상에 nFET를 포함하고 있는 집적 전기 회로를 평면 하이브리드 배향 SOI 기판 상에 갖는 것이 요망되고 있다.

발명의 상세한 설명

[0011] 따라서 본 발명의 목적은 다른 표면 배향을 갖는 적어도 두 개의 명확히 형성된 단결정 반도체 영역을 포함하는 표면을 평면 하이브리드 배향 SOI 기판 구조물에 제공하는 데에 있으며, 다르게 배향된 반도체 영역은 공통 BOX 층 상에 배치된다. 용어 "명확히 형성"은 임의의 표면 배향의 표면 영역은 거시적으로 것으로 단순히 다결정 Si의 단일 입자가 아니라는 것을 나타내기 위해 이용된 것이다.

[0012] 본 발명의 관련 목적은 이런 평면 하이브리드 배향 반도체 기판 구조물을 제조하기 위한 방법을 제공하는 것이다.

[0013] 본 발명의 다른 목적은 유사한 하이브리드 배향 반도체 기판 구조물을 각종 지지층 상에 제조하기 위한 방법을 제공하는 것이다.

[0014] 본 발명의 또 다른 목적은 본 발명의 하이브리드 배향 기판 상에 집적 회로 (IC)를 제공하는 것으로, IC는 (110) 결정면 상에 pFET를 (100) 결정면 상에 nFET를 포함한다.

[0015] 상기 목록 및 그 외 목적에 따르면, 새로운 방법은 각종 평면 하이브리드 배향 반도체 기판 구조물을 형성하기 위한 새로운 방법들이 제공된다. 모든 방법에 공통적인 것은 선택된 반도체 영역의 배향이 원래의 배향에서 원하는 배향으로 변경되게 하는 다음 세 기본 단계이다:

[0016] 제1 배향의 제1 하층 단결정 반도체층 (또는 기판) 및 제1 배향과는 다른 제2 배향의 제2 상층 (통상 집합됨) 단결정 반도체층을 포함하는 이중층 템플레이트 적층을 형성하고;

[0017] 이중층 템플레이트 적층의 층들 중 하나를 선택된 영역에서 (예를 들어, 마스크를 통한 이온 주입에 의해) 무결

정화하여 국부적 무결정 영역을 형성하고;

- [0018] 적층의 비무결정층을 이용하여 국부적 무결정 영역을 재결정화하고, 이에 의해 국부적 무결정 영역의 배향을 원래의 배향에서 원하는 배향으로 변경한다.
- [0019] 측면 템플레이팅의 가능성을 최소화하기 위해서, 무결정 및 템플레이트 재결정에 선택된 영역의 측면들은 예를 들어, 트렌치에 의해 인접한 결정 영역과 격리되게 된다. 트렌치는 무결정 이전에 형성 충전되거나, 무결정과 재결정화 사이에 형성 충전되거나, 비정질화 이후와 재결정화 이후에 형성될 수 있다.
- [0020] 본 발명의 일 실시예에서, 상기 기본 단계는 평면 하이브리드 배향 SiOI 기판 구조물을 형성하기 위한 방법에 결합된다. 100 배향 Si 기판은 이중층 템플레이트 적층의 제1 하부층에 이용되고, 이중층 템플레이트 적층의 제2 상부층에는 110 배향 Si 층이 이용된다. 템플레이트 적층의 최상부는 하지 100 배향 Si 기판에서 끝나는 깊이로 선택된 영역에서 무결정화된다. 무결정 Si 영역은 하지 100 배향 Si를 템플레이트으로 이용하여, 100 배향 Si로 재결정화된다. 처리 영역에 100 배향 Si의 표면 영역과 비처리 영역에 110 배향 Si의 표면 영역을 남기는 이들 패턴화 무결정 및 재결정화 단계에 이어서, 매립 산화물 (BOX) 층이 산소 주입과 어닐링으로 형성된다 (예를 들어, "산소 주입 분리법" 또는 SIMOX 프로세스).
- [0021] 본 발명의 다른 실시예에서, 상기 기본 단계는 평면 하이브리드 배향 SiOI 기판 구조물을 형성하도록 다른 방법에 결합된다. 이 방법에서, BOX 층 상의 110 배향 SiOI 층은 이중층 템플레이트 적층의 제1 하부층에 이용되고, 100 배향 Si 층은 이중층 템플레이트 적층의 제2 상부층에 이용된다. 이중층 템플레이트 적층의 최하부는 BOX 층으로부터 상부 템플레이트 층에서 끝나는 깊이 까지 선택된 영역에서 무결정화된다. 무결정 Si 영역은 상부 100 배향 Si층을 템플레이트으로 이용하여 100 배향 Si으로 재결정화된다. 이중층 템플레이트의 최상부는 연마와 같은 프로세스로 제거되어 동일 평면의 표면 영역인 110 배향 Si (비처리 영역에서) 및 100 배향 Si (처리 영역에서)을 남기게 된다.
- [0022] 본 발명의 기본 단계는 다른 기판 (예를 들어, 벌크, 얇거나 두꺼운 BOX, 절연 또는 고저항성 기판) 상에 평면 하이브리드 배향 반도체 구조물을 형성하거나, 세 개 이상의 표면 배향을 갖는 평면 하이브리드 배향 반도체 기판 구조물을 형성하도록 전체나 부분적으로 용이하게 적용될 수 있다.
- [0023] 본 발명의 또 다른 형태는 평면 하이브리드 배향 반도체 기판 상에 집적 회로를 제공하는 것으로, 이 집적 회로는 (110) 결정면 상에 pFET를 (100) 결정면 상에 nFET를 포함한다.

실시예

- [0035] 평면 하이브리드 배향 SOI 기판 구조 및 이를 제조하는 방법을 제공하는 본 발명을 이하 첨부한 도면을 참조하여 더욱 상세히 설명한다.
- [0036] 도 5A-5B는 본 발명의 방법으로 제조될 수 있는 하이브리드 배향 기판의 두 바람직한 실시예를 단면도로 나타낸다. 도 5A의 하이브리드 배향 기판(450) 및 도 5B의 하이브리드 배향 기판(460)은 제1 배향의 제1 단결정 반도체 영역(470) 및 제1 배향과는 다른 제2 배향의 제2 단결정 반도체 영역(480)을 포함한다. 반도체 영역(470 및 480)은 거의 동일한 두께를 가지며 동일한 BOX 층(490) 상에 배치된다. 용어 "BOX"는 매립 산화물 영역을 나타낸다. 이 용어가 여기에서 특정하게 이용되고 있지만, 본 발명은 단순히 매립 산화물에만 제한되는 것은 아니다. 대신에, 여러 절연층을 이용할 수 있는데; 여러 절연층을 이하 더 상세히 기술한다.
- [0037] 반도체 영역(470 및 480)은 유전 트렌치 격리 영역(500)에 의해 분리되고, 이는 동일 깊이를 갖고 BOX 층(490) 상에서 정지하는 것으로 도시되어 있다. 그러나, 본 발명의 몇 실시예에서, 트렌치 격리 영역(500)은 원하는 데로, (BOX 층(490)에 닿지 않도록) 더 얇을 수도 있고, (BOX 층(490)을 지나 연장되도록) 더 두꺼울 수도 있고, 또는 동일하지 않은 깊이로 되어 있을 수도 있다. 도 5A 및 도 5B의 구조는 기판(510 및 520)의 상세 사항만이 서로 다르다. 도 5A의 기판(510)은 단결정 반도체 영역(480)과 에피택셜 관계를 갖는 반도체인 반면, 도 5B의 기판(520)은 어떤 후속 처리를 거치게 되는지에 양립하는 것과는 달리 특정 제한 사항을 갖지 않는다.
- [0038] 도 5A-5B의 하이브리드 배향 기판 구조물은 (110) 결정면 상의 적어도 하나의 pFET 및 (100) 결정면 상의 적어도 하나의 nFET를 포함하는 집적 회로에 대한 기판으로 만들어진다. 도 6은 도 5B의 하이브리드 배향 기판의 Si 버전 상의 예시의 집적 회로를 단면도로 나타낸다. 기판(520)은 BOX 층(490) 상의 격리 영역(500)에 의해 분리된 단결정 110-배향 Si 영역(530) 및 단결정 100 배향 Si 영역(540)을 갖는다. pFET 소자(170)는 110 배향 영역(530)에 배치되고 nFET 소자(180)는 100 배향 영역(540)에 배치된다. 명확하게 하기 위해, 도핑은 나타내지 않았다.

- [0039] 도 6에 나타난 FET는 당업자에게는 잘 알려진 기술을 이용하여 도 5A에 나타난 구조물 상에 제조된다. 몇 실시예에서, 층(540 및 530)의 110 및 100 결정 배향은 역전된다. 이 실시예에서, pFET 소자(170)는 110 배향 영역 위에 제조되고 nFET 소자(180)는 100 배향 표면 위에 제조되게 된다.
- [0040] 본 발명은 또한 평면 하이브리드 배향 반도체 기관 구조물을 형성하기 위한 새로운 방법을 제공한다. 모든 방법에 공통적인 것은 선택된 반도체 영역의 배향을 원래의 배향에서 원하는 배향으로 변경시키는 다음의 세 기본 단계이다:
- [0041] 제1 배향을 갖는 제1 하부 단결정 반도체층 (또는 기관) 및 제 1의 것과 다른 제2 배향을 갖는 제2 상부 (보통 본딩됨) 단결정 반도체층을 포함하는 이중층 템플레이트 적층을 형성하고;
- [0042] 이중층 템플레이트 적층의 층들 중 하나를 선택 영역에서 무결정화하여 (예를 들어, 마스크를 통한 이온 주입에 의해) 국부적 무결정 영역을 형성하고;
- [0043] 적층의 비무결정층을 템플레이트로 이용하여 국부적 무결정 영역을 재결정하고, 이로 인해 국부적 무결정 영역의 배향을 원래의 배향에서 원하는 배향으로 변경한다.
- [0044] 이들 단계를 상부층 무결정 및 하부층 템플레이팅의 경우에 대해 도 7A-7D에 나타낸다. 이 실시예가 도시되었지만, 본 발명은 또한 저부층이 무결정화되고 재결정화가 상부층으로부터 템플레이트되는 방법을 생각한다.
- [0045] 도 7A는 제1 배향의 베이스 기관(520), BOX 층(490), 및 단결정 SOI 층(590)을 포함하는 초기 SOI 기관(580)을 나타낸다. SOI 층(590)은 본딩이나 그 외 본 기술에 알려진 방법에 의해 형성될 수 있다. 도 7B는 제1 배향의 하부 템플레이트층으로서 SOI 층(590) 및 제1 배향과는 다른 제2 배향의 상부 템플레이트층으로서 단결정 반도체층(610)을 포함하는 이중층 템플레이트 적층(600)을 나타낸다. 층(610)은 통상 본딩으로 형성된다. 도 7C는 선택 영역의 이온 충돌(620)이 국부적 무결정 영역(630)을 형성한 후의 도 7B의 구조를 나타낸다. 국부적 무결정 영역(630)은 상부 템플레이트층(610)의 상부면으로부터 하부 템플레이트층(590) 내에 위치된 인터페이스(640)에까지 연장된다. 선택 영역 이온 충돌(620)은 패터닝 마스크와 조합되어 블랭킷 이온 충돌에 의해 실행된다. 도 7D는 단결정 반도체 영역(650)을 형성하도록 국부적 무결정 영역(630)이 (템플레이트로 하부층(590)을 이용하여, 인터페이스(640)에서 시작) 재결정화된 후의 도 7C의 구조를 나타낸다. 비무결정화 상부 템플레이트층 영역(610') (제2 결정 배향) 및 재결정화 영역(650) (제1 결정 배향)은 다른 표면 배향을 갖는 적어도 두 개의 명확히 형성된 단결정 반도체 영역을 포함하는 표면 A-B를 갖는 평면 하이브리드 배향 표면(650)을 포함한다.
- [0046] 측면 템플레이팅의 가능성을 최소화하기 위해서, 무결정 및 템플레이트된 재결정에 선택된 영역(630)의 측면은 통상 예를 들어, 트렌치에 의해 인접한 결정 영역과 적어도 부분 분리되게 된다. 트렌치는 무결정화 이전에 형성 충전되거나, 무결정화와 재결정화 사이에 형성 충전되거나, 무결정화 이후에 형성되어 재결정화 이후에 충전될 수 있다. 트렌치 형성은 보통 마스크를 통한 반응성 이온 에칭 (RIE)과 같은 프로세스에 의해 이루어진다.
- [0047] 도 7E-7G는 격리 트렌치에 대한 세 기하학적 예를 나타낸다. 도 7E에서, 격리 트렌치(660)는 상부 템플레이트층을 통해 연장되지만, 무결정 깊이를 지나 연장되지는 않는다. 이 경우, 측면 인터페이스(670)로부터 약간의 템플레이팅이 발생할 수 있다. 도 7F에서, 격리 트렌치(680)는 무결정 깊이를 지나지만, BOX 층(490) 까지 연장되지는 않고, 도 7G에서 격리 트렌치(690)는 BOX 층(490) 까지 내내 연장된다. 그러나, 원하는 결정 배향의 재결정화 속도가 원치 않는 결정 배향으로부터 템플레이트된 재결정화 보다 더 빠른 경우에는 격리 트렌치는 필요하지 않다. 예를 들어, Si 주입 무결정화 단결정 Si 샘플의 재결정화 비율은 110 배향 Si에 대한 경우 보다는 100 배향 Si에 대해 3배 더 빠른 것으로 보고된 바 있다 [예를 들어, L.Csepregi 등의 J.Appl.Phys.49 3096(1978)].
- [0048] 다른 반도체 배향이 그 재결정화 속도를 다르게 할 수 있다는 사실을 또한 템플레이트층 적층과 프로세스 흐름을 디자인할 때 고려해야 한다. 저속 성장 배향을 갖는 이중층 템플레이트 적층의 층은 무결정화되는 것이 바람직한 반면, 고속 성장 배향의 층은 재결정화가 템플레이트된 것이 바람직하다.
- [0049] 도 8A-8G에서 나타난 본 발명의 일 실시예에서, 도 7A-7D의 기본 단계는 도 5A의 구조물(450)에 유사한 평면 하이브리드 배향 SiO₂ 기관 구조물을 형성하기 위한 방법에 결합된다. 간략하게 하기 위해 격리 트렌치는 도시하지 않았다. 도 8A는 템플레이트 적층의 제1 하부층을 포함하는 100 배향 Si 기관(700)을 나타내고; 도 8B는 템플레이트 적층의 제2 상부층을 포함하는 110 배향 Si 층(710)의 부가 이후의 기관(700)을 나타낸다. 층(710)은 통상 본딩으로 형성된다.

- [0050] 도 8C는 선택된 영역에 이온 충격(720)을 가한 도 8B의 구조물을 나타내는 것으로 템플레이트층(710)의 상부면 으로부터 기판(700)에서 끝나는 깊이로 연장된 국부적 무결정 영역(730)을 갖는 도 8D의 구조물을 형성하게 된다. 도 8E는 국부적 무결정 영역(730)이 (템플레이트으로 100 배향 Si 기판(700)을 이용하여) 재결정화된 이후 의 도 8D의 구조물을 나타내는 것으로 단결정 100 배향 Si 영역(740)을 형성하게 된다. 비무결정 110 배향 Si 영역(710') 및 재결정화된 100 배향 Si 영역(740)은 다른 표면 배향을 갖는 적어도 두 개의 명확히 형성된 단결 정 반도체 영역을 포함하는 표면 A-B를 갖는 벌크 평면 하이브리드 배향 기판(750)을 포함한다.
- [0051] SIMOX 프로세스는 도 8F-8G에서 나타낸 바와 같이, BOX 층을 형성하는 데에 이용된다. 도 8F는 매립된 0-리치 층(770)을 형성하는 데에 이용되는 블랭킷 산소 이온 주입(760)에 노출되고 있는 도 8E의 구조물을 나타낸다. 0-리치층(770)은 층(700 및 710) 간에 원래의 인터페이스를 포함하는 것이 바람직하고, 적당한 어닐링 단계로 도 8G의 BOX 층(780)으로 변환된다.
- [0052] 도 9A-9F에서 나타낸 본 발명의 다른 실시예에서, 도 7A-7D의 기본 단계는 도 5B의 구조물(460)과 유사한 평면 하이브리드 배향 SiOI 기판 구조물을 형성하도록 또 다른 방법에 결합된다. 더욱 상세히, 도 9A는 베이스 기판 (520), BOX 층(490), 및 110 배향 단결정 Si 층(810)을 포함하는 초기 SiOI 기판(800)을 나타낸다. Si 층 (810)은 본딩이나 그 외 본 기술에 잘 알려진 방법에 의해 형성될 수 있다. 도 9B는 하부 템플레이트층으로서 의 110 배향 Si 층(810) 및 상부 템플레이트층으로서의 단결정 100 배향 Si 층(830)을 포함하는 이중층 템플레 이트 적층(820)을 나타낸다. 층(830)은 통상 본딩으로 형성된다. 도 9C는 선택 영역에 이온 충돌(840)이 가해 져 매립된 국부적 무결정화 영역(850)을 갖는 도 9D의 구조물을 형성하는 도 9B의 구조물을 나타낸다. 국부적 무결정화 영역(850)은 BOX 층(490)으로부터 하부 템플레이트층(810)을 관통해 부분 상부 템플레이트층(830) 내 로 연장된다. 상술된 바와 같이, 무결정화 및 템플레이트된 재결정화에 선택된 영역은 통상 트렌치 (도시 생략)로 인접한 결정 영역과 격리되어 측면 템플레이팅의 가능성을 최소화한다. 도 9E는 상부 템플레이트층 (810)을 템플레이트으로 이용하여 국부적 무결정 영역(850)이 재결정화된 후의 도 9D의 구조를 나타내고, 이에 의해 100 배향 단결정 Si 영역(860)이 형성되게 된다. 다음에 상부 템플레이트층(810)은 연마 등의 프로세스로 제거되어 공통 BOX 층(490) 상에 배치된 동일 평면 110 배향 단결정 Si 영역(810') 및 100 배향 단결정 Si 영역 (860)을 남기게 된다.
- [0053] 도 8A-8G의 방법은 기판(700)과 상부 템플레이트층(710)의 배향을 역전하여, 즉 기판(700)이 100 배향 Si 웨이 퍼 대신에 110 배향 Si 웨이퍼를 포함하고 상부 템플레이트층(710)이 110 배향 Si의 단결정층 대신에 100 배향 Si의 단결정층을 포함하여 동일하게 이용될 수도 있다는 점에 유의해야 한다. 유사하게, 도 9A-9F의 방법은 하 부 템플레이트층(810)과 상부 템플레이트층(830)의 배향을 역전하여, 즉 하부 템플레이트층(810)이 110 배향 Si 대신에 100 배향 Si이고 상부 템플레이트층(830)이 100 배향 Si 대신에 110 배향 Si이게 이용될 수 있다. 더욱 일반적으로, 본 발명의 구조 및 방법은 이하 더 상세히 기재되는 바와 같이, Si 이외의 반도체를 이용하여 이용 될 수 있다.
- [0054] 도 10A-10I는 본 발명의 방법에 의해 형성될 수 있는 하이브리드 배향 기판의 여러 실시예를 단면도를 나타낸다. 도 10A는 제1 배향인 제1 단결정 반도체 영역(910) 및 제1 배향과는 다르지만, 기판(930)의 배향과 동일한 제2 배향의 제2 단결정 반도체 영역(920)을 포함하는 "벌크" 평면 하이브리드 배향 반도체 기판 구조물 (900)을 나타낸다. 도 10B의 평면 하이브리드 배향 반도체 기판 구조물(940)은 도 10A의 구조물(900)과 유사하 지만, 단결정 반도체 영역(910 및 920)을 분리하는 트렌치 격리 영역(950)을 갖는다.
- [0055] 도 10C의 평면 하이브리드 배향 반도체 기판 구조물(960)은 도 10A의 구조물(900)과 유사하다. 그러나, 기판 (930)은 기판(980)과 대체되었으며, 이는 반도체 영역(920)에 대해 에피택셜 관련되거나 관련되지 않을 수도 있 다. 구조물(960)은 또한 반도체 영역(910 및 920) 아래의 BOX 층(970) 및 제1 반도체 영역(910) 아래 남아 있 는 제2 배향의 제2 반도체 재료의 잔여물(990)을 포함한다. 도 10D의 평면 하이브리드 배향 반도체 기판 구조 물(1000)은 반도체 영역(920)이 반도체 기판(930)과 에피택셜 관련되고 BOX 층(970)이 제1 단결정 반도체 영역 (910)과 기판(930) 간의 인터페이스(1010) 위에 위치되어 있다는 점을 제외하고는 도 10C의 구조물(960)과 유사 하다.
- [0056] 도 10E-10F의 평면 하이브리드 배향 반도체 기판 구조물(1020 및 1030)은 반도체 기판(930)이 절연 기판(1040) 과 대체되어 있다는 점을 제외하고는 도 10A-10B의 구조물(1000 및 940)과 동일하다.
- [0057] 도 10G-10H의 평면 하이브리드 배향 반도체 기판 구조물(1050 및 1060)은 도 10C의 구조물(960)과 유사하지만, 트렌치 격리 영역(950)을 갖는다. 도 10G의 구조물(1050)에서, 트렌치 격리 영역(950)은 제1 단결정 반도체 영 역(910)과 잔여물(990) 간의 인터페이스(1070) 아래로 연장되지만, BOX 층(970)에 이르지 않는다는 점. 도 10H의

구조물(1060)에서, 트렌치 격리 영역(950)은 BOX 층(970)으로 연장된다.

- [0058] 도 10I의 평면 하이브리드 배향 반도체 기관 구조물(1080)은 BOX 층(970)으로 연장된 트렌치 격리 영역(950)에 의해 분리된 세 개의 배향이 다른 단결정 반도체 영역(910, 920 및 1090)을 포함한다. 세 개 이상의 표면 배향을 갖는 평면 하이브리드 배향 반도체 기관 구조물은 이중층 템플레이트 적층 대신에 다중층 템플레이트 적층을 이용하여 본 발명의 국부적 무결정 및 재결정 방법에 의해 형성될 수 있다.
- [0059] 도 5A-5B 및 도 10A-10I의 것과 유사한 구조물은 부가의 단계로 또는 부가의 단계 없이 기본 단계를 다양하게 치환하여 형성될 수 있다. 예를 들어, 도 5B의 평면 하이브리드 배향 구조물 유사물(460)이 제2 반도체 재료(920)의 잔여물(990)을 무결정화하고 단결정 영역(910)을 템플레이트으로 이용하여 무결정 영역을 재결정화하는 부가의 단계에 의해 도 10H의 구조물로부터 형성될 수 있다.
- [0060] 본 발명의 반도체 기관 및 단결정 반도체 영역은 폭 넓은 범위의 반도체 재료 중에서 선택될 수 있다. 예를 들어, 기관(510, 520, 700, 930 및 980) 및 다르게 배향된 제1 및 제2 반도체 영역(470, 610', 910 및 480, 650 및 920)은 Si, SiC, SiGe, SiGeC, Ge 합금, Ge, C, GaAs, InAs, InP 뿐만 아니라, 그 외 III-V 또는 II-VI 화합물 반도체 중에서 선택될 수 있다. 하나 이상의 도펀트를 갖거나 갖지 않는 상술한 반도체 재료 (예를 들어, SiGe 상의 Si 층)의 계층 조합이나 합금을 여기에서 생각할 수 있다. 제1 및 제2 반도체 영역은 변형되거나 비변형될 수도 있고, 또는 변형층과 비변형층의 조합을 이용할 수도 있다. 결정 배향은 통상 (110), (111) 및 (100)을 포함하는 그룹에서 선택될 수 있다.
- [0061] 제1 및 제2 단결정 반도체 영역(470, 610', 910, 및 480, 650 및 920)의 두께는 통상 약 1 내지 약 500nm이고, 약 10 내지 약 100nm의 두께가 더욱 일반적이다. 기관(510, 520, 700, 930 및 980)의 두께는 통상 5와 1000 μ m 사이이고, 가장 통상적으로는 약 600 μ m이다.
- [0062] BOX 층과 절연 기관(1040)은 이에만 제한되는 것은 아니지만 SiO₂, 결정 SiO₂, 질소나 그 외 원소를 함유하는 SiO₂, 실리콘 질화물, 금속 산화물 (예를 들어, Al₂O₃), 절연 금속 질화물 (예를 들어, AlN), 결정 다이아몬드와 같은 고 열전도성을 포함하는 폭넓은 범위의 유전 재료 중에서 선택될 수 있다. BOX 두께는 약 2nm 내지 약 500nm의 범위이며, 통상 약 50 내지 약 150nm의 범위에 있는 것이 바람직하다.
- [0063] 템플레이트 적층을 형성하기 위한 본딩 방법은 당업자에게는 잘 알려진 방법을 포함한다 (예를 들어, Q.Y.Tong 등의 [in Semiconductor Wafer Bonding: Science and Technology (John Wiley, 1998)] 및 2003년 10월 29일자 출원된 함께 계류중이며 양도된 미국 특허 일련 번호 10/696,634 및 2003년 6월 17일자 출원된 함께 계류중이며 양도된 미국 특허 일련 번호 10/250,241 참조). 상기 기술된 함께 양도된 미국 출원 각각의 내용은 여기 참조로 언급되고 있다.
- [0064] 본딩되는 다르게 배향된 반도체 표면은 가장 깨끗한 인터페이스를 위해서 소수성 (친수성 보다는)인 것이 바람직하는데, 이는 무결정 영역의 불순물이 통상 재결정화의 진행을 저해하기 때문이다. 그러나, 산화물이 적당한 어닐링으로 불연속적인 아일랜드 형태를 갖게 만들어질 수 있다면 본딩된 인터페이스에서의 매우 얇은 산화물은 허용 가능하다 (예를 들어, 2001년 9월 2-7일, 샌프란시스코, 반도체 웨이퍼 본딩에 대한 6차 국제 심포지움에서 P.McCann 등의 "직접 실리콘 본딩시의 계면 산화물 조사" 참조). 본딩 이후의 웨이퍼 분리/제거는 웨이퍼를 연마하거나 에칭 (바람직하게는 에칭 정지층을 이용)하거나, 이전의 처리 단계에서 형성된 기계적으로 약한 인터페이스층을 이용하여 달성될 수 있다. 기계적으로 약한 인터페이스층의 예들은 다공성 Si (예를 들어, 2000년 6월, 고체 상태 기술에서 K.Sakaguchi 등에 의해 기술된 에피택셜층 전이 (ELTRAN) 참조] 및 이온 주입 H 함유 버블 (예를 들어, 1994년 12월 20일 발해진 M.Bruehl의 미국 특허 번호 5,374,564 및 1999년 3월 16일자 발해진 K.V.Strikrishnan의 미국 특허 번호 5,882,987에 기재된 스마트 컷 프로세스 (smart cut process) 참조).
- [0065] 무결정은 통상 이온 주입으로 실행된다. 최적의 이온 주입 조건은 템플레이트층의 재료, 템플레이트 층의 두께 및 무결정화된 적층 층의 위치 (상부 또는 하부)에 따라 다르다. 이들에만 제한되는 것은 아니지만, Si, Ge, Ar, C, O, N, H, He, Kr, Xe, P, B, As 등을 포함하는 당업자에게는 알려진 이온 종들이 이용될 수 있다. 무결정화를 위한 이온은 Si 또는 Ge인 것이 바람직하다. H와 He 등과 같은 더 가벼운 이온들은 통상 무결정화시 덜 효율적이다. 이온 주입은 극저온에서 공칭의 실온 이상의 몇백 °C 까지의 범위의 온도에서 실행될 수 있다. "공칭의 실온"이라는 것은 약 20°C에서 약 40°C의 온도를 의미한다. 무결정화되지 않은 영역은 통상 패터닝 마스크 (예를 들어, 실온 주입 프로세스 동안 패터닝된 포토레지스트)에 의해 이온 주입으로부터 보호될 수 있다. 주입은 "스크린 산화물" 층 없이 또는 없이 실행될 수 있으며 충분히 균일하게 무결정화된 영역이 단일 주입으

로 쉽게 성취될 수 없다면 다른 에너지에서 복수의 주입이 실행될 수 있다. 필요한 주입량은 주입 중, 주입되고 있는 반도체, 및 무결정화가 필요한 층의 두께에 따라 다르다. 총 6E15/cm²의 도스량으로 50, 100, 150 및 200keV에서 극저온 주입된 Si는 100 배향 및 110 배향된 Si의 상부 400nm를 무결정화하는 데에 충분한 것으로 밝혀졌다 (예를 들어, L.Csepregi 등 참조). 그러나, 더 낮은 도스량 (예를 들어, 40keV에서 5E14/cm²)은 주입된 이온이 Ge이고 무결정화된 표면 영역이 50-100nm 보다 더 얇을 때 Si를 무결정화할 수 있다.

[0066] 국부적 무결정 영역(630, 730, 및 850)의 재결정화는 통상 원하는 재결정화를 초래하기 충분한 시간 동안, 약 200°C 내지 약 1300°C의 온도에서, 바람직하게는 약 400°C에서 약 900°C에서, 더 바람직하게는 약 400°C 내지 600°C에서 어닐링하여 행해진다. 이 주기는 템플레이트 층의 배향, 재결정화될 무결정 영역의 두께, 무결정층의 주입 및 그 외 불순물의 존재, 및 가능하다면 주입과 비주입 영역 간의 인터페이스의 예리함에 따라 달라지게 된다. 어닐링은 퍼니스 (furnace)에서 또는 급속 열 어닐링에 의해 실행된다. 다른 실시예에서, 어닐링은 레이저 어닐링이나 스파이크어닐링을 이용하여 실행될 수 있다. 어닐링 분위기는 통상 N₂, Ar, He, H₂ 및 이들 가스의 혼합물을 포함하는 가스의 그룹 중에서 선택된다.

[0067] 재결정화 단계에 이어 구조물에 매립 절연물이 형성될 때, 매립 절연층의 형성시 이용될 수 있는 종래의 이온 주입 단계와 어닐링 단계가 이용될 수 있다. 예를 들어, 종래의 SIMOX 프로세스는 도 8F-8G에 나타난 구조물의 매립 산화물층을 제조할 때 이용될 수 있다.

[0068] 본 발명의 몇 실시예는 그 변형예와 함께 여기에서 상세히 기재되었으며 첨부한 도면에서 도시되고 있으며, 여러 다른 변형이 본 발명의 영역에서 벗어나지 않고 가능하다는 것이 명백하다. 특히, 본 발명의 기관 구조물, 회로, 및 방법의 대부분은 두 다른 배향을 갖는 소수의 단결정 영역의 경우에 대해 설명되었지만, 본 발명은 이런 단결정 영역의 대부분을 제공하기 위한 방법과 이를 포함하는 구조물에도 동일하게 적용된다. 더욱, 본 발명의 하이브리드 배향 기관은 부가의 덧층 (에피택셜 성장된 반도체나 부가의 본딩층), 특정 표면 특성의 제거나 에칭백 (예를 들어, 단결정 반도체 영역이나 트렌치 격리 중 하나 이상의 리세싱) 및/또는 특수한 도핑 프로파일과 결합될 수 있는데, 후속 제조된 소자에 대해 이런 기관 특성이 필요한 경우이다. 상기 설명은 본 발명을 다음 청구범위 보다 더욱 좁게 제한하고자 하는 것은 아니다. 이들 예들은 배타적이기보다는 설명적으로만 이해되어야 한다.

도면의 간단한 설명

[0024] 이들 및 그 외 특성, 형태 및 장점은 본 발명의 다음 상세 설명으로부터 더욱 용이하게 명백하게 되며 잘 이해될 것이다.

[0025] 도 1A-1E는 종래의 평면 하이브리드 배향 반도체 기관 구조물의 몇 예를 단면도를 나타낸 것으로, 두 반도체 배향 중 첫번째 것은 벌크 반도체 기관 상에 직접 배치되며 두 반도체 배향 중 두번째 것은 기관 상에 배치되거나 (도 1A 및 도 1C), 얇은 BOX 층에 의해 기관과 부분 절연되거나 (도 1E), 두꺼운 BOX 층에 의해 기관과 완전히 절연된다 (도 1B 및 1D).

[0026] 도 2A-2B는 도 1B의 하이브리드 배향 기관 구조물이 110 배향 단결정 Si 영역 상에 적어도 하나의 pFET를 100 배향 단결정 Si 영역 상에는 적어도 하나의 nFET를 포함하는 집적 회로의 기본을 어떻게 구성하는지의 종래 기술 예를 단면도로 나타낸다.

[0027] 도 3A-3I는 도 1B의 경우에 대해 설명된, 도 1A-1E의 구조물을 형성하는 데에 이용되는 기본적인 종래의 방법의 단계를 단면도로 나타낸다.

[0028] 도 4는 두 개의 다르게 배향된 단결정 Si 영역 둘 다가 매립 절연층 상에 배치되어 있는 평면 하이브리드 배향 반도체 기관 구조물의 종래 예를 단면도로 나타낸다.

[0029] 도 5A-5B는 본 발명의 하이브리드 배향 기관의 두 바람직한 SOI 실시예를 단면도로 나타낸다.

[0030] 도 6은 본 발명의 하이브리드 배향 기관 구조물이 (110) Si 결정면 상에 적어도 하나의 pFET를 (100) Si 결정면 상에 적어도 하나의 nFET를 포함하는 집적 회로의 기본을 형성하는 데에 어떻게 이용될 수 있는지를 단면도로 나타낸다.

[0031] 도 7A-7G는 상부층 무결정과 하부층 템플레이팅의 경우에 대해 설명된, 본 발명의 방법의 기본 단계를 단면도로

나타낸다.

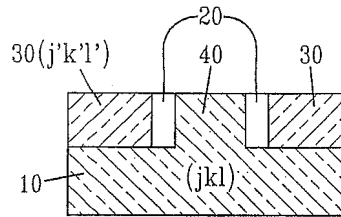
[0032] 도 8A-8G는 본 발명의 도 5A의 구조물을 형성하는 제1 바람직한 방법을 단면도로 나타낸다.

[0033] 도 9A-9F는 본 발명의 도 5B의 구조물을 형성하는 제2 바람직한 방법을 단면도로 나타낸다.

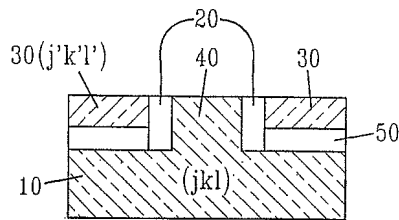
[0034] 도 10A-10I는 본 발명의 방법으로 형성될 수 있는 하이브리드 배향 기관의 여러 실시예를 단면도로 나타낸다.

도면

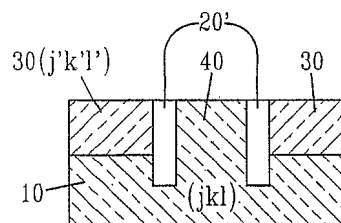
도면1A



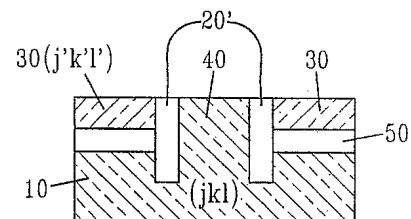
도면1B



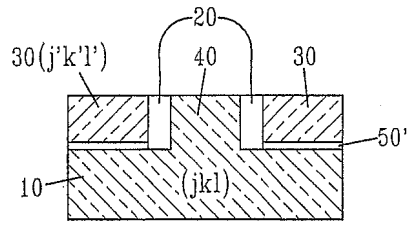
도면1C



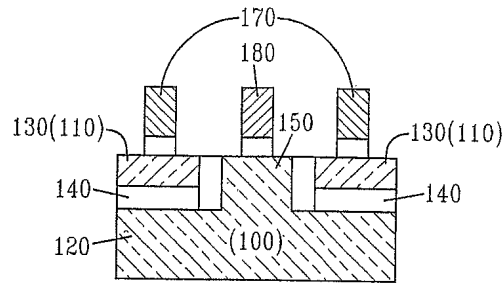
도면1D



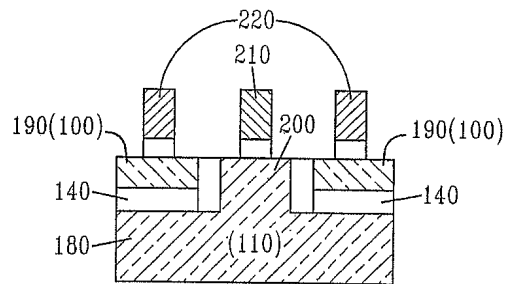
도면1E



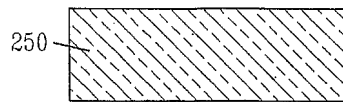
도면2A



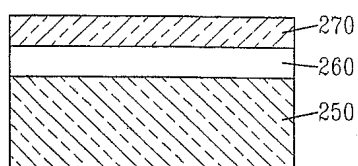
도면2B



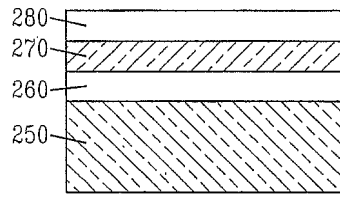
도면3A



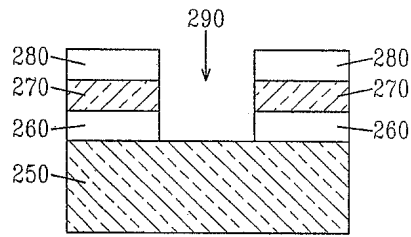
도면3B



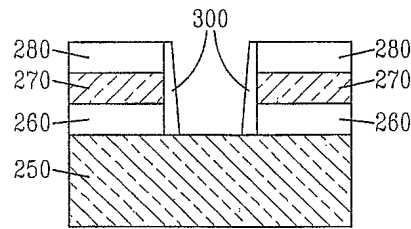
도면3C



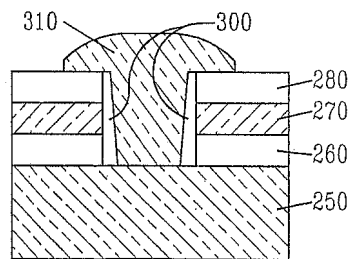
도면3D



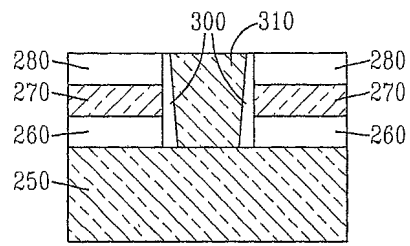
도면3E



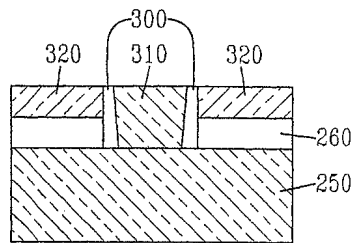
도면3F



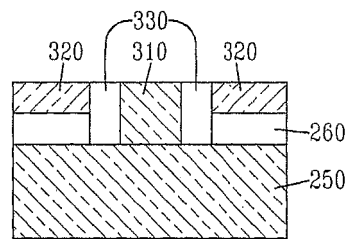
도면3G



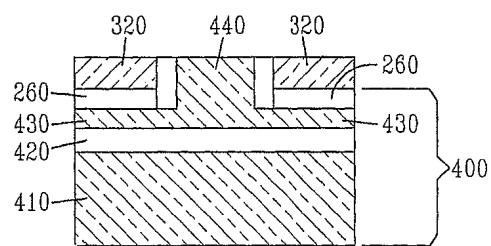
도면3H



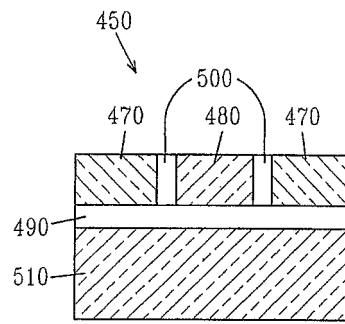
도면3I



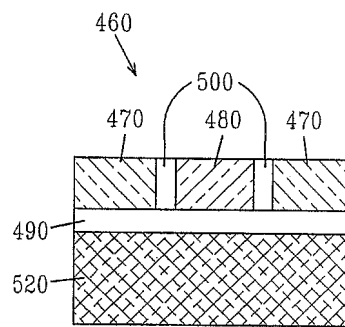
도면4



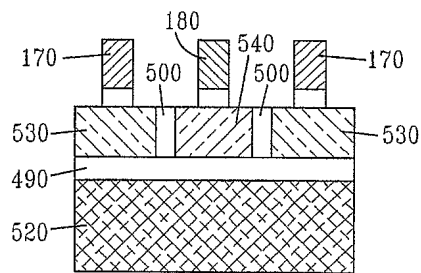
도면5A



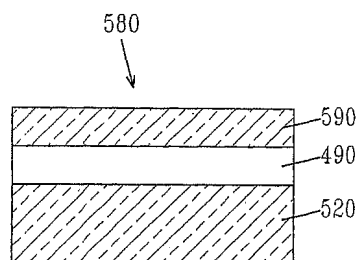
도면5B



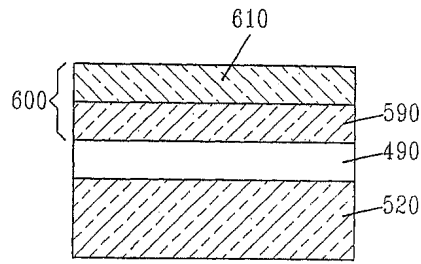
도면6



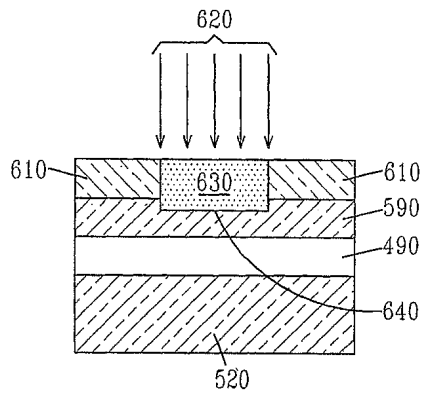
도면7A



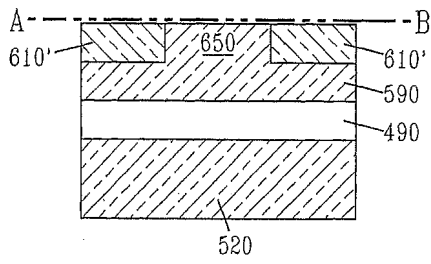
도면7B



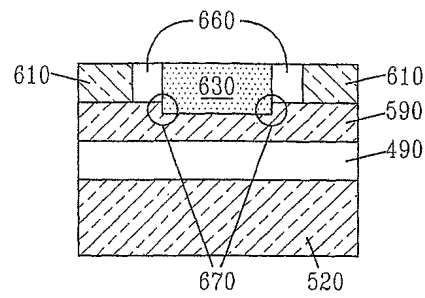
도면7C



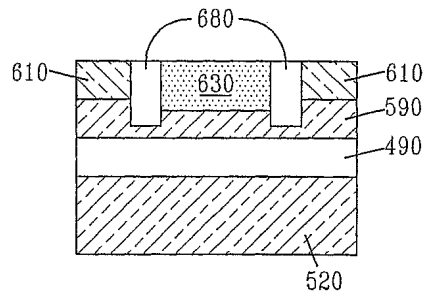
도면7D



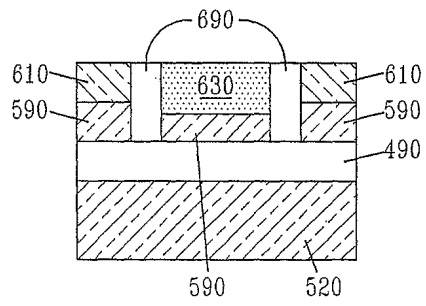
도면7E



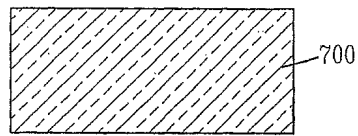
도면7F



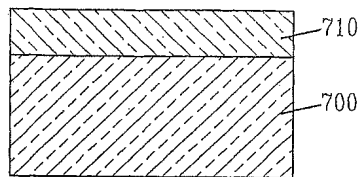
도면7G



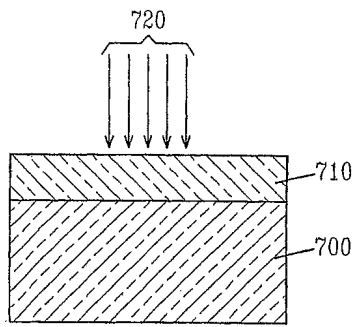
도면8A



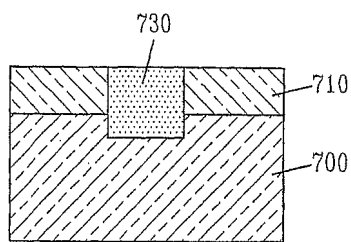
도면8B



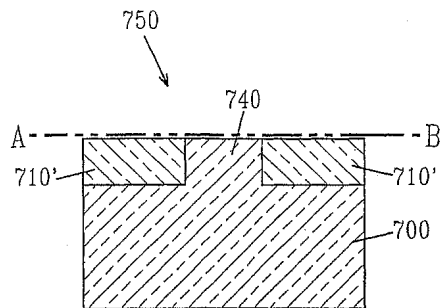
도면8C



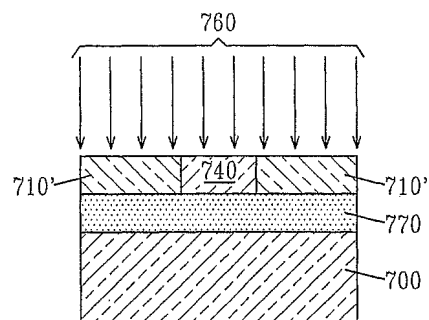
도면8D



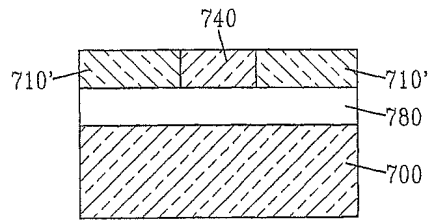
도면8E



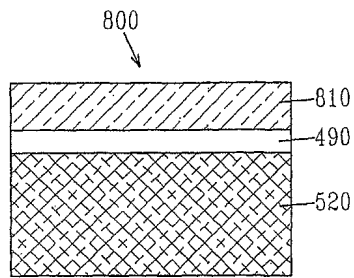
도면8F



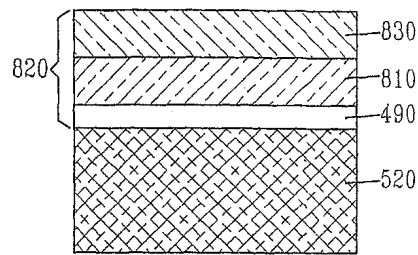
도면8G



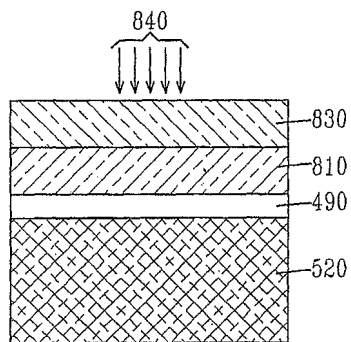
도면9A



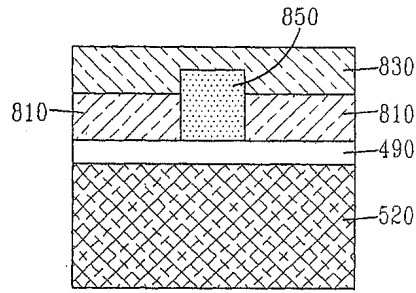
도면9B



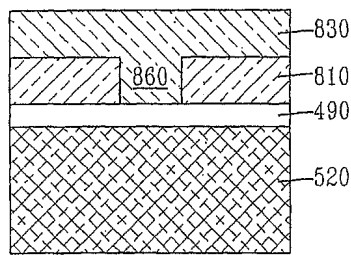
도면9C



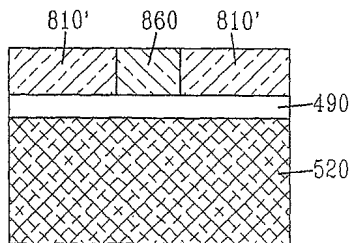
도면9D



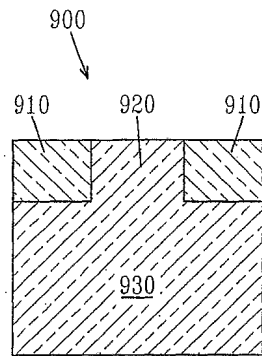
도면9E



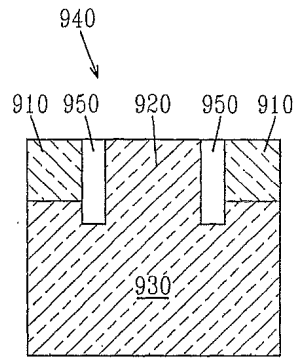
도면9F



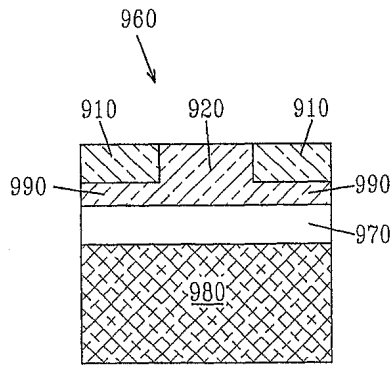
도면10A



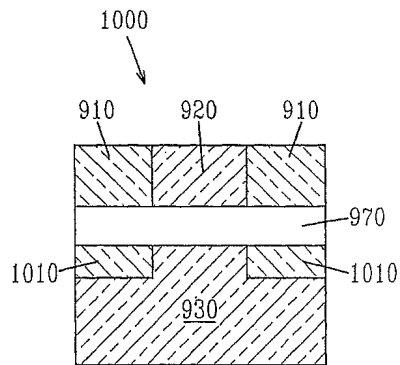
도면10B



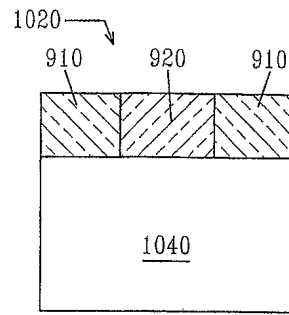
도면10C



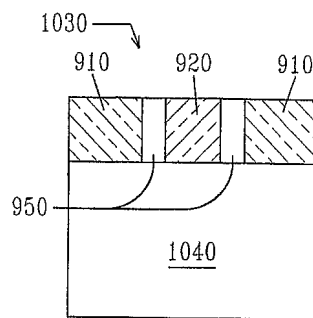
도면10D



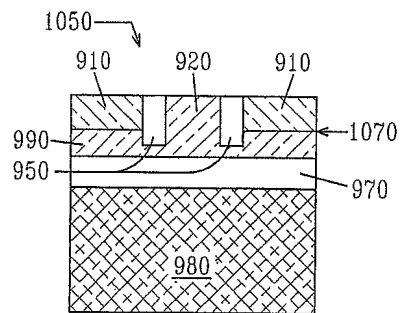
도면10E



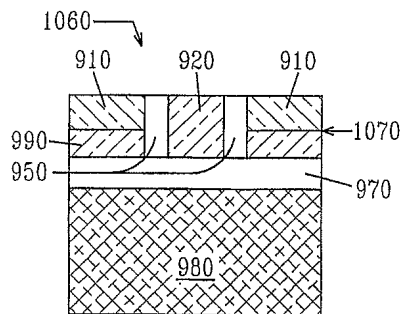
도면10F



도면10G



도면10H



도면10I

