

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5482158号
(P5482158)

(45) 発行日 平成26年4月23日(2014.4.23)

(24) 登録日 平成26年2月28日(2014.2.28)

(51) Int.Cl.

H03M 1/38 (2006.01)

F I

H03M 1/38

請求項の数 1 (全 14 頁)

<p>(21) 出願番号 特願2009-276739 (P2009-276739) (22) 出願日 平成21年12月4日 (2009.12.4) (65) 公開番号 特開2011-120091 (P2011-120091A) (43) 公開日 平成23年6月16日 (2011.6.16) 審査請求日 平成24年10月22日 (2012.10.22)</p>	<p>(73) 特許権者 000004075 ヤマハ株式会社 静岡県浜松市中区中沢町10番1号 (74) 代理人 100111763 弁理士 松本 隆 (72) 発明者 川合 博賢 静岡県浜松市東区子安町311番地の3 三栄ハイテックス株式会社内 審査官 柳下 勝幸</p>
--	---

最終頁に続く

(54) 【発明の名称】 逐次比較A/D変換器

(57) 【特許請求の範囲】

【請求項1】

高電位電源と低電位電源の電圧差を分圧して基準電圧を出力する基準電圧発生回路と、入力アナログ電圧を前記基準電圧との差を示す内部アナログ電圧に変換してサンプル/ホールドするサンプル/ホールド回路と、高電位電源と低電位電源の電圧差を分圧して比較対象電圧を発生させるD/A変換回路と、前記入力アナログ電圧と前記比較対象電圧とを比較して比較結果を示す信号を出力するコンパレータと、前記D/A変換回路における分圧比率を前記コンパレータの出力信号に応じて逐次更新しつつ前記入力アナログ電圧に最も近い比較対象電圧を探索し、その探索結果に応じたデジタル値を出力する制御回路とを有する逐次比較A/D変換器において、

前記コンパレータの一方の入力端子には第1の信号線を介して前記D/A変換回路の発生させる比較対象電圧と前記内部アナログ電圧との電圧差が与えられる一方、他方の入力端子には第2の信号線とスイッチとを介して前記基準電圧発生回路が接続されており、

前記高電位電源と前記第2の信号線の間には可変容量素子である第1の容量素子が介挿されている一方、前記第2の信号線と前記低電位電源の間には可変容量素子である第2の容量素子が介挿されており、

前記制御回路は、前記第1および第2の容量素子による分圧比率が前記D/A変換回路にて比較対象電圧を発生させる際の分圧比率と等しくなるように前記D/A変換回路における分圧比率の更新に同期させて前記第1および第2の容量素子の容量を調整し、前記サンプル/ホールド回路に内部アナログ電圧をサンプル/ホールドさせる期間では前記スイ

ッチをオンにして前記第1および第2の容量素子の充電を行い、その期間の終了を契機として前記スイッチをオフにする制御を行う

ことを特徴とする逐次比較A/D変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ信号をデジタルデータに変換するA/D変換器に関し、特に逐次比較A/D変換器に関する。

【背景技術】

【0002】

逐次比較A/D変換器は、入力アナログ電圧と電源電圧VDDの1/2や1/4（或いは3/4）の電圧（以下、比較対象電圧）の大小比較を順次行うことで、その入力アナログ電圧に最も近い比較対象電圧を特定し、その比較対象電圧を示すデジタルデータを出力する。逐次比較A/D変換器は、比較対象電圧を発生させる回路の構成によって、抵抗分圧型、電荷再配分型、および両者を併用したものに分類される。一般に抵抗分圧型では8ビット以上の分解能を実現することは難しいため、8ビット以上の分解能が要求される場合には、電荷再配分型或いは電荷再配分型と抵抗分圧型の併用構成が採用されることが多い。電荷再配分型逐次比較A/D変換器に関する先行技術文献としては特許文献1および特許文献2が挙げられる。

【0003】

図5は、電荷再配分型の逐次比較A/D変換器の構成例を示す図である。

コンパレータ20は入力アナログ電圧 V_{in} と比較対象電圧の大小比較を行うためのものである。基準電圧発生回路40は、上記比較処理にて使用される基準電圧 V_{ref} （図5に示す例では、 $VDD/2$ ）を高電位電源（逐次比較A/D変換器の動作電圧VDDを発生させる電源）と低電位電源（接地）の電位差を分圧して発生させ、コンパレータ20に供給する。制御回路30は、nビットの逐次近似レジスタ（図示略）を備え、この逐次近似レジスタに初期値として“10...0”（MSBのみを1とし、他のビットを0としたnビットデータ）をセットする。この制御回路30は、逐次近似レジスタの格納内容に応じた比較対象電圧を局部D/A変換回路10に発生させるとともに、コンパレータ20の出力信号に応じて逐次近似レジスタの格納内容を“11...0”或いは“01...0”と更新する。そして、逐次近似レジスタのLSBのビット値が定まると、制御回路30は当該逐次近似レジスタの格納内容を変換結果たるデジタルデータとして出力するのである。

【0004】

図5の局部D/A変換回路10は容量アレイを形成する容量素子 $C_0, C_1, C_2, \dots, C_{n-2}, C_{n-1}, C_n$ を有する。n=4の場合、単位容量をCとすると、容量素子 C_0, C_1, C_2, C_3, C_4 の容量は、各々 $C/8, C/8, C/4, C/2, C$ となっている。図5に示す逐次比較A/D変換器では、制御回路30は、まず、スイッチ SW_0, SW_1, SW_2, SW_3 および SW_4 を全て入力端子（入力アナログ電圧 V_{in} が入力される端子）側に切り換え、スイッチ12をオンにする。この状態では容量素子 $C_0 \sim C_4$ の共通接続端子には基準電圧 V_{ref} が印加され、入力アナログ電圧 V_{in} と基準電圧 V_{ref} の電圧差に応じた電荷が容量素子 $C_0 \sim C_4$ に蓄積される（図6(a)参照）。図6(a)に示す状態において容量素子 $C_0 \sim C_4$ に蓄えられている全電荷 Q_T は以下の式(1)で表わされる。

$$\begin{aligned} Q_T &= \{ V_{in} - V_{ref} \} \times 2C \\ &= \{ V_{in} - VDD/2 \} \times 2C \dots (1) \end{aligned}$$

【0005】

図6(a)に示す状態においてスイッチ12をオフにすると、容量素子 $C_0 \sim C_4$ に蓄えられている全電荷 Q_T は保存される。つまり、局部D/A変換回路10は、入力アナログ電圧 V_{in} を基準電圧 V_{ref} との電圧差（以下、内部アナログ電圧）“ $V_{in} - V_r$

10

20

30

40

50

ef”に変換してホールドするサンプル/ホールド回路の役割を果たすのである。また、局部D/A変換回路10は、制御回路30による制御の下で各種比較対象電圧を発生させる役割も担う。図5に示す逐次比較A/D変換器では、スイッチ12を開いてスイッチSW₀~SW₄を順次切り換えることで各種比較対象電圧との逐次比較が行われる。これらスイッチSW₀~SW₄の切り換えは、逐次近似レジスタの格納内容にしたがって行われる。具体的には、逐次近似レジスタのLSBを第0ビット、MSBを第nビットとすると、制御回路30は、第k(k=0~n)ビットのビット値が1であればスイッチSW_kを高電位電源側に切り換え、同第kビットのビット値が0であればスイッチSW_kを低電位電源側に切り換えるのである。

【0006】

前述したように、逐次比較動作の開始時点では、逐次近似レジスタには“10000”が格納されている。このため、制御回路30はスイッチSW₄を高電位電源側に切り換え、スイッチSW₀~SW₃については各々低電位電源側に切り換える。その結果、図6(b)に示すように、容量素子C₄が高電位電源と信号線L1との間に介挿され、容量素子C₀~C₃が信号線L1と低電位電源との間に並列に介挿された状態となる。図6(b)に示す状態においてコンパレータ20のマイナス側入力端子へ入力される電圧V_Mは、信号線L1に接続されている電極に蓄積されている電荷について電荷保存則(-C×(V_{DD}-V_M)+CV_M=-2C×(V_{in}-V_{DD}/2))が成り立つことに留意すると、以下の式(2)で表わされる。

$$\begin{aligned} V_M &= V_{DD} - V_{in} \\ &= V_{DD} / 2 - (V_{in} - V_{DD} / 2) \cdots (2) \end{aligned}$$

【0007】

コンパレータ20では、式(2)に示す電圧V_Mとそのプラス側入力端子に入力される電圧V_pの大小比較が行われ、その比較結果に応じた信号が出力される。図5に示すようにV_p=V_{ref}(=V_{DD}/2)であるから、V_pとV_Mの大小比較を行うことはV_{in}とV_{DD}/2の大小比較を行うことに他ならない。V_{in}>V_{DD}/2であればV_M<V_pとなり、Highレベル(“1”)の信号がコンパレータ20から制御回路30に与えられる。これはMSBが1であることを意味する。一方、V_{in}<V_{DD}/2であればV_M>V_pとなり、Lowレベル(“0”)の信号がコンパレータ20から制御回路30に与えられ、これはMSBが0であることを意味する。

【0008】

このようにしてMSBのビット値が定まると、制御回路30は、次のビットである2SBのビット値の決定を以下の要領で行う。例えばMSBが“1”と定まったとすると、制御回路30は逐次近似レジスタの格納内容を“11000”に更新し、この逐次近似レジスタの格納内容にしたがってスイッチSW₀~SW₄の切り換えを行う。具体的にはスイッチSW₄に加えてSW₃を高電位電源側に切り換える。その結果、図6(c)に示すように、容量素子C₄およびC₃が高電位電源と信号線L1との間に並列に介挿され、容量素子C₀~C₂が信号線L1と低電位電源との間に並列に介挿された状態となる。前述したように信号線L1に接続されている電極の蓄積電荷について電荷保存則が成り立つことに留意すると、この信号線L1に表れる電圧V_Mは、V_M=V_{DD}/2-{V_{in}-(3/4)×V_{DD}}となる。コンパレータ20では電圧V_Mと電圧V_p=V_{DD}/2の比較が行われ、両者の大小関係(換言すれば、V_{in}と(3/4)×V_{DD}の大小関係)により2SBが定まる。なお、MSBが“0”と定まった場合には、逐次近似レジスタの格納内容は“01000”となるのであるから、スイッチSW₄を低電位電源側に切り換えるとともにスイッチSW₃を高電位電源側に切り換え、図6(d)に示すように容量素子C₃が高電位電源と信号線L1の間に介挿され、容量素子C₄およびC₀~C₂が信号線L1と低電位電源の間に並列に介挿された状態となるようにすれば良い。図6(d)に示す状態では、V_M=V_{DD}/2-{V_{in}-(1/4)×V_{DD}}となる。以下同様にして3SB・・・LSBが順次求まるのである。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0009】

【特許文献1】特開平7-336224号公報

【特許文献2】特公平7-345451号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところで、近年では基準電圧VDDを供給する電源としてスイッチング電源やDC/DCコンバータを用い、さらにその出力電圧を低く抑えたい、といったニーズがある。しかし、この種の電源の出力電圧はリップルを有するため、出力電圧が低い場合にはその脈動に起因してA/D変換の精度が著しく低下する虞がある。その理由は以下の通りである。入力アナログ電圧 V_{in} と比較対象電圧の大小比較を行う際に高電位電源の出力電圧がVDDから $VDD + V$ に変動したとする。この場合、コンパレータ20のプラス側入力端子の入力電圧の変動成分は比較対象電圧によらず $V/2$ であるが、同マイナス側入力端子の入力電圧に含まれる変動成分は比較対象電圧毎に異なる。例えば、比較対象電圧がVDD/2の場合(すなわち、MSBのビット値の判定を行う場合)には上記変動分は $V/2$ となり、比較対象電圧がVDD/4或いは $VDD \times (3/4)$ の場合(すなわち、2SBのビット値の判定を行う場合)には上記変動分は $V/4$ 或いは $3/4 V$ となる。したがって、MSB以外のビット値の判定の際に電源電圧の変動が生じると、比較対象電圧と入力アナログ電圧 V_{in} の大小関係の判定に誤りが生じることがあり、A/D変換の精度が低下するのである。

10

20

本発明は、上記課題に鑑みて為されたものであり、出力電圧が脈動する電源を基準電圧の発生源として用い、かつ、その出力電圧を低く抑えた場合であっても、出力電圧の脈動による影響を受け難い逐次比較A/D変換器を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題を解決するために本発明は、高電位電源と低電位電源の電圧差を分圧して基準電圧を出力する基準電圧出力回路と、入力アナログ電圧を前記基準電圧との差を示す内部アナログ電圧に変換してサンプル/ホールドするサンプル/ホールド回路と、高電位電源と低電位電源の電圧差を分圧して比較対象電圧を発生させるD/A変換回路と、前記入力アナログ電圧と前記比較対象電圧とを比較して比較結果を示す信号を出力するコンパレータと、前記D/A変換回路における分圧比率を前記コンパレータの出力信号に応じて逐次更新しつつ前記入力アナログ電圧に最も近い比較対象電圧を探索し、その探索結果に応じたデジタル値を出力する制御回路とを有する逐次比較A/D変換器において、前記コンパレータの一方の入力端子には第1の信号線を介して前記D/A変換回路の発生させる比較対象電圧と前記内部アナログ電圧との電圧差が与えられる一方、他方の入力端子には第2の信号線とスイッチとを介して前記基準電圧発生回路が接続されており、前記高電位電源と前記第2の信号線の間には第1の容量素子が介挿されている一方、前記第2の信号線と前記低電位電源の間には第2の容量素子が介挿されており、前記制御回路は、前記サンプル/ホールド回路に内部アナログ電圧をサンプル/ホールドさせる期間は前記スイッチをオンにして前記第1および第2の容量素子の充電を行い、その期間の終了を契機として前記スイッチをオフにする制御を行うことを特徴とする逐次比較A/D変換器、を提供する。このような逐次比較A/D変換器においては前記第1および第2の信号線の各々のインピーダンスが揃うように第1および第2の容量素子の各々の容量を定めておけば、高電位電源の出力電圧が変動したとしても、第1および第2の信号線を介してコンパレータに入力される各電圧の変動分は等しくなり、その変動分は差動増幅器たるコンパレータで相殺され、A/D変換の変換結果に影響が生じることはない。

30

40

【0012】

より好ましい態様においては、前記第1および第2の容量素子は何れも可変容量素子であり、前記制御回路は、前記第1および第2の容量素子による分圧比率が前記D/A変換

50

回路にて比較対象電圧を発生させる際の分圧比率と等しくなるように前記第1および第2の容量素子の容量を調整することを特徴とする。また、本発明の別の好ましい態様においては、予め定められた比較対象電圧を発生させる際の前記D/A変換回路における分圧比率と、前記第1および第2の容量素子による分圧比率が等しくなるように前記第1および第2の容量素子の各々の容量が予め定められていることを特徴とする。前者の態様であれば、第1および第2の容量素子の各々の容量を逐次比較動作に同期させて調整するといった複雑な制御（およびその制御を実現するための構成）が必要になるものの、入力アナログ信号の信号値によらず常に高電位電源の出力電圧の脈動による影響を排除することができるといった利点がある。一方、後者の態様では、入力アナログ信号の信号値が特定のコードに対応する値またはその近傍の値である場合に限り高電位電源の出力電圧の脈動による影響を排除することができるものの、前者の態様に比較して構成が簡略化されるといった利点がある。

10

【図面の簡単な説明】

【0013】

【図1】本発明の第1実施形態のA/D変換器1Aの構成例を示す図である。

【図2】同A/D変換器1Aの各部の具体的な構成例を示す図である。

【図3】同A/D変換器1Aの動作を説明するための図である。

【図4】本発明の第2実施形態のA/D変換器1Bの構成例を示す図である。

【図5】従来の逐次比較A/D変換器の構成例を示す図である。

【図6】従来の逐次比較A/D変換器の動作を説明するための図である。

20

【発明を実施するための形態】

【0014】

以下、図面を参照しつつ本発明の実施形態について説明する。

(A：第1実施形態)

図1は、本発明の第1実施形態のA/D変換器1Aの構成例を示すブロック図である。

A/D変換器1Aは、入力アナログ電圧 V_{in} を12ビットのデジタルデータOUTに変換して出力する逐次比較A/D変換器である。図1に示すように、A/D変換器1Aは、局部D/A変換回路10A、コンパレータ20、制御回路30A、基準電圧発生回路40および基準電圧調整回路50Aを含んでいる。

【0015】

30

基準電圧発生回路40の役割および構成は、従来の逐次比較A/D変換器（図5参照）におけるものと基本的には同一である。図1に示すように、基準電圧発生回路40は、正の電圧VDDを出力する高電位電源と低電位電源（本実施形態では、接地）との間に抵抗410、抵抗420およびNチャネル電界効果トランジスタ430を直列に介挿してなる分圧回路である。抵抗410および420は、同一の抵抗値を有する抵抗素子である。したがって、Nチャネル電界効果トランジスタ430をオンにすると、抵抗410および420の共通接続点の電位は $VDD/2$ となる。図1に示すように、抵抗410および420の共通接続点には、Nチャネル電界効果トランジスタ440を介して信号線L1が接続されているとともに、Nチャネル電界効果トランジスタ450を介して信号線L2が接続されている。したがって、Nチャネル電界効果トランジスタ430、440および450の全てをオン状態にすると、信号線L1およびL2には抵抗410および420の共通接続点の電圧（ $VDD/2$ ）が現れるのである。これら3つのNチャネル電界効果トランジスタのオン/オフ制御は制御回路30Aによって行われる。図1に示すように信号線L1は局部D/A変換回路10Aを介してコンパレータ20のマイナス側入力端子に接続されており、信号線L2は基準電圧調整回路50Aを介してコンパレータ20のプラス側入力端子に接続されている。

40

【0016】

局部D/A変換回路10Aは、電荷再配分型回路である上位7ビット変換回路110と抵抗分圧型回路（本実施形態では、R-2R型ラダー回路）である下位5ビット変換回路120を含んでいる。つまりA/D変換器1Aは、電荷再配分型回路と抵抗分圧型回路と

50

を併用して比較対象電圧を発生させる構成となっている。以下、上位7ビット変換回路110および下位5ビット変換回路120の概略を簡単に説明する。

【0017】

図1に示すように、上位7ビット変換回路110は、一方の電極が信号線L1に共通接続された複数の容量素子C10-n ($n = 1 \sim 8$)を含んでいる。容量素子C10-8の他方の電極(すなわち、信号線L1に接続されていない方の電極)は、スイッチSW10-8に接続されている。図1に示すようにスイッチSW10-8は、容量素子C10-8の他方の電極を、入力アナログ電圧 V_{in} が入力されるアナログ入力端子CN1と下位5ビット変換回路120が接続される入力端子CN2の何れかに選択的に接続するものである。このスイッチSW10-8の具体的な構成としては、図2(a)に示すように上記他の電極と入力端子CN2の間にNチャネルおよびPチャネル電界効果トランジスタを並列に介挿し、さらに、上記他の電極とアナログ入力端子CN1の間にNチャネルおよびPチャネル電界効果トランジスタを並列に介挿してなる構成が考えられる。

10

【0018】

容量素子C10-n ($n = 1 \sim 7$)の他方の電極(すなわち、信号線L1に接続されていない方の電極)はスイッチSW10-n ($n = 1 \sim 7$)に各々接続されている。図1に示すようにスイッチSW10-n ($n = 1 \sim 7$)は、容量素子C10-n ($n = 1 \sim 7$)の他方の電極を、アナログ入力端子CN1、高電位電源および低電位電源の何れかに選択的に接続するものである。このスイッチSW10-n ($n = 1 \sim 7$)の具体的な構成としては、図2(b)に示すように上記他の電極と入力端子CN1との間にNチャネルおよびPチャネル電界効果トランジスタを並列に介挿し、上記他の電極と高電位電源との間にPチャネル電界効果トランジスタを介挿し、さらに、上記他の電極と低電位電源との間にNチャネル電界効果トランジスタを介挿してなる構成が考えられる。

20

【0019】

容量素子C10-n ($n = 1 \sim 8$)の容量は、0.1ピコファラドを単位容量(以下、1Cと表記)として各々以下のようにになっている。すなわち、容量素子C10-1の容量=64C、容量素子C10-2の容量=32C、容量素子C10-3の容量=16C、容量素子C10-4の容量=8C、容量素子C10-5の容量=4C、容量素子C10-6の容量=2C、容量素子C10-7の容量=容量素子C10-8の容量=1C、となっている。したがって、容量素子C10-n ($n = 1 \sim 8$)の合成容量は128C(=12.8ピコファラド)となる。なお、図1では、詳細な図示は省略したが、容量素子C10-1は、各々16Cの容量を有する4個の容量素子を図2(c)に示すように並列接続して構成されており、容量素子C10-2は、各々16Cの容量を有する2個の容量素子を図2(d)に示すように並列接続して構成されている。これら容量素子C10-1およびC10-2の各々を単一の容量素子で構成しても良いことは言うまでもない。

30

【0020】

下位5ビット変換回路120は、図1に示すように、抵抗値が2Rである抵抗R1、R2およびR7~R10と、抵抗値がRである抵抗R3~R6と、Nチャネル電界効果トランジスタN1~N5と、Pチャネル電界効果トランジスタP1~P5と、を含んでいる。図1に示すように、Pチャネル電界効果トランジスタP1、抵抗R1およびR2は高電位電源と低電位電源との間に直列に介挿されており、Pチャネル電界効果トランジスタP1と抵抗R1の共通接続点はNチャネル電界効果トランジスタN1を介して低電位電源に接続されている。抵抗R1とR2の共通接続点と下位5ビット変換回路120の出力端子CN3の間には、抵抗R3、R4、R5およびR6が直列に介挿されている。抵抗Rn+1と抵抗Rn+2の共通接続点($n = 2 \sim 4$)は、抵抗Rn+5およびPチャネル電界効果トランジスタPnを介して高電位電源に接続されており、抵抗Rn+5とPチャネル電界効果トランジスタPnの共通接続点はNチャネル電界効果トランジスタNnを介して低電位電源に接続されている。そして、上記出力端子CN3は、抵抗R10およびPチャネル電界効果トランジスタP5を介して高電位電源に接続されており、抵抗R10とPチャネル電界効果トランジスタP5の共通接続点はNチャネル電界効果トランジスタN5を介し

40

50

て低電位電源に接続されている。

【0021】

このような構成としたため、下位5ビット変換回路120においては、Nチャネル電界効果トランジスタN1～N5およびPチャネル電界効果トランジスタP1～P5のオン/オフを切り換えることによって出力電圧の調整が行われる。例えば、Nチャネル電界効果トランジスタN1～N5の全てをオンにし、Pチャネル電界効果トランジスタP1～P5の全てをオフにすると下位5ビット変換回路120の出力電圧は接地電位に等しくなる。また、Nチャネル電界効果トランジスタN1～N4をオンに、Nチャネル電界効果トランジスタN5をオフに、Pチャネル電界効果トランジスタP1～P4をオフに、Pチャネル電界効果トランジスタP5をオンにすると、同出力電圧は $VDD/2$ となる。Nチャネル電界効果トランジスタN1～N5およびPチャネル電界効果トランジスタP1～P5のオン/オフ制御は制御回路30Aによって行われる。

10

【0022】

例えば、上位7ビットが全て0と判定される場合には、制御回路30Aは、スイッチSW10-1～SW10-7を全て低電位電源側に切り換え、かつ、スイッチSW10-8を下位5ビット変換回路120側に切り換え、Nチャネル電界効果トランジスタN1～N5およびPチャネル電界効果トランジスタP1～P5のオン/オフを逐次切り換えて下位5ビット変換回路120の出力電圧を $VDD/2$ 、 $VDD/4$ (或いは $VDD \times (3/4)$)と切り換えて行く。スイッチSW10-1～SW10-7が全て低電位電源側に切り換えられ、かつ、スイッチSW10-8を下位5ビット変換回路120側に切り換えた状態では、容量素子C10-1～C10-7は信号線L1と低電位電源の間に介挿された状態となり、比較対象電圧は下位5ビット変換回路120の出力電圧の $1/128$ となる。したがって、下位5ビット変換回路120の出力電圧を $VDD/2$ 、 $VDD/4$ (或いは $VDD \times (3/4)$)を切り換えて行くことで、電圧値が $VDD/256$ の比較対象電圧(すなわち、下位5ビットのうちMSBのビット値を判定するための比較対象電圧)や、同 $VDD/512$ (或いは、 $VDD \times (3/512)$)の比較対象電圧(下位5ビットの2SBを判定するための比較対象電圧)を発生させることができるのである。

20

【0023】

基準電圧調整回路50Aは、図1に示すように各々一方の電極が信号線L2に共通接続された容量素子C20-n($n=1\sim 8$)と容量素子C30-n($n=1\sim 8$)を含んでいる。図1に示すように、容量素子C20-n($n=1\sim 8$)の他方の電極はスイッチSW20-n($n=1\sim 8$)を介して高電位電源に接続されており、容量素子C30-n($n=1\sim 8$)の他方の電極はスイッチSW30-n($n=1\sim 8$)を介して低電位電源に接続されている。これら容量素子C20-n($n=1\sim 8$)および容量素子C30-n($n=1\sim 8$)の各々の容量は、以下の通りである。すなわち、容量素子C20-1の容量=容量素子C30-1の容量=32C、容量素子C20-2の容量=容量素子C30-2の容量=16C、容量素子C20-3の容量=容量素子C30-3の容量=8C、容量素子C20-4の容量=容量素子C30-4の容量=4C、容量素子C20-5の容量=容量素子C30-5の容量=2C、容量素子C20-6の容量=容量素子C30-6の容量=1C、容量素子C20-7の容量=容量素子C20-8の容量=容量素子C30-7の容量=容量素子C30-8の容量=0.5C、である。

30

40

【0024】

スイッチSW20-n($n=1\sim 8$)およびスイッチSW30-n($n=1\sim 8$)のオン/オフ制御は、制御回路30Aによって行われる。例えば、スイッチSW20-n($n=1\sim 8$)の全てをオンにすると、容量素子C20-n($n=1\sim 8$)の全てが高電位電源と信号線L2との間に並列に介挿され、その合成容量は64Cとなる。また、スイッチSW20-1のみをオンにし、スイッチSW20-2～SW20-8をオフにすると、容量素子C20-1のみが高電位電源と信号線L2との間に介挿されることとなる。つまり、スイッチSW20-n($n=1\sim 8$)と容量素子C20-n($n=1\sim 8$)は高電位電

50

源と信号線 L 2 との間に介挿された第 1 の可変容量として機能するのである。同様に、スイッチ SW 30 - n (n = 1 ~ 8) と容量素子 C 30 - n (n = 1 ~ 8) は信号線 L 2 と低電位電源との間に介挿された第 2 の可変容量として機能するのである。そして、本実施形態の制御回路 30 A は、逐次比較動作 (すなわち、局部 D / A 変換回路 10 A のスイッチ SW 10 - n (n = 1 ~ 8)、N チャンネル電界効果トランジスタ N 1 ~ N 5 および P チャンネル電界効果トランジスタ P 1 ~ P 5 の各々の切り換え) に同期させて、信号線 L 1 および L 2 の各々のインピーダンスが揃うように上記第 1 および第 2 の可変容量の容量を調整する処理 (すなわち、スイッチ SW 20 - n (n = 1 ~ 8) およびスイッチ SW 30 - n (n = 1 ~ 8) のオン / オフ制御) を実行する。詳細については後述するが、信号線 L 1 および L 2 のインピーダンスを揃えることで、電源電圧の脈動に起因した影響をコンパレータ 20 で相殺し、A / D 変換の精度が低下することを回避することができるのである。

10

以上が A / D 変換器 1 A の構成である。

【 0 0 2 5 】

次いで、A / D 変換器 1 A の動作を説明する。

入力アナログ電圧 V_{i_n} のサンプル / ホールドを行う段階においては、制御回路 30 A は、N チャンネル電界効果トランジスタ 430、440 および 450 を全てオンにし、スイッチ SW 10 - n (n = 1 ~ 8) を全てアナログ入力端子 CN 1 に接続し、さらに、スイッチ SW 20 - n (n = 1 ~ 8) およびスイッチ SW 30 - n (n = 1 ~ 8) を全てオンにする。これにより、信号線 L 1 および L 2 に現れる電圧は $V_{DD} / 2$ となり、入力アナログ電圧 V_{i_n} は内部アナログ電圧 ($V_{i_n} - V_{DD} / 2$) に変換されてサンプル / ホールドされる (すなわち、内部アナログ電圧 ($V_{i_n} - V_{DD} / 2$) に応じた電荷が容量素子 C 10 - n (n = 1 ~ 8) に蓄積される)。一方、基準電圧調整回路 50 A では、容量素子 C 20 - n (n = 1 ~ 8) の各々には、高電位電源と信号線 L 2 の電位差 ($V_{DD} - V_{DD} / 2 = V_{DD} / 2$) に応じた電荷が蓄積され、容量素子 C 30 - n (n = 1 ~ 8) の各々には、信号線 L 2 と低電位電源の電位差 ($V_{DD} / 2 - 0 = V_{DD} / 2$) に応じた電荷が蓄積される。

20

【 0 0 2 6 】

入力アナログ電圧のサンプリングを開始してから所定クロック分のサンプリング期間が経過すると、制御回路 30 A は、N チャンネル電界効果トランジスタ 440 および 450 をオフにし、スイッチ SW 10 - n (n = 1 ~ 7) を低電位電源側に、スイッチ SW 10 - 8 を下位 5 ビット変換回路側に各々切り換え、さらに、N チャンネル電界効果トランジスタ N 1 ~ N 5 を全てオンにし、かつ同 P チャンネル電界効果トランジスタ P 1 ~ P 5 を全てオフにする。その結果、局部 D / A 変換回路 10 A の容量素子 C 10 - n (n = 1 ~ 8) は全て信号線 L 1 と低電位電源との間に並列に介挿された状態となり、各々の電荷がホールドされる。一方、信号線 L 2 は抵抗 410 および 420 の共通接続点から切り離された状態となるのであるが、容量素子 C 20 - n (n = 1 ~ 8) および容量素子 C 30 - n (n = 1 ~ 8) の各々に充電された電荷によって信号線 L 2 の電位は $V_{DD} / 2$ に維持される。

30

【 0 0 2 7 】

次いで、制御回路 30 A は入力電圧 V_{i_n} と比較対象電圧の逐次比較を実行する。具体的には、制御回路 30 A は、スイッチ SW 10 - n (n = 1 ~ 8) のうちスイッチ SW 10 - 1 のみを高電位電源側に切り換えて入力アナログ電圧 V_{i_n} と $V_{DD} / 2$ の大小比較を行う。スイッチ SW 10 - 1 のみを高電位電源側に切り換えると、前掲図 6 (b) に示した場合と同様に、高電位電源と信号線 L 1 の間に介挿される容量と信号線 L 1 と低電位電源の間に介挿される容量の比率は 1 : 1 となる。一方、スイッチ SW 20 - n (n = 1 ~ 8) およびスイッチ SW 30 - n (n = 1 ~ 8) は全てオンになっているため、電位電源と信号線 L 2 の間に介挿される容量と信号線 L 2 と低電位電源の間に介挿される容量の比率も 1 : 1 となる (図 3 (a) 参照)。

40

【 0 0 2 8 】

50

そして、入力アナログ電圧 $V_{in} > VDD/2$ であれば、制御回路 30A は、入力アナログ電圧 V_{in} と $VDD \times (3/4)$ の大小比較を行うため、スイッチ SW10-1 に加えてスイッチ SW10-2 を高電位電源側に切り換え、逆に、入力アナログ電圧 $V_{in} < VDD/2$ であれば、入力アナログ電圧 V_{in} と $VDD/4$ の大小比較を行うため、スイッチ SW10-1 を低電位電源側に切り換え、スイッチ SW10-2 を高電位電源側に切り換える。加えて、制御回路 30A は、スイッチ SW10-n ($n = 1 \sim 8$) の切り換えに同期させて、基準電圧調整回路 50A のスイッチ SW20-n ($n = 1 \sim 8$) およびスイッチ SW30-n ($n = 1 \sim 8$) のオン/オフ制御を実行する。以下、入力アナログ電圧 $V_{in} > VDD/2$ の場合を例にとって制御回路 30A が実行する動作を説明する。

【0029】

前述したように入力アナログ電圧 $V_{in} > VDD/2$ である場合は、制御回路 30A はスイッチ SW10-1 に加えて SW10-2 を高電位電源側に切り換える。これにより、局部 D/A 変換回路 10A においては、高電位電源と信号線 L1 の間に容量素子 C10-1 および C10-2 が並列に介挿され、かつ、信号線 L1 と低電位電源の間に容量素子 C10-3 ~ C10-8 が並列に介挿された状態となる。その結果、局部 D/A 変換回路 10A の出力電圧（すなわち、コンパレータ 20 のマイナス側入力端子への入力電圧 V_M ）は、以下の式（3）に示す値となる。式（3）の右辺第 1 項は、高電位電源と低電位電源の電位差を 3 : 1 の比率（容量素子 C10-1 と C10-2 の合成容量と容量素子 C10-3 ~ 8 の合成容量の比率）で分圧して得られる成分であり、右辺第 2 項は容量素子 C10-n ($n = 1 \sim 8$) に蓄積されている電荷に起因した成分である。

$$V_M = VDD \times (3/4) - (V_{in} - VDD/2) \cdots (3)$$

【0030】

加えて、制御回路 30A は、スイッチ SW10-2 の切り換えに同期させて、信号線 L1 と信号線 L2 のインピーダンスが揃うように（図 3（b）に示すように、高電位電源と信号線 L2 の間に介挿されている容量と信号線 L2 と低電位電源の間に介挿されている容量の比率が 3 : 1 となるように）スイッチ SW20-n ($n = 1 \sim 8$) およびスイッチ SW30-n ($n = 1 \sim 8$) のオン/オフ制御を行う。例えば、スイッチ SW10-2 の切り換えに同期させてスイッチ SW20-7 および SW20-8 をオフにし、かつ、スイッチ SW30-1、SW30-3、SW30-5、SW30-7 および SW30-8 をオフにするのである。

【0031】

ここで、高電位電源の出力電圧が VDD から $VDD + V$ に変動したとする。すると、局部 D/A 変換回路 10A の出力電圧 V_M は、以下の式（4）に示す値となる。前述したように右辺第 1 項は高電位電源と低電位電源の電位差を 3 : 1 の比率で分圧して得られる成分であり、この右辺第 1 項に電源電圧の変動成分が表れるからである。

$$V_M = (VDD + V) \times (3/4) - (V_{in} - VDD/2) \cdots (4)$$

【0032】

一方、コンパレータ 20 のプラス側入力端子への入力電圧 V_p （すなわち、信号線 L2 の電位）について考察すると、以下の通りである。図 3（b）に示すように高電位電源と信号線 L2 の間に介挿されている第 1 の可変容量の容量が $63C$ となっており、かつ、信号線 L2 と低電位電源との間に介挿されている第 2 の可変容量の容量が $21C$ となっている状態では、上記第 1 の可変容量に蓄積される電荷の大きさは $63C \times \{VDD + V - V_p\}$ であり、第 2 の容量に蓄積される電荷の大きさは $21C \times V_p$ である。第 1 の容量の電極のうち信号線 L2 に接続されている電極には負電荷が蓄積し、第 2 の容量の電極のうち信号線 L2 に接続されている電極には正電荷が蓄積することに留意すると、電荷保存側により、以下の式（5）が成り立つ。

$$-63C \times VDD/2 + 21C \times VDD/2 = -63C \times \{VDD + V - V_p\} + 21C \times V_p \cdots (5)$$

【0033】

上記式（5）を解くと、 $V_p = VDD/2 + V \times (3/4)$ となる。このように本実

10

20

30

40

50

施形態では高電位電源の出力電圧が変動したとしても、コンパレータ20のプラス側入力端子およびマイナス側入力端子の各々に入力される電圧には変動成分が同じ大きさで含まれている。このため、上記変動成分はコンパレータ20で相殺され、入力アナログ電圧 V_{in} と比較対象電圧の大小比較が正確に行われるのである。なお、比較対象電圧が $V_{DD}/4$ である場合には、図3(e)に示す分圧比率(すなわち、1:3の比率)となるように制御回路30AにスイッチSW20-n($n=1\sim 8$)およびスイッチSW30-n($n=1\sim 8$)のオン/オフ制御を行わせれば良い。以下、同様に、比較対象電圧が $V_{DD}\times(7/8)$ である場合には図3(c)に示す分圧比率(すなわち、7:1の比率)、比較対象電圧が $V_{DD}\times(5/8)$ である場合には図3(d)に示す分圧比率(すなわち、5:3の比率)、比較対象電圧が $V_{DD}\times 3/8$ である場合には図3(f)に示す分圧比率(すなわち、3:5の比率)、比較対象電圧が $V_{DD}/8$ である場合には図3(g)に示す分圧比率(すなわち、1:7の比率)となるように、制御回路30AにスイッチSW20-n($n=1\sim 8$)およびスイッチSW30-n($n=1\sim 8$)のオン/オフ制御を行わせれば良い。

10

【0034】

ここで、局部D/A変換回路10Aに対するスイッチ制御に同期させて、図3(a)~図3(g)の各々に示す分圧比率となるようにスイッチSW20-n($n=1\sim 8$)およびスイッチSW30-n($n=1\sim 8$)のオン/オフ制御を制御回路30Aに実現させる具体的な手法としては種々のものが考えられるが、その一例を挙げると、以下の通りである。まず、各比較対象電圧に対応するビットパターン(当該比較対象電圧を発生させる際の逐次近似レジスタの格納内容を示すビットパターン)に対応付けてスイッチSW20-n($n=1\sim 8$)およびスイッチSW30-n($n=1\sim 8$)のうちの何れをオンとし、またオフとするのかを示す制御パターンデータを格納したテーブルを制御回路30Aに記憶させておく。そして、逐次近似レジスタの格納内容にしたがって局部D/A変換回路10Aに対するスイッチ制御を行う際に、その時点の逐次近似レジスタの格納内容に対応する制御パターンデータを上記テーブルから読み出し、その制御パターンデータにしたがってスイッチSW20-n($n=1\sim 8$)およびスイッチSW30-n($n=1\sim 8$)のオン/オフ制御を行う処理を制御回路30Aに実行させるようにすれば良い。

20

【0035】

このように、本実施形態のA/D変換器1Aによれば、電源電圧 V_{DD} が脈動したとしても、その脈動成分はコンパレータ20で相殺することができ、高い精度でA/D変換を行うことができる。このため、スイッチング電源やDC/DCコンバータのように出力電圧が脈動するものを基準電圧 V_{DD} の発生源として用い、かつ、その出力電圧 V_{DD} を低く抑えることが可能になるのである。

30

【0036】

(B:他の実施形態)

以上、本発明の第1実施形態について説明したが、本発明の実施形態はこれに限定されるものではなく、以下のような態様も考えられる。

(1)図4は、本発明の第2実施形態のA/D変換器1Bの構成例を示すブロック図である。図4と図1とを対比すれば明らかのように、A/D変換器1Bの構成は、制御回路30Aに換えて制御回路30Bを設けた点と、基準電圧調整回路50Aに換えて基準電圧調整回路50Bを設けた点がA/D変換器1Aの構成と異なる。

40

以下、これら相違点を中心に説明する。

【0037】

図4に示すように、基準電圧調整回路50Bは、高電位電源と信号線L2の間に容量が $y\times C$ の容量素子C40を介挿し、信号線L2と低電位電源との間に容量が $(128-y)\times C$ の容量素子C50を介挿した構成となっている(y は0~128の範囲で予め定められた値)。容量素子C40およびC50の容量は各々固定であるから、制御回路30Bは、逐次比較動作においては局部D/A変換回路10Aに含まれる各種スイッチのオン/オフ制御のみを行い、この点が制御回路30Aと異なるのである。

50

【 0 0 3 8 】

ここで、容量素子C40およびC50の具体的な容量をどのような値にするのかについては種々の態様が考えられる。例えば、 $y = 64$ とする態様や $y = 32$ 、或いは $y = 96$ とする態様などである。 $y = 64$ の場合は、容量素子C40の容量は $64C$ となり、容量素子C50の容量も $64C$ となる。これは、前述した第1実施形態にて入力アナログ電圧 V_{in} と $VDD/2$ の大小関係を比較する場合の容量配分(図3(a)参照)に一致する。また、 $y = 32$ の場合は、容量素子C40の容量は $32C$ となり、容量素子C50の容量は $96C$ となる。つまり、 $y = 32$ の場合は、容量素子C40の容量と容量素子C50の容量は1:3の比率になり、入力アナログ電圧 V_{in} と $VDD/4$ の大小関係を比較する場合の容量配分(図3(e)参照)に一致する。そして、 $y = 96$ の場合は、容量素子C40の容量と容量素子C50の容量は3:1の比率になり、入力アナログ電圧 V_{in} と $VDD \times (3/4)$ の大小関係を比較する場合の容量配分(図3(b)参照)に一致するのである。

10

【 0 0 3 9 】

例えば、 $y = 64$ と定めておけば、入力アナログ電圧 V_{in} と $VDD/2$ の大小関係を比較する際の脈動成分をコンパレータ20で相殺することができるものの、入力アナログ電圧 V_{in} と $VDD/4$ の大小比較をする場合や入力アナログ電圧 V_{in} と $VDD \times (3/4)$ の大小比較をする場合は、電源電圧の脈動成分がコンパレータ20において相殺されることはない。図1と図4とを対比すれば明らかのように、A/D変換器1Bでは、基準電圧調整回路50Bの回路構成が簡略化されており、A/D変換器1Aに比較して設計・製造が容易で回路規模も小さくなるといった利点がある。しかし、その反面、予め定められた特定のコード付近($y = 64$ であれば"100...0"付近、 $y = 32$ であれば"010...0"付近)のみでしか電源電圧の脈動分 V を相殺することができず、他のコードに関しては高い変換精度が得られるとは限らない、といった欠点がある。このため、本発明に係るA/D変換器を組み込んだ電子回路の設計・製造を行う場合には、その電子回路に対する要求仕様に応じてA/D変換器1AとA/D変換器1Bのうちの好適な方を採用するようにすれば良い。例えば、全範囲に亘って高い変換精度が要求される場合には、A/D変換器1Aを採用すれば良い。これに対して、特定のコードの付近では高い変換精度が要求されるもののその他のコードについてはさほど高い変換精度は要求されず、かつ、回路の小規模化および設計・製造コストの削減が求められる場合には、A/D変換器1Bを採用し、上記特定のコードの値に応じて容量素子C40および容量素子C50の容量を定めるようにすれば良い。

20

30

【 0 0 4 0 】

(2) 上述した第1および第2実施形態では、電荷再配分型回路と抵抗分圧型回路とを併用して局部D/A変換回路10Aを構成したが、電荷再配分型回路と抵抗分圧型回路の何れか一方のみで構成しても勿論良い。

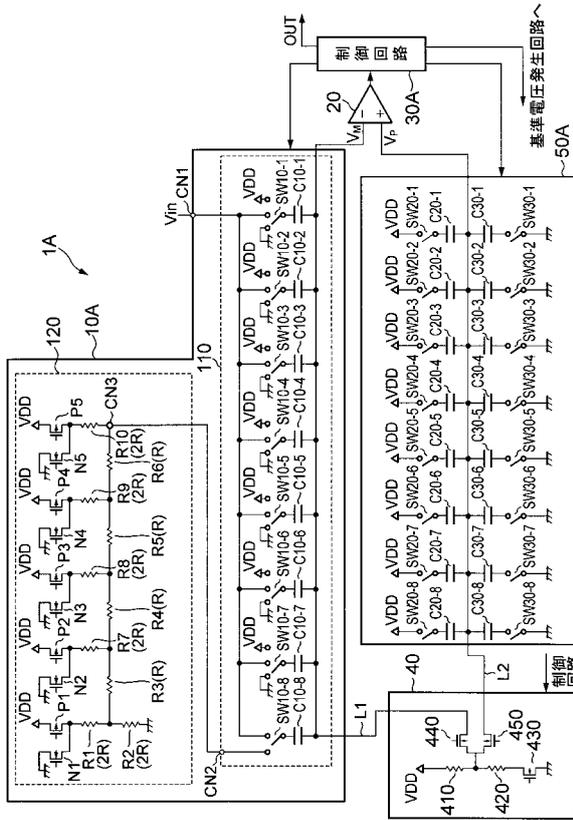
【 符号の説明 】

【 0 0 4 1 】

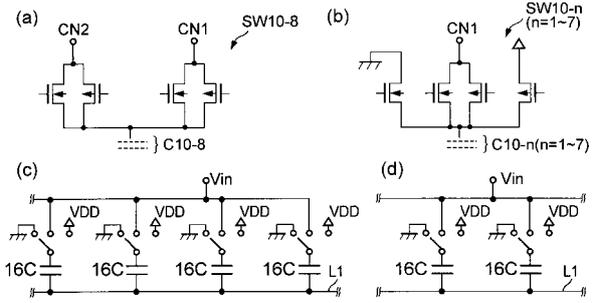
1A, 1B... A/D変換器、10, 10A... 局部D/A変換回路、110... 上位7ビット変換回路、120... 下位5ビット変換回路、20... コンパレータ、30, 30A... 制御回路、40... 基準電圧発生回路、50A, 50B... 基準電圧調整回路。

40

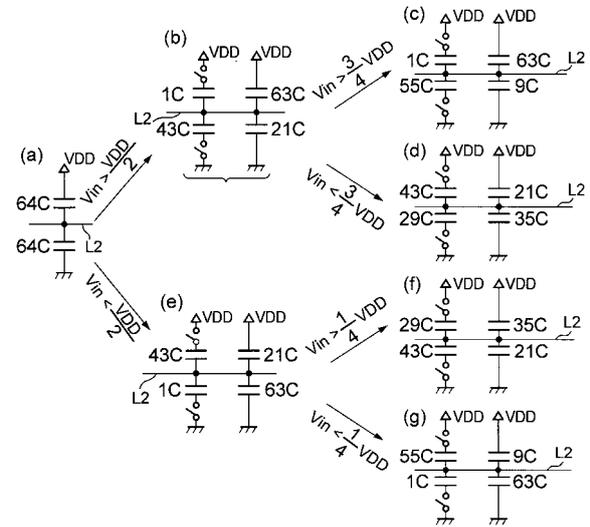
【図1】



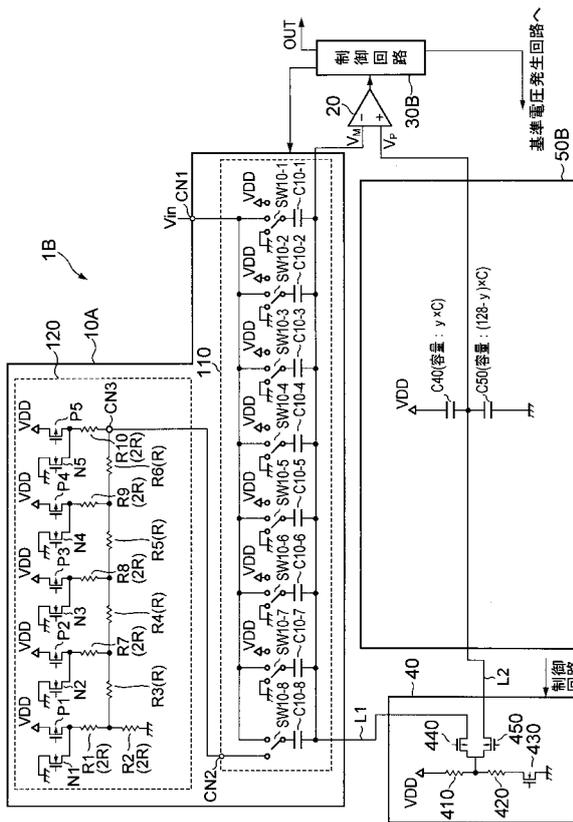
【図2】



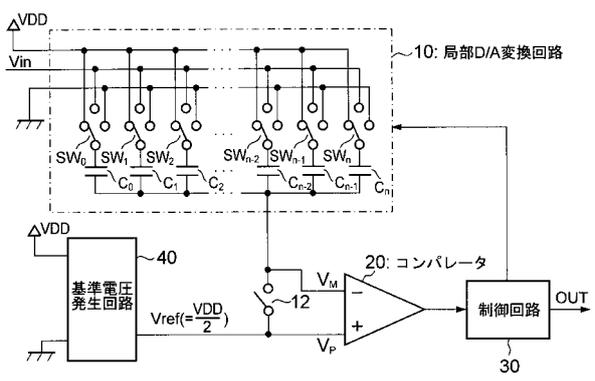
【図3】



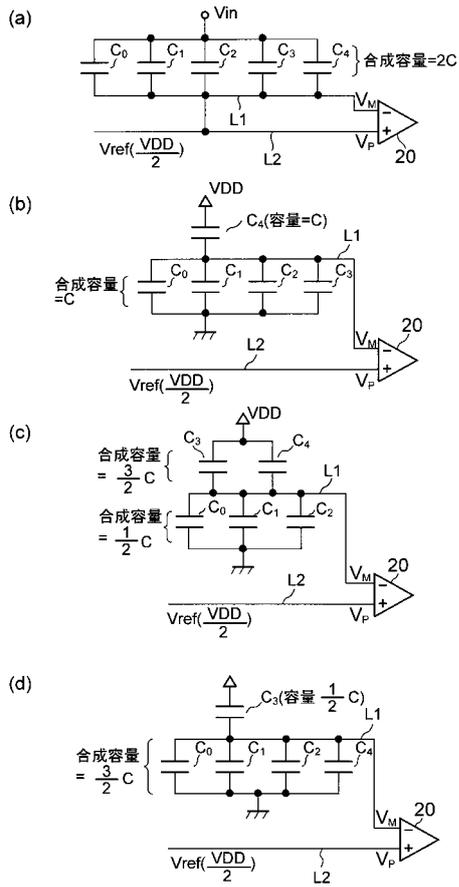
【図4】



【図5】



【 図 6 】



フロントページの続き

- (56)参考文献 特開平07-336224(JP,A)
特開平10-293999(JP,A)
特開平07-029391(JP,A)
特開2011-082879(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88