



(12) 发明专利申请

(10) 申请公布号 CN 113687839 A

(43) 申请公布日 2021. 11. 23

(21) 申请号 202110975169.9

(22) 申请日 2021.08.24

(71) 申请人 天津津航计算技术研究所

地址 300308 天津市东丽区空港经济区保  
税路357号

(72) 发明人 王瑞

(74) 专利代理机构 中国兵器工业集团公司专利  
中心 11011

代理人 刘瑞东

(51) Int. Cl.

G06F 8/61 (2018.01)

G06F 13/40 (2006.01)

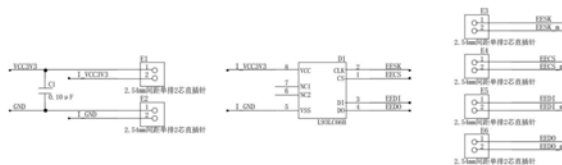
权利要求书1页 说明书3页 附图1页

(54) 发明名称

一种基于PCI9054的CPCI板卡配置芯片的板上烧写方法

(57) 摘要

本发明涉及一种基于PCI9054的CPCI板卡配置芯片的板上烧写方法,属于工业控制和信号处理领域。本发明将CPCI板卡配置芯片D1的1、2、3、4、5、8管脚分别与6个插针E1-E6的一端分别连接,该端分别作为6个插针E1-E6的连接端;板卡正常使用过程中E1-E6的1、2脚均通过跳线帽相连;在对D1进行烧写或升级的先要断开E1-E6的1、2脚间的跳线帽,实现D1与板上其他芯片的物理连接;6个插针E1-E6的连接端通过杜邦线与烧写器的1、2、3、4、5、8脚连接,连接完成后可对D1进行烧写/升级。本发明通过板上隔离电路,实现对CPCI板卡配置芯片进行单独的烧写/升级,避免了EEPROM的拆卸、板卡飞线、电阻的跳接、带电操作等问题,方便了板卡的调试以及批量生产。



1. 一种基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,该方法包括如下步骤:

S1、将CPCI板卡配置芯片D1的1、2、3、4、5、8管脚分别与6个插针E1~E6的一端分别连接,该端分别作为6个插针E1~E6的连接端;

S2、板卡正常使用过程中E1~E6的1、2脚均通过跳线帽相连;

S3、在对D1进行烧写或升级的先要断开E1~E6的1、2脚间的跳线帽,实现D1与板上其他芯片的物理连接;

S4、6个插针E1~E6的连接端通过杜邦线与烧写器的1、2、3、4、5、8脚连接,连接完成后可对D1进行烧写/升级。

2. 如权利要求1所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,CPCI板卡为PCI9054。

3. 如权利要求1所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,配置芯片D1为EEPROM,该EEPROMSOP-8表贴封装。

4. 如权利要求1所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,6个插针E1~E6均为单排2芯直插针。

5. 如权利要求4所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,6个插针E1~E6为2.54mm间距的单排2芯直插针。

6. 如权利要求4所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,6个插针E1~E6为1.27mm间距的单排2芯直插针。

7. 如权利要求1所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,配置芯片D1为L93LC66B。

8. 如权利要求1-7任一项所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,所述步骤S1中的D1的1、2、3、4、5、8管脚分别与6个插针E1~E6的一端分别连接具体包括:D1的1脚EECS与E4的1脚相连;D1的2脚EESK与E3的1脚相连接;D1的3脚EEDI与E5的1脚相连接;D1的4脚EEDO与E6的1脚相连接;D1的6脚I\_GND与E2的2脚相连接;D1的8脚I\_VCC3V3与E1的2脚相连接。

9. 如权利要求8所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,E1的1脚和E2的1脚之间连接电容C1。

10. 如权利要求8所述的基于PCI9054的CPCI板卡配置芯片的板上烧写方法,其特征在于,所述步骤S4中的6个插针E1~E6的连接端通过杜邦线与烧写器的1、2、3、4、5、8脚连接具体包括:将E1的2脚通过杜邦线与烧写器的8脚相连,E2的2脚通过杜邦线与烧写器的5脚相连,E3的1脚通过杜邦线与烧写器的2脚相连,E4的1脚通过杜邦线与烧写器的1脚相连,E5的1脚通过杜邦线与烧写器的3脚相连,E6的1脚通过杜邦线与烧写器的4脚相连。

## 一种基于PCI9054的CPCI板卡配置芯片的板上烧写方法

### 技术领域

[0001] 本发明属于工业控制和信号处理领域,具体涉及一种基于PCI9054的CPCI板卡配置芯片的板上烧写方法,特别涉及PCI9054配置芯片烧写方面,采用此方案可以在不对板卡二次焊接的情况下,完成板上配置芯片的烧写/升级。

### 背景技术

[0002] 烧录PCI9054配置芯片目前主要有两种方法。第一种方法,是在设计之初选用DIP8封装的EEPROM,在板卡生产完成前,先采用烧写器对EEPROM进行编程,再将EEPROM焊接在板卡上。一旦需要重新对EEPROM进行升级,就需要将EEPROM焊下,重新编程后再焊回板上,频繁的焊接会对EEPROM造成损坏,且不利于后续定型批产。第二种方法,采用在线烧录的方式,在设计之初选用SOP8封装的EEPROM,板上焊接空白的EEPROM,采用PLXMON软件进行在线烧写。板卡上电前需要把PCI9054的TEST引脚下拉,EEDI/O引脚上拉;系统加电后立刻将PCI9054的TEST引脚上拉一下才能进入系统,进入系统后打开PLXMON对EEPROM进行烧写。这个过程中系统上电后何时对TEST管脚进行下来,需要通过经验把握时机,同时TEST管脚下拉以及EEDI/O引脚上拉均需要焊接跳线,同时处于带电操作,容易烧板卡,且不利于板卡的批量生产。

### 发明内容

[0003] (一)要解决的技术问题

[0004] 本发明要解决的技术问题是如何提供一种基于PCI9054的CPCI板卡配置芯片的板上烧写方法,以解决批量生产中CPCI板卡(PCI9054)配置芯片的烧写/升级过程中对板卡产生焊接飞线、电阻或带电操作等问题。

[0005] (二)技术方案

[0006] 为了解决上述技术问题,本发明提出一种基于PCI9054的CPCI板卡配置芯片的板上烧写方法,该方法包括如下步骤:

[0007] S1、将CPCI板卡配置芯片D1的1、2、3、4、5、8管脚分别与6个插针E1-E6的一端分别连接,该端分别作为6个插针E1-E6的连接端;

[0008] S2、板卡正常使用过程中E1-E6的1、2脚均通过跳线帽相连;

[0009] S3、在对D1进行烧写或升级的先要断开E1-E6的1、2脚间的跳线帽,实现D1与板上其他芯片的物理连接;

[0010] S4、6个插针E1-E6的连接端通过杜邦线与烧写器的1、2、3、4、5、8脚连接,连接完成后可对D1进行烧写/升级。

[0011] 进一步地,CPCI板卡为PCI9054。

[0012] 进一步地,配置芯片D1为EEPROM,该EEPROMSOP-8表贴封装。

[0013] 进一步地,6个插针E1-E6均为单排2芯直插针。

[0014] 进一步地,6个插针E1-E6为2.54mm间距的单排2芯直插针。

[0015] 进一步地,6个插针E1-E6为1.27mm间距的单排2芯直插针。

[0016] 进一步地,配置芯片D1为L93LC66B。

[0017] 进一步地,所述步骤S1中的D1的1、2、3、4、5、8管脚分别与6个插针E1-E6的一端分别连接具体包括:D1的1脚EECS与E4的1脚相连;D1的2脚EESK与E3的1脚相连接;D1的3脚EEDI与E5的1脚相连接;D1的4脚EEDO与E6的1脚相连接;D1的6脚I\_GND与E2的2脚相连接;D1的8脚I\_VCC3V3与E1的2脚相连接。

[0018] 进一步地,E1的1脚和E2的1脚之间连接电容C1。

[0019] 进一步地,所述步骤S4中的6个插针E1-E6的连接端通过杜邦线与烧写器的1、2、3、4、5、8脚连接具体包括:将E1的2脚通过杜邦线与烧写器的8脚相连,E2的2脚通过杜邦线与烧写器的5脚相连,E3的1脚通过杜邦线与烧写器的2脚相连,E4的1脚通过杜邦线与烧写器的1脚相连,E5的1脚通过杜邦线与烧写器的3脚相连,E6的1脚通过杜邦线与烧写器的4脚相连。

[0020] (三)有益效果

[0021] 本发明提出一种基于PCI9054的CPCI板卡配置芯片的板上烧写方法,本发明通过板上隔离电路,实现对CPCI板卡(PCI9054)配置芯片进行单独的烧写/升级,避免了EEPROM的拆卸、板卡飞线、电阻的跳接、带电操作等问题,方便了板卡的调试以及批量生产。

## 附图说明

[0022] 图1为本发明板上隔离烧写电路。

## 具体实施方式

[0023] 为使本发明的目的、内容和优点更加清楚,下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。

[0024] 本发明提供一种基于CPCI板卡PCI9054桥片配置芯片的板上烧写方法,属于工业控制及信号处理领域。不需对EEPROM通过调整上下拉电阻,不需对PCI9054飞线,不需将EEPROM焊下,通过跳线的方式实现EEPROM在板上烧写/升级。

[0025] 为解决批量生产中CPCI板卡(PCI9054)配置芯片的烧写/升级过程中对板卡产生焊接飞线、电阻或带电操作等问题,本发明提供了一种电路可将PCI桥片(PCI9054)的配置芯片与板卡其他芯片实现物理隔离,隔离后采用烧写器对E<sup>2</sup>PROM进行板上编程,隔离电路的设计避免了烧写过程中对板上其他芯片供电,实现了在不拆卸E<sup>2</sup>PROM的情况下对其编程或升级。

[0026] 如附图1所示,本发明的基于PCI9054的CPCI板卡配置芯片的板上烧写方法包括如下步骤:

[0027] S1、将CPCI板卡配置芯片D1的1、2、3、4、5、8管脚分别与6个插针E1-E6的一端分别连接,该端分别作为6个插针E1-E6的连接端;

[0028] S2、板卡正常使用过程中E1-E6的1、2脚均通过跳线帽相连;

[0029] S3、在对D1进行烧写或升级的先要断开E1-E6的1、2脚间的跳线帽,实现D1与板上其他芯片的物理连接;

[0030] S4、6个插针E1-E6的连接端通过杜邦线与烧写器的1、2、3、4、5、8脚连接,连接完成

后可对D1进行烧写/升级。

[0031] 进一步地,CPCI板卡为PCI9054。

[0032] 进一步地,配置芯片D1为L93LC66B。

[0033] 进一步地,配置芯片D1为EEPROM,该EEPROMSOP-8表贴封装。

[0034] 进一步地,6个插针E1-E6均为单排2芯直插针。

[0035] 进一步地,6个插针E1-E6为2.54mm间距或1.27mm间距的单排2芯直插针。

[0036] 进一步地,D1的1、2、3、4、5、8管脚分别与6个插针E1-E6的一端分别连接具体包括:D1的1脚EECS与E4的1脚相连;D1的2脚EESK与E3的1脚相连接;D1的3脚EEDI与E5的1脚相连接;D1的4脚EED0与E6的1脚相连接;D1的6脚I\_GND与E2的2脚相连接;D1的8脚I\_VCC3V3与E1的2脚相连接。

[0037] 进一步地,E1的1脚和E2的1脚之间连接电容C1。

[0038] 进一步地,电容C1为0.1 $\mu$ F的电容。

[0039] 进一步地,6个插针E1-E6的连接端通过杜邦线与烧写器的1、2、3、4、5、8脚连接具体包括:将E1的2脚通过杜邦线与烧写器的8脚相连,E2的2脚通过杜邦线与烧写器的5脚相连,E3的1脚通过杜邦线与烧写器的2脚相连,E4的1脚通过杜邦线与烧写器的1脚相连,E5的1脚通过杜邦线与烧写器的3脚相连,E6的1脚通过杜邦线与烧写器的4脚相连。

[0040] 实施例1:

[0041] D1为PCI9054桥片的配置芯片L93LC66B,该EEPROM为SOP-8表贴封装。本发明将D1芯片的1、2、3、4、5、8管脚分别与6个2.54间距的插针一端相连接。对应关系为D1的1脚(EECS)与E4的1脚相连;D1的2脚(EESK)与E3的1脚相连接;D1的3脚(EEDI)与E5的1脚相连接;D1的4脚(EED0)与E6的1脚相连接;D1的6脚(I\_GND)与E2的2脚相连接;D1的8脚(I\_VCC3V3)与E1的2脚相连接;板卡正常使用过程中E1-E6的1、2脚均通过跳线帽相连,在对EEPROM进行烧写或升级的首先要断开E1-E6的1、2脚间的跳线帽,实现EEPROM与板上其他芯片的物理连接。将E1的2脚通过杜邦线与烧写器的8脚相连,E2的2脚通过杜邦线与烧写器的5脚相连,E3的1脚通过杜邦线与烧写器的2脚相连,E4的1脚通过杜邦线与烧写器的1脚相连,E5的1脚通过杜邦线与烧写器的3脚相连,E6的1脚通过杜邦线与烧写器的4脚相连,连接完成后可对EEPROM进行烧写/升级,由于板上网络标号的不同,烧写器的电源和地跟板上的电源和地完全隔离,使得在升级过程中烧写器不影响板上其他元器件。

[0042] 本发明通过板上隔离电路,实现对CPCI板卡(PCI9054)配置芯片进行单独的烧写/升级,避免了EEPROM的拆卸、板卡飞线、电阻的跳接、带电操作等问题,方便了板卡的调试以及批量生产。

[0043] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和变形,这些改进和变形也应视为本发明的保护范围。

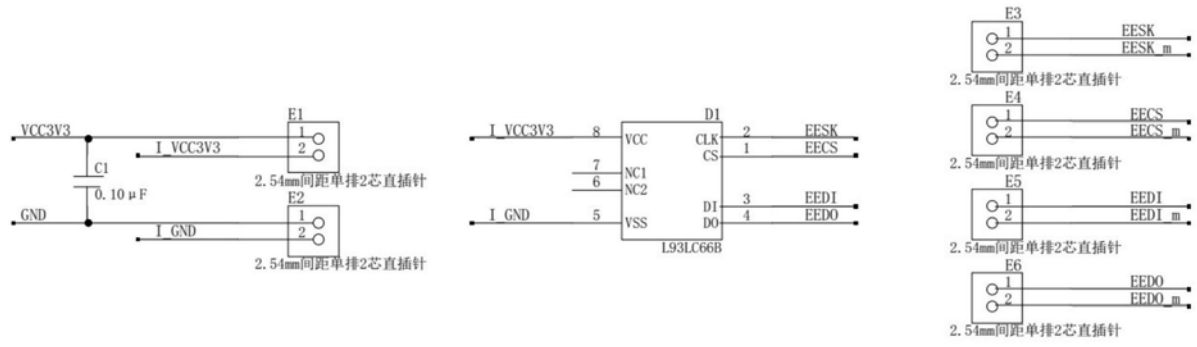


图1