(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0117732
(43) 공개일자 2020년10월14일

(51) 국제특허분류(Int. Cl.)
G11C 11/419 (2015.01) *G11C 11/412* (2006.01)
(52) CPC특허분류
G11C 11/419 (2018.05)
G11C 11/412 (2013.01)
(21) 출원번호 10-2019-0040298
(22) 출원일자 2019년04월05일
심사청구일자 2019년04월05일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50 전기전자컴퓨터공학부
정재원
서울특별시 강북구 도봉로76길 29(미아동, 북한산 팰리스)
최영은
울산광역시 울주군 언양읍 유니스트길 50 309동
(74) 대리인
리앤목특허법인

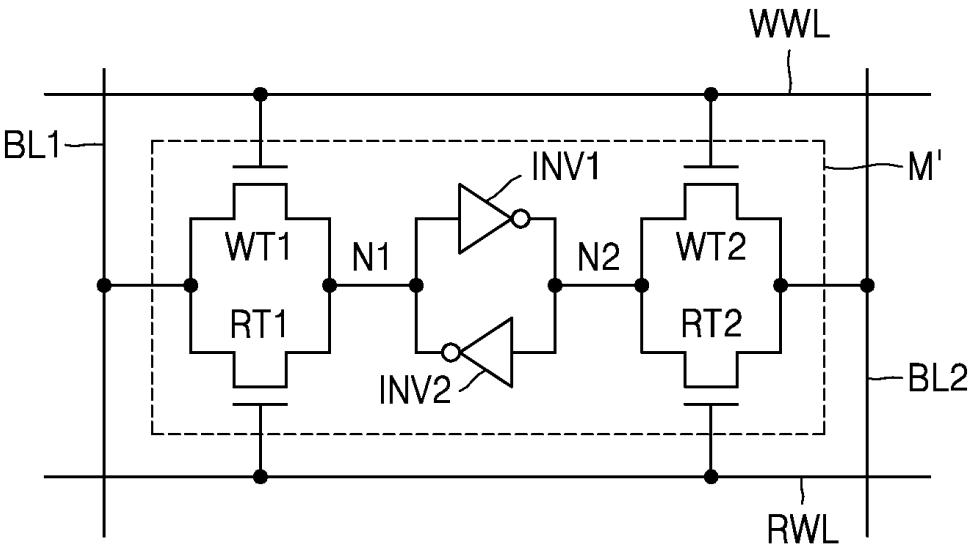
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **3진 메모리 셀 및 이를 포함하는 메모리 장치**

(57) 요 약

3진 메모리 셀을 포함하는 메모리 장치에서, 3진 메모리 셀은 제1 노드 및 제2 노드에서 교차 연결되고, 턴-오프 시 정전류를 통과시키는 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터, 제1 노드 및 제1 비트 라인 사이에서 상호 병렬 연결된 제1 독출 트랜지스터 및 제1 기입 트랜지스터, 제2 노드 및 제2 비트 라인 사이에서 상호 병렬 연결되고, 기입 된 제2 독출 트랜지스터 및 제2 기입 트랜지스터를 포함할 수 있고, 제1 독출 트랜지스터 및 제2 독출 트랜지스터는, 활성화된 독출 워드라인에 응답하여 정전류 이하의 독출 액세스 전류를 통과시킬 수 있다.

대 표 도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호	SRFC-TA1703-07
과제번호	SRFC-TA1703-07
부처명	삼성전자㈜
과제관리(전문)기관명	삼성전자 미래기술육성센터
연구사업명	삼성미래기술육성사업
연구과제명	페타급 연결을 위한 신개념 터너리 CMOS 소자 기술 및 초절전 신경망 표준셀 구현
기 여 율	9/10
과제수행기관명	울산과학기술원
연구기간	2017.09.01 ~ 2020.08.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1.200033.01
과제번호	1.200033.01
부처명	울산과학기술원
과제관리(전문)기관명	울산과학기술원
연구사업명	U-K BRAND 육성사업(미래핵심연구)
연구과제명	다치로직 기반 초저전력 신경망 컴퓨터
기 여 율	1/10
과제수행기관명	울산과학기술원
연구기간	2019.01.31 ~ 2023.12.31

명 세 서

청구범위

청구항 1

3진 메모리 셀을 포함하는 메모리 장치로서,

상기 3진 메모리 셀은,

제1 노드 및 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터;

상기 제1 노드 및 제1 비트 라인 사이에서 상호 병렬 연결된 제1 독출 트랜지스터 및 제1 기입 트랜지스터;

상기 제2 노드 및 제2 비트 라인 사이에서 상호 병렬 연결되고, 기입 된 제2 독출 트랜지스터 및 제2 기입 트랜지스터를 포함하고,

상기 제1 독출 트랜지스터 및 상기 제2 독출 트랜지스터는, 활성화된 독출 워드라인에 응답하여 상기 정전류 이하의 독출 액세스 전류를 통과시키도록 구성된 것을 특징으로 하는 메모리 장치.

청구항 2

청구항 1에 있어서,

상기 독출 동작시 상기 제1 비트 라인의 제1 전압 및 상기 제2 비트 라인의 제2 전압의 차이에 기초하여 3진 값을 판정하도록 구성된 페이지 버퍼를 더 포함하는 메모리 장치.

청구항 3

청구항 1에 있어서,

상기 제1 기입 트랜지스터 및 상기 제2 기입 트랜지스터는, 활성화된 기입 워드라인에 응답하여 상기 정전류 이상의 기입 액세스 전류를 통과시키도록 구성된 것을 특징으로 하는 메모리 장치.

청구항 4

청구항 1에 있어서,

상기 제1 독출 트랜지스터 및 상기 제2 독출 트랜지스터는, 상기 제1 기입 트랜지스터 및 상기 제2 기입 트랜지스터보다 작은 크기를 가지는 것을 특징으로 하는 메모리 장치.

청구항 5

청구항 1에 있어서,

상기 제1 독출 트랜지스터 및 상기 제2 독출 트랜지스터는, 상기 제1 기입 트랜지스터 및 상기 제2 기입 트랜지스터보다 높은 문턱 전압의 크기를 가지는 것을 특징으로 하는 메모리 장치.

청구항 6

청구항 1에 있어서,

상기 3진 메모리 셀은, 상기 풀업 소자 및 상기 풀다운 소자가 모두 턴-오프된 제1 상태, 상기 풀업 소자 및 상기 풀다운 소자 중 하나가 턴-온되고 나머지 하나가 턴-오프된 제2 상태 및 제3 상태에 대응하는 3진 값을 저장하도록 구성되고,

상기 풀업 소자 및 상기 풀다운 소자는, 상기 제1 상태에서 제1 전류를 통과시키고, 상기 제2 상태 및 상기 제3 상태에서 상기 제1 전류보다 큰 제2 전류를 통과시키도록 구성된 것을 특징으로 하는 메모리 장치.

청구항 7

3진 값을 저장하는 3진 메모리 셀을 포함하는 메모리 장치로서,

상기 3진 메모리 셀은,

제1 노드 및 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터;

상기 제1 노드 및 제1 비트 라인에 연결된 제1 액세스 트랜지스터; 및

상기 제2 노드 및 제2 비트 라인에 연결된 제2 액세스 트랜지스터를 포함하고,

독출 동작시 상기 정전류 이하의 독출 액세스 전류가 상기 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터를 통과하도록, 상기 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 독출 워드라인 전압을 각각 제공하도록 구성된 로우 디코더를 포함하는 메모리 장치.

청구항 8

청구항 7에 있어서,

상기 독출 동작시 상기 제1 비트 라인의 제1 전압 및 상기 제2 비트 라인의 제2 전압의 차이에 기초하여 3진 값을 판정하도록 구성된 페이지 버퍼를 더 포함하는 메모리 장치.

청구항 9

청구항 7에 있어서,

상기 로우 디코더는, 기입 동작시 상기 정전류 이상의 크기를 가지는 기입 액세스 전류가 상기 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터를 통과하도록, 상기 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 기입 워드라인 전압을 각각 제공하도록 구성된 것을 특징으로 하는 메모리 장치.

청구항 10

청구항 7에 있어서,

상기 3진 메모리 셀은, 상기 풀업 소자 및 상기 풀다운 소자가 모두 턴-오프된 제1 상태, 상기 풀업 소자 및 상기 풀다운 소자 중 하나가 턴-온되고 나머지 하나가 턴-오프된 제2 상태 및 제3 상태에 대응하는 3진 값을 저장하도록 구성되고,

상기 풀업 소자 및 상기 풀다운 소자는, 상기 제1 상태에서 제1 전류를 통과시키고, 상기 제2 상태 및 상기 제3 상태에서 상기 제1 전류보다 큰 제2 전류를 통과시키도록 구성된 것을 특징으로 하는 메모리 장치.

청구항 11

청구항 10에 있어서,

상기 로우 디코더는, 기입 동작시 상기 제2 전류 이상의 크기를 가지는 기입 액세스 전류가 상기 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터를 통과하도록, 상기 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 기입 워드 라인 전압을 각각 제공하도록 구성된 것을 특징으로 하는 메모리 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술적 사상은 메모리 장치에 관한 것으로서, 자세하게는 3진 메모리 셀 및 이를 포함하는 메모리 장치에 관한 것이다.

배 경 기 술

[0002] 본 명세서에 전체로서 참조되어 포함되는, 동일 출원인의 발명인 공개특허공보 제10-1689159호(본 명세서에서, '선행발명'으로 지칭된다)에서 3진(ternary) 논리 회로가 제안된 바 있다. 예를 들면, 3진 논리 회로로서 인버터는 3진 논리값들, 즉 0/1/2 논리값들에 각각 대응하는 접지 전압(GND), 중간 전압(VDD/2) 및 양의 공급 전압(VDD)이 입력되면, 2/1/0 논리값들에 각각 대응하는 양의 공급 전압(VDD), 중간 전압(VDD/2) 및 접지 전압(GN

D)을 출력할 수 있다. 이와 같은 3진 논리 회로는 0/1 논리값들에 대응하는 접지 전압(GND) 및 양의 공급 전압(VDD)을 사용하는 일반적인 2진(binary) 논리 회로와 비교할 때, 보다 많은 양의 정보들을 처리할 수 있는 장점을 제공할 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상은, 3진 논리 회로의 증가된 정보 처리 능력을 활용하여 논리 연산뿐만 아니라 메모리 소자로서 활용하기 위한, 3진 메모리 셀 및 이를 포함하는 메모리 장치를 제공한다.

과제의 해결 수단

[0004] 상기와 같은 목적을 달성하기 위하여, 본 발명의 기술적 사상의 일측면에 따라 3진 메모리 셀을 포함하는 메모리 장치에서, 3진 메모리 셀은 제1 노드 및 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키는 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터, 제1 노드 및 제1 비트 라인 사이에서 상호 병렬 연결된 제1 독출 트랜지스터 및 제1 기입 트랜지스터, 제2 노드 및 제2 비트 라인 사이에서 상호 병렬 연결되고, 기입 된 제2 독출 트랜지스터 및 제2 기입 트랜지스터를 포함할 수 있고, 제1 독출 트랜지스터 및 제2 독출 트랜지스터는, 활성화된 독출 워드라인에 응답하여 정전류 이하의 독출 액세스 전류를 통과시킬 수 있다.

[0005] 본 발명의 예시적 실시예에 따라, 메모리 장치는 독출 동작시 제1 비트 라인의 제1 전압 및 제2 비트 라인의 제2 전압의 차이에 기초하여 3진 값을 판정하는 페이지 버퍼를 더 포함할 수 있다.

[0006] 본 발명의 예시적 실시예에 따라, 제1 기입 트랜지스터 및 제2 기입 트랜지스터는, 활성화된 기입 워드라인에 응답하여 정전류 이상의 기입 액세스 전류를 통과시킬 수 있다.

[0007] 본 발명의 예시적 실시예에 따라, 제1 독출 트랜지스터 및 제2 독출 트랜지스터는, 제1 기입 트랜지스터 및 제2 기입 트랜지스터보다 작은 크기를 가질 수 있다.

[0008] 본 발명의 예시적 실시예에 따라, 제1 독출 트랜지스터 및 제2 독출 트랜지스터는, 제1 기입 트랜지스터 및 제2 기입 트랜지스터보다 높은 문턱 전압의 크기를 가질 수 있다.

[0009] 본 발명의 예시적 실시예에 따라, 3진 메모리 셀은, 풀업 소자 및 풀다운 소자가 모두 턴-오프된 제1 상태, 풀업 소자 및 풀다운 소자 중 하나가 턴-온되고 나머지 하나가 턴-오프된 제2 상태 및 제3 상태에 대응하는 3진 값을 저장할 수 있고, 풀업 소자 및 풀다운 소자는, 제1 상태에서 제1 전류를 통과시키고, 제2 상태 및 제3 상태에서 제1 전류보다 큰 제2 전류를 통과시킬 수 있다.

[0010] 본 발명의 기술적 사상의 일측면에 따라 3진 메모리 셀을 포함하는 메모리 장치에서, 3진 메모리 셀은, 제1 노드 및 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키는 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터, 제1 노드 및 제1 비트 라인에 연결된 제1 액세스 트랜지스터, 및 제2 노드 및 제2 비트 라인에 연결된 제2 액세스 트랜지스터를 포함할 수 있고, 메모리 장치는, 독출 동작시 정전류 이하의 독출 액세스 전류가 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터를 통과하도록, 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터에 독출 워드라인 전압을 각각 제공하는 로우 디코더를 포함할 수 있다.

[0011] 본 발명의 예시적 실시예에 따라, 메모리 장치는, 독출 동작시 제1 비트 라인의 제1 전압 및 제2 비트 라인의 제2 전압의 차이에 기초하여 3진 값을 판정하는 페이지 버퍼를 더 포함할 수 있다.

[0012] 본 발명의 예시적 실시예에 따라, 로우 디코더는, 기입 동작시 정전류 이상의 크기를 가지는 기입 액세스 전류가 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터를 통과하도록, 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터에 기입 워드라인 전압을 각각 제공할 수 있다.

[0013] 본 발명의 예시적 실시예에 따라, 로우 디코더는, 기입 동작시 제2 전류 이상의 크기를 가지는 기입 액세스 전류가 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터를 통과하도록, 제1 액세스 트랜지스터 및 제2 액세스 트랜지스터에 기입 워드 라인 전압을 각각 제공할 수 있다.

발명의 효과

[0014] 본 발명의 예시적 실시예에 따른 3진 메모리 셀 및 이를 포함하는 메모리 장치에 의하면, 메모리 셀에 저장되는

정보의 양이 증가할 수 있다.

[0015] 또한, 본 발명의 예시적 실시예에 따른 3진 메모리 셀 및 이를 포함하는 메모리 장치에 의하면, 메모리 셀에 저장되는 증가된 정보에 기인하여 메모리 셀을 포함하는 메모리 장치의 용량이 현저하게 증가할 수 있다.

[0016] 또한, 본 발명의 예시적 실시예에 따른 3진 메모리 셀 및 이를 포함하는 메모리 장치에 의하면, 증가된 양의 정보를 저장하면서도 양호한 독출 성능 및 기입 성능을 제공하는 동시에 감소된 면적을 가지는 메모리 셀이 제공될 수 있다.

[0017] 또한, 본 발명의 예시적 실시예에 따른 3진 메모리 셀 및 이를 포함하는 메모리 장치에 의하면, 메모리 셀의 양호한 독출 성능에 기인하여 메모리 셀을 포함하는 메모리 장치의 성능 및 동작 신뢰도가 향상될 수 있다.

[0018] 본 발명의 예시적 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 아니하며, 언급되지 아니한 다른 효과들은 이하의 기재로부터 본 발명의 예시적 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다. 즉, 본 발명의 예시적 실시예들을 실시함에 따른 의도하지 아니한 효과들 역시 본 발명의 예시적 실시예들로부터 당해 기술분야의 통상의 지식을 가진 자에 의해 도출될 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 예시적 실시예에 따른 메모리 장치를 나타내는 블록도이다.

도 2는 본 발명의 예시적 실시예에 따라 도 1의 메모리 셀의 예시를 나타내는 회로도이다.

도 3은 본 발명의 예시적 실시예에 따라 도 2의 인버터의 예시를 나타내는 회로도이고, 도 4는 본 발명의 예시적 실시예에 따라 도 3의 인버터의 동작의 예시들을 나타내는 그래프이다.

도 5는 본 발명의 예시적 실시예에 따라 도 3의 액세스 전류의 특성을 나타내는 그래프이다.

도 6은 본 발명의 예시적 실시예에 따라 기입 동작을 위한 액세스 전류 및 입력 전압의 특성을 나타내는 테이블이다.

도 7은 본 발명의 예시적 실시예에 따라 독출 동작을 위한 액세스 전류 및 입력 전압의 특성을 나타내는 테이블이다.

도 8 및 도 9는 본 발명의 예시적 실시예에 따라 도 2의 메모리 셀의 동작들을 나타내는 그래프들이다.

도 10은 본 발명의 예시적 실시예에 따른 메모리 장치를 나타내는 블록도이다.

도 11은 본 발명의 예시적 실시예에 따라 도 10의 메모리 셀의 예시를 나타내는 회로도이다.

도 12는 본 발명의 예시적 실시예에 따라 도 11의 메모리 셀의 동작을 나타내는 그래프이다.

도 13은 본 발명의 예시적 실시예에 따른 메모리 장치를 포함하는 집적 회로를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다. 본 발명의 실시 예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용한다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하거나 축소하여 도시한 것이다.

[0021] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0022] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이

속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0023] 도 1은 본 발명의 예시적 실시예에 따른 메모리 장치(10)를 나타내는 블록도이다. 구체적으로, 도 1은 메모리 장치(10)에 포함된 일부 구성요소들로서, 셀 어레이(12), 로우 디코더(14) 및 페이지 버퍼(16)를 나타낸다.

[0024] 메모리 장치(10)는 외부로부터 커맨드 및 어드레스를 수신할 수 있고, 데이터를 수신하거나 출력할 수 있다. 예를 들면, 메모리 장치(10)는 기입(write) 커맨드, 독출(read) 커맨드와 같은 커맨드 및 커맨드에 대응하는 어드레스를 수신할 수 있다. 메모리 장치(10)는 기입 커맨드에 응답하여 데이터를 수신할 수 있고, 독출 커맨드에 응답하여 데이터를 출력할 수 있다. 일부 실시예들에서 커맨드, 어드레스 및 데이터는 독립적인 채널들을 통해서 수신되거나 전송될 수도 있고, 일부 실시예들에서 커맨드, 어드레스 및 데이터 중 적어도 2개는 동일한 채널을 통해서 수신되거나 전송될 수도 있다. 일부 실시예들에서, 메모리 장치(10)는 반도체 공정을 통해서 제조되는 임의의 장치를 지칭할 수 있다. 예를 들면, 메모리 장치(10)는 독립적인 메모리 장치로서 패키징될 수도 있고, 시스템-온-칩 또는 프로세서 등과 같은 반도체 패키지에 포함될 수도 있다.

[0025] 셀 어레이(12)는 복수의 메모리 셀들(예컨대, M)을 포함할 수 있다. 메모리 셀(M)은 3개의 상이한 상태들을 가질 수 있고, 이에 따라 3개의 상이한 상태들에 대응하는 3진 논리 값들을 저장할 수 있다. 본 명세서에서, 메모리 셀(M)이 저장 가능한 3진 논리 값들은 '0', '1' 및 '2'로서 지칭될 수 있고, '0/1/2'로서 총괄적으로 지칭될 수도 있으며, 단순하게 3진 값들로서 지칭될 수도 있다. 일부 실시예들에서, 도 2를 참조하여 후술되는 바와 같이, 메모리 장치(10)는 SRAM(Static Random Access Memory)일 수 있고, 선행발명에서 제안된 3진 논리 회로 또는 3진 논리 소자를 포함할 수 있다. 메모리 셀(M)의 예시는 도 2등을 참조하여 후술될 것이다. 이와 같이, 3진 논리값들을 저장할 수 있는 메모리 셀들을 포함하는 SRAM은 3진 SRAM(Ternary SRAM) 또는 T-SRAM으로서 지칭될 수 있다.

[0026] 셀 어레이(12)는 로우 디코더(14)와 복수의 기입 워드 라인들(WWLs) 및 복수의 독출 워드 라인들(RWLs)을 통해서 접속될(connected) 수 있고, 페이지 버퍼(16)와 복수의 비트 라인들(BLs)을 통해서 접속될 수 있다. 비록 도 1에 도시되지 아니하였으나, 일부 실시예들에서 메모리 장치(10)는 셀 어레이(12) 및 페이지 버퍼(16) 사이에 배치되고, 셀 어레이(12)와 연결된 복수의 비트 라인들(BLs) 중 어드레스에 따라 일부를 선택하는 컬럼 디코더를 더 포함할 수 있다. 본 명세서에서, 메모리 장치(10)는 도 1에 도시된 바와 같이, 컬럼 디코더가 생략된 구조를 주로 참조하여 설명될 것이나, 본 발명의 실시예들이 이에 제한되지 아니하는 점은 이해될 것이다.

[0027] 메모리 셀(M)은, 도 1에 도시된 바와 같이, 복수의 기입 워드 라인들(WWLs) 중 하나의 기입 워드 라인(WWL) 및 복수의 독출 워드 라인들(RWLs) 중 하나의 독출 워드 라인(RWL)에 연결될(coupled) 수 있다. 또한, 메모리 셀(M)은 복수의 비트 라인들(BLs) 중 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)에 연결될 수 있다. 일부 실시예들에서, 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)은 상보적일 수 있다. 메모리 셀(M)은 3진 논리 값들을 저장할 수 있고, 3진 논리 값들을 기입하거나 독출하기 위하여, 2진 논리 값들을 저장하는 메모리 셀과 상이한 방식이 채용될 수 있다. 예를 들면, 도 2 등을 참조하여 후술되는 바와 같이, 메모리 셀(M)은 기입 동작 및 독출 동작 각각에서 상이한 경로들을 형성할 수 있고, 메모리 셀(M)은 증가된 양의 정보를 저장하면서도 양호한 독출 성능, 예컨대 높은 독출 SNM(Static Noise Margin) 및 독출 속도 등을 제공할 수 있고, 결과적으로 메모리 장치(10)의 성능 및 동작 신뢰도가 향상될 수 있다.

[0028] 로우 디코더(14)는 기입 커맨드와 함께 수신된 어드레스에 따라 복수의 기입 워드 라인들(WWLs) 중 하나의 워드 라인(예컨대, WWL)을 활성화할 수 있고, 독출 커맨드와 함께 수신된 어드레스에 따라 복수의 독출 워드 라인들(RWLs) 중 하나의 워드 라인(예컨대, RWL)을 활성화할 수 있다. 예를 들면, 기입 워드 라인(WWL)이 활성화되는 경우 메모리 셀(M)이 선택될 수 있고, 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)의 전압들 및/또는 전류들에 의해서 메모리 셀(M)에 값이 기입될 수 있다. 또한, 독출 워드 라인(RWL)이 활성화되는 경우 메모리 셀(M)이 선택될 수 있고, 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)의 전압들 및/또는 전류들에 의해서 메모리 셀(M)에 저장된 값이 독출될 수 있다. 동일한 기입 워드 라인(또는 동일한 독출 워드 라인)에 연결된 메모리 셀들 또는 그러한 메모리 셀들에 저장된 데이터는 페이지(page)로서 지칭될 수 있다.

[0029] 페이지 버퍼(16)는 복수의 비트 라인들(BLs)을 통해서 셀 어레이(12)와 접속될 수 있다. 페이지 버퍼(16)는 적어도 하나의 래치를 포함할 수 있고, 기입 동작시 셀 어레이(12)에 기입하고자 하는 데이터, 즉 기입 데이터를 저장할 수 있는 한편, 독출 동작시 셀 어레이(12)로부터 독출된 데이터, 즉 독출 데이터를 저장할 수 있다. 페

이지 버퍼(16)는 기입 회로를 포함할 수 있고, 기입 회로는 기입 동작시 기입 데이터에 기초한 전압들 및/또는 전류들을 복수의 비트 라인들(BLs)에 인가할 수 있다. 또한, 페이지 버퍼(16)는 독출 회로를 포함할 수 있고, 독출 회로는 독출 동작시 복수의 비트 라인들(BLs)의 전압 및/또는 전류들을 감지함으로써 독출 데이터를 생성할 수 있다. 예를 들면, 페이지 버퍼(16)는 로우 디코더(14)에 의해서 독출 워드 라인(RWL)이 활성화되기 전, 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)을 동일한 전압으로 프리차지할 수 있고, 독출 워드 라인(RWL)이 활성화되면 제1 비트 라인(BL1)의 제1 전압 및 제2 비트 라인(BL2)의 제2 전압의 차이에 기초하여 3진 논리 값들을 판정할 수 있다. 페이지 버퍼(16)는 3진 논리 소자들을 포함할 수 있고, 이에 따라 메모리 셀(M)에 3진 논리 값들을 기입하거나 메모리 셀(M)로부터 3진 논리 값들을 독출할 수 있다.

[0030] 도 2는 본 발명의 예시적 실시예에 따라 도 1의 메모리 셀(M)의 예시를 나타내는 회로도이다. 도 1을 참조하여 전술된 바와 같이, 도 2의 메모리 셀(M')은 기입 워드 라인(WWL) 및 독출 워드 라인(RWL)에 연결될 수 있고, 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)에 연결될 수 있고, 3진 논리 값들, 즉 0/1/2 중 하나의 논리값을 저장할 수 있다. 이하에서, 도 2는 도 1을 참조하여 설명될 것이다.

[0031] 도 2를 참조하면, 메모리 셀(M')은 제1 인버터(INV1), 제2 인버터(INV2), 제1 기입 트랜지스터(WT1), 제2 기입 트랜지스터(WT2), 제1 독출 트랜지스터(RT1) 및 제2 독출 트랜지스터(RT2)를 포함할 수 있다. 제1 인버터(INV1) 및 제2 인버터(INV2)는 제1 노드(N1) 및 제2 노드(N2)에서 교차 연결될 수 있고, 이에 따라 0/1/2 중 하나의 논리값을 저장할 수 있다. 본 명세서에서, 제1 노드(N1)가 양의 공급 전압(VDD)이고, 제2 노드(N2)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))일 때, 메모리 셀(M')은 논리값 2를 저장하는 것으로 지칭될 수 있다. 또한, 본 명세서에서, 제1 노드(N1) 및 제2 노드(N2)가 중간 전압(예컨대, VDD/2)(또는, (VDD+VSS)/2)일 때, 메모리 셀(M')은 논리값 1을 저장하는 것으로 지칭될 수 있다. 또한, 본 명세서에서, 제1 노드(N1)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))이고, 제2 노드(N2)가 양의 공급 전압(VDD)일 때, 메모리 셀(M')은 논리값 0을 저장하는 것으로 지칭될 수 있다. 제1 인버터(INV1) 및 제2 인버터(INV2)의 동작에 대한 예시는 도 3 및 도 4를 참조하여 후술될 것이다.

[0032] 제1 기입 트랜지스터(WT1)는 제1 노드(N1) 및 제1 비트 라인(BL1)에 연결될 수 있고, 기입 워드 라인(WWL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 제1 기입 트랜지스터(WT1)는 기입 워드 라인(WWL)의 전압에 따라 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시키거나 단선(disconnection)시킬 수 있다. 예를 들면, 제1 기입 트랜지스터(WT1)는 NFET(N-channel Field Effect Transistor)일 수 있고, 활성화된 기입 워드 라인(WWL), 즉 하이 레벨인 기입 워드 라인(WWL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시킬 수 있는 한편, 비활성화된 기입 워드 라인(WWL), 즉 로우 레벨인 기입 워드 라인(WWL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 단선시킬 수 있다. 제2 기입 트랜지스터(WT2)는, 제1 기입 트랜지스터(WT1)와 유사하게, 제2 노드(N2) 및 제2 비트 라인(BL2)에 연결될 수 있고, 기입 워드 라인(WWL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 본 명세서에서, 본 발명의 실시예들은 제1 기입 트랜지스터(WT1) 및 제2 기입 트랜지스터(WT2)는 NFET인 것으로 가정되어 설명될 것이나, PFET(P-channel Field Effect Transistor)인 경우에도 본 발명의 실시예들이 적용될 수 있는 점은 이해될 것이다.

[0033] 제1 독출 트랜지스터(RT1)는 제1 노드(N1) 및 제1 비트 라인(BL1)에 연결될 수 있고, 독출 워드 라인(RWL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 제1 독출 트랜지스터(RT1)는 독출 워드 라인(RWL)의 전압에 따라 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시키거나 단선시킬 수 있다. 예를 들면, 제1 독출 트랜지스터(RT1)는 NFET일 수 있고, 활성화된 독출 워드 라인(RWL), 즉 하이 레벨인 독출 워드 라인(RWL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시킬 수 있는 한편, 비활성화된 독출 워드 라인(RWL), 즉 로우 레벨인 독출 워드 라인(RWL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 단선시킬 수 있다. 제2 독출 트랜지스터(RT2)는, 제1 독출 트랜지스터(RT1)와 유사하게, 제2 노드(N2) 및 제2 비트 라인(BL2)에 연결될 수 있고, 독출 워드 라인(RWL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 본 명세서에서, 본 발명의 실시예들은 제1 독출 트랜지스터(RT1) 및 제2 독출 트랜지스터(RT2)는 NFET인 것으로 가정되어 설명될 것이나, PFET인 경우에도 본 발명의 실시예들이 적용될 수 있는 점은 이해될 것이다.

[0034] 도 3은 본 발명의 예시적 실시예에 따라 도 2의 인버터의 예시를 나타내는 회로도이고, 도 4는 본 발명의 예시적 실시예에 따라 도 3의 인버터(INV)의 동작의 예시들을 나타내는 그래프이다. 구체적으로, 도 3은 입력 전압(V_{IN})을 반전시킴으로써 출력 전압(V_{OUT})을 생성하는 인버터를 나타내고, 도 4의 그래프는 입력 전압(V_{IN})-출력 전압(V_{OUT}) 특성 및 입력 전압(V_{IN})-통과 전류(I_{TP}, I_{TN}) 특성을 나타낸다. 도 4의 그래프에서, 가로축은 입력 전압(V_{IN})을 나타내고, 좌측 세로축은 출력 전압(V_{OUT})을 나타내며, 우측 세로축은 통과 전류(I_{TP}, I_{TN})를 로그 스케일

로서 나타낸다. 도 4의 그래프에서 가로축 및 세로축들에 도시된 수치들은 양의 공급 전압(VDD)이 1.4V인 예시에 불과하며, 도 4에 도시된 바와 상이한 수치들에서도 그래프에 도시된 특성들이 나타날 수 있는 점은 이해될 것이다. 이하에서, 도 3 및 도 4는 도 2를 참조하여 설명될 것이다.

[0035] 도 3을 참조하면, 인버터(INV)는 양의 공급 전압(VDD) 및 접지 전압(GND)(또는 음의 공급 전압(VSS)) 사이에서 직렬 연결된 풀업 소자(PU) 및 풀다운 소자(PD)를 포함할 수 있다. 풀업 소자(PU)는 하이 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(VDD)에 응답하여 턴-오프될 수 있는 한편, 로우 레벨의 입력 전압(V_{IN}), 예컨대 접지 전압(GND)에 응답하여 턴-온될 수 있다. 다른 한편으로, 풀다운 소자(PD)는 로우 레벨의 입력 전압(V_{IN}), 예컨대 접지 전압(GND)에 응답하여 턴-오프될 수 있는 한편, 하이 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(VDD)에 응답하여 턴-온될 수 있다. 이에 따라, 2진 논리 회로와 유사하게, 하이 레벨의 입력 전압(V_{IN})(예컨대, VDD)에 응답하여 로우 레벨의 출력 전압(V_{OUT})(예컨대, GND)이 출력될 수 있는 한편, 로우 레벨의 입력 전압(V_{IN})(예컨대, GND)에 응답하여 하이 레벨의 출력 전압(V_{OUT})(예컨대, VDD)이 출력될 수 있다.

[0036] 풀업 소자(PU) 및 풀다운 소자(PD)는 턴-오프시 정전류를 통과시킬 수 있다. 즉, 풀업 소자(PU)의 통과 전류(I_{TP})는 풀업 소자(PU)가 턴-오프된 상태에서 일정할 수 있고, 풀다운 소자(PD)의 통과 전류(I_{TN}) 역시 풀다운 소자(PD)가 턴-오프된 상태에서 일정할 수 있다. 또한, 풀업 소자(PU)의 문턱 전압은 풀다운 소자(PD)의 문턱 전압보다 낮을 수 있다. 이에 따라, 입력 전압(V_{IN})이 접지 전압(GND)으로부터 양의 공급 전압(VDD)까지 점진적으로 증가하는 경우, 풀업 소자(PU)가 턴-오프된 후 풀다운 소자(PD)가 턴-온될 수 있다. 이에 따라, 도 4에 도시된 입력 전압(V_{IN})-출력 전압(V_{OUT}) 특성과 같이, 약 0.6V 및 약 1.1V 사이에서 풀업 소자(PU) 및 풀다운 소자(PD)가 모두 턴-오프될 수 있다.

[0037] 도 4에 도시된 입력 전압(V_{IN})-통과 전류(I_{TP}, I_{TN}) 특성과 같이, 인버터(INV)의 출력단에 인가되는 전류(즉, I_{ACC})가 없는 경우, 풀업 소자(PU)의 통과 전류(I_{TP}) 및 풀다운 소자(PD)의 통과 전류(I_{TN})의 크기는 일치할 수 있고, 약 0.6V 및 약 1.1V 사이에서 통과 전류(I_{TP}, I_{TN})는 낮은 레벨에서 일정하게 유지될 수 있다. 결과적으로, 출력 전압(V_{OUT})은 약 0.6V 및 약 1.1V 사이에서 풀업 소자(PU)의 통과 전류(I_{TP}) 및 풀다운 소자(PD)의 통과 전류(I_{TN})에 기인하여 실질적으로 일정하게 유지될 수 있다. 즉, 중간 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(VDD)의 약 절반(VDD/2)이 제공되는 경우, 인버터(INV)는 중간 레벨의 출력 전압(V_{OUT}), 예컨대 양의 공급 전압(VDD)의 약 절반(VDD/2)을 출력할 수 있다. 이에 따라, 인버터(INV)는 0/1/2 논리값들에 각각 대응하는 접지 전압(GND), 중간 전압(VDD/2) 및 양의 공급 전압(VDD)이 입력되면, 2/1/0 논리값들에 각각 대응하는 양의 공급 전압(VDD), 중간 전압(VDD/2) 및 접지 전압(GND)을 출력할 수 있다. 본 명세서에서, '중간 전압'은 양의 공급 전압(VDD)의 절반(VDD/2)인 것으로 가정되나, 양의 공급 전압(VDD) 및 접지 전압(GND) 사이 임의의 레벨의 전압이 가능한 점은 이해될 것이다.

[0038] 교차 결합된 2개의 인버터들을 포함하는 SRAM의 경우, 독출 동작시 메모리 셀에 저장되어 있는 값을 변경하지 아니하는 특성, 예컨대 높은 독출 SNM(Static Noise Margin)을 가질 것이 요구될 수 있다. 도 4를 참조하면, 도 3의 인버터(INV)는 액세스 전류(I_{ACC})가 증가함에도 불구하고(예컨대, 액세스 전류(I_{ACC})가 통과 전류(I_{TP}, I_{TN})보다 높음에도 불구하고), 높은 독출 SNM을 제공할 수 있다. 전술된 바와 같이, 본 발명의 예시적 실시예들에 따른 메모리 셀은 기입 동작 및 독출 동작 각각에서 상이한 경로들을 형성할 수 있고, 이에 따라 높은 독출 SNM을 제공할 수 있다.

[0039] 도 5는 본 발명의 예시적 실시예에 따라 도 3의 액세스 전류(I_{ACC})의 특성을 나타내는 그래프이다. 구체적으로, 도 5는 도 3의 풀다운 소자(PD)가 소스, 드레인, 게이트를 가지고, 턴-오프시 정전류를 통과시키는 트랜지스터일 때, 그러한 트랜지스터의 특성을 나타내고, 기입 동작 및 독출 동작 각각에서의 액세스 전류들($I_{ACC,W}$, $I_{ACC,R}$)의 특성을 나타낸다. 이하에서, 도 5는 도 3을 참조하여 설명될 것이다.

[0040] 도 2를 참조하여 전술된 바와 같이, 메모리 셀(M')은 교차 결합된 제1 인버터(INV1) 및 제2 인버터(INV2)를 포함할 수 있고, 이에 따라 기입 동작시 메모리 셀(M')에 저장된 값을 변경하기 위해서는 상대적으로 높은 전류가 제1 인버터(INV1) 및 제2 인버터(INV2)에 인가될 수 있는 한편, 독출 동작시 메모리 셀(M')에 저장된 값을 변경하지 아니하기 위해서는 상대적으로 낮은 전류가 제1 인버터(INV1) 및 제2 인버터(INV2)에 인가될 수 있다. 즉,

도 3에 도시된 바와 같이, 외부로부터 인버터(INV)의 출력단에 인가되는 전류를 액세스 전류(I_{ACC})로 정의할 때, 기입 동작시 인버터(INV)에 인가되는 액세스 전류($I_{ACC,W}$) 및 독출 동작시 인버터(INV)에 인가되는 액세스 전류($I_{ACC,R}$)은 아래 [수학식 1]을 만족할 수 있다.

수학식 1

[0041] $$I_{ACC,W} > I_T, \qquad I_{ACC,R} < I_T$$

[0042] [수학식 1]에서 I_T는, 기입 동작시 풀업 소자(PU)의 통과 전류(I_{TP}) 및 풀다운 소자(PD)의 통과 전류(I_{TN}) 중 크기가 큰 전류에 대응할 수 있고($I_T = \max(I_{TP}, I_{TN})$), 독출 동작시 풀업 소자(PU)의 통과 전류(I_{TP}) 및 풀다운 소자(PD)의 통과 전류(I_{TN}) 중 크기가 작은 전류에 대응할 수 있다($I_T = \min(I_{TP}, I_{TN})$).

[0043] 도 5를 참조하면, 점선으로 표시된 바와 같이, 풀다운 소자(PD)의 통과 전류(I_{TN})는 중간 전압(VDD/2) 및 그 이하의 게이트-소스 전압(V_{GS})에서 크기 'I_{CON}'을 가질 수 있고, 게이트-소스 전압(V_{GS})이 증가함에 따라 풀다운 소자(PD)가 턴-온된 후, 점진적으로 증가하여 게이트-소스 전압(V_{GS})이 양의 공급 전압(VDD)에 도달하는 경우 크기 'I_{MAX}'를 가질 수 있다.

[0044] 기입 동작시 액세스 전류($I_{ACC,W}$)는 상대적으로 큰 크기를 가질 수 있고, 일부 실시예들에서 액세스 전류($I_{ACC,W}$)가 트랜지스터(예컨대, 도 2의 WT1)에 의해서 제공되는 경우, 도 5에서 1점 쇄선으로 표시된 바와 같이, 트랜지스터는 중간 전압(VDD/2)에서 크기 'I_{MAX}'보다 큰 크기를 가지는 액세스 전류($I_{ACC,W}$)를 제공할 수 있다. 또한, 독출 동작시 액세스 전류($I_{ACC,R}$)는 상대적으로 작은 크기를 가질 수 있고, 일부 실시예들에서 액세스 전류($I_{ACC,R}$)가 트랜지스터에 의해서 제공되는 경우, 도 5에서 2점 쇄선으로 표시된 바와 같이, 트랜지스터는, 중간 전압(VDD/2)에서 풀다운 소자(PD)의 통과 전류(I_{TN}) 보다 작고 양의 공급 전압(VDD)에서 크기 'I_{MAX}'보다 작은 크기를 가지는 액세스 전류($I_{ACC,R}$)를 제공할 수 있다. 즉, 액세스 전류(I_{ACC})를 제공하는 트랜지스터들은 도 5에 도시된 그래프와 동일하거나 유사한 특성을 가지도록 설계될 수 있다.

[0045] 도 6은 본 발명의 예시적 실시예에 따라 기입 동작을 위한 액세스 전류(I_{ACC}) 및 입력 전압(V_{IN})의 특성을 나타내는 테이블이다. 구체적으로, 도 6은 도 3의 인버터(INV)의 현재 출력에 대응하는 값(이하에서, 도 2의 메모리 셀(M')에 저장된 값으로 지칭될 수 있다) 및 변경하고자 하는 인버터(INV)의 출력에 대응하는 값(이하에서, 도 2의 메모리 셀(M')에 기입하고자 하는 값으로 지칭될 수 있다)에 따른 액세스 전류(I_{ACC}) 및 입력 전압(V_{IN})의 특성을 나타낸다.

[0046] 도 6의 테이블에서, 열은 현재 인버터(INV)의 출력에 대응하는 값을 나타내고, 행은 변경하고자 하는 인버터(INV)의 출력에 대응하는 값을 나타낸다. 테이블에서, 현재 인버터(INV)의 출력이 '0'에 대응하는 첫 번째 열에서 그래프들은 풀다운 소자(PD)의 특성을 나타내는 선을 각각 도시하고, 현재 인버터(INV)의 출력이 '1'에 대응하는 두 번째 열에서 그래프들은 풀업 소자(PU) 및 풀다운 소자(PD)의 특성들을 나타내는 선들을 각각 도시하며, 현재 인버터(INV)의 출력이 '2'에 대응하는 세 번째 열에서 그래프들은 풀업 소자(PU)의 특성을 나타내는 선을 각각 도시한다. 또한, 도 6에서 별표는 인버터의 출력에 연결되고 액세스 전류(I_{ACC})가 통과하는 액세스 트랜지스터(예컨대, 도 2의 제2 인버터(INV2)의 출력에 연결된 제1 기입 트랜지스터(WT1))의 동작점을 나타낼 수 있고, 이 때 그래프의 가로축은 액세스 트랜지스터의 드레인-소스 전압(V_{DS})이고, 세로축은 액세스 트랜지스터를 통과하는 전류, 즉 액세스 전류(I_{ACC})를 나타낸다.도 7은 본 발명의 예시적 실시예에 따라 독출 동작을 위한 액세스 전류(I_{ACC}) 및 입력 전압(V_{IN})의 특성을 나타내는 테이블이다. 구체적으로, 도 7은 도 3의 인버터(INV)의 현재 출력에 대응하는 값(이하에서, 도 2의 메모리 셀(M')에 저장된 값으로 지칭될 수 있다)에 따른 액세스 전류(I_{ACC}) 및 입력 전압(V_{IN})의 특성을 나타낸다.

[0047] 도 7의 테이블에서, 열은 현재 인버터(INV)의 출력에 대응하는 값을 나타낸다. 테이블에서 현재 인버터(INV)의

출력이 '0'에 대응하는 첫 번째 열에서 그래프는 풀다운 소자(PD)의 특성을 나타내는 선을 도시하고, 현재 인버터(INV)의 출력이 '1'에 대응하는 두 번째 열에서 그래프는 풀업 소자(PU) 및 풀다운 소자(PD)의 특성들을 나타내는 선들을 도시한다. 또한, 도 7에서 별표는 인버터의 출력에 연결되고 액세스 전류(I_{ACC})가 통과하는 액세스 트랜지스터(예컨대, 도 2의 제2 인버터(INV2)의 출력에 연결된 제1 독출 트랜지스터(RT1))의 동작점을 나타낼 수 있고, 이 때 그래프의 가로축은 액세스 트랜지스터의 드레인-소스 전압(V_{DS})이고, 세로축은 액세스 트랜지스터를 통과하는 전류, 즉 액세스 전류(I_{ACC})를 나타낸다.

[0048] 도 8 및 도 9는 본 발명의 예시적 실시예에 따라 도 2의 메모리 셀(M')의 동작들을 나타내는 그래프들이다. 구체적으로, 도 8 및 도 9의 그래프는 도 2의 메모리 셀(M')의 독출 동작 및 기입 동작시 전류들 및 전압들을 나타낸다. 이하에서, 도 8 및 도 9는 도 2의 제1 기입 트랜지스터(WT1), 제1 독출 트랜지스터(RT1) 및 제2 인버터(INV2)를 참조하여 설명될 것이고, 제2 인버터(INV2)는 도 3의 풀업 소자(PU) 및 풀다운 소자(PD)를 포함하는 것으로 가정된다. 도 8 및 도 9에 대한 설명 중 중복되는 내용은 생략될 것이다.

[0049] 도 2 및 도 3을 참조하여 전술된 바와 같이, 메모리 셀(M')에 저장된 값에 따라 풀업 소자(PU) 및 풀다운 소자(PD) 중 적어도 하나는 턴-오프될 수 있다. 이에 따라, 제2 인버터(INV2)는 턴-오프된 풀업 소자(PU) 및/또는 풀다운 소자(PD)에 의한 정전류를 소비할 수 있다. 예를 들면, 도 8에서 점선으로 표시된 바와 같이, 메모리 셀(M')이 '1'을 저장하는 경우, 즉 제1 노드(N1)의 전압(V_{N1})이 중간 전압(VDD/2)인 경우, 제1 전류(I_1)가 풀업 소자(PU) 및 풀다운 소자(PD)를 통과할 수 있다. 일부 실시예들에서, 풀업 소자(PU) 및 풀다운 소자(PD)를 통과하는 정전류의 크기는 메모리 셀(M')에 저장된 값에 따라 변동할 수 있다. 예를 들면, 도 8에 도시된 바와 같이, 메모리 셀(M')이 '0'을 저장하거나(V_{N1}=0) '2'를 저장하는 경우(V_{N1}=VDD), 제2 전류(I_2)가 풀업 소자(PU) 및 풀다운 소자(PD)를 통과할 수 있고, 제2 전류(I_2)는 제1 전류(I_1)보다 클 수 있다. 즉, 제1 전류(I_1) 및 제2 전류(I_2) 모두 풀업 소자(PU) 및/또는 풀다운 소자(PD)가 턴-오프시 통과시키는 전류(또는 서브 문턱 전류)이나, 양자가 모두 턴-오프시 통과하는 제1 전류(I_1)가 보다 작을 수 있다.

[0050] 일부 실시예들에서, 메모리 셀(M')에 저장된 값을 정상적으로 독출하고 메모리 셀(M')에 저장하고자 하는 값을 정상적으로 기입하기 위하여, 제1 기입 트랜지스터(WT1) 및 제1 독출 트랜지스터(RT1)는 유사한 문턱 전압을 가질 수 있는 한편, 상이한 크기들(예컨대, 채널 폭들, 채널 길이들)을 가질 수 있다. 예를 들면, 도 8에 도시된 바와 같이, 제1 기입 트랜지스터(WT1) 및 제1 독출 트랜지스터(RT1)는 중간 전압(VDD/2) 및 양의 공급 전압(VDD) 사이에서 유사한 문턱 전압을 가질 수 있다. 제1 기입 트랜지스터(WT1)는, 도 8에서 일점 쇄선으로 도시된 바와 같이, 활성화된 기입 워드 라인(WWL)의 전압(예컨대, VDD)에 의해서 제2 전류(I_2)보다 높은 전류를 통과시키는 크기를 가질 수 있다. 다른 한편으로, 제1 독출 트랜지스터(RT1)는, 도 8에서 이점 쇄선으로 도시된 바와 같이, 활성화된 독출 워드 라인(RWL)의 전압(예컨대, VDD)에 의해서 제2 전류(I_2)보다 낮은 전류를 통과시키는 크기를 가질 수 있다.

[0051] 일부 실시예들에서, 메모리 셀(M')에 저장된 값을 정상적으로 독출하고 메모리 셀(M')에 저장하고자 하는 값을 정상적으로 기입하기 위하여, 제1 기입 트랜지스터(WT1) 및 제1 독출 트랜지스터(RT1)는 상이한 문턱 전압들을 가질 수 있다. 예를 들면, 도 9에 도시된 바와 같이, 제1 기입 트랜지스터(WT1)는 중간 전압(VDD/2) 및 양의 공급 전압(VDD) 사이에서 문턱 전압을 가질 수 있고, 이에 따라 활성화된 기입 워드 라인(WWL)의 전압(예컨대, VDD)에 의해서 턴-온됨으로써 제2 전류(I_2)보다 높은 전류를 통과시킬 수 있다. 다른 한편으로, 제1 독출 트랜지스터(RT1)는 양의 공급 전압(VDD) 이상의 문턱 전압을 가질 수 있고, 이에 따라 활성화된 독출 워드 라인(RWL)의 전압(예컨대, VDD)에 의해서 턴-오프 상태로 유지되나 제2 전류(I_2)보다 작은 서브 문턱 전류를 통과시킬 수 있다.

[0052] 도 10은 본 발명의 예시적 실시예에 따른 메모리 장치(20)를 나타내는 블록도이다. 도 1의 메모리 장치(10)와 유사하게, 도 10의 메모리 장치(20)는 셀 어레이(22), 로우 디코더(24) 및 페이지 버퍼(26)를 포함할 수 있고, 셀 어레이(22)는 복수의 메모리 셀들(예컨대, M)을 포함할 수 있다. 메모리 셀(M)은 3진 논리 값들에 각각 대응하는 3개의 상이한 상태들을 가질 수 있다.

[0053] 셀 어레이(22)는 로우 디코더(24)와 복수의 워드 라인들(WLs)을 통해서 접속될 수 있고, 페이지 버퍼(26)와 복수의 비트 라인들(BLs)을 통해서 접속될 수 있다. 메모리 셀(M)은 복수의 워드 라인들(WLs) 중 하나의 워드 라인(WL)에 연결될 수 있고, 복수의 비트 라인들(BLs) 중 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)에 연결될 수

있다. 도 11을 참조하여 후술되는 바와 같이, 메모리 셀(M)은 기입 동작 및 독출 동작에서 동일한 경로들을 형성할 수 있고, 메모리 셀(M)은 증가된 양의 정보를 저장하면서도 감소된 면적을 가질 수 있으며, 결과적으로 셀 어레이(22)의 집적도를 향상시킬 수 있다.

[0054] 로우 디코더(24)는 기입 커맨드 또는 독출 커맨드에 동반된 어드레스에 따라 복수의 워드 라인들(WLs) 중 하나의 워드 라인(예컨대, WL)을 활성화할 수 있다. 기입 워드 라인 및 독출 워드 라인이 분리된 도 1의 메모리 장치(10)와 상이하게, 도 10의 메모리 장치(20)에서 로우 디코더(24)는 독출 동작 및 기입 동작에 따라 상이한 전압을 인가함으로써 복수의 워드 라인들(WLs) 중 하나를 활성화할 수 있다.

[0055] 도 11은 본 발명의 예시적 실시예에 따라 도 10의 메모리 셀(M)의 예시를 나타내는 회로도이다. 도 10을 참조하여 전술된 바와 같이, 도 10의 메모리 셀(M")은 워드 라인(WL), 제1 비트 라인(BL1) 및 제2 비트 라인(BL2)에 연결될 수 있고, 3진 논리 값들, 즉 0/1/2 중 하나의 논리값을 저장할 수 있다. 이하에서, 도 11은 도 10을 참조하여 설명될 것이며, 도 2에 대한 설명과 중복되는 내용은 생략될 것이다.

[0056] 도 11을 참조하면, 메모리 셀(M")은 제1 인버터(INV1), 제2 인버터(INV2), 제1 액세스 트랜지스터(AT1) 및 제2 액세스 트랜지스터(AT2)를 포함할 수 있다. 제1 인버터(INV1) 및 제2 인버터(INV2)는 제1 노드(N1) 및 제2 노드(N2)에서 교차 연결될 수 있고, 이에 따라 0/1/2 중 하나의 논리값을 저장할 수 있다.

[0057] 제1 액세스 트랜지스터(AT1)는 제1 노드(N1) 및 제1 비트 라인(BL1)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 제1 액세스 트랜지스터(AT1)는 워드 라인(WL)의 전압에 따라 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시키거나 단선시킬 수 있다. 또한, 제1 액세스 트랜지스터(AT1)는, 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시킨 경우, 워드 라인(WL)의 전압에 따라 상이한 크기의 전류를 통과시킬 수 있다. 이에 따라, 도 10의 로우 디코더(24)는 독출 동작 및 기입 동작에 따라 상이한 크기의 전압을 워드 라인(WL)에 제공함으로써, 제1 액세스 트랜지스터(AT1)를 통과하는 전류의 크기를 제어할 수 있다.

[0058] 제1 액세스 트랜지스터(AT1)와 유사하게, 제2 액세스 트랜지스터(AT2)는 제2 노드(N2) 및 제2 비트 라인(BL2)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 제2 액세스 트랜지스터(AT2)는 워드 라인(WL)의 전압에 따라 제2 노드(N2) 및 제2 비트 라인(BL2)을 전기적으로 접속시키거나 단선시킬 수 있다. 또한, 제2 액세스 트랜지스터(AT2)는, 제2 노드(N2) 및 제2 비트 라인(BL2)을 전기적으로 접속시킨 경우, 워드 라인(WL)의 전압에 따라 상이한 크기의 전류를 통과시킬 수 있다. 비록 도 11에서, 제1 액세스 트랜지스터(AT1) 및 제2 액세스 트랜지스터(AT2)가 NFET인 것으로 도시되었으나, 제1 액세스 트랜지스터(AT1) 및 제2 액세스 트랜지스터(AT2)가 PFET인 경우에도 본 발명의 실시예들이 적용될 수 있는 점은 이해될 것이다.

[0059] 도 12는 본 발명의 예시적 실시예에 따라 도 11의 메모리 셀(M")의 동작을 나타내는 그래프이다. 구체적으로 도 12의 그래프는 도 11의 메모리 셀(M")의 독출 동작 및 기입 동작시 전류들 및 전압들을 나타낸다. 이하에서, 도 12에 대한 설명에서 도 11의 제1 액세스 트랜지스터(AT1) 및 제2 인버터(INV2)를 참조하여 설명될 것이고, 제2 인버터(INV2)는 도 3의 풀업 소자(PU) 및 풀다운 소자(PD)를 포함하는 것으로 가정된다. 도 12에 대한 설명 중 도 8 및 도 9에 대한 설명과 중복되는 내용은 생략될 것이다.

[0060] 일부 실시예들에서, 메모리 셀(M")에 저장된 값을 정상적으로 독출하고 메모리 셀(M")에 저장하고자 하는 값을 정상적으로 기입하기 위하여, 제1 액세스 트랜지스터(AT1)의 게이트 전압, 즉 활성화된 워드 라인(WL)의 전압이 제어될 수 있다. 예를 들면, 도 12에서 일점 쇄선 및 제2 전류(I_2)가 교차하는 지점에 의해서 정의되는 바와 같이, 제1 액세스 트랜지스터(AT1)가 기입 동작시 제2 전류(I_2)보다 큰 전류를 통과시키도록, 로우 디코더(24)는 도 12의 'V_W'로 표시된 영역의 전압을 기입 동작시 워드 라인(WL)에 제공할 수 있다. 다른 한편으로, 도 12에서 일점 쇄선 및 제1 전류(I_1)가 교차하는 지점에 의해서 정의되는 바와 같이, 제1 액세스 트랜지스터(AT1)가 독출 동작시 제1 전류(I_1)보다 작은 전류를 통과시키도록, 로우 디코더(24)는 도 12의 'V_R'로 표시된 영역의 전압을 독출 동작시 워드 라인(WL)에 제공할 수 있다. 이에 따라, 도 2의 메모리 셀(M')과 비교할 때, 메모리 셀(M")은 감소된 개수의 트랜지스터들을 포함할 수 있다.

[0061] 도 13은 본 발명의 예시적 실시예에 따른 메모리 장치를 포함하는 집적 회로(80)를 나타내는 도면이다.

[0062] 집적 회로(80)는, 비제한적인 예시로서 CPU(Central Processing Unit), GPU(Graphic Processing Unit), DSP(Digital Signal Processor), CP(Communication Processor), AP(Application Processor) 등과 같이 디지털 연산을 수행하는 임의의 장치를 지칭할 수 있다. 도 13에 도시된 바와 같이, 집적 회로(80)는 코어(81) 및 캐시

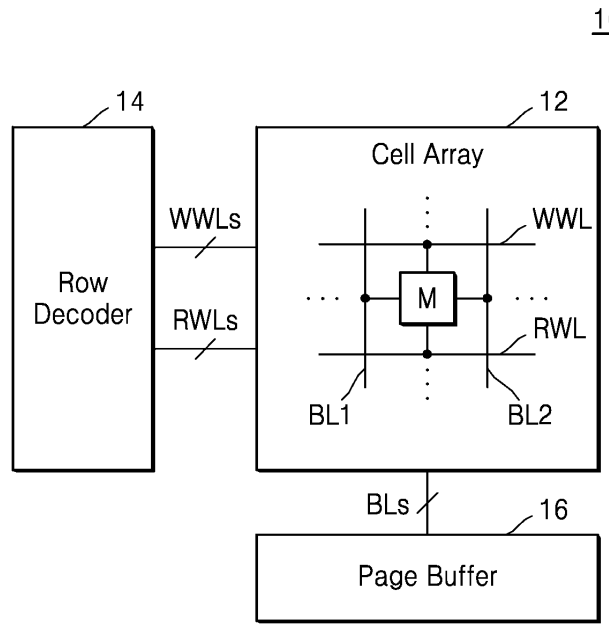
(84)를 포함할 수 있고, 일부 실시예들에서 집적 회로(80)는 복수의 코어들, 즉 멀티-코어를 포함할 수도 있다.

[0063] 도면들을 참조하여 전술된 본 발명의 예시적 실시예들에 따른 메모리 장치는, 명령어들(instructions)을 실행하는 코어(81)의 캐시(84)로서 집적 회로(80)에 포함될 수 있다. 예를 들면, 코어(81)는 캐시(84)에 저장된 일련의 명령어들을 실행하거나 일련의 명령어들에 의해서 캐시(84)에 저장된 데이터를 처리할 수 있다. 도면들을 참조하여 전술된 바와 같이, 본 발명의 예시적 실시예에 따른 메모리 장치로서 캐시(84)는 높은 저장 용량, 향상된 동작 속도 및 동작 신뢰도를 제공할 수 있고, 결과적으로 집적 회로(80)의 성능 및 동작 신뢰도가 향상될 수 있다.

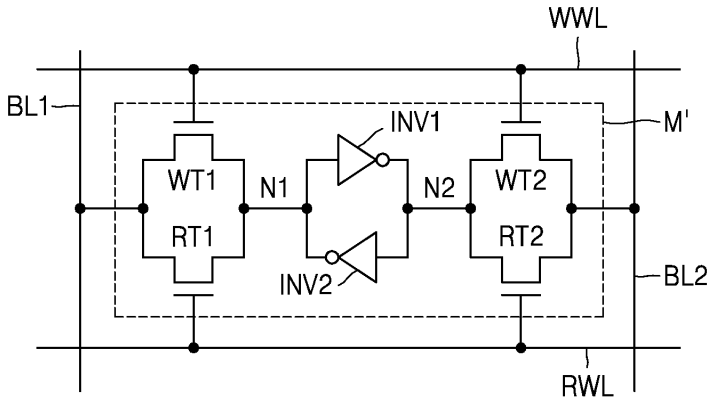
[0064] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

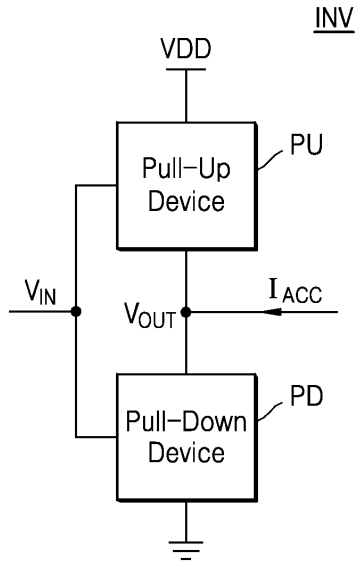
도면1



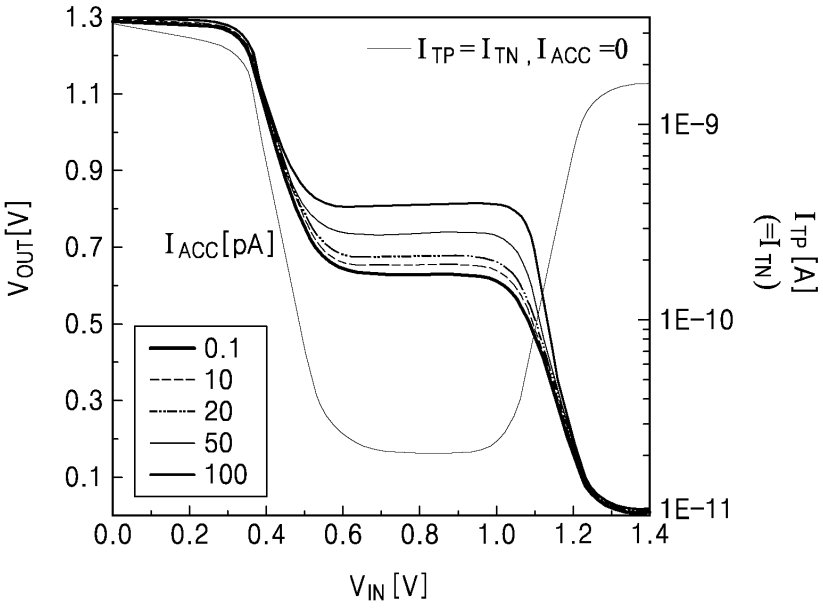
도면2



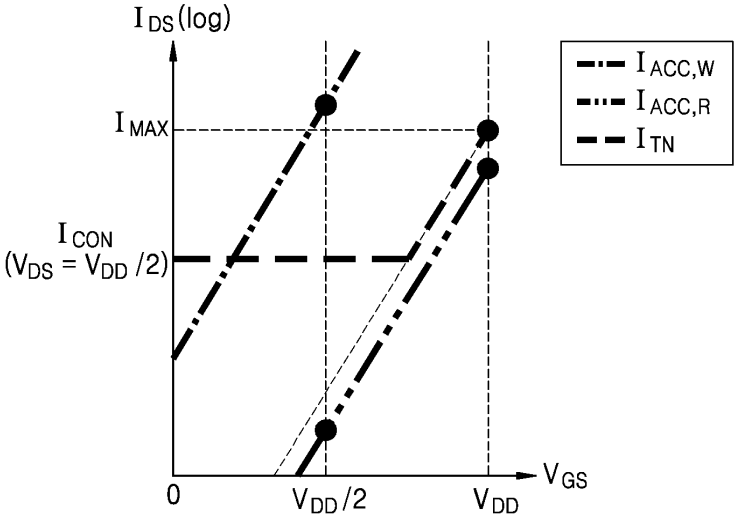
도면3


INV
VDD
Pull-Up Device
PU
VIN
VOUT
IACC
Pull-Down Device
PD

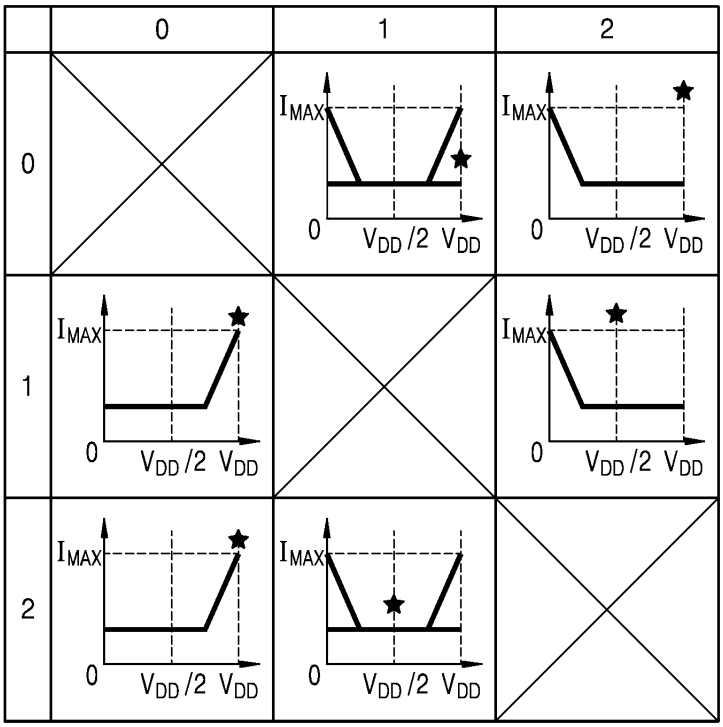
도면4


ITP = ITN , IACC =0
IACC[pA]
0.1
10
20
50
100
VOUT[V]
ITP [A] (=ITN)
VIN [V]
1.3
1.1
0.9
0.7
0.5
0.3
0.1
0.0
0.2
0.4
0.6
0.8
1.0
1.2
1.4
1E-9
1E-10
1E-11

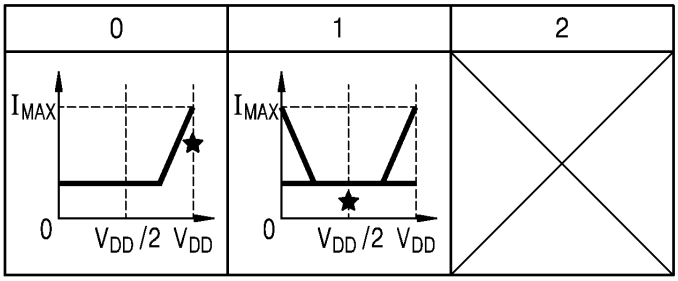
도면5


I DS (log)
I MAX
I CON
(V DS = V DD /2)
0
V DD /2
V DD
V GS
I ACC,W
I ACC,R
I TN

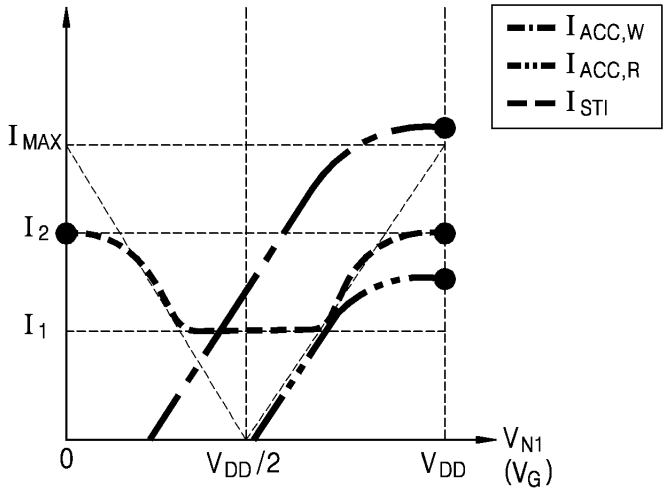
도면6


0
1
2
I MAX
0
V DD /2 V DD

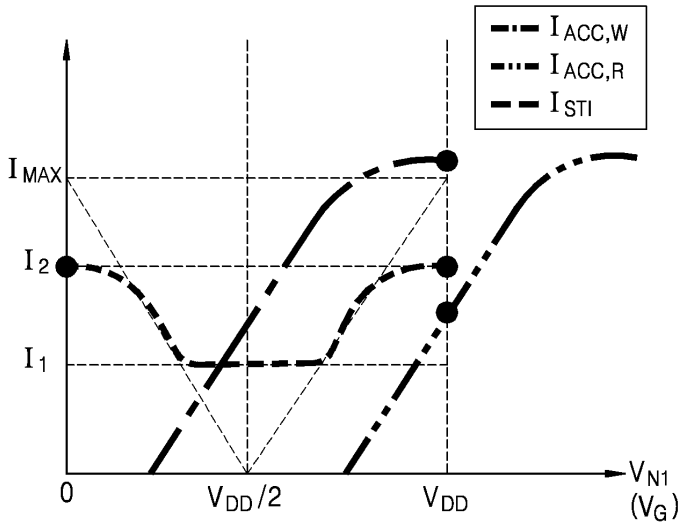
도면7


0
1
2
I MAX
0
V DD /2 V DD

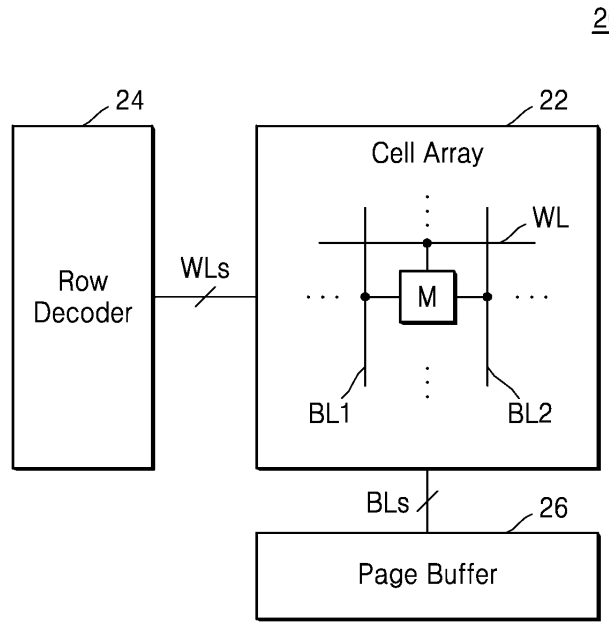
도면8


I ACC,W
I ACC,R
I STI
I MAX
I 2
I 1
0
V DD /2
V DD
V N1
(V G)

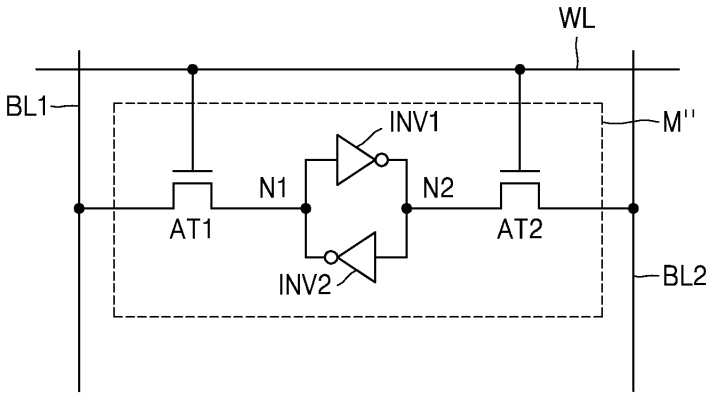
도면9


I ACC,W
I ACC,R
I STI
I MAX
I 2
I 1
0
V DD /2
V DD
V N1
(V G)

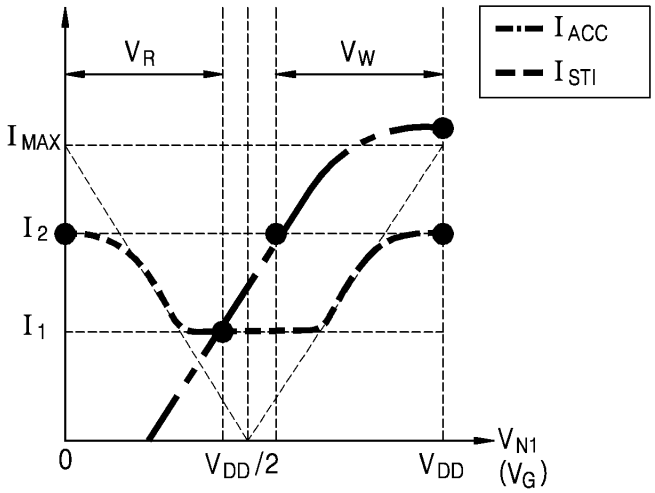
도면10



도면11



도면12



도면13

