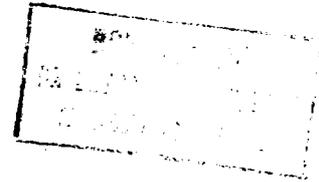




(51)5 Н 03 М 1/60

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

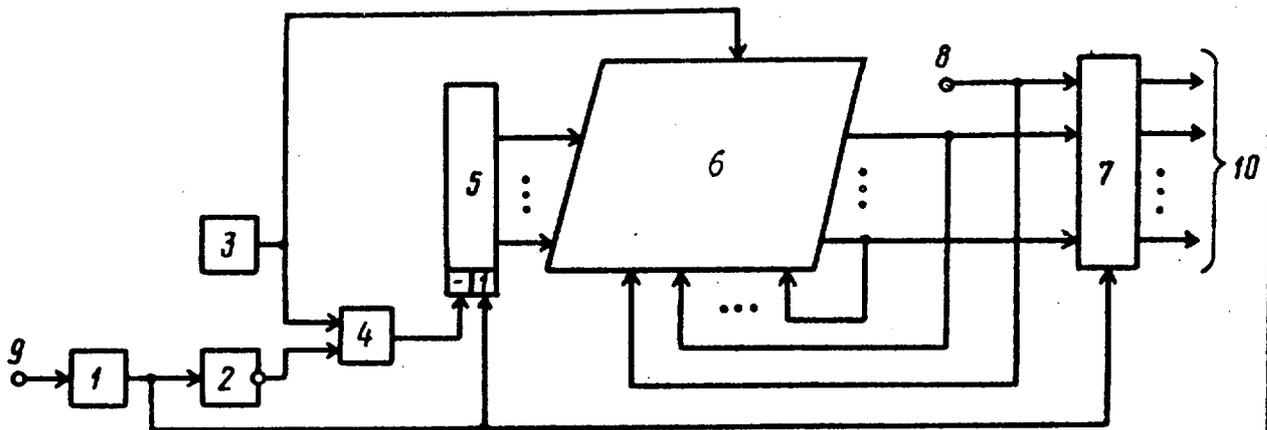


1

(21) 4459107/24-24
 (22) 12.07.88
 (46) 30.03.90. Бюл. № 12
 (71) Институт кибернетики
 им. В.М.Глушкова АН УССР
 (72) В.К.Белик
 (53) 681.3(088.8)
 (56) Авторское свидетельство СССР
 № 443482, кл. Н 03 К 13/20, 1971.
 Авторское свидетельство СССР
 № 1231612, кл. Н 03 М 1/60, 1984.
 (54) ПРЕОБРАЗОВАТЕЛЬ ЧАСТОТЫ В КОД

2

(57) Изобретение относится к автоматике, измерительной и вычислительной технике и может быть использовано для преобразования аналоговых сигналов в цифровой код при обработке сигналов от частотных датчиков. Повышение точности преобразования достигается за счет введения в устройство, содержащее формирователь 1 импульсов, шину 8 логической единицы, генератор 3 импульсов, счетчик 5 и регистр 7, инвертор 2 и матрицы 6 перемножения.



Изобретение относится к автоматике, измерительной и вычислительной технике и может быть использовано при преобразовании аналоговых сигналов в цифровой код и при обработке сигналов от частотных датчиков.

Цель изобретения - повышение точности преобразования.

На чертеже приведена структурная схема предлагаемого преобразователя частоты в код.

Преобразователь частоты в код содержит формирователь 1 импульсов, инвертор 2, генератор 3 импульсов, элемент И 4, счетчик 5 импульсов, матрицу 6 умножения, регистр 7, шину 8 логической "1", входную 9 и выходную 10 шины.

Устройство работает следующим образом.

Импульсные сигналы, частоту f которых требуется определить, с входной шины 9 устройства поступает на вход формирователя 1. С выхода формирователя 1 сигналы, сформированные по уровню и длительности, которые обеспечивают функционирование последующих блоков, поступают параллельно на вход инвертора 2, на вход установки в единичное состояние счетчика 5 и на вход стробирования регистра 7. Установка счетчика 5 в единичное состояние $(1, 0, \dots, 0)$ производится по переднему фронту каждого входного импульса. На выходе инвертора 2 формируется положительный импульс длительности, равный периоду T следования входных импульсов, который, поступая на первый вход элемента И 4, обеспечивает поступление опорной частоты $f_0 > f$ от генератора 3 через второй вход элемента И 4 на вычитающий вход счетчика 5. В течение периода времени T на выходе счетчика 5 образуется параллельный код, равный $(1-N)$, где $N=2^n$ - число импульсов опорной частоты f_0 , поступающих на вход счетчика 5. Параллельный код $(1-N)$ с выхода счетчика поступает на входы первого сомножителя матрицы 6 умножения. С учетом того, что один из входов, соответствующий целой части числа, второго сомножителя матрицы 6 соединен с шиной 8 логической "1", после появления сигналов кода $(1-N)$ на входах первого сомножителя матрицы 6 на ее выходе образуется код $(1-N) \cdot 1$. Учитывая то, что вы-

ходы разрядов, соответствующие коду дробной части результата умножения матрицы 6, соединены с входами соответствующих разрядов второго сомножителя, и то, что вход регистра 7, соответствующий разряду кода целой части результата умножения, соединен с шиной 8, то с дискретностью, определяемой периодом импульсов генератора 3, в матрице 6 умножения осуществляется итерационный процесс, соответствующий уравнению

$$Y_{k+1} = 1 + (1-N) \cdot Y_k = 1 + (1-N) + (1-N)^2 + \dots + (1-N)^k,$$

где Y_k - значение кода на выходе матрицы 6, $0 < (1-N) < 1$, что обеспечивается при $2^{n-1} < f < 2^n - 1$ при $f_0 = 1/T$, а значение суммы геометрической прогрессии

$$\sum_{k=0}^{\infty} aq^k = \frac{a}{1-q} = \frac{1}{1-(1-N)} = \frac{1}{N_0} = \frac{1}{f_0} \cdot f,$$

где Y - значение кода на выходе матрицы 6, $a=1$, $q=1-N$.

Таким образом, значение кода на выходе матрицы 6 отслеживает изменение кода на выходе счетчика 5 и по окончании периода T , через время завершения последней итерации в матрице 6 на ее выходе устанавливается

код результата $\frac{1}{f_0} \cdot f$, пропорционального мгновенному значению входной частоты. При поступлении очередного входного импульса с выхода формирователя 1 на стробирующий вход регистра 7 на выходах 10 устройства появляется код результата преобразования входной частоты f в код $\frac{1}{f_0} \cdot f$.

Ф о р м у л а и з о б р е т е н и я

Преобразователь частоты в код, содержащий формирователь импульсов, вход которого является входной шиной устройства, а выход соединен с управляющим входом регистра и входом установки "1" старшего разряда счетчика импульсов, генератор импульсов, отличающийся тем, что, с целью повышения точности преобразования, в него введены элемент И, матрица умножения и инвертор, вход которого соединен с выходом формирователя импульсов, а выход - с первым входом элемента И, второй вход которого объединен с управляющим входом мат-

рицы умножения и соединен с выходом генератора импульсов, а выход - с вычитающим входом счетчика, выходы которого соединены с соответствующими входами первой группы входов матрицы умножения, выходы которой соединены с первого на N-й входами регистра и

5

с первого по N-й входами второй группы входов матрицы умножения, (N+1)-й вход второй группы входов которой объединен с соответствующим входом регистра и является шиной единичного потенциала, выходы регистра являются выходной шиной устройства.

Составитель Д.Хачикян

Редактор С.Лисина Техред Л.Сердюкова Корректор И.Муска

Заказ 465

Тираж 663

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г.Ужгород, ул. Гагарина, 101