

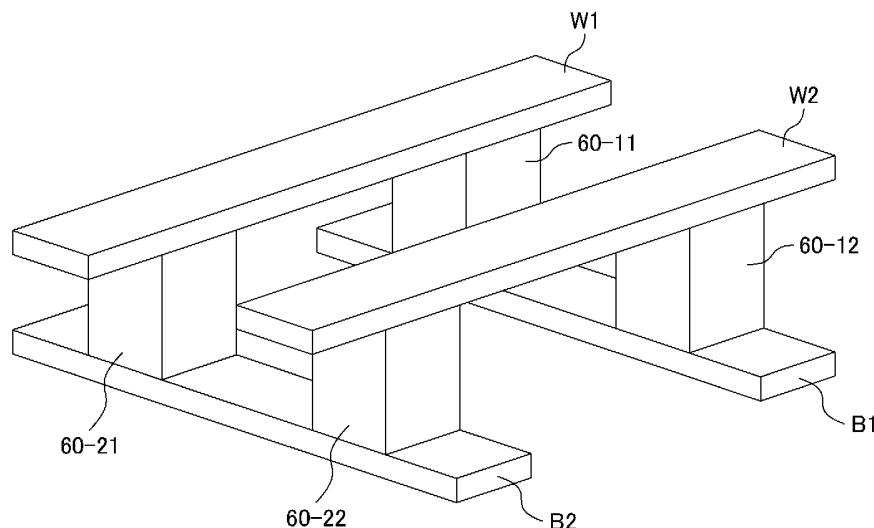


- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 43/08 (2006.01)
G11C 13/00 (2006.01) H01L 45/00 (2006.01)
H01L 21/822 (2006.01) H01L 49/00 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2006/308433
- (22) 国際出願日: 2006 年 4 月 21 日 (21.04.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2005-125686 2005 年 4 月 22 日 (22.04.2005) JP
特願 2005-308627
2005 年 10 月 24 日 (24.10.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 村岡 俊作 (MURAOKA, Shunsaku). 小佐野 浩一 (OSANO, Koichi). 三谷 覚 (MITANI, Satoru). 関 博司 (SEKI, Hiroshi).
- (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

/ 続葉有 /

(54) Title: MEMORY DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: メモリ装置および半導体集積回路



(57) Abstract: A first electrode layer includes first electrode wires (W1, W2) extending parallel. A state change layer is formed on the first electrode layer and includes state change bodies (60-11, 60-12, 60-21, 60-22) each exhibiting a diode characteristic and a variable resistance characteristic. A second electrode layer is formed on the state change layer and includes second electrode wires (B1, B2) extending parallel. The first electrode wires cross the second electrode wires (not connected) when viewed from above, with the state change layer interposed therebetween. The state change body (60-11) is formed between the first and second electrode wire at the position where the first electrode wire (W1) crosses the second electrode wire (B1) (not connected).

/ 続葉有 /



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 第1電極層は、互いに平行に延びる複数の第1の電極線(W1, W2)を含む。状態変化層は、第1電極層の上に形成され、かつ、ダイオード特性と可変抵抗特性とを示す複数の状態変化体(60-11, 60-12, 60-21, 60-22)を含む。第2電極層は、状態変化層の上に形成され、かつ、互いに平行に延びる複数の第2の電極線(B1, B2)を含む。複数の第1の電極線と複数の第2の電極線とは、積層方向から見たときに状態変化層を挟んで互いに交差している。状態変化体(60-11)は、第1の電極線(W1)と第2の電極線(B1)とが交差する位置において、その第1の電極線と第2の電極線との間に形成される。

明 細 書

メモリ装置および半導体集積回路

技術分野

- [0001] 本発明は、与えられるパルス電圧に応じてその抵抗値が変化する状態変化材料を用いたメモリ装置および半導体集積回路に関する。

背景技術

- [0002] 近年、電子機器におけるデジタル技術の進展に伴い、画像などのデータを保存するために、不揮発性記憶素子の要望が大きくなってきており、さらに記憶素子の大容量化、書き込み電力の低減、書き込み／読み出し時間の高速化、長寿命化の要求がますます高まりつつある。こうした要求に対し、与えられる電气的パルスに応じてその抵抗値が変化するペロブスカイト材料(例えば、 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ (PCMO)、 LaSrMnO_3 (LSMO)、 $\text{GdBaCo}_x\text{O}_y$ (GBCO)など)を用いて不揮発性記憶素子を構成する技術が、米国特許第6,204,139号公報(特許文献1)に開示されている。この特許文献1に開示された技術は、これらの材料(以下、可変抵抗材料と記す。)に所定の電气的パルスを与えてその抵抗値を増大もしくは減少させ、その結果変化した抵抗値を異なる数値の記憶に用いることにより、記憶素子として用いるというものである。
- [0003] また、米国特許第6,673,691号公報(特許文献2)には電气的パルスのパルス幅を変えることにより、可変抵抗材料の抵抗値を変化させる方法が開示されている。さらに、特許文献2には、これらの可変抵抗材料をメモリセルとして用い、メモリセル選択素子としてダイオードを用いた1D1R(1ダイオード／1レジスタ)タイプのメモリアレイセルを構成する例が記載されている。この構成は、メモリセル選択素子としてトランジスタを用いる場合に比べ、メモリセルサイズが小さくなる特徴を有している。
- [0004] ここで、特許文献2に開示された従来の可変抵抗材料を用いたメモリ装置(1D1R型不揮発性記憶装置)900を図21に示す。この従来例では、基板901上にP／N接合のダイオード(N型Si領域902, P型Si領域903-1, 903-2)を形成し、ダイオードのP型Si領域903-1上に下部電極904-1を形成し、ダイオードのP型Si領域903-2上に下部電極904-2を形成し、ダイオードのN型Si領域902上にコンタクトプ

ラグ905を形成し、下部電極904-1, 904-2上に可変抵抗材料906を形成し、可変変化材料906上に上部電極907-1, 907-2を形成している。この従来例の場合、下部電極904-1, 904-2および上部電極907-1, 907-2はともにPtを用い、可変抵抗材料906としては $P_{0.7}Ca_{0.3}MnO_3$ を用いている。

[0005] 図21に示したメモリ装置900では、上部電極907-1と下部電極904-1との間に所定のパルス電圧が印加されると、可変抵抗材料906のうち上部電極907-1と下部電極904-1との間に挟まれた領域(可変領域906 α)の抵抗値が変化する。また、上部電極907-2と下部電極904-2との間に所定のパルス電圧が印加されると、可変抵抗材料906のうち上部電極907-2と下部電極904-2との間に挟まれた領域(可変領域906 β)の抵抗値が変化する。つまり、このメモリ装置では、可変領域906 α および可変領域906 β の各々は、1つのメモリセルとして利用される。

[0006] また、図21に示したメモリ装置900では、メモリセル選択用のダイオードとして基板901上に形成したP/N接合のダイオードを使用している。そのため、上部電極907-1(907-2)から下部電極904-1(904-2)へ向かう方向(順方向)には電流は流れるが、下部電極904-1(904-2)から上部電極907-1(907-2)へ向かう方向(逆方向)または上部電極907-1と上部電極907-2との間には電流は流れない。

[0007] 図21に示したメモリ装置900の等価回路を図22に示す。図22において、ワード線W1は上部電極907-1に対応し、ワード線W2は上部電極907-2に対応し、ビット線B1はコンタクトプラグ905に対応する。また、メモリセルMC911は可変抵抗領域906 α に対応し、ダイオードD911はダイオード(N型Si領域902, P型Si領域903-1)に対応し、メモリセルMC912は可変抵抗領域906 β に対応し、ダイオードD912はダイオード(N型Si領域902, P型Si領域903-2)に対応する。

[0008] <動作>

次に、図21に示したメモリ装置900による動作について図22を参照しつつ説明する。ここでは、メモリセルMC911に対する処理について説明する。

[0009] [セット(記憶)/リセット]

記憶時では、ワード線W2およびビット線B1をグランドに落とし、ワード線W1に所定

の電気的パルスを印加する。これにより、メモリセルMC911の抵抗値は、低抵抗状態(リセット)あるいは高抵抗状態(セット)に変化する。例えば、特許文献2によると、電圧値が「+4V」でありパルス幅が「100nsec」であるパルス電圧を印加するとメモリセルMC911の抵抗値は高抵抗状態から低抵抗状態に変化し、電圧値が「+2.5V」でありパルス幅が「10 μ sec」であるパルス電圧を印加するとメモリセル911の抵抗値は低抵抗状態から高抵抗状態に変化する。

[0010] [再生]

再生時では、ワード線W2およびビット線B1をグランドに落とし、ワード線W1に所定の再生電圧(例えば、電圧値が「+0.5V」である電圧)を印加する。これにより、メモリセルMC911に流れる電流がビット線B1に流出する。一方、メモリセルMC912には電流が流れない。また、メモリセルMC912に対してダイオードD912(図21では、N型Si領域902, P型Si領域903-2)が設けられているので、ワード線W1からワード線W2へ電流は流れない。よって、メモリセルMC911の抵抗値だけを検出することができる。

[0011] このような手法により、従来のメモリ装置(1D1R型不揮発性記憶装置)900は、各々のメモリセルへの記録/再生を行っている。

[0012] さらに、米国特許第6,531,371号公報(特許文献3)には、可変抵抗材料を用いてクロスポイントタイプのメモリ装置を構成することにより、メモリ装置の大容量化を実現している。具体的には、図23のように、ワード線W1, W2とビット線B1, B2とが交差する箇所(クロスポイント)の各々にメモリセル90-11, 90-12, 90-21, 90-22を設けることによって、クロスポイント型のメモリ装置を実現している。メモリセル90-11~90-22は、可変抵抗材料によって形成される。

[0013] しかし、図23のメモリ装置では、情報を読み出したいメモリセル(例えば、可変抵抗材料90-21)に隣接するメモリセル(可変抵抗材料90-11, 90-12, 90-22)の抵抗値が低い場合、図23のように情報を読み出したいメモリセルだけでなく隣接するメモリセルを介して電流が流れてしまい、情報を読み出したいメモリセルの抵抗状態を判別できない可能性がある。そこで、特表2002-530850号公報(特許文献4)に開示されているように、メモリセルとなる状態変化部とステアリング部と呼ばれるダイオー

ドとを直列に接続することによって構成されるクロスポイント型のメモリ装置も提案されている。

特許文献1: 米国特許第6,204,139号公報

特許文献2: 米国特許第6,673,691号公報

特許文献3: 米国特許第6,531,371号公報

特許文献4: 特表2002-530850号公報

非特許文献1: 2002 IEDM, 論文番号7.5, Dec. 2002

発明の開示

発明が解決しようとする課題

[0014] しかしながら、ダイオードを用いるタイプ(1D1R型不揮発性記憶装置)においては、図21のように、基板901上にP/N接合からなるダイオードを形成しなければならず、さらにメモリセルを構成するために下部電極904-1, 904-2および可変抵抗材料906をそのダイオード上に形成する必要がある。このような構成は、製造プロセス上複雑であり、実用化に適していない。また、図21に示したメモリ装置900では、ダイオードが形成されているので、上部電極907-1(907-2)が下部電極904-1(904-2)に対して「-」になるパルス電圧を与えても可変領域906 α (906 β)に所定のパルス電圧が印加されたことにはならない。つまり、図21に示したメモリ装置900では、可変領域906 α (906 β)の抵抗値を変化させるためには、上部電極907-1(907-2)が下部電極904-1(904-2)に対して「+」になるパルス電圧を印加する必要がある。このように、可変抵抗材料に印加するパルス電圧の極性が制限される。

[0015] また、図21に示したメモリ装置では、メモリセルの抵抗状態を高抵抗状態から低抵抗状態に変化させる(セットする)ためには「100nsec」の期間を要し、メモリセルの抵抗状態を低抵抗状態から高抵抗状態に変化させる(リセットする)ためには「10 μ sec」の期間を要する。このメモリセルへのセット/リセットを素早く実行するためには、印加するパルス電圧のパルス幅を短くする必要がある。

[0016] さらに、特許文献4に示されたクロスポイント型のメモリ装置は、製造プロセスが非常に複雑であり、また、多層化して3次元構造にする上でも製造プロセスが複雑である。

課題を解決するための手段

- [0017] この発明の1つの局面に従うと、メモリ装置は、第1電極層と、状態変化層と、第2電極層とを備える。第1電極層は、互いに平行に延びる複数の第1の電極線を含む。状態変化層は、上記第1電極層の上に形成され、かつ、ダイオード特性と可変抵抗特性とを示す複数の状態変化体(状態変化部)を含む。第2電極層は、上記状態変化層の上に形成され、かつ、互いに平行に延びる複数の第2の電極線を含む。上記複数の第1の電極線と上記複数の第2の電極線とは、積層方向から見たときに上記状態変化層を挟んで互いに交差している。上記複数の状態変化体の各々は、上記複数の第1の電極線のうちいずれか1つと上記複数の第2の電極線のうちいずれか1つとが交差する位置において、その第1の電極線とその第2の電極線との間に形成される。上記複数の状態変化体の各々は、その第1の電極線およびその第2の電極線のうちいずれか一方から他方へ向かう方向を順方向とし他方を逆方向とするダイオード特性を示す。上記複数の状態変化体の各々は、その第1の電極線とその第2の電極線との間に印加される所定のパルス電圧に応じて、その状態変化体の順方向における抵抗値が増加／減少する可変抵抗特性を示す。
- [0018] 上記メモリ装置では、従来の1R1D型不揮発性記憶素子の構成と比較すると、ダイオードを設ける必要がないので、製造プロセスを簡単にすることができる。また、状態変化体が「ダイオード特性」を有しているので、処理対象の状態変化体に隣接する状態変化体の抵抗値が低くても、その隣接する状態変化体には余計な電流が流れない。これにより、処理対象の状態変化体の抵抗値を正確に判別することができる。
- [0019] 好ましくは、上記メモリ装置は、前記複数の状態変化体に対応する複数の第1の電極および複数の第2の電極とをさらに備える。前記複数の第1の電極の各々は、当該第1の電極に対応する状態変化体と当該状態変化体に対応する第1の電極線との間に介在する。前記複数の第2の電極の各々は、当該第2の電極に対応する状態変化体と当該状態変化体に対応する第2の電極線との間に介在する。前記複数の状態変化体の各々は、対応する第1の電極および第2の電極のうちいずれか一方から他方へ向かう方向を順方向とし他方を逆方向とするダイオード特性を示す。前記複数の状態変化体の各々は、対応する第1の電極と第2の電極との間に印加される所定のパルス電圧に応じて、当該状態変化体の順方向における抵抗値が増加／減少

する可変抵抗特性を示す。

[0020] この発明のもう1つの局面に従うと、メモリ装置は、第1電極層と、状態変化層と、第2電極層とを備える。第1電極層は、互いに平行に延びる複数の第1の電極線を含む。状態変化層は、上記第1電極層の上に形成され、かつ、ダイオード特性と可変抵抗特性とを示す状態変化材料からなる。第2電極層は、上記状態変化層の上に形成され、かつ、互いに平行に延びる複数の第2の電極線を含む。上記複数の第1の電極線と上記複数の第2の電極線とは、積層方向から見たときに上記状態変化層を挟んで互いに交差している。上記複数の状態変化層のうち、上記複数の第1の電極線のうちいずれか1つと上記複数の第2の電極線のうちいずれか1つとの間に挟まれた可変領域(状態変化部)は、その第1の電極線およびその第2の電極線のうちいずれか一方から他方へ向かう方向を順方向とし他方を逆方向とするダイオード特性を示す。上記可変領域は、その第1の電極線とその第2の電極線との間に印加される所定のパルス電圧に応じて、その領域の順方向における抵抗値が増加／減少する可変抵抗特性を示す。

[0021] 上記メモリ装置では、従来の1R1D型不揮発性記憶素子の構成と比較すると、ダイオードを設ける必要がないので、製造プロセスを簡単にすることができる。また、状態変化層が「ダイオード特性」を有しているので、処理対象の可変領域に隣接する可変領域の抵抗値が低くても、その隣接する可変領域には余計な電流が流れない。これにより、処理対象の可変領域の抵抗値を正確に判別することができる。

[0022] 好ましくは、前記複数の第1の電極線の各々の仕事関数は、前記複数の第2の電極線の各々の仕事関数と異なる。

[0023] 上記メモリ装置では、第1の電極の仕事関数と第2の電極の仕事関数とが互いに異なる場合、状態変化材料はダイオード特性および可変抵抗特性を示すことがわかった。したがって、第1の電極の仕事関数と第2の電極の仕事関数とが互いに異なるようにすれば、状態変化材料が「ダイオード特性」および「可変抵抗特性」を示す状態変化部を構成することができる。

[0024] 好ましくは、前記複数の第1の電極の各々の仕事関数は、前記複数の第2の電極の各々の仕事関数と異なる。

- [0025] 好ましくは、前記複数の状態変化体の各々における状態変化材料の結晶性は、不均一である。
- [0026] 上記メモリ装置では、状態変化材料の結晶性が不均一である場合、状態変化材料はダイオード特性および可変抵抗特性を示すことがわかった。したがって、状態変化材料の結晶性を不均一にすれば、状態変化材料が「ダイオード特性」および「可変抵抗特性」を示す状態変化部を構成することができる。
- [0027] 好ましくは、前記状態変化層における状態変化材料の結晶性は、不均一である。
- [0028] 好ましくは、上記メモリ装置は、前記複数の第1の電極線に所定の電圧を印加する第1の電極線駆動部と、前記複数の第2の電極線に所定の電圧を印加する第2の電極線駆動部とをさらに備える。
- [0029] 上記メモリ装置では、状態変化部が「ダイオード特性」を有しているので、ある第1の電極線から別の第1の電極線に電流が流れることはない。このように、ダイオード素子を別に設けることなく、メモリ装置を構成することができる。
- [0030] 好ましくは、前記複数の状態変化部のうちいずれか1つに情報を記憶するときには、前記第1の電極線駆動部は、前記複数の第1の電極線のうち前記情報を記憶しようとする状態変化部に対応する第1の電極線に第1のパルス電圧を印加する。前記第2の電極線駆動部は、前記複数の第2の電極線のうち前記情報を記憶しようとする状態変化部に対応する第2の電極線に第2のパルス電圧を印加する。
- [0031] 上記メモリ装置では、情報を記憶したい状態変化部には所定のパルス電圧が印加されるが、他の状態変化部には所定のパルス電圧が印加されない。これにより、情報を記憶したい状態変化部の抵抗状態のみを変化させることができる。つまり、任意の状態変化部を選択して、その選択した状態変化部に情報を記憶することができる。
- [0032] 好ましくは、前記複数の状態変化部のうちいずれか1つに記憶された情報を再生するときには、前記第1の電極線駆動部は、前記複数の第1の電極線のうち前記情報を読み出そうとする状態変化部に対応する第1の電極線に再生電圧を印加する。前記第2の電極線駆動部は、前記複数の第2の電極線のうち前記情報を読み出そうとする状態変化部に対応しない第2の電極線に前記再生電圧を印加する。
- [0033] 上記メモリ装置では、情報を読み出したい状態変化部では順方向に電流が流れる

が、他の状態変化部では順方向に電流が流れない。これにより、情報を読み出した
い状態変化部に流れる電流のみを読み取ることができる。つまり、任意の状態変化部
を選択して、その選択した状態変化部に記憶された情報を読み出すことができる。

[0034] この発明のさらにもう1つの局面に従うと、半導体集積回路は、上記メモリ装置と、所
定の演算を行う論理回路とを備える。上記論理回路は、記憶モードおよび処理モー
ドを有する。論理回路は、上記記憶モードのときにはビットデータを上記メモリ装置に
記憶する。論理回路は、上記処理モードのときには上記メモリ装置に記憶されたビッ
トデータを読み出す。

[0035] この発明のさらにもう1つの局面に従うと、半導体集積回路は、上記メモリ装置と、プ
ログラム実行モードとプログラム書換モードとを有するプロセッサとを備える。上記プロ
セッサは、上記プログラム実行モードでは上記メモリ装置に記憶されたプログラムに
従って動作する。プロセッサは、上記プログラム書換モードでは上記メモリ装置に記
憶されたプログラムを外部から入力した別の新たなプログラムに書き換える。

[0036] 好ましくは、上記状態変化材料は、スピネル構造を有する金属酸化物である。

[0037] 好ましくは、上記状態変化材料は、金属が添加された酸化物強誘電体である。

[0038] 好ましくは、上記酸化物強誘電体は、イルメナイト構造を有する。

[0039] 好ましくは、上記状態変化材料は、ペロブスカイト構造を有する金属酸化物である。

[0040] 好ましくは、上記金属酸化物は、CMR (Colossal Magneto-Resistance: 巨大磁気抵
抗) 特性あるいは高温超伝導特性のうち少なくとも1つの特性を有する材料である。

[0041] 好ましくは、上記状態変化材料は、アルカリ金属およびアルカリ土類金属を含まな
い。

発明の効果

[0042] 以上のように、状態変化部が「ダイオード特性」を有しているので、別にダイオード
素子を用いることなく電流の向きを規定することができる。さらに状態変化部が「可変
抵抗特性」を有しているので、例えば、1R1D型不揮発性記憶素子として利用するこ
とができる。このように利用した場合、従来の1R1D型不揮発性記憶素子の構成と比
較すると、ダイオードを設ける必要がないので、製造プロセスを簡単にすることができ
る。また、パルス電圧の極性によって抵抗値を変化させる方法では、従来のパルス印

加方法(パルス電圧のパルス幅を調整することによって可変抵抗材料の抵抗値を変化させる方法)と比較すると、印加するパルス電圧のパルス幅が短い。つまり、記憶／リセットに要する時間を短縮することができる。

図面の簡単な説明

[0043] [図1]図1は、電気素子の基本構成を示す図である。

[図2]図2は、印加するパルス電圧を示す波形図である。

[図3]図3Aは、電気素子に一方の極性を示す測定電圧を印加したときの、極性の異なるパルス電圧による抵抗値の変化を示す図である。図3Bは、電気素子に他方の極性を示す測定電圧を印加したときの、極性の異なるパルス電圧による抵抗値の変化を示す図である。

[図4]図4Aは、電気素子に一方の極性を示すパルス電圧を印加した後の電流－電圧特性を示す図である。図4Bは、電気素子に他方の極性を示すパルス電圧を印加した後の電流－電圧特性を示す図である。

[図5]図5Aは、電気素子に一方の極性を示すパルス電圧を印加した後の電流－電圧特性を示す図である。図5Bは、電気素子に他方の極性を示すパルス電圧を印加した後の電流－電圧特性を示す図である。

[図6]図6は、電気素子に測定電圧を印加したときの、極性の異なるパルス電圧による抵抗値の変化を示す図である。

[図7]図7Aは、電気素子に一方の極性を示すパルス電圧を印加した後の電流－電圧特性を示す図である。図7Bは、電気素子に他方の極性を示すパルス電圧を印加した後の電流－電圧特性を示す図である。

[図8]図8Aは、電気素子に一方の極性を示す測定電圧を印加したときの、極性の異なるパルス電圧による抵抗値の変化を示す図である。図8Bは、電気素子に他方の極性を示す測定電圧を印加したときの、極性の異なるパルス電圧による抵抗値の変化を示す図である。

[図9]図9は、電気素子にパルス電圧を印加したときの抵抗値の変化を示す図である。

[図10]図10は、電気素子の回路記号を示す図である。

[図11]図11は、この発明の第2の実施形態によるメモリ装置の全体構成を示す図である。

[図12]図12は、この発明の第3の実施形態による半導体集積回路の全体構成を示す図である。

[図13]図13は、この発明の第4の実施形態による半導体集積回路の全体構成を示す図である。

[図14]図14は、この発明の第5の実施形態によるメモリ装置の構造を示す図である。

[図15]図15は、図14に示したメモリ装置の等価回路を示す図である。

[図16]図16は、図14に示したメモリ装置の等価回路を示す図である。

[図17]図17は、この発明の第6の実施形態によるメモリ装置の構造を示す図である。

[図18]図18は、図17に示したメモリ装置の等価回路を示す図である。

[図19]図19は、この発明の第6の実施形態によるメモリ装置の変形例を示す図である。

[図20]図20は、この発明の第6の実施形態によるメモリ装置の変形例を示す図である。

[図21]図21は、従来のメモリ装置の構造を示す図である。

[図22]図22は、図21に示したメモリ装置の等価回路を示す図である。

[図23]図23は、従来のクロスポイント型のメモリ装置を示す図である。

符号の説明

- [0044]
- 1 上部電極
 - 2 状態変化材料
 - 3 下部電極
 - 4 基板
 - 5 電源
 - 101-1, 101-2 端子
 - 102 電気素子
 - 200, 500 メモリ装置
 - 201 メモリアレイ

202 アドレスバッファ

203 制御部

204 行デコーダ

205 ワード線ドライバ

206 列デコーダ

207 ビット線ドライバ

MC211, MC212, MC221, MC222, MC511, MC512 メモリセル

W1, W2 ワード線

B1, B2 ビット線

300 半導体集積回路

301 論理回路

400 半導体集積回路

401 プロセッサ

402 インターフェイス

501 基板

502 下部電極

503 状態変化材料

503 α , 503 β 状態変化領域

504 コンタクトプラグ

505-1, 505-2 上部電極

60-11~60-22 状態変化体

60 α -11~60 α -22 状態変化領域

発明を実施するための最良の形態

[0045] 以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一の符号を付しその説明は繰り返さない。

(電気素子の基本構成および基本特性)

まず、本発明の実施形態において用いられる電気素子の基本構成および基本特性について説明する。

- [0046] 電気素子の基本構成を図1に示す。電気素子では、基板4上に下部電極3が形成され、下部電極3上に状態変化材料2が形成され、状態変化材料2上に上部電極1が形成される。電源5は、上部電極1および下部電極3間に所定の電圧を印加する。
- [0047] 本発明の電気素子に用いられる状態変化材料2は、順方向には電流が流れやすいが逆方向には電流が流れにくい特性(ダイオード特性)と、所定のパルス電圧が印加されることによって抵抗値が増加／減少する特性(可変抵抗特性)とを示す。状態変化材料2は、スピネル構造の金属酸化物材料、イルメナイト構造の金属が添加された酸化物強誘電体、CMR特性および高温超伝導特性のうち少なくとも1つの特性を有するペロブスカイト構造の材料であり、具体的には、 CoFe_2O_4 、 CuFe_2O_4 、 NiCr_2O_4 、 Fe_3O_4 、 Cr-SrTiO_3 、 Sr-LiNbO_3 、 Mg-LiNbO_3 、 $\text{Pr}_{(1-X)}\text{Ca}_X\text{MnO}_3$ ($0 < X < 0.5$)、 LaSrMnO_3 、 $\text{GdBaCo}_X\text{O}_Y$ ($0 < X < 2$, $0 < Y < 7$)等である。
- [0048] 次に、上記特性(可変抵抗特性およびダイオード特性)を示す状態変化材料2を実現する方法について説明する。
- [0049] (実施例1)
- 上記特性(可変抵抗特性およびダイオード特性)を有する状態変化材料2を実現するために、互いに仕事関数が異なる2つの材料を図1に示した上部電極1および下部電極3として用いて電気素子を構成した。以下に、その理由について説明する。
- [0050] <実験対象>
- ここでは、次の3種類の電気素子に対して実験を行った。
- 試料(A): 上部電極1の仕事関数が下部電極3の仕事関数よりも小さい電気素子。
- 試料(B): 上部電極1の仕事関数が下部電極3の仕事関数よりも大きい電気素子。
- 試料(C): 上部電極1の仕事関数と下部電極3の仕事関数とが等しい電気素子。
- [0051] なお、試料(A)～試料(C)を形成した後に、上部電極1が下部電極3に対して「+」になるパルス電圧(電圧値: +3V, パルス幅: $10\ \mu\text{sec}$ (マイクロセカンド))を印加することによって、形成直後の抵抗値(約 $1\text{M}\Omega$)よりも約一桁強低い抵抗値を初期の抵抗値として設定した(この初期化は、特願2003-421374等に記載の方法と同様の方法により行った)。
- [0052] <実験内容>

本実施例では、試料(A)～試料(C)の各々に対して次のような実験を行った。

[0053] [実験1]

上部電極1が下部電極3に対して「+」になるパルス電圧(以下、「パルス電圧(+極性)」と記す。)と上部電極1が下部電極3に対して「-」になるパルス電圧(以下、「パルス電圧(-極性)」と記す。)とを1回ずつ交互に印加する(図2参照)。ここで、パルス電圧の印加が1回終了する毎に、状態変化材料2の抵抗値を測定するために、上部電極1が下部電極3に対して「+」になる電圧(以下、「測定電圧(+極性)」と記す。)を印加する。

[0054] [実験2]

「パルス電圧(+極性)」と「パルス電圧(-極性)」とを1回ずつ交互に印加する(図2参照)。ここで、パルス電圧の印加が1回終了する毎に、状態変化材料2の抵抗値を測定するために、上部電極1が下部電極3に対して「-」になる電圧(以下、「測定電圧(-極性)」と記す。)を印加する。

[0055] [実験3]

「パルス電圧(+極性)」と「パルス電圧(-極性)」とを1回ずつ交互に印加する(図2参照)。ここで、パルス電圧の印加が1回終了する毎に、状態変化材料2の電流-電圧特性を測定する。

[0056] なお、ここでは、

パルス電圧(+極性):電圧値「+3V」、パルス幅「50nsec」

パルス電圧(-極性):電圧値「-3V」、パルス幅「50nsec」

測定電圧(+極性):電圧値「+0.5V」

測定電圧(-極性):電圧値「-0.5V」

とした。

[0057] <試料(A)に対する実験>

まず、試料(A)に対する実験について図3A、図3B、図4A、図4Bを参照しつつ説明する。なお、図3A、図3Bにおいて、縦軸は、測定値Rを初期化直後の抵抗値R0によって規格化した値を示す(図6、図8A、図8B、図9においても同様)。

[0058] [用いた材料]

上部電極1:Ag(膜厚約0.2 μ m, 仕事関数4.3eV(=electron volt))

状態変化材料2:CuFe₂O₄(膜厚約0.1 μ m)

下部電極3:Pt(膜厚約0.2 μ m, 仕事関数5.7eV)

〔実験1の結果〕

試料(A)に対して実験1を行った。その実験結果を図3Aに示す。測定値は、パルス電圧(+極性)が印加された後では高抵抗状態(抵抗値が他方の状態に比べて高い状態)から低抵抗状態(抵抗値が他方の状態に比べて低い状態)へと変化し、パルス電圧(-極性)が印加された後では低抵抗状態から高抵抗状態へと変化した。このように、印加されるパルス電圧に応じて、上部電極1から下部電極3へ向かう方向に対する抵抗値(状態変化材料2の抵抗値)が増加/減少することがわかった。

[0059] 〔実験2の結果〕

また、試料(A)に対して実験2を行った。その実験結果を図3Bに示す。測定値は、パルス電圧(+極性)を印加した後でも、低抵抗状態には変化せず高抵抗状態であった。このように、印加されるパルス電圧にかかわらず、下部電極3から上部電極1へ向かう方向に対する抵抗値(状態変化材料2の抵抗値)は常に高抵抗状態であることがわかった。

[0060] 〔実験3の結果〕

また、試料(A)に対して実験3を行った。パルス電圧(+極性)を印加した後に測定された電流-電圧特性を図4Aに示す。図4Aのように、パルス電圧(+極性)を印加した後では、測定電圧(+極性)を印加するとその測定電圧(+極性)の絶対値が大きくなるのに従って流れる電流値は増加し、電流が流れやすいことがわかった。一方、測定電圧(-極性)を印加するとその測定電圧(-極性)の絶対値を大きくしても流れる電流値は増加せず、実験を行った範囲では流れる電流の絶対値は20 μ A以下であり、電流が流れにくい結果となった。このように、パルス電圧(+極性)を印加した後では、上部電極1から下部電極3へ向かう方向へは電流(状態変化材料2を流れる電流)が流れやすく、下部電極3から上部電極1へ向かう方向へは電流が流れにくくなることがわかった。

[0061] 一方、パルス電圧(-極性)を印加した後に測定された電流-電圧特性を図4Bに

示す。図4Bのように、パルス電圧(－極性)を印加した後では、測定電圧(＋極性)を印加したときでも電流が流れにくくなった。このように、パルス電圧(－極性)を印加した後では、パルス電圧(＋極性)を印加した後と比較すると、上部電極1から下部電極3へ向かう方向へ電流が流れにくくなることがわかった。すなわち、試料(A)は上部電極1から下部電極3へ向かう順方向に電圧を印加すると、流れる電流が指数関数的に増大するが(図4Aでは横軸の右方向)、下部電極3から上部電極1へ向かう逆方向に電圧を印加しても電流がほとんど流れない(図4Aでは横軸の左方向)。換言すると、上部電極1から下部電極3へ向かう順方向において、下部電極3から上部電極1へ向かう逆方向よりも十分に大きな電流が流れるという、一方向にのみ電流が流れる整流作用を有するダイオード特性を示すことがわかった。

[0062] [検証結果]

以上の実験により、試料(A)は、次のような特性を示すことがわかった。

- (1) 上部電極1から下部電極3へ向かう方向を順方向とし、下部電極3から上部電極1へ向かう方向を逆方向とするダイオード特性。
- (2) 印加されるパルス電圧に応じてその順方向における抵抗値が増減する特性(可変抵抗特性)。詳しくは、その順方向における抵抗値は、パルス電圧(＋極性)が印加されると減少し、パルス電圧(－極性)が印加されると増加する。

[0063] <試料(B)に対する実験>

次に、試料(B)に対する測定結果について図3A, 図3B, 図5A, 図5Bを参照しつつ説明する。

[0064] <用いた材料>

上部電極1:Pt(膜厚約0.2 μ m, 仕事関数5.7eV)

状態変化材料2:CuFe₂O₄(膜厚約0.1 μ m)

下部電極3:Ti(膜厚約0.2 μ m, 仕事関数4.3eV)

<実験結果>

[実験1の結果]

試料(B)に対して実験1を行った。その実験結果は、図3Bのようになった。測定値は、パルス電圧(＋極性)を印加した後でもパルス電圧(－極性)を印加した後でも、

低抵抗状態に変化せず高抵抗状態であった。このように、印加されるパルス電圧にかかわらず、上部電極1から下部電極3へ向かう方向に対する抵抗値(状態変化材料2の抵抗値)は常に高抵抗状態であることがわかった。

[0065] [実験2の結果]

また、試料(B)に対して実験2を行った。その実験結果は、図3Aのようになった。測定値は、パルス電圧(+極性)が印加された後では高抵抗状態(抵抗値が他方の状態に比べて高い状態)から低抵抗状態(抵抗値が他方の状態に比べて低い状態)へと変化し、パルス電圧(-極性)が印加された後では低抵抗状態から高抵抗状態へと変化した。このように、印加されるパルス電圧に応じて、下部電極3から上部電極1へ向かう方向に対する抵抗値(状態変化材料2の抵抗値)が増加/減少することがわかった。

[0066] [実験3の結果]

また、試料(B)に対して実験3を行った。パルス電圧(+極性)を印加した後に測定された電流-電圧特性を図5Aに示す。図5Aのように、パルス電圧(+極性)を印加した後では、測定電圧(+極性)を印加したときには電流が流れにくく、測定電圧(-極性)を印加したときには電流が流れやすい結果となった。このように、パルス電圧(+極性)を印加した後では、上部電極1から下部電極3へ向かう方向へは電流(状態変化材料2を流れる電流)が流れにくく、下部電極3から上部電極1へ向かう方向へは電流が流れやすくなることがわかった。

[0067] 一方、パルス電圧(-極性)を印加した後に測定された電流-電圧特性を図5Bに示す。図5Bのように、パルス電圧(-極性)を印加した後では、測定電圧(-極性)を印加したときでも電流が流れにくくなった。このように、パルス電圧(-極性)を印加した後では、パルス電圧(+極性)を印加した後と比較すると下部電極3から上部電極1へ向かう方向へ電流が流れにくくなることがわかった。

[0068] [検証結果]

以上の実験により、試料(B)は、次のような特性を示すことがわかった。

(1) 下部電極3から上部電極1へ向かう方向を順方向とし、上部電極1から下部電極3へ向かう方向を逆方向とするダイオード特性。

(2)印加されるパルス電圧に応じてその順方向における抵抗値が増減する特性(可変抵抗特性)。詳しくは、その順方向における抵抗値は、パルス電圧(+極性)が印加される減少し、パルス電圧(-極性)が印加されると増加する。

[0069] <試料(C)に対する実験>

次に、試料(C)に対する実験結果について図6、図7A、図7Bを参照しつつ説明する。

[0070] <用いた材料>

上部電極1:Pt(膜厚約0.2 μ m, 仕事関数5.7eV)

状態変化材料2:CuFe₂O₄(膜厚約0.1 μ m)

下部電極3:Pt(膜厚約0.2 μ m, 仕事関数5.7eV)

<実験結果>

[実験1の結果]

試料(C)に対して実験1を行った。その実験結果は図6のようになった。測定値は、パルス電圧(+極性)が印加された後では高抵抗状態から低抵抗状態へと変化し、パルス電圧(-極性)が印加された後では低抵抗状態から高抵抗状態へと変化した。このように、印加されるパルス電圧に応じて、上部電極1から下部電極3へ向かう方向に対する抵抗値(状態変化材料2の抵抗値)が増加/減少した。

[0071] [実験2の結果]

また、試料(C)に対して実験2を行った。その実験結果は図6のようになった。このように、印加されるパルス電圧に応じて、下部電極3から上部電極1へ向かう方向に対する抵抗値(状態変化材料2の抵抗値)が増加/減少した。

[0072] [実験3の結果]

また、試料(C)に対して実験3を行った。パルス電圧(+極性)を印加した後に測定された電流-電圧特性を図7Aに示し、パルス電圧(-極性)を印加した後に測定された電流-電圧特性を図7Bに示す。図7Aと図7Bとを比較すると、パルス電圧(+極性)を印加した後の方がパルス電圧(-極性)を印加した後よりも電流が流れやすい(状態変化材料2の抵抗値が小さい)ことがわかった。

[0073] [検証結果]

以上の実験により、試料(C)は、次のような特性を示すことがわかった。

(1)パルス電圧(+極性)が印加されると抵抗値が減少し、パルス電圧(-極性)が印加されると抵抗値が増加する特性(可変抵抗特性)。

[0074] <まとめ>

試料(A)では、上部電極1の仕事関数は、下部電極3の仕事関数よりも小さい。一方、試料(B)では、上部電極1の仕事関数は、下部電極3の仕事関数よりも大きい。試料A～試料Cの実験結果より、状態変化材料2は、次のような特性を示すことがわかった。

(1)仕事関数の小さい電極から仕事関数の大きい電極へ向かう方向を順方向とし、仕事関数の大きい電極から仕事関数の小さい電極へ向かう方向を逆方向とするダイオード特性。

(2)印加されるパルス電圧に応じてその順方向における抵抗値が増減する特性(可変抵抗特性)。詳しくは、その順方向における抵抗値は、下部電極3に対して上部電極1が「+」になるパルス電圧が印加されると減少し、下部電極3に対して上部電極1が「-」になるパルス電圧が印加されると増加する。

[0075] また、試料(A)～試料(C)では、上部電極1が下部電極3に対して「+」になるパルス電圧を各々の試料を形成した後に印加することによって、状態変化材料2の抵抗値を形成直後の抵抗値(約1M Ω)よりも約一桁強低い抵抗値に初期化した。しかし、試料(A)～(C)の中には、上部電極1が下部電極3に対して「-」になるパルス電圧(電圧値:-3V, パルス幅10 μ sec)を各々の試料を形成した後に印加することによって、状態変化材料2の抵抗値を形成直後の抵抗値(約1M Ω)よりも約一桁強低い抵抗値に設定したのもあった(このような試料(A)～試料(C)を試料(A'), 試料(B'), 試料(C')とする)。

[0076] 試料(A)～試料(C)と同様の実験(実験1～実験3)を試料(A')～試料(C')に対して行った。

[0077] <試料(A')に対する実験>

試料(A')に対する実験について図8A, 図8B, 図4A, 図4Bを参照しつつ説明する。

[0078] [実験1の結果]

試料(A')に対する実験1の結果は、図8Aのようになった。測定値は、パルス電圧(+極性)が印加された後では低抵抗状態から高抵抗状態へと変化し、パルス電圧(-極性)が印加された後では高抵抗状態から低抵抗状態へと変化した。このように、印加されるパルス電圧に応じて、上部電極1から下部電極3へ向かう方向に対する抵抗値(状態変化材料2の抵抗値)が増加/減少することがわかった。

[0079] [実験2の結果]

試料(A')に対する実験2の結果は、図8Bのようになった。測定値は、パルス電圧(-極性)を印加した後も、低抵抗状態に変化せず高抵抗状態であった。このように、印加されるパルス電圧にかかわらず、下部電極3から上部電極1へ向かう方向に対する抵抗値は常に高抵抗状態であることがわかった。

[0080] [実験3の結果]

試料(A')に対する実験3の結果について述べる。パルス電圧(+極性)を印加した後に測定された電流-電圧特性は図4Bのようになった。また、パルス電圧(-極性)を印加した後に測定された電流-電圧特性は図4Aのようになった。

[0081] <試料(B')に対する実験>

試料(B')に対する実験について図8A, 図8B, 図5A, 図5Bを参照しつつ説明する。

[0082] [実験1の結果]

試料(B')に対する実験1の結果は、図8Bのようになった。このように、印加されるパルス電圧にかかわらず、上部電極1から下部電極3へ向かう方向に対する抵抗値は、常に高抵抗状態であることがわかった。

[0083] [実験2の結果]

試料(B')に対する実験2の結果は、図8Aのようになった。このように、印加されるパルス電圧に応じて、下部電極3から上部電極1へ向かう方向に対する抵抗値が増加/減少することがわかった。

[0084] [実験3の結果]

試料(B')に対する実験3の結果について述べる。パルス電圧(+極性)を印加した

後に測定された電流－電圧特性は、図5Bのようになった。また、パルス電圧（－極性）を印加した後に測定された電流－電圧特性は、図5Aのようになった。

[0085] <試料(C')に対する実験>

〔実験1, 実験2の結果〕

また、試料(C')の実験1, 実験2の結果は図9のようになった。このように、印加されるパルス電圧に応じて、上部電極1から下部電極3へ向かう方向に対する抵抗値および下部電極3から上部電極1へ向かう方向に対する抵抗値のどちらも増加／減少することがわかった。

[0086] 〔実験3の結果〕

試料(C')の実験3の結果について述べる。パルス電圧（＋極性）を印加した後に測定された電流－電圧特性は、図7Bのようになった。また、パルス電圧（－極性）を印加した後に測定された電流－電圧特性は、図7Aのようになった。

[0087] <まとめ>

つまり、試料(A')～試料(C')の実験結果より、状態変化材料2は、次のような特性を示すことがわかった。

(1) 仕事関数の小さい電極から仕事関数の大きい電極へ向かう方向を順方向とし、仕事関数の大きい電極から仕事関数の小さい電極へ向かう方向を逆方向とするダイオード特性。

(2) 印加されるパルス電圧に応じてその順方向における抵抗値が増減する特性（可変抵抗特性）。詳しくは、その順方向における抵抗値は、下部電極3に対して上部電極1が「＋」になるパルス電圧が印加されると増加し、下部電極3に対して上部電極1が「－」になるパルス電圧が印加されると減少する。

[0088] 以上の試料(試料(A)～試料(C), 試料(A')～試料(C'))の実験結果より、状態変化材料2は、次のような特性を示すことがわかった。

(1) 上部電極1の仕事関数と下部電極2の仕事関数とが互いに異なる場合、一方の電極から他方の電極へ向かう方向(第1の方向)を順方向とし第2の方向(第1の方向に対して逆向き)を逆方向とするダイオード特性。

(2) 所定のパルス電圧が印加されると、ダイオード特性の順方向に対する抵抗値が

増加／減少する特性(可変抵抗特性)。

[0089] また、抵抗値を変化させるために印加するパルス電圧に関しては、従来のパルス電圧のパルス幅(1 μ sec以上)よりも本実施例におけるパルス電圧のパルス幅(50nsec)の方が短いことが確認できた。

[0090] 以上のような特性を確認することができたので、互いに仕事関数が異なる2つの材料を図1に示した上部電極1および下部電極3として用いて電気素子を構成した。

[0091] (実施例2)

また、上記特性(可変抵抗特性およびダイオード特性)を有する状態変化材料を実現するために、結晶性が不均一である状態変化材料2を用いて図1の電気素子を構成した。その理由について説明する。

[0092] <状態変化材料2の結晶性>

〔状態変化材料の形成方法1〕

下部電極3を形成した基板4の温度を状態変化材料2の結晶化温度付近(例えば、 CuFe_2O_4 では約600°C付近)まで上げて状態変化材料2を形成した。このように形成された状態変化材料2に対してX線回折を行い結晶構造の歪みを調査したところ、その状態変化材料2は、結晶格子面間隔Dを示す位置に鋭い分布を有する回折ピーク(強度の大きい回折ピーク)を有していることがわかった。つまり、このように形成された状態変化材料2の結晶性は、基本的に、膜厚方向で均一になることがわかった。

[0093] 〔状態変化材料の形成方法2〕

一方、下部電極3を形成した基板4の温度を状態変化材料2の結晶化温度付近まで上げずに状態変化材料2を形成した。このように形成された状態変化材料2に対してX線回折を行い結晶構造の歪みを調査したところ、その状態変化材料2は、結晶構造の面間隔がバラツキを有している(強度の小さいブロードな回折ピークを有している)ことがわかった。つまり、このように形成された状態変化材料2には、結晶構造の歪が発生していることがわかった。

[0094] 〔状態変化材料の形成方法3〕

そこで、下部電極3を形成した基板4の温度を600°C位から徐々に低下させながら状態変化材料2を形成し、さらに状態変化材料2上に上部電極1を形成した。このよう

に形成された状態変化材料2に透過電子顕微鏡による電子線回折を行うと、下部電極3近傍の状態変化材料2では結晶性の良い状態を示す電子線回折図形(ある周期での斑点模様)が観測され、上部電極1近傍の状態変化材料2では結晶性の悪い状態(アモルファスに近い状態)を示す電子線回折図形(ハローパターン)が観察された。つまり、下部電極2近傍の状態変化材料2では、結晶格子面間隔がほぼ均一な数値を示しており、結晶構造の歪の少ない結晶性の良い状態となっている。一方、上部電極1近傍の状態変化材料2では、結晶格子面間隔が下部電極3近傍と比較するとバラツキを持った分布を有しており、結晶構造の歪みが多くなった結晶性の悪い状態となっていることがわかった。

[0095] さらに、この状態変化材料2に対して透過電子顕微鏡による断面TEM観察を行って状態変化材料2の結晶粒径を測定した結果、下部電極3近傍の状態変化材料2の結晶粒径は、上部電極1近傍の状態変化材料2の結晶粒径の2倍以上の値を示していた。このように、下部電極3近傍の状態変化材料2の結晶性の方が上部電極1近傍の状態変化材料2の結晶性よりも良いことが確認できた。

[0096] 以上より、下部電極3を形成した基板4の温度を600℃位から徐々に低下させながら状態変化材料2を形成すれば、下部電極3近傍においては結晶性が良いが上部電極1近傍においては結晶性が悪いといった結晶性が不均一な状態変化材料2(すなわち下部電極3から上部電極1に向かって結晶性の均一性が減少する状態変化材料2)を形成できることがわかった。

[0097] <試料(D)に対する実験>

上記〔状態変化材料の形成方法3〕に従って、下部電極3上に状態変化材料2を形成しさらに状態変化材料2上に上部電極1を形成して「試料(D)」を作成した。

[0098] 〔試料(D)〕

上部電極1:Pt(膜厚約0.2 μ m, 仕事関数5.7eV)

状態変化材料2:CuFe₂O₄(膜厚約0.1 μ m)

下部電極3:Pt(膜厚約0.2 μ m, 仕事関数5.7eV)

なお、試料(D)を形成した後、上部電極1が下部電極3に対して「+」になるパルス電圧(電圧値: +3V, パルス幅: 10 μ sec)を試料(D)に印加することによって、形成

直後の抵抗値(約1MΩ)よりも約一桁強低い抵抗値に初期化した。

[0099] [実験1～実験3]

次に、この試料(D)に対して実施例1と同様の実験(実験1～実験3)を行ったところ、実施例1の試料(A)と同様の実験結果(図3A, 図3B, 図4A, 図4B)になった。試料(D)の実験結果より、状態変化材料2は、次のような特性を示すことがわかった。

(1)結晶性の悪い領域から結晶性の良い領域へ向かう方向を順方向とし、結晶性の良い領域から結晶性の悪い領域へ向かう方向を逆方向とするダイオード特性。

(2)印加されるパルス電圧に応じてその順方向における抵抗値が増減する特性(可変抵抗特性)。詳しくは、その順方向における抵抗値は、下部電極3に対して上部電極1が「+」になるパルス電圧が印加されると減少し、下部電極3に対して上部電極1が「-」になるパルス電圧が印加されると増加する。

[0100] また、試料(D)の中には、形成後に、上部電極1が下部電極3に対して「-」になるパルス電圧(電圧値: -3V, パルス幅10 μ sec)を印加することによって、形成直後の抵抗値(約1MΩ)よりも約一桁強低い抵抗値に初期化したものもあった(このような試料(D)を試料(D')とする)。

[0101] 試料(D)と同様の実験(実験1～実験3)を試料(D')に対して行った。

[0102] <試料(D')に対する実験>

試料(D')の実験1の結果は図8Aのようになり、試料(D')の実験2の結果は図8Bのようになった。さらに、試料(D')の実験3の結果(電流-電圧特性)は、パルス電圧(+極性)を印加した後では図4Bのようになりパルス電圧(-極性)を印加した後では図4Aのようになることが確認できた。試料(D')の実験結果より、状態変化材料2は、次のような特性を示すことがわかった。

(1)結晶性の悪い領域から結晶性の良い領域へ向かう方向を順方向とし、結晶性の良い領域から結晶性の悪い領域へ向かう方向を逆方向とするダイオード特性。

(2)印加されるパルス電圧に応じてその順方向における抵抗値が増減する特性(可変抵抗特性)。詳しくは、その順方向における抵抗値は、下部電極3に対して上部電極1が「+」になるパルス電圧が印加されると増加し、下部電極3に対して上部電極1が「-」になるパルス電圧が印加されると減少する。

[0103] 以上の試料(試料(D), 試料(D'))の実験結果より、状態変化材料2は、次のような特性を示すことがわかった。

(1)状態変化材料2の結晶性が均一でない場合、一方の電極から他方の電極へ向かう方向(第1の方向)を順方向とし第2の方向(第1の方向に対して逆向き)を逆方向とするダイオード特性。

(2)所定のパルス電圧が印加されると、ダイオード特性の順方向に対する抵抗値が増加／減少する特性(可変抵抗特性)。

[0104] また、抵抗値を変化させるために印加するパルス電圧に関しては、従来のパルス電圧のパルス幅(1 μ sec以上)よりも本実施例におけるパルス電圧のパルス幅(50nsec)の方が短いことが確認できた。

[0105] 以上のような特性を確認することができたので、結晶性が不均一である状態変化材料2を用いて図1の電気素子を構成した。

[0106] また、実施例1, 実施例2において、状態変化材料2として、スピネル構造の金属酸化物材料である CuFe_2O_4 を用いた例を示したが、それ以外のスピネル構造の金属酸化物材料や、イルメナイト構造の金属が添加された酸化物強誘電体、あるいはペロブスカイト構造のCMR材料、高温超伝導材料でも、同様の特性を確認することができた。具体的に述べると、例えば、 CoFe_2O_4 , NiCr_2O_4 , Fe_3O_4 , Cr-SrTiO_3 , Sr-LiNbO_3 , Mg-LiNbO_3 , $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$, LaSrMnO_3 , $\text{GdBaCo}_x\text{O}_y$ でも同様の特性を確認することができた。

[0107] また、上部電極1および下部電極3の材料として別の電極材料を用いても構わない。

(第1の実施形態)

<回路記号の定義>

この発明の第1の実施形態による電気素子について説明する。なお、本実施形態で用いられる電気素子の回路記号を図10のように定義する。図10に示した電気素子102では、端子101-2に対して端子101-1が「+」になるパルス電圧を印加すると電気素子102の抵抗値は減少し、端子101-2に対して端子101-1が「-」になるパルス電圧を印加すると電気素子102の抵抗値は増加する。また、図10に示し

た電気素子102は、端子101-1から端子101-2へ向かう方向を「順方向」とし、端子101-2から端子101-1へ向かう方向を「逆方向」とするダイオード特性を示す。

[0108] <動作>

次に、図10に示した電気素子102による動作について説明する。ここでは、電気素子102は、メモリとして使用され、1ビットデータの処理を行う。なお、電気素子102の抵抗値(状態変化材料2の抵抗値)は、高抵抗状態に初期化されているものとする。また、電気素子102の抵抗値が「高抵抗状態」であるときを「0」とし、電気素子102の抵抗値が「低抵抗状態」であるときを「1」とする。

[0109] 〔記憶〕

電気素子102に「1」を示す1ビットデータを書き込む場合、端子101-2をグランドに落とし、端子101-1に記憶電圧を印加する。記憶電圧は、例えば、電圧値が「+3V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(+極性))である。電気素子102にはパルス電圧(+極性)が印加されるので、電気素子102の抵抗値(状態変化材料の抵抗値)は、低抵抗状態になる。このように、電気素子102は「1」を示す1ビットデータを記憶したことになる。

[0110] 〔リセット〕

電気素子102の記憶状態を初期の状態に戻す場合、端子101-2をグランドに落とし、端子101-1にリセット電圧を印加する。リセット電圧は、例えば、電圧値が「-3V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(-極性))である。電気素子102にはパルス電圧(-極性)が印加されるので、電気素子102の抵抗値は、高抵抗状態に戻る。このように、電気素子102の記憶状態は初期状態に戻ったことになる。

[0111] 〔再生〕

次に、端子101-2をグランドに落とし、端子101-1に再生電圧を印加する。再生電圧は、例えば、電圧値が「+0.5V」を示す電圧である。電気素子102には再生電圧(=測定電圧(+極性))が印加されるので、電気素子102の抵抗値に応じた電流値を有する電流が端子101-1から端子101-2へ向かう方向(順方向)に流れる。ここで、電気素子102の抵抗値が「高抵抗状態」であるときに流れる電流を「0」とし、

電気素子102の抵抗値が「低抵抗状態」であるときに流れる電流を「1」とすれば、電気素子102から1ビットデータを再生したことになる。

[0112] このように、電気素子102をメモリとして利用することができる。

[0113] <効果>

以上のように、電気素子が「ダイオード特性」を有しているので、特別にダイオード素子を用いることなく電流の向きを規定することができる。さらに電気素子が「可変抵抗特性」を有しているので、例えば、1R1D型不揮発性記憶素子として利用することができる。このように利用した場合、従来の1R1D型不揮発性記憶素子の構成と比較すると、ダイオードを設ける必要がないので、製造プロセスを簡単にすることができる。

[0114] また、ダイオードが設けられていないので、状態変化材料に印加するパルス電圧の極性が制限されない。よって、状態変化材料に「+」、「-」の両方の極性のパルス電圧を印加することができる。このようなパルス印加方法（パルス電圧の極性によって抵抗値を変化させる方法）では、従来のパルス印加方法（パルス電圧のパルス幅を調整することによって可変抵抗材料の抵抗値を変化させる方法）と比較すると、印加するパルス電圧のパルス幅が短い（本実施形態では、50nsec）。つまり、記憶／リセットに要する時間を短縮することができる。

[0115] また、本実施形態において電気素子102の状態変化材料2としては、スピネル構造である CuFe_2O_4 、 CoFe_2O_4 、 NiCr_2O_4 、 Fe_3O_4 や、イルメナイト構造の金属が添加された酸化物強誘電体、さらには、ペロブスカイト構造のCMR材料および高温超伝導材料等でも同様な効果を得ることができる。具体的には Cr-SrTiO_3 、 Sr-LiNbO_3 、 Mg-LiNbO_3 、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 LaSrMnO_3 、 $\text{GdBaCo}_x\text{O}_y$ 等でも同様の効果が得られる。

[0116] また、CMOSプロセスにおいて、高温による破壊等を防ぐために成膜時の温度は450℃以下であることが望ましい。ペロブスカイト構造を有する材料を成膜するためには、通常、基板の温度を700℃以上にする必要がある。一方、スピネル構造を有する材料を成膜するためには基板の温度が約400℃程度であればよい。したがって、スピネル構造を有する材料を図1の状態変化材料2として用いることによって、成膜時の温度を低くすることができる。このように、スピネル構造を有する材料は、ペロブスカ

イト構造を有する材料よりも半導体プロセスとの整合性が良好である。

[0117] また、一般的に、高温超伝導材料やCMR材料は、アルカリ金属および／またはアルカリ土類金属を含む酸化物である。このような材料を用いて図1の電気素子を形成する場合、半導体プロセスの洗浄工程においてこの材料に含まれるアルカリ金属および／またはアルカリ土類金属が溶出してしまうので、記憶素子としての特性が劣化する。このような特性劣化を防ぐためには、アルカリ金属およびアルカリ土類金属を含まない材料を状態変化材料2として用いることが好ましい。

[0118] また、本実施形態では1ビットデータを高抵抗状態と低抵抗状態の2個の状態として保持することによりメモリとして動作させているが、電氣的パルスの幅および振幅を変えることにより、4個もしくはそれ以上の抵抗状態を2ビットもしくは3ビット以上の情報として記憶させる不揮発性記憶素子として動作させることも可能である。

(第2の実施形態)

<全体構成>

この発明の第2の実施形態によるメモリ装置200の全体構成を図11に示す。この装置200は、メモリアレイ201と、アドレスバッファ202と、制御部203と、行デコーダ204と、ワード線ドライバ205と、列デコーダ206と、ビット線ドライバ207とを備える。

[0119] メモリアレイ201には、ワード線W1、W2と、ビット線B1、B2と、メモリセルMC211～MC222とが設けられている。メモリセルMC211～MC222の各々は、図10に示した電気素子102である。メモリセルMC211の一端はワード線W1に接続され、メモリセルMC211の他端はビット線B1に接続される(順方向:W1→B1)。メモリセルMC212の一端はワード線W2に接続され、メモリセルMC212の他端はビット線B1に接続される(順方向:W2→B1)。メモリセルMC221の一端はワード線W1に接続され、メモリセルMC221の他端はビット線B2に接続される(順方向:W1→B2)。メモリセルMC222の一端はワード線W2に接続され、メモリセルMC222の他端はビット線B2に接続される(順方向:W2→B2)。

[0120] アドレスバッファ202は、外部からのアドレス信号ADDRESSを入力して、行アドレス信号ROWを行デコーダ204に出力するとともに、列アドレス信号COLUMNを列デコーダ206に出力する。アドレス信号ADDRESSは、メモリセルMC211～MC22

2のうち選択されるメモリセルのアドレスを示す。行アドレス信号ROWは、アドレス信号ADDRESSに示されたアドレスのうち行のアドレスを示す。列アドレスCOLUMNは、アドレス信号ADDRESSに示されたアドレスのうち列のアドレスを示す。

- [0121] 制御部203は、外部からのモード選択信号MODEに応じて、記憶モード、リセットモード、および再生モードのうちいずれか1つになる。記憶モードでは、制御部203は、外部からの入力データDinに応じて、「記憶電圧印加」を指示する制御信号CONTをワード線ドライバ205およびビット線ドライバ207に出力する。再生モードでは、制御部203は、「再生電圧印加」を指示する制御信号CONTをワード線ドライバ205およびビット線ドライバ207に出力する。さらに、再生モードでは、ビット線ドライバ207からの信号I_{READ}に応じたビット値を示す出力データDoutを外部へ出力する。信号I_{READ}は、ビット線B1, B2を流れる電流の電流値を示す。また、リセットモードでは、制御部203は、メモリセルMC211～MC222の記憶状態を確認し、その記憶状態に応じて、「リセット電圧印加」を指示する制御信号CONTをワード線ドライバ205およびビット線ドライバ207に出力する。
- [0122] 行デコーダ204は、アドレスバッファ202からの行アドレス信号ROWに応じて、ワード線W1, W2のうちいずれか1つを選択する。
- [0123] ワード線ドライバ205は、制御部203から「記憶電圧印加」を指示する制御信号CONTを受けると、行デコーダ204によって選択されたワード線に記憶電圧V1_{WRITE}を印加する。また、ワード線ドライバ205は、制御部203から「再生電圧印加」を指示する制御信号CONTを受けると、行デコーダ204によって選択されたワード線に再生電圧V1_{READ}を印加する。また、ワード線ドライバ205は、制御部203から「リセット電圧印加」を指示する制御信号CONTを受けると、行デコーダ204によって選択されたワード線にリセット電圧V1_{RESET}を印加する。
- [0124] 列デコーダ206は、アドレスバッファ202からの列アドレス信号COLUMNに応じて、ビット線B1, B2のうちいずれか1つを選択する。
- [0125] ビット線ドライバ207は、制御部203から「記憶電圧印加」を指示する制御信号CONTを受けると、列デコーダ206によって選択されたビット線に記憶電圧V2_{WRITE}を印加する。また、ビット線ドライバ207は、制御部203から「再生電圧印加」を指示する

制御信号CONTを受けると、列デコーダ206によって選択されなかったビット線に再生電圧 $V2_{\text{READ}}$ を印加した後、ビット線B1, B2を流れる電流の電流値を示す信号 I_{READ} を制御部203に出力する。また、ビット線ドライバ207は、制御部203から「リセット電圧印加」を指示する制御信号CONTを受けると、列デコーダ206によって選択されたビット線にリセット電圧 $V2_{\text{RESET}}$ を印加する。

[0126] なお、記憶電圧 $V1_{\text{WRITE}}$ は、例えば、電圧値が「+1.5V」でありパルス幅が「50nsec」であるパルス電圧であり、記憶電圧 $V2_{\text{WRITE}}$ は、例えば、電圧値が「-1.5V」でありパルス幅が「50nsec」であるパルス電圧である。ここでは、記憶電圧 $V1_{\text{WRITE}}$ と記憶電圧 $V2_{\text{WRITE}}$ との電位差は「3V」である。

[0127] また、再生電圧 $V1_{\text{READ}}$, $V2_{\text{READ}}$ は、例えば、電圧値が「+0.5V」を示す電圧である。ここでは、再生電圧 $V1_{\text{READ}}$, $V2_{\text{READ}}$ は、互いに等しい電圧である。

[0128] また、リセット電圧 $V1_{\text{RESET}}$ は、例えば、電圧値が「-1.5V」でありパルス幅が「50nsec」であるパルス電圧であり、リセット電圧 $V2_{\text{RESET}}$ は、例えば、電圧値が「+1.5V」でありパルス幅が「50nsec」であるパルス電圧である。ここでは、リセット電圧 $V1_{\text{RESET}}$ とリセット電圧 $V2_{\text{RESET}}$ との電位差は「3V」である。

[0129] <動作>

次に、図11に示したメモリ装置200による動作について説明する。この装置200による動作には、メモリセルに入力データDinを書き込む記憶モードと、メモリセルに書き込まれた情報をリセットするリセットモードと、メモリセルに書き込まれた情報を出力データDoutとして出力(再生)する再生モードとが存在する。なお、メモリセルMC211~MC222は、高抵抗状態に初期化されているものとする。また、アドレス信号ADDRESSは、メモリセルMC211のアドレスを示すものとする。

[0130] [記憶モード]

まず、記憶モードにおける動作について説明する。

[0131] 制御部203は、入力データDinが「1」を示す場合、「記憶電圧印加」を示す制御信号CONTをワード線ドライバ205およびビット線ドライバ207に出力する。また、制御部203は、入力データDinが「0」を示す場合、制御信号CONTを出力しない。

[0132] 次に、ビット線ドライバ207は、制御部203から「記憶電圧印加」を示す制御信号C

ONTを受けると、列デコーダ206によって選択されたビット線B1に記憶電圧V2_{WRITE}を印加し、他のビット線B2(選択されなかったビット線)をグラウンドに落とす。

[0133] 一方、ワード線ドライバ205は、制御部203から「記憶電圧印加」を示す制御信号CONTを受けると、行デコーダ204によって選択されたワード線W1に記憶電圧V1_{WRITE}を印加し、他のワード線W2(選択されなかったワード線)をグラウンドに落とす。

[0134] メモリセルMC211では、電圧値が「+3V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(+極性))が印加されたことになるので、メモリセルMC211の抵抗値は低抵抗状態になる。

[0135] メモリセルMC212では、電圧値が「-1.5V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(-極性))が印加されたことになるが、その電圧値が所定のレベル(ここでは、「-3V」)に達していないのでメモリセルMC212の抵抗状態は変化しない。

[0136] メモリセルMC221では、電圧値が「+1.5V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(+極性))が印加されたことになるが、その電圧値が所定のレベル(ここでは、「+3V」)に達していないのでメモリセルMC221の抵抗状態は変化しない。

[0137] メモリセルMC222では、メモリセルMC222の両端の電位差は「0V」であるので、メモリセルMC222の抵抗状態は変化しない。

[0138] このように、メモリセルMC211の抵抗状態だけが「低抵抗状態」に変化するので、メモリセルMC211に「1」を示す1ビットデータが書き込まれたことになる。

[0139] 次に、メモリセルMC211への書き込みが完了すると、アドレスバッファ202に新たなアドレス信号ADDRESSが入力されて、上述の記憶モードにおける動作が繰り返される。

[0140] [再生モード]

次に、再生モードにおける動作について説明する。

[0141] 制御部203は、「再生電圧印加」を指示する制御信号CONTをワード線ドライバ205およびビット線ドライバ207に出力する。

[0142] 次に、ビット線ドライバ207は、制御部203から「再生電圧印加」を示す制御信号C

ONTを受けると、列デコーダ206によって選択されなかったビット線B2に再生電圧V₂_{READ}を印加し、他のビット線B1(選択されたビット線)をグランドに落とす。

[0143] 一方、ワード線ドライバ205は、制御部203から「再生電圧印加」を示す制御信号CONTを受けると、行デコーダ204によって選択されたワード線W1に再生電圧V1_{READ}を印加し、他のワード線W2(選択されなかったワード線)をグランドに落とす。

[0144] メモリセルMC211では、測定電圧(+極性)が印加されたことになるので、メモリセルMC211の抵抗値に応じた電流値を有する電流がメモリセルMC211に流れ、その電流がビット線B1に流出する。

[0145] メモリセルMC212の両端の電位差は「0V」であるので、メモリセルMC212には電流が流れない。また、メモリセルMC212においてビット線B1からワード線W2へ向かう方向は「逆方向」であるので、ビット線B1を流れる電流がワード線W2に流れ込むことはない。

[0146] メモリセルMC221の両端の電位差は「0V」になるので、メモリセルMC221には電流が流れない。

[0147] メモリセルMC222では、測定電圧(-極性)が印加されたことになるので、メモリセルMC222には電流が流れない。

[0148] 次に、ビット線ドライバ207は、ビット線B1、B2を流れる電流の電流値を測定し、その測定値を示す信号I_{READ}を制御部203に出力する。次に、制御部203は、その信号I_{READ}に示された電流値に応じた出力データDoutを外部に出力する。例えば、低抵抗状態のときに流れる電流の電流値であるならば、制御部203は、「1」を示す出力データDoutを出力する。

[0149] このように、メモリセルMC211にのみ電流が流れ、その電流がビット線B1に流出するので、メモリセルMC211から1ビットデータを読み出したことになる。

[0150] 次に、メモリセルMC211からの読み出しが完了すると、アドレスバッファ202に新たなアドレス信号ADDRESSが入力されて、上述の再生モードにおける動作が繰り返される。

[0151] [リセットモード]

次に、リセットモードにおける動作について説明する。

- [0152] まず、制御部203は、再生モードにおける処理を行うことによってメモリセルMC211の記憶状態を調べる。
- [0153] 次に、制御部203は、メモリセルMC211が「1」を示すビットデータを記憶していると判断すると(メモリセルMC211が低抵抗状態であると判断すると)、「リセット電圧印加」を示す制御信号CONTをワード線ドライバ205およびビット線ドライバ207に出力する。また、制御部203は、メモリセルMC211が「0」を示すビットデータを記憶している場合(メモリセルMC211が高抵抗状態である場合)には、制御信号CONTを出力しない。
- [0154] 次に、ビット線ドライバ207は、制御部203から「リセット電圧印加」を示す制御信号CONTを受けると、列デコーダ206によって選択されたビット線B1にリセット電圧 V_{2R} _{ESET}を印加し、他のビット線B2(選択されなかったビット線)をグランドに落とす。
- [0155] 一方、ワード線ドライバ205は、制御部203から「リセット電圧印加」を示す制御信号CONTを受けると、行デコーダ204によって選択されたワード線W1にリセット電圧 V_1 _{RESET}を印加し、他のワード線W2(選択されなかったワード線)をグランドに落とす。
- [0156] メモリセルMC211では、電圧値が「-3V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(-極性))が印加されたことになるので、メモリセルMC211の抵抗値は高抵抗状態になる。
- [0157] メモリセルMC212では、電圧値が「+1.5V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(+極性))が印加されたことになるが、電圧値が所定のレベル(ここでは、「+3V」)に達していないのでメモリセルMC212の抵抗状態は変化しない。
- [0158] メモリセルMC221では、電圧値が「-1.5V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(-極性))が印加されたことになるが、電圧値が所定のレベル(ここでは、「-3V」)に達していないのでメモリセルMC221の抵抗状態は変化しない。
- [0159] メモリセルMC222では、メモリセルMC222の両端の電位差は「0V」であるので、メモリセルMC222の抵抗状態は変化しない。
- [0160] このように、メモリセルMC211の抵抗状態だけが「高抵抗状態」に変化するので、メ

メモリセルMC211に記憶された1ビットデータをリセットしたことになる。

[0161] 次に、メモリセルMC211のリセットが完了すると、アドレスバッファ202に新たなアドレス信号ADDRESSが入力されて、上述のリセットモードにおける動作が繰り返される。

[0162] <効果>

以上のように、電気素子(メモリセル)が「ダイオード特性」を有しているので、あるワード線から別のワード線に電流が流れることはない。このように、ダイオード素子を別に設けることなく、メモリ装置を構成することができるので、製造プロセスを簡単に行うことができる。

[0163] また、情報を記憶したい電気素子には所定のパルス電圧が印加されるが、他の電気素子には所定のパルス電圧が印加されない。これにより、情報を記憶したい電気素子の抵抗状態のみを変化させることができる。つまり、任意の電気素子を選択して、その選択した電気素子に情報を記憶することができる。

[0164] また、情報を読み出したい電気素子では順方向に電流が流れるが、他の電気素子では順方向に電流が流れない。これにより、情報を読み出したい電気素子に流れる電流のみを読み取ることができる。つまり、任意の電気素子を選択して、その選択した電気素子に記憶された情報を読み出すことができる。

[0165] なお、図11では、メモリセルが4つしか存在しないがこれに限らず、5つ以上のメモリセルをマトリックス状に配置することも可能である。

(第3の実施形態)

<構成>

この発明の第3の実施形態による半導体集積回路(Embedded-RAM)300の構成を図12に示す。この回路300は、図11に示したメモリ装置200と、論理回路301とを備え、1つの半導体チップ上に形成される。図11に示したメモリ装置200は、データRAMとして使用される。論理回路301は、所定の演算(例えば、音声データ・画像データの符号化／復号化)を行う回路であり、その演算の際に、メモリ装置200を利用する。論理回路301は、メモリ装置200にアドレス信号ADDRESSおよびモード選択信号MODEを制御して、メモリ装置200へのデータの書き込み／読み出しを行う。

[0166] <動作>

次に、図12に示した半導体集積回路(Embedded-RAM) 300による動作について説明する。この回路300による動作には、メモリ装置200に所定のデータ(ビットデータ)を書き込む書込処理と、メモリ装置200に書き込んだデータを読み出す読出処理と、メモリ装置200に書き込んだデータをリセットするリセット処理とが存在する。

[0167] 〔書込処理〕

まず、書込処理について説明する。

[0168] 論理回路301は、メモリ装置200に所定のデータ(例えば、符号化動画像データ等)を書き込むために、「記憶モード」を示すモード選択信号MODEをメモリ回路200の制御部203に出力する。

[0169] 次に、論理回路301は、その所定のデータを書き込むメモリセルを選択するために、アドレス信号ADDRESSをメモリ装置200のアドレスバッファ202に順次出力する。これにより、メモリ装置200では、アドレス信号ADDRESSに応じたメモリセルが順次選択される。

[0170] 次に、論理回路301は、その所定のデータを1ビットずつ1ビットデータDinとしてメモリ装置200の制御部203に出力する。

[0171] 次に、メモリ装置200では、第2の実施形態の記憶モードと同様の動作が行われる。これにより、メモリ装置200にその所定のデータが1ビットずつ書き込まれる。

[0172] 〔読出処理〕

次に、読出処理について説明する。

[0173] 論理回路301は、メモリ装置200に書き込んだデータを読み出すために、「再生モード」を示すモード選択信号MODEをメモリ回路200の制御部203に出力する。

[0174] 次に、論理回路301は、書き込まれたデータを読み出すメモリセルを選択するために、アドレス信号ADDRESSをメモリ装置200のアドレスバッファ202に順次出力する。これにより、メモリ装置200では、アドレス信号ADDRESSに応じたメモリセルが順次選択される。

[0175] 次に、メモリ装置200では、第2の実施形態の再生モードと同様の動作が行われる。これにより、メモリ装置200に記憶されたデータが1ビットずつ出力データDoutとし

て読み出される。

[0176] 〔リセット処理〕

次に、リセット処理について説明する。

[0177] 論理回路301は、メモリ装置200に記憶されたデータをリセットするために、「リセットモード」を示すモード選択信号MODEをメモリ回路200の制御部203に出力する。

[0178] 次に、論理回路301は、メモリ装置200に記憶されたデータをリセットするメモリセルを選択するために、アドレス信号ADDRESSをメモリ装置200のアドレスバッファ202に順次出力する。これにより、メモリ装置200では、アドレス信号ADDRESSに応じたメモリセルが順次選択される。

[0179] 次に、メモリ装置200では、第2の実施形態のリセットモードと同様の動作が行われる。これにより、メモリ装置200に記憶されたデータが1ビットずつリセットされる。

[0180] <効果>

以上のように、メモリ装置200に大量の情報を高速に記憶することが可能となる。

(第4の実施形態)

 <構成>

この発明の第4の実施形態による半導体集積回路(reconfigurable LSI)400の構成を図13に示す。この回路400は、図11に示したメモリ装置200と、プロセッサ401と、インターフェイス402を備え、1つの半導体チップ上に形成される。図11に示したメモリ装置200は、プログラムROMとして使用され、プロセッサ401の動作に必要なプログラムを記憶する。プロセッサ401は、メモリ装置200に記憶されたプログラムに従って動作し、メモリ装置200およびインターフェイス402を制御する。インターフェイス402は、外部から入力されたプログラムをメモリ装置200に順次出力する。

[0181] <動作>

次に、図13に示した半導体集積回路(reconfigurable LSI)400による動作について説明する。この回路400による動作には、記憶されたプログラムに従って動作するプログラム実行処理と、メモリ装置200に記憶されたプログラムを別の新たなプログラムに書き換えるプログラム書換処理とが存在する。

[0182] 〔プログラム実行処理〕

まず、プログラム実行処理について説明する。

[0183] プロセッサ401は、メモリ装置200に記憶されたプログラムを読み出すために、「再生モード」を示すモード選択信号MODEをメモリ回路200の制御部203に出力する。

[0184] 次に、プロセッサ401は、その必要なプログラムが書き込まれたメモリセルを示すアドレス信号ADDRESSをメモリ装置200のアドレスバッファ202に順次出力する。これにより、メモリ装置200では、アドレス信号ADDRESSに応じたメモリセルが順次選択される。

[0185] 次に、メモリ装置200では、第2の実施形態の再生モードと同様の動作が行われる。これにより、メモリ装置200に記憶されたプログラムが出力データDoutとして1ビットずつ読み出される。

[0186] 次に、プロセッサ401は、読み出したプログラムに従って、所定の演算を行う。

[0187] [プログラム書換処理]

次に、プログラム書換処理について説明する。

[0188] プロセッサ401は、メモリ装置200に記憶されたプログラム(書換対象となるプログラム)を消去するために、「リセットモード」を示すモード選択信号MODEをメモリ装置200の制御部203に出力する。

[0189] 次に、プロセッサ401は、書換対象となるプログラムを記憶するメモリセルの位置を示すアドレス信号ADDRESSをメモリ装置200のアドレスバッファ202に順次出力する。これにより、メモリ装置200では、アドレス信号ADDRESSに応じたメモリセルが順次選択される。

[0190] 次に、メモリ装置200では、第2の実施形態のリセットモードと同様の動作が行われる。これにより、メモリセルに記憶されたプログラムが1ビットずつリセットされる。

[0191] 次に、プロセッサ401は、メモリセルのリセットが完了すると、新たなプログラムを書き込むために、「記憶モード」を示すモード選択信号MODEをメモリ装置200の制御部203に出力する。

[0192] 次に、プロセッサ401は、新たなプログラムを記憶すべきメモリセルの位置を示すアドレス信号ADDRESSをメモリ装置200のアドレスバッファ202に順次出力する。こ

れにより、メモリ装置200では、アドレス信号ADDRESSに応じたメモリセルが順次選択される。

[0193] 次に、プロセッサ401は、外部からインターフェイス402を介して1ビットずつメモリ装置200の制御部203に出力する。メモリ装置200では、第2の実施形態の記憶モードと同様の処理が行われる。これにより、新たなプログラムがメモリ装置200に1ビットずつ記憶される。

[0194] このように、メモリ装置200は書き換え可能な不揮発性メモリであるため、記憶するプログラムの内容を書き換えることが可能である。つまり、プロセッサ501において実現される機能を代えることができる。また、複数のプログラムをメモリ装置200に記憶しておき、読み出すプログラムに応じてプロセッサ401で実現される機能を代えることもできる。

[0195] <効果>

以上のように、1つのLSIで異なる機能を実現することが可能(いわゆるre-configurable)となる。

(第5の実施形態)

<構造>

この発明の第5の実施形態によるメモリ装置500の構造を図14に示す。このメモリ装置500では、基板501上に下部電極502が形成され、下部電極502上に状態変化材料503およびコンタクトプラグ504が形成され、状態変化材料503上に上部電極505-1, 505-2が形成されている。ここでは、下部電極502としてPt(仕事関数: 5.7eV)を用い、上部電極505-1, 505-2としてAg(仕事関数: 4.3eV)を用い、状態変化材料503として CuFe_2O_4 (膜厚: 0.1 μm)を用いている。また、コンタクトプラグ504にはAlを用いている。

[0196] <状態変化材料>

ここで、図14に示した上部電極505-1と下部電極502との間に所定のパルス電圧を印加すると、状態変化材料503のうち上部電極の直下に存在する領域(状態変化領域503 α)の抵抗値が変化する。また、図14に示した上部電極505-2と下部電極502との間に所定のパルス電圧を印加すると、状態変化材料503のうち上部電

極505-2の直下に存在する領域(状態変化領域503 β)の抵抗値が変化する。

- [0197] また、図14に示した上部電極505-1と下部電極502との間に測定電圧(+極性)を印加すると、コンタクトプラグ504からは、状態変化領域503 α の抵抗値に応じた電流値を有する電流が流れる。また、図14に示した上部電極505-1と下部電極502との間に測定電圧(-極性)を印加しても、電流は流れない。同様に、図14に示した上部電極505-2と下部電極502との間に測定電圧(+極性)を印加すると、コンタクトプラグ504からは、状態変化領域503 β の抵抗値に応じた電流値を有する電流が流れる。また、図14に示した上部電極505-2と下部電極502との間に測定電圧(-極性)を印加しても、電流は流れない。

- [0198] <等価回路>

図14に示したメモリ装置500の等価回路を図15に示す。図15では、ワード線W1は上部電極505-1に対応し、ワード線W2は上部電極505-2に対応し、下部電極502およびコンタクトプラグ504はビット線B1に対応する。また、メモリセルMC511は状態変化領域503 α に対応し、メモリセルMC512は状態変化領域503 β に対応する。

- [0199] <動作>

次に、図14に示したメモリ装置500による動作について、図15に示した等価回路を用いて説明する。図14に示したメモリ装置500による動作には、メモリセルに1ビットデータを記憶する記憶モードと、メモリセルに記憶された1ビットデータをリセットするリセットモードと、メモリセルに記憶された1ビットデータを再生する再生モードとが存在する。

- [0200] [記憶モード]

まず、ビット線B1(下部電極502およびコンタクトプラグ504)およびワード線W2(上部電極505-2)をグラウンドに落とし、ワード線W1(上部電極505-1)に記憶電圧を印加する。記憶電圧は、例えば、電圧値が「+3V」でありパルス幅が「50nsec」であるパルス電圧である。これにより、メモリセルMC511(状態変化領域503 α)の抵抗状態が「高抵抗状態」から「低抵抗状態」に変化する。

- [0201] [リセットモード]

次に、ビット線B1およびワード線W2をグランドに落とし、ワード線W1にリセット電圧を印加する。リセット電圧は、例えば、電圧値が「 $-3V$ 」でありパルス幅が「 $50nsec$ 」であるパルス電圧である。これにより、メモリセルMC511の抵抗状態が「低抵抗状態」から「高抵抗状態」に変化する。

[0202] [再生モード]

次に、ビット線B1およびワード線W2をグランドに落とし、ワード線W1に再生電圧を印加する。再生電圧は、例えば、電圧値が「 $+0.5V$ 」を示す電圧である。これにより、メモリセルMC511の抵抗状態に応じた電流がビット線B1から流出する。一方、メモリセルMC512においてビット線B1からワード線W2へ向かう方向は「逆方向」であるので、ビット線B1からワード線W2(上部電極505-1から下部電極502を介して上部電極505-2)へは電流は流れない。

[0203] <効果>

以上のように、状態変化材料が「ダイオード特性」を有しているので、特別にダイオードを形成することなく電流の向きを規定することができる。さらに状態変化材料が「可変抵抗特性」を有しているので、例えば、1R1D型不揮発性記憶装置として利用することができる。このように利用した場合、従来の1R1D型不揮発性記憶装置の構成と比較すると、ダイオードを形成する必要がないので、製造プロセスを簡単に行うことができる。

[0204] また、ダイオードが形成されていないので、状態変化材料に印加するパルス電圧の極性が制限されない。よって、状態変化材料に「+」、「-」の両方の極性のパルス電圧を印加することができる。このようなパルス印加方法(パルス電圧の極性によって抵抗値を変化させる方法)では、従来のパルス印加方法(パルス電圧のパルス幅を調整することによって可変抵抗材料の抵抗値を変化させる方法)と比較すると、印加するパルス電圧のパルス幅が短い(本実施形態では、 $50nsec$)。つまり、記憶/リセットに要する時間を短縮することができる。

[0205] なお、本実施形態では、上部電極505-1、505-2の仕事関数と下部電極502の仕事関数とが互いに異なる場合について説明したが、実施例2において説明したように、状態変化材料503の結晶性が不均一である場合も同様の効果を得ることができる。

ることは言うまでもない。

[0206] なお、本実施形態では、下部電極502が上部電極505-1 (505-2) に対して「+」になるパルス電圧を印加すると状態変化領域503 α (503 β) の抵抗状態が「低抵抗状態」に変化し、かつ、上部電極505-1 (505-2) から下部電極502へ向かう方向を「順方向」とする状態変化材料について説明したが、実施例1, 実施例2で説明したように、下部電極502が上部電極505-1 (505-2) に対して「-」になるパルス電圧を印加すると状態変化領域503 α (503 β) の抵抗状態が「低抵抗状態」に変化し、かつ、上部電極505-1 (505-2) から下部電極502へ向かう方向を「逆方向」とする状態変化材料も存在する(例えば、実施例1の「試料(A')」等)。状態変化材料503がこのような特性を示す場合、図14に示したメモリ装置500の等価回路は図16のようになる。また、この場合、記憶モードでは電圧値が「-3V」でありパルス幅が「50nsec」である記憶電圧をワード線W1に印加し、リセットモードでは電圧値が「+3V」でありパルス幅が「50nsec」であるリセット電圧をワード線W1に印加し、再生モードでは電圧値が「-0.5V」を示す再生電圧をワード線W1に印加すれば、同様の効果を得ることができる。

[0207] また、本実施形態では、上部電極が2つ形成されている例について説明したが、上部電極が3つ以上形成されている場合も同様の効果を得ることが可能である。

(第6の実施形態)

<構造>

この発明の第6の実施形態によるメモリ装置の構造を図17に示す。この装置は、ビット線B1, B2の上に状態変化体60-11, 60-12, 60-21, 60-22が形成され、状態変化体60-11~60-22の上にワード線W1, W2が形成されている。ビット線B1, B2は、互いに平行に延びている。ワード線W1, W2は、互いに平行に延びている。ビット線B1, B2とワード線W1, W2とは互いに交差しており、その交差する位置(クロスポイント)の各々に状態変化体が配置されている。状態変化体60-11~60-22の各々は、図1に示した状態変化材料2である。ワード線W1, W2の各々は、図1の上部電極1に相当する。ビット線B1, B2の各々は図1の下部電極3に相当する。この装置では、状態変化体60-11~60-22の各々の抵抗変化を利用して、1ビット

または多ビットのデータを記憶、再生する。

- [0208] なお、ここでは、ワード線W1, W2としてAg(仕事関数:4. 3eV)を用い、ビット線B1, B2としてPt(仕事関数:5. 7eV)を用い、状態変化体60-11~60-22としてCuFe₂O₄を(膜厚0. 1 μm)用いている。

- [0209] <動作>

次に、図17に示したメモリ装置による動作について、図18に示した等価回路を用いて説明する。なお、ここでは、状態変化体60-11に対して記憶、リセット、再生を実行する例について説明する。また、状態変化体60-11~60-22の抵抗状態は「高抵抗状態」に設定されているものとする。なお、第2の実施の形態と同様、記憶電圧V1_{WRITE}は、例えば、電圧値が「+1. 5V」でありパルス幅が「50nsec」であるパルス電圧であり、記憶電圧V2_{WRITE}は、例えば、電圧値が「-1. 5V」でありパルス幅が「50nsec」であるパルス電圧とする。また、再生電圧V1_{READ}, V2_{READ}は、例えば、電圧値が「+0. 5V」を示す電圧とする。また、リセット電圧V1_{RESET}は、例えば、電圧値が「-1. 5V」でありパルス幅が「50nsec」であるパルス電圧であり、リセット電圧V2_{RESET}は、例えば、電圧値が「+1. 5V」でありパルス幅が「50nsec」であるパルス電圧とする。

- [0210] [記憶]

まず、処理対象である状態変化体60-11に接続されたワード線W1に記憶電圧V1_{WRITE}が印加され、処理対象である状態変化体60-11に接続されたビット線B1に記憶電圧V2_{WRITE}が印加される。また、状態変化体60-11に接続されていないワード線W2およびビット線B2はグラウンドに落とされる。

- [0211] このとき、状態変化体60-11では、電圧値が「+3V」でありパルス幅が「50nsec」であるパルス電圧(パルス電圧(+極性))が印加されたことになるので、状態変化体60-11の抵抗状態は低抵抗状態になる。

- [0212] また、状態変化体60-12, 60-21, 60-22の各々では、抵抗変化を生じさせるのに十分なパルス電圧(ここでは、「+3V」)が印加されないので、抵抗状態は変化しない。

- [0213] このように、状態変化体60-11の抵抗状態だけが「低抵抗状態」に変化するので、状態変化体60-11に「1」を示す1ビットデータが書き込まれたことになる。

[0214] [リセット]

次に、処理対象である状態変化体60-11に接続されたワード線W1にリセット電圧 $V1_{\text{RESET}}$ が印加され、処理対象である状態変化体60-11に接続されたビット線B1に記憶電圧 $V2_{\text{RESET}}$ が印加される。また、状態変化体60-11に接続されていないワード線W2およびビット線B2はグランドに落とされる。

[0215] このとき、状態変化体60-11では、電圧値が「-3V」でありパルス幅が「50nsec」であるパルス電圧（パルス電圧（-極性））が印加されたことになるので、状態変化体60-11の抵抗状態は高抵抗状態になる。

[0216] また、状態変化体60-12, 60-21, 60-22の各々では、抵抗変化を生じさせるのに十分なパルス電圧が印加されないので、抵抗状態は変化しない。

[0217] このように、状態変化体60-11の抵抗状態だけが「高抵抗状態」に変化するので、状態変化体60-11に記憶された1ビットデータをリセットしたことになる。

[0218] [再生モード]

次に、処理対象である状態変化体60-11に接続されたワード線W1に再生電圧 $V1_{\text{READ}}$ が印加され、処理対象である状態変化体60-11が接続されていないビット線B2に再生電圧 $V2_{\text{READ}}$ が印加される。また、状態変化体60-11が接続されていないワード線W2および状態変化体60-11に接続されていないビット線B2をグランドに落とす。

[0219] このとき、状態変化体60-11では、測定電圧（+極性）が印加されたことになるので、状態変化体60-11の抵抗値に応じた電流値を有する電流が状態変化体60-11に流れ、その電流がビット線B1に流出する。

[0220] 状態変化体60-12の両端の電位差は「0V」であるので、状態変化体60-12には電流が流れない。また、状態変化体60-12においてビット線B1からワード線W2へ向かう方向は「逆方向」であるので、状態変化体60-11を経由してビット線B1を流れる電流がワード線W2に流れ込むことはない。

[0221] 状態変化体60-21の両端の電位差は「0V」になるが、ビット線B2からワード線W2へ向かう方向は「逆方向」であるので、状態変化体60-21には電流が流れない。

[0222] 状態変化体60-22では、測定電圧（-極性）が印加されたことになるので、状態

変化体60-22には電流が流れない。

[0223] このように、状態変化体60-11にのみ電流が流れ、その電流がビット線B1に流出するので、状態変化体60-11から1ビットデータを読み出したことになる。

[0224] <効果>

以上のように、状態変化体がダイオード特性を有しているので、処理対象のセルに隣接するセルの抵抗値が低くてもその隣接セルに余計な電流が流れない。これにより、所望のセルの抵抗値を判別することができる。

[0225] また、本実施形態のメモリ装置は、単層の2次元構造であるが、2次元構造だけに特定するものではなく、3次元構造にすることも可能である。つまり、ビット線B1, B2からなる層、状態変化体60-11~60-22からなる層、ワード線W1, W2からなる層によって1つのメモリ装置が形成されているが、ワード線W1, W2からなる層の上に絶縁層を形成すれば、その絶縁層の上に新たなメモリ装置を形成することができる。また、絶縁層を形成しない場合でも、再生電圧、記憶電圧、リセット電圧の印加方法を工夫することによって、ワード線W1, W2からなる層の上に新たなメモリ装置を形成することができる。この場合、特表2002-530850号公報に開示されているような3次元構造のメモリ装置と比較すると、本実施形態のメモリ装置は構造が容易であるので製造プロセスが容易である。これにより、メモリ装置の大容量化を実現することができる。

[0226] なお、本実施形態では、ワード線W1, W2とビット線B1, B2とが交差するポイントに状態変化体が個別に形成されているが、図19のように、各々のクロスポイントに上部電極1、状態変化材料2、下部電極3からなるメモリセルが形成されている場合も同様の効果を得ることができる。この場合、例えば、ワード線W1, W2およびビット線B1, B2としてCuが用いられ、上部電極1としてAgが用いられ、状態変化材料2として CuFe_2O_4 、下部電極3としてPtが用いられる。

[0227] また、図20のように、ワード線W1, W2とビット線B1, B2との間に状態変化材料2がベタ膜で形成されていても良い。この場合、各々のクロスポイントに位置する領域(状態変化領域)60 α -11, 60 α -12, 60 α -21, 60 α -22がメモリセルとして動作する。

[0228] さらに、本実施形態のメモリ装置は、当然、図11, 図12, 図13に示したメモリアレイ

として使用することが可能である。

[0229] 以上の説明において、この電気素子の抵抗状態を変化させるためには、印加するパルス電圧が所定の条件を満たせば良い。よって、記憶時／リセット時にその条件を満たすパルス電圧が電気素子に印加されるようにし、再生時にはその条件を満たさない電圧が電気素子に印加されるようにすれば、同様の効果を得ることができる。つまり、電圧値が「+3V」でありパルス幅が「50nsec」であるパルス電圧を印加すると電気素子の抵抗状態が「高抵抗状態」から「低抵抗状態」に変化する例について説明したが、このパルス電圧の電圧値およびパルス幅が他の数値であっても同様の効果を得ることは可能である。

[0230] また、実施例の説明において、抵抗変化を規格化した値(R/R_0)は、必ずしも図中の値と同一の値になるとは限らない。

産業上の利用可能性

[0231] 本発明にかかるメモリ装置は、低電力、高速書き込み・消去、大容量化が可能である次世代の不揮発性メモリ等として有用である。

請求の範囲

- [1] 互いに平行に延びる複数の第1の電極線を含む第1電極層と、
前記第1電極層の上に形成され、かつ、ダイオード特性と可変抵抗特性とを示す状態変化材料からなる複数の状態変化体である複数の状態変化部を含む状態変化層と、
前記状態変化層の上に形成され、かつ、互いに平行に延びる複数の第2の電極線を含む第2電極層とを備え、
前記複数の第1の電極線と前記複数の第2の電極線とは、積層方向から見たときに前記状態変化層を挟んで互いに交差しており、
前記複数の状態変化体の各々は、前記積層方向から見たときに前記複数の第1の電極線のうちいずれか1つと前記複数の第2の電極線のうちいずれか1つとが交差する位置において当該第1の電極線と当該第2の電極線との間に形成され、且つ、当該第1の電極線および当該第2の電極線のうちいずれか一方から他方へ向かう方向を順方向とし他方を逆方向とするダイオード特性を示すとともに、当該第1の電極線と当該第2の電極線との間に印加される所定のパルス電圧に応じて当該状態変化体の順方向における抵抗値が増加／減少する可変抵抗特性を示すことを特徴とするメモリ装置。
- [2] 請求項1において、
前記複数の状態変化体に対応する複数の第1の電極および複数の第2の電極とをさらに備え、
前記複数の第1の電極の各々は、当該第1の電極に対応する状態変化体と当該状態変化体に対応する第1の電極線との間に介在し、
前記複数の第2の電極の各々は、当該第2の電極に対応する状態変化体と当該状態変化体に対応する第2の電極線との間に介在し、
前記複数の状態変化体の各々は、対応する第1の電極および第2の電極のうちいずれか一方から他方へ向かう方向を順方向とし他方を逆方向とするダイオード特性を示すとともに、当該第1の電極と当該第2の電極との間に印加される所定のパルス電圧に応じて当該状態変化体の順方向における抵抗値が増加／減少する可変抵

抗特性を示す

ことを特徴とするメモリ装置。

- [3] 互いに平行に延びる複数の第1の電極線を含む第1電極層と、
前記第1電極層の上に形成され、かつ、ダイオード特性と可変抵抗特性とを示す状態変化材料からなる状態変化層と、
前記状態変化層の上に形成され、かつ、互いに平行に延びる複数の第2の電極線を含む第2電極層とを備え、
前記複数の第1の電極線と前記複数の第2の電極線とは、積層方向から見たときに前記状態変化層を挟んで互いに交差しており、
前記複数の状態変化層のうち、前記複数の第1の電極線のうちいずれか1つと前記複数の第2の電極線のうちいずれか1つとの間に挟まれた可変領域である状態変化部は、当該第1の電極線および当該第2の電極線のうちいずれか一方から他方へ向かう方向を順方向とし他方を逆方向とするダイオード特性を示すとともに、当該第1の電極線と当該第2の電極線との間に印加される所定のパルス電圧に応じて当該領域の順方向における抵抗値が増加／減少する可変抵抗特性を示すことを特徴とするメモリ装置。
- [4] 請求項1または請求項3において、
前記複数の第1の電極線の各々の仕事関数は、前記複数の第2の電極線の各々の仕事関数と異なることを特徴とするメモリ装置。
- [5] 請求項2において、
前記複数の第1の電極の各々の仕事関数は、前記複数の第2の電極の各々の仕事関数と異なることを特徴とするメモリ装置。
- [6] 請求項1または請求項2において、
前記複数の状態変化体の各々における状態変化材料の結晶性は、不均一であることを特徴とするメモリ装置。
- [7] 請求項3において、

前記状態変化層における状態変化材料の結晶性は、不均一である
ことを特徴とするメモリ装置。

- [8] 請求項1, 2, 3のうちいずれか1つにおいて、
前記複数の第1の電極線に所定の電圧を印加する第1の電極線駆動部と、
前記複数の第2の電極線に所定の電圧を印加する第2の電極線駆動部とをさらに
備える

ことを特徴とするメモリ装置。

- [9] 請求項8において、
前記複数の状態変化部のうちいずれか1つに情報を記憶するときには、
前記第1の電極線駆動部は、前記複数の第1の電極線のうち前記情報を記憶しよう
とする状態変化部に対応する第1の電極線に第1のパルス電圧を印加し、
前記第2の電極線駆動部は、前記複数の第2の電極線のうち前記情報を記憶しよう
とする状態変化部に対応する第2の電極線に第2のパルス電圧を印加する
ことを特徴とするメモリ装置。

- [10] 請求項8において、
前記複数の状態変化部のうちいずれか1つに記憶された情報を再生するときには、
前記第1の電極線駆動部は、前記複数の第1の電極線のうち前記情報を読み出そ
うとする状態変化部に対応する第1の電極線に再生電圧を印加し、
前記第2の電極線駆動部は、前記複数の第2の電極線のうち前記情報を読み出そ
うとする状態変化部に対応しない第2の電極線に前記再生電圧を印加する
ことを特徴とするメモリ装置。

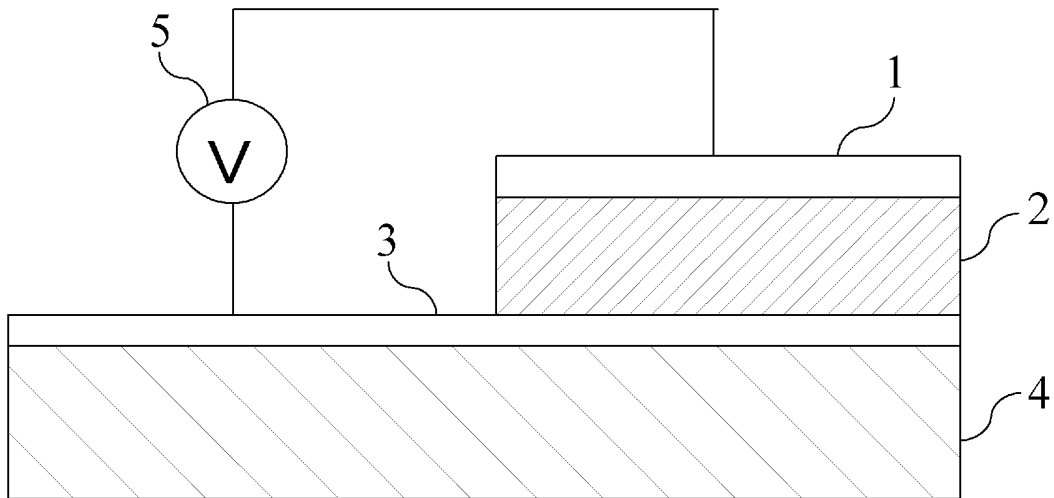
- [11] 請求項8に記載のメモリ装置と、
所定の演算を行う論理回路とを備え、
前記論理回路は、記憶モードおよび処理モードを有し、前記記憶モードのときには
ビットデータを前記メモリ装置に記憶し、前記処理モードのときには前記メモリ装置に
記憶されたビットデータを読み出す
ことを特徴とする半導体集積回路

- [12] 請求項8に記載のメモリ装置と、

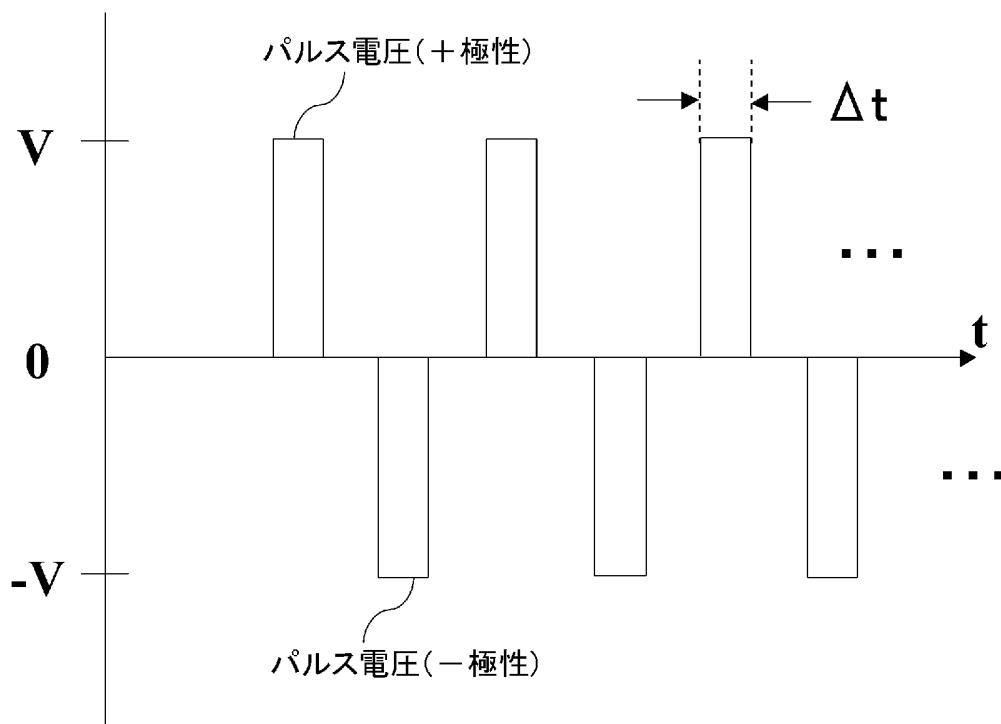
プログラム実行モードとプログラム書換モードとを有するプロセッサとを備え、
前記プロセッサは、前記プログラム実行モードでは前記メモリ装置に記憶されたプログラムに従って動作し、前記プログラム書換モードでは前記メモリ装置に記憶されたプログラムを外部から入力した別の新たなプログラムに書き換える
ことを特徴とする半導体集積回路。

- [13] 請求項1, 2, 3のうちいずれか1つにおいて、
前記状態変化材料は、スピネル構造を有する金属酸化物である
ことを特徴とするメモリ装置。
- [14] 請求項1, 2, 3のうちいずれか1つにおいて、
前記状態変化材料は、金属が添加された酸化物強誘電体である
ことを特徴とするメモリ装置。
- [15] 請求項14において、
前記酸化物強誘電体は、イルメナイト構造を有する
ことを特徴とするメモリ装置。
- [16] 請求項1, 2, 3のうちいずれか1つにおいて、
前記状態変化材料は、ペロブスカイト構造を有する金属酸化物である
ことを特徴とするメモリ装置。
- [17] 請求項16において、
前記金属酸化物は、CMR特性あるいは高温超伝導特性のうち少なくとも1つの特性を有する材料である
ことを特徴とするメモリ装置。
- [18] 請求項1, 2, 3のうちいずれか1つにおいて、
前記状態変化材料は、アルカリ金属およびアルカリ土類金属を含まない
ことを特徴とするメモリ装置。

[図1]

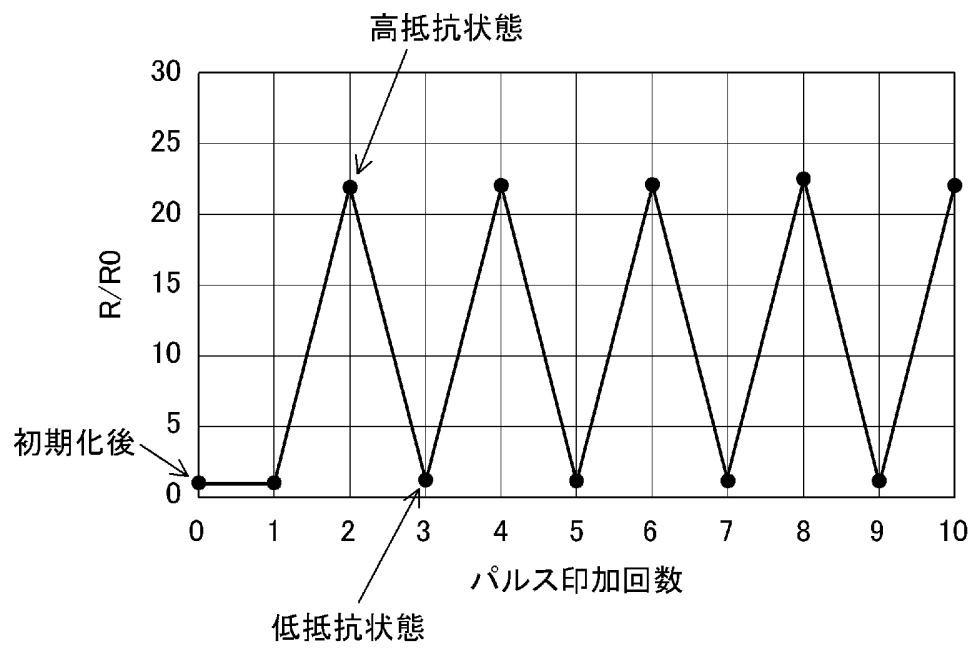


[図2]

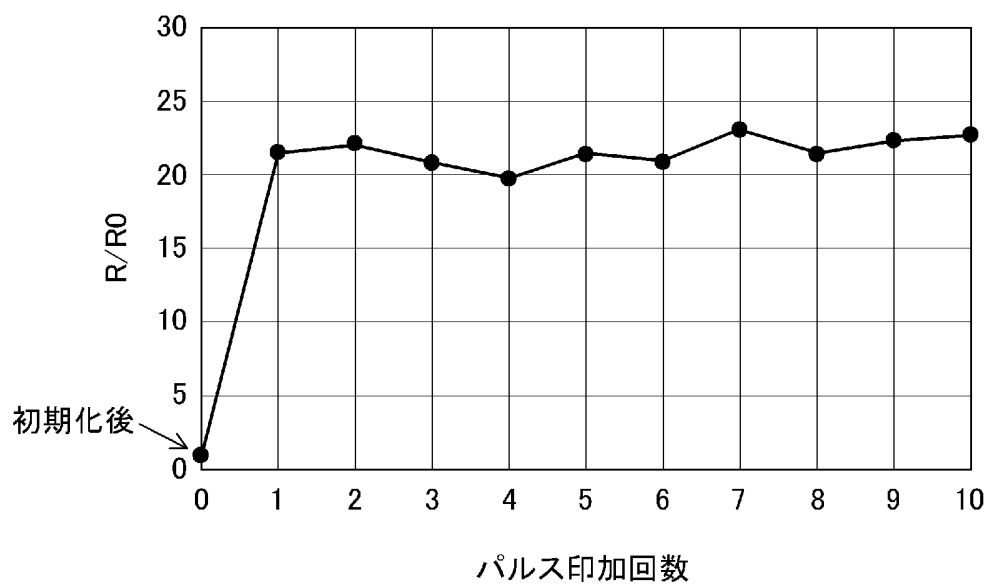


[図3]

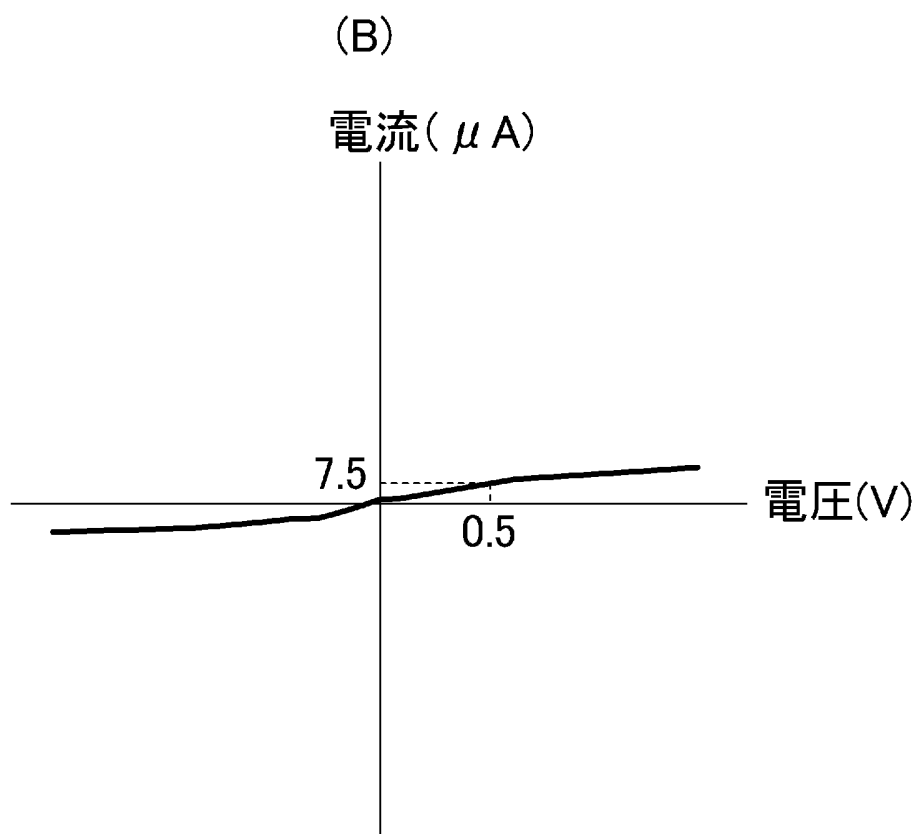
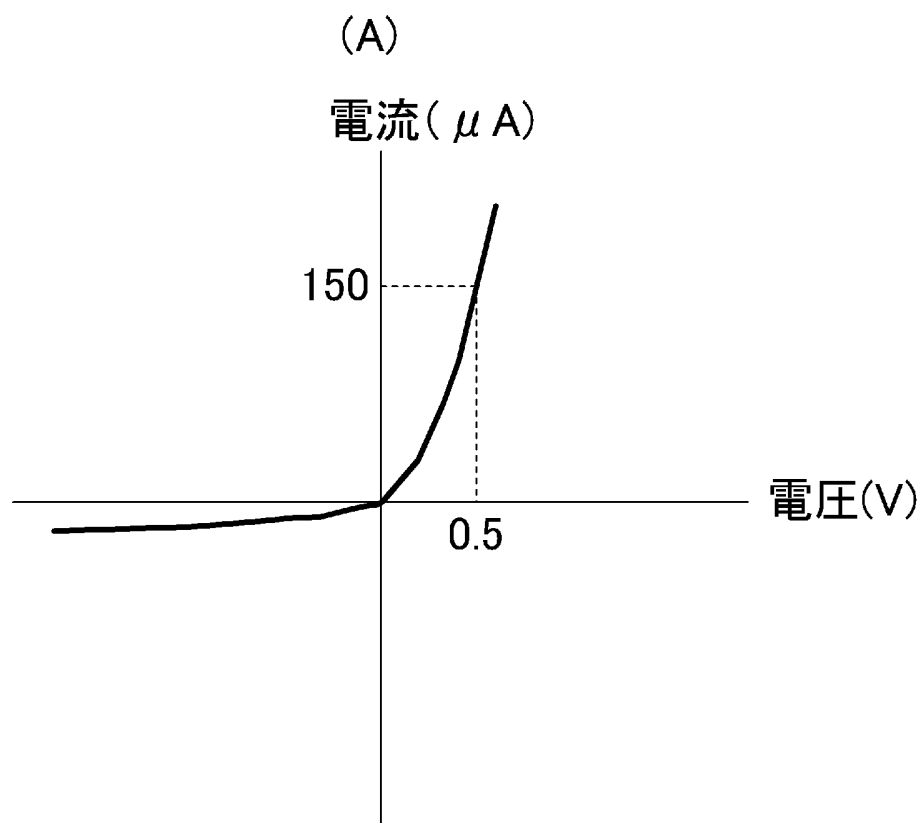
(A)



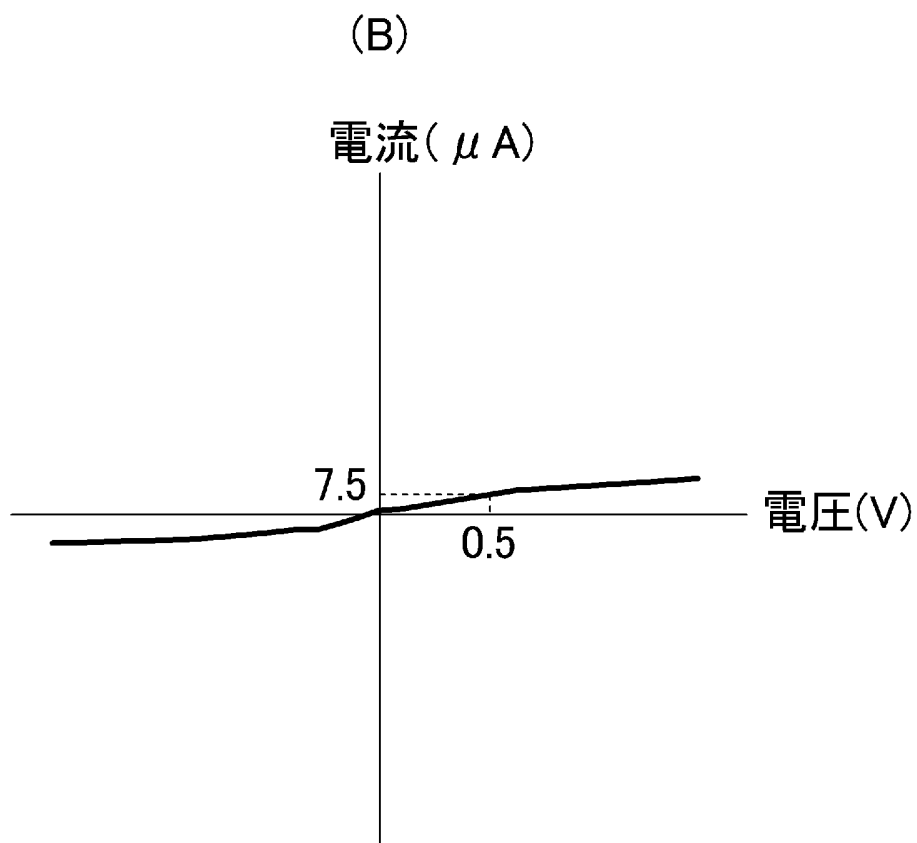
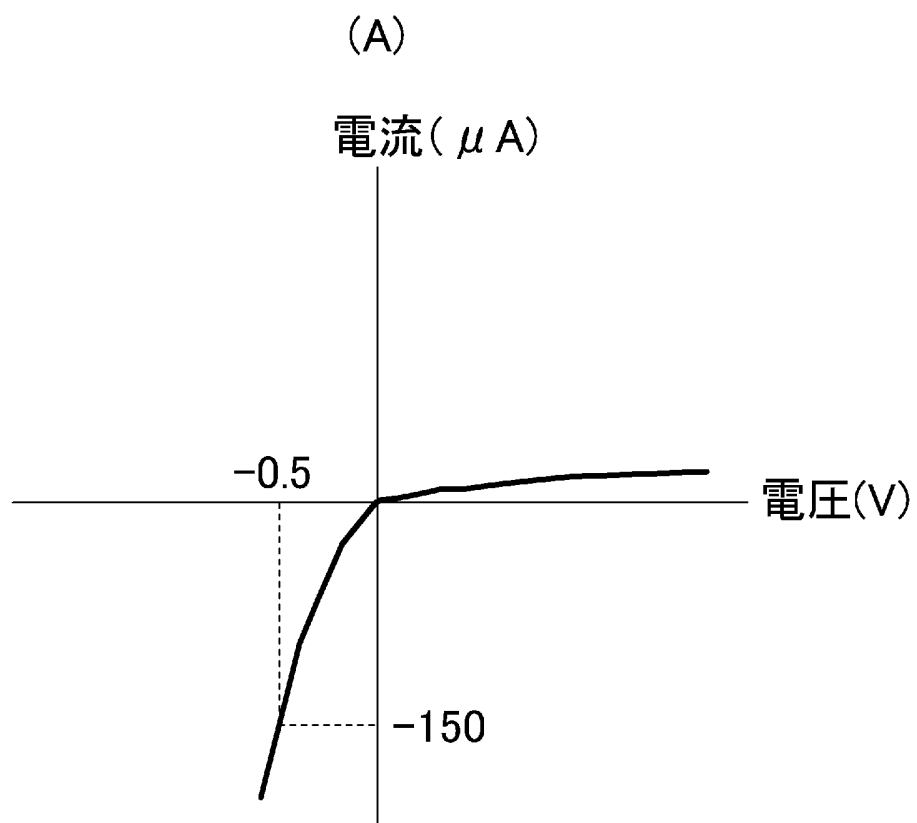
(B)



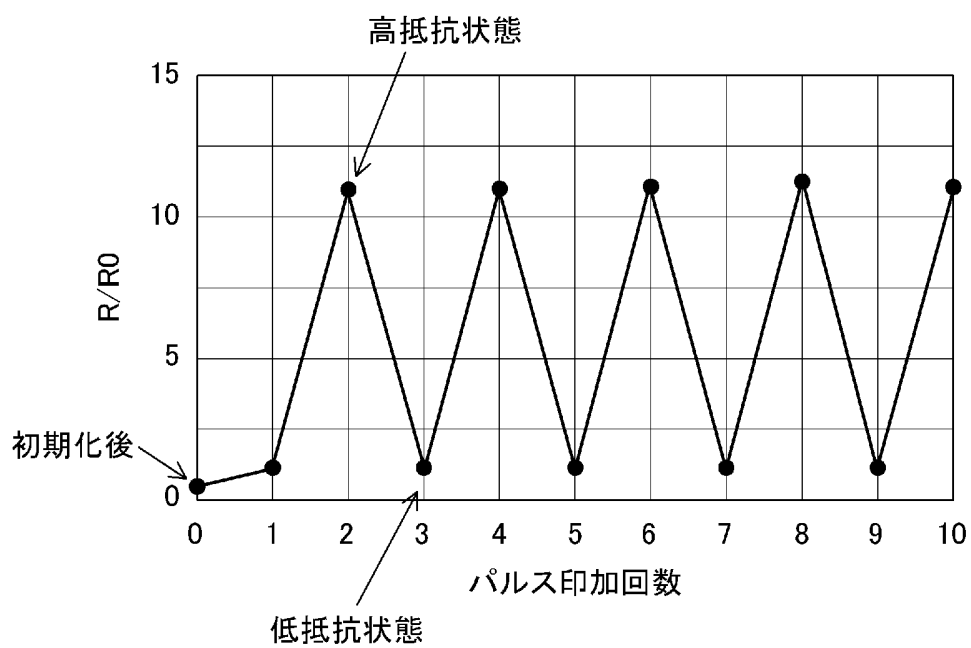
[図4]



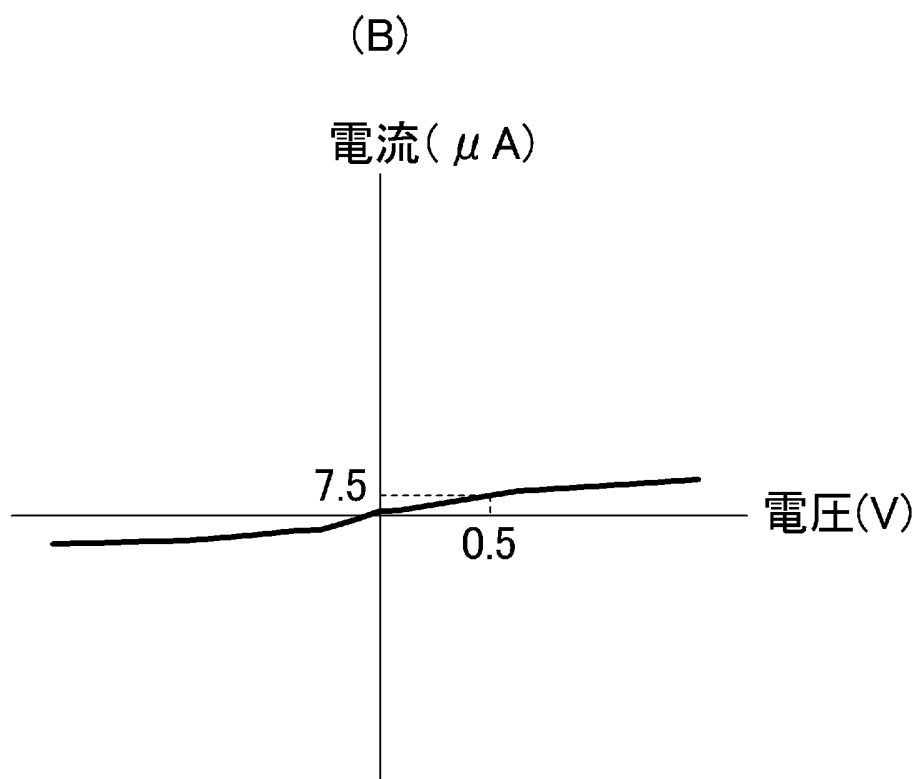
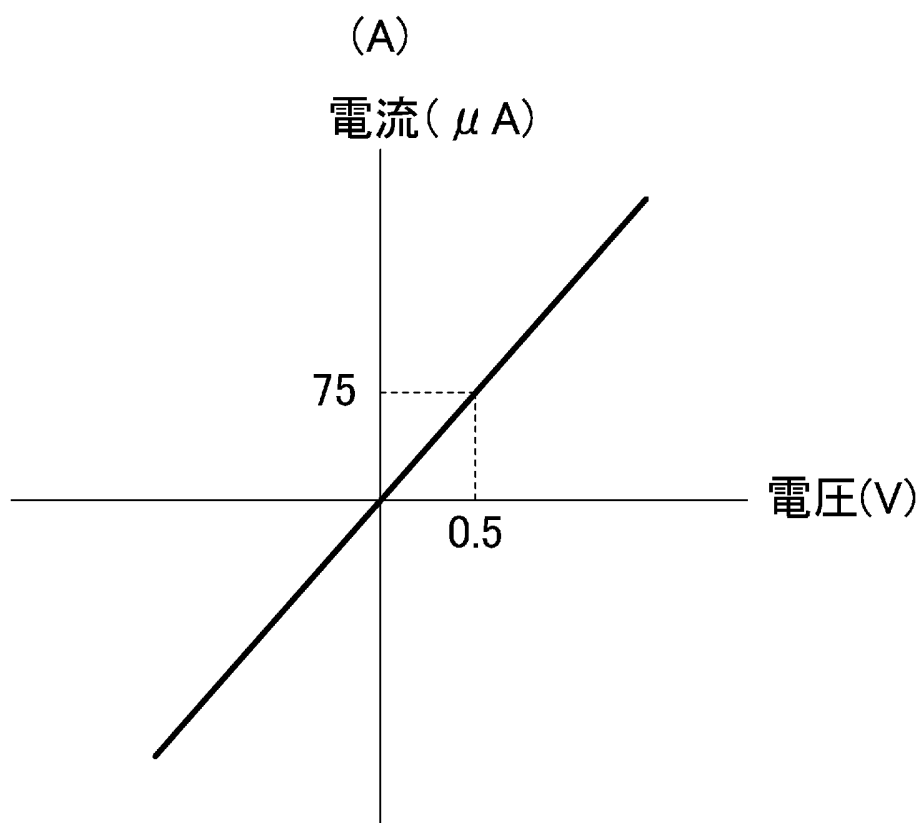
[図5]



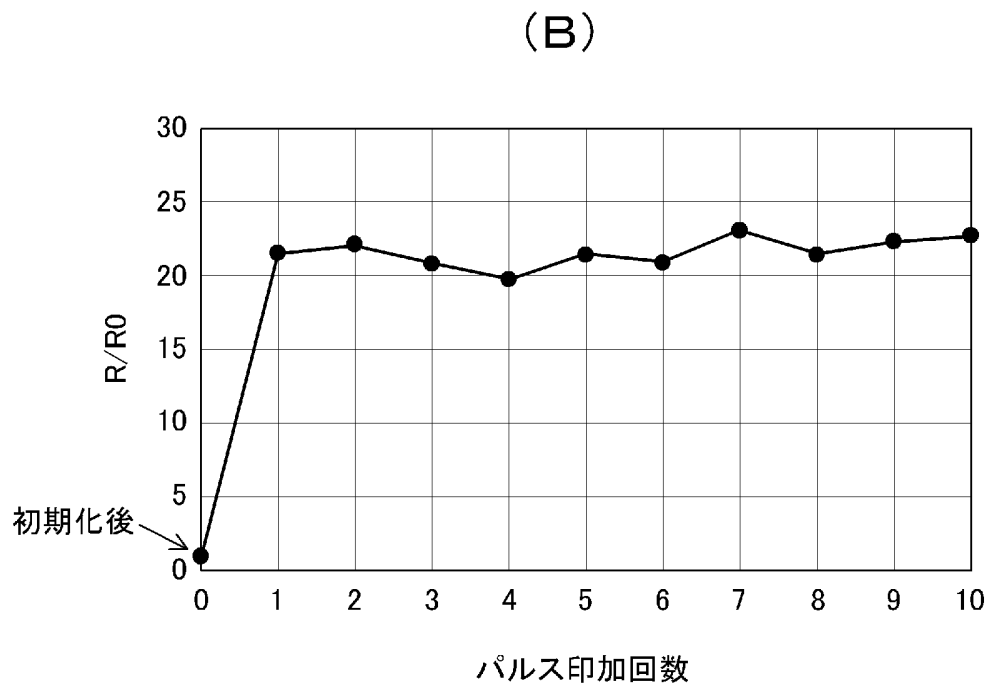
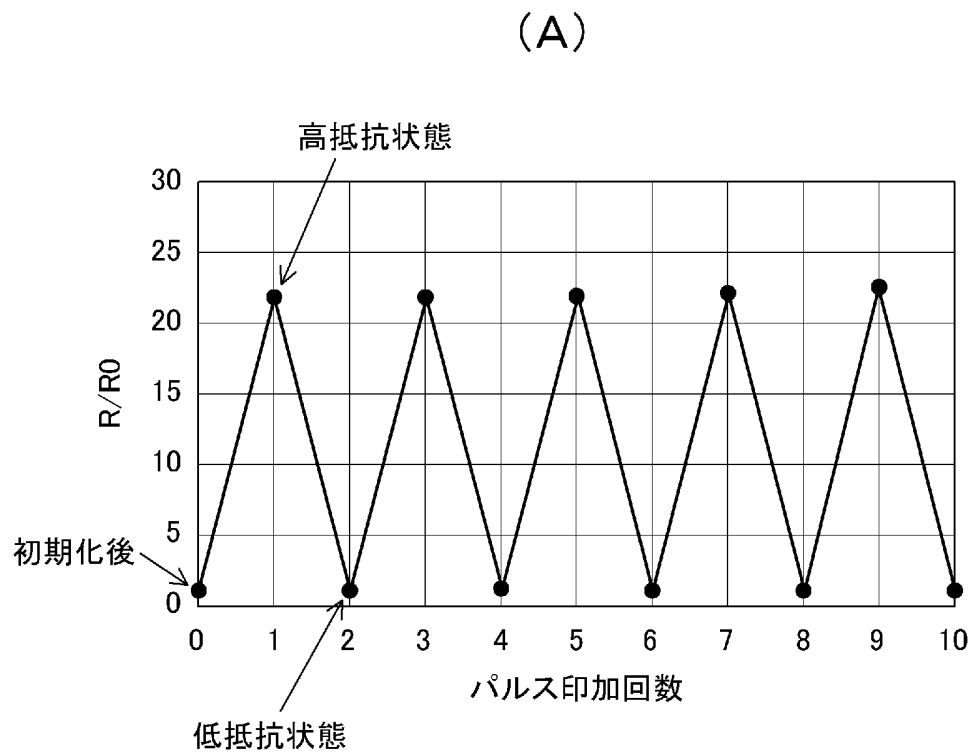
[図6]



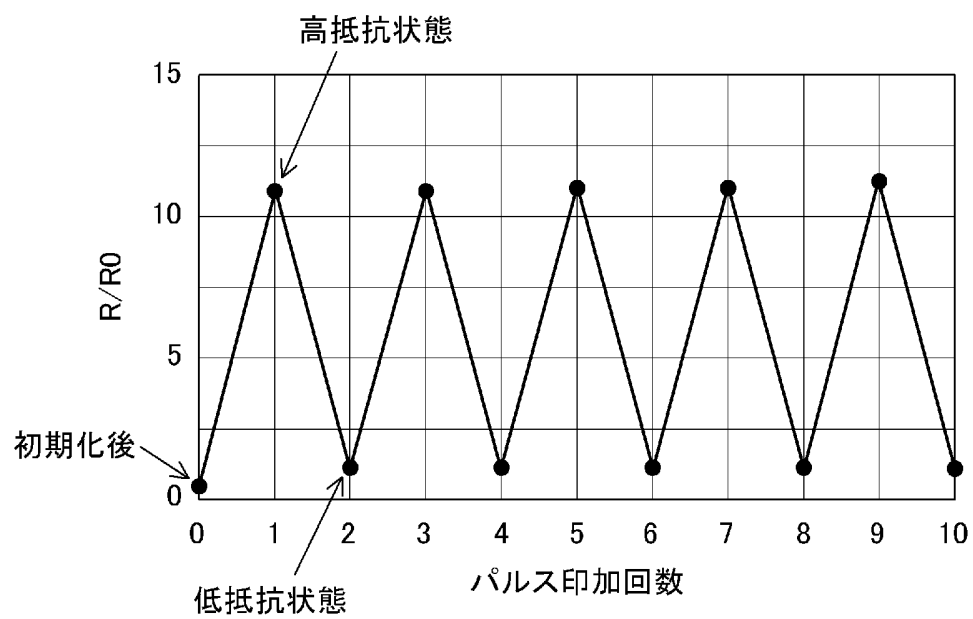
[図7]



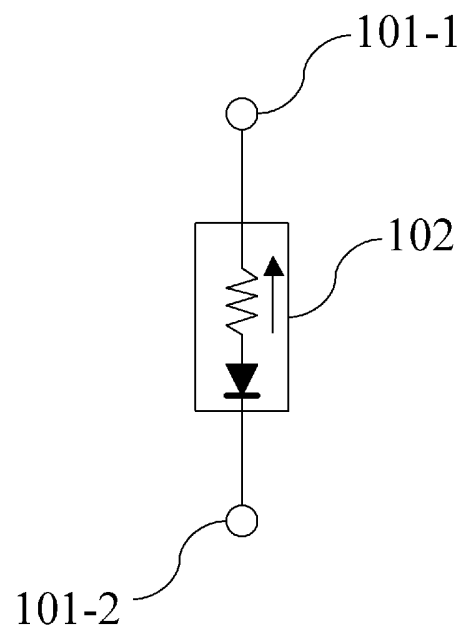
[図8]



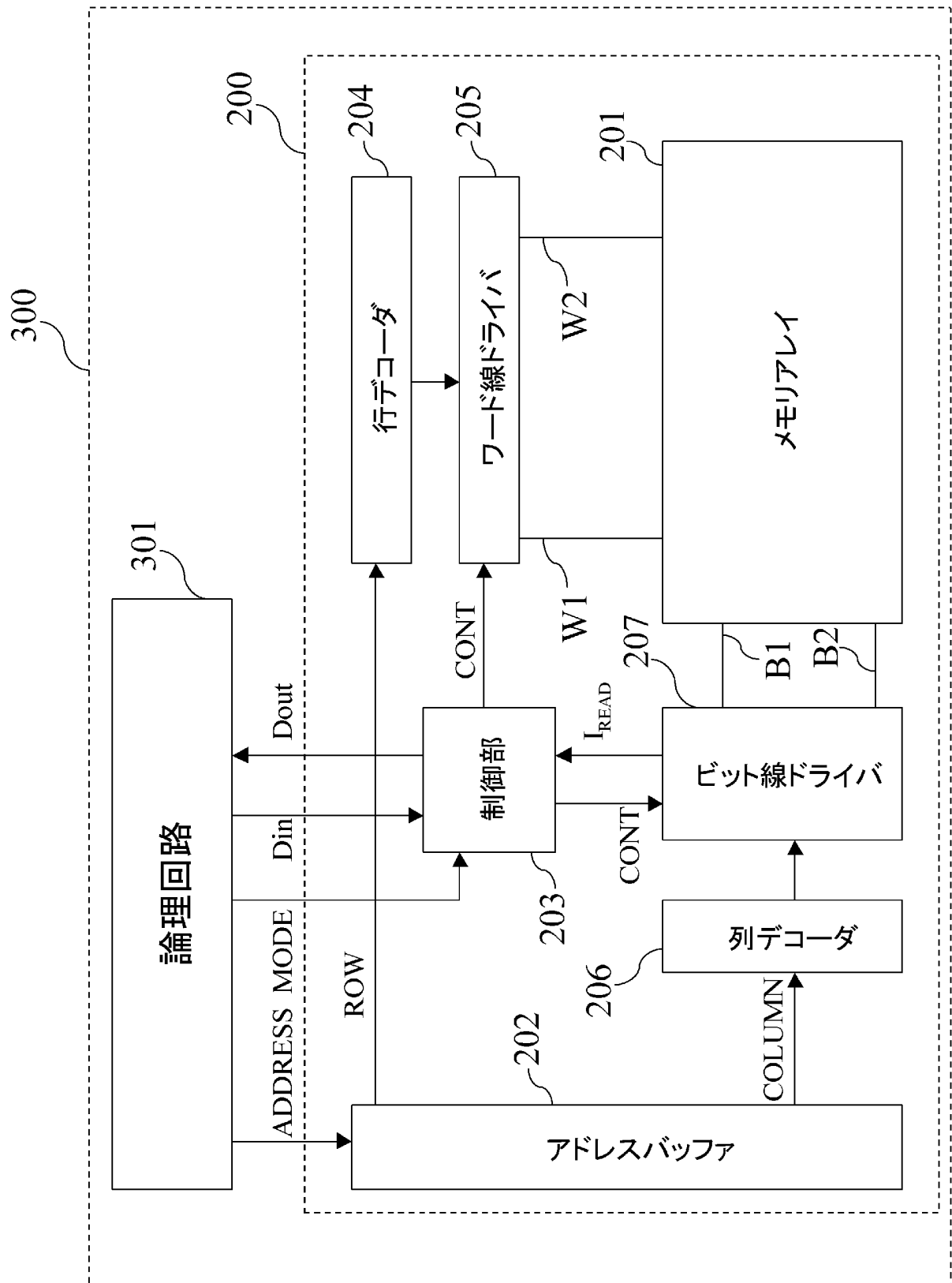
[図9]



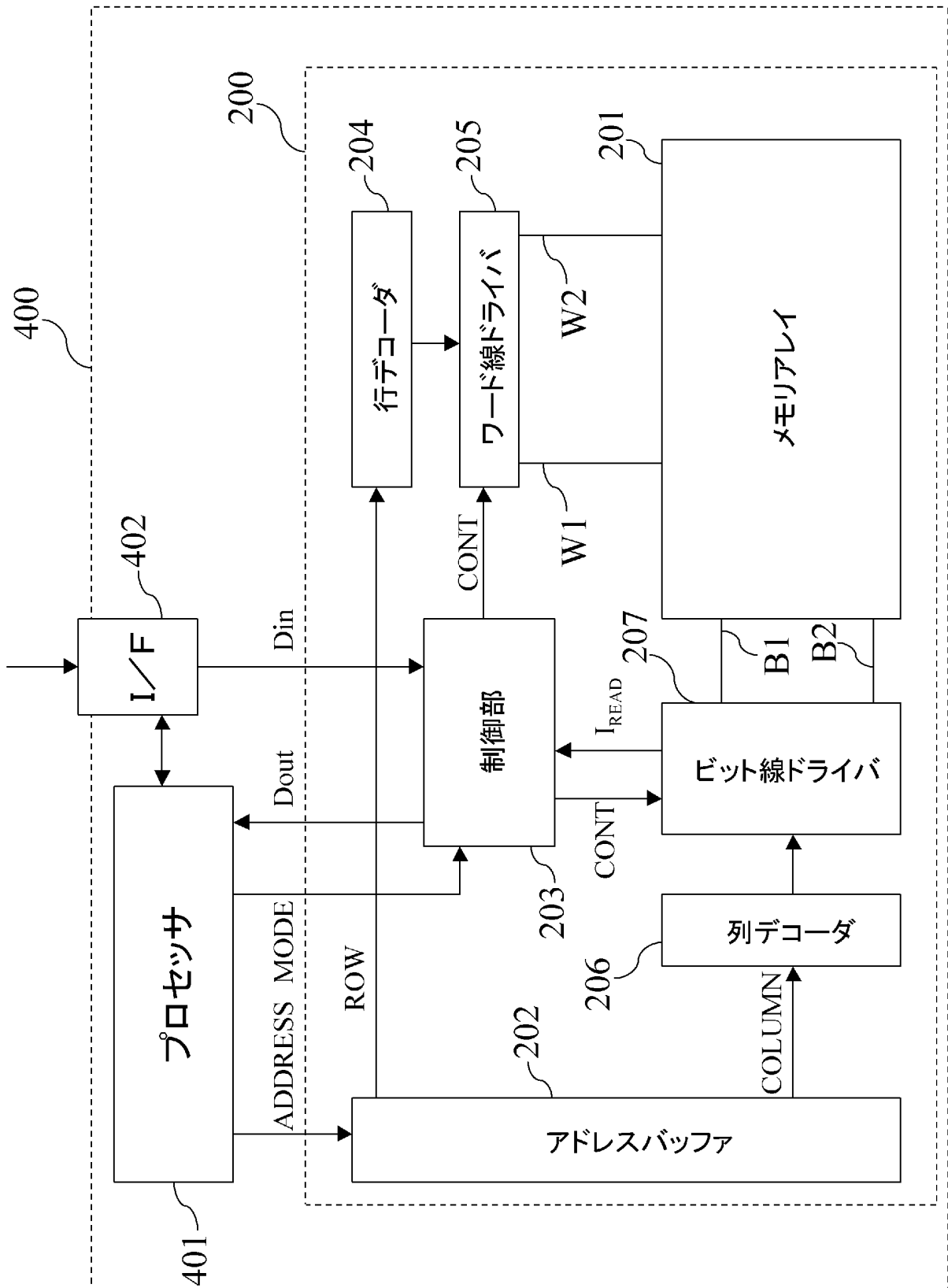
[図10]



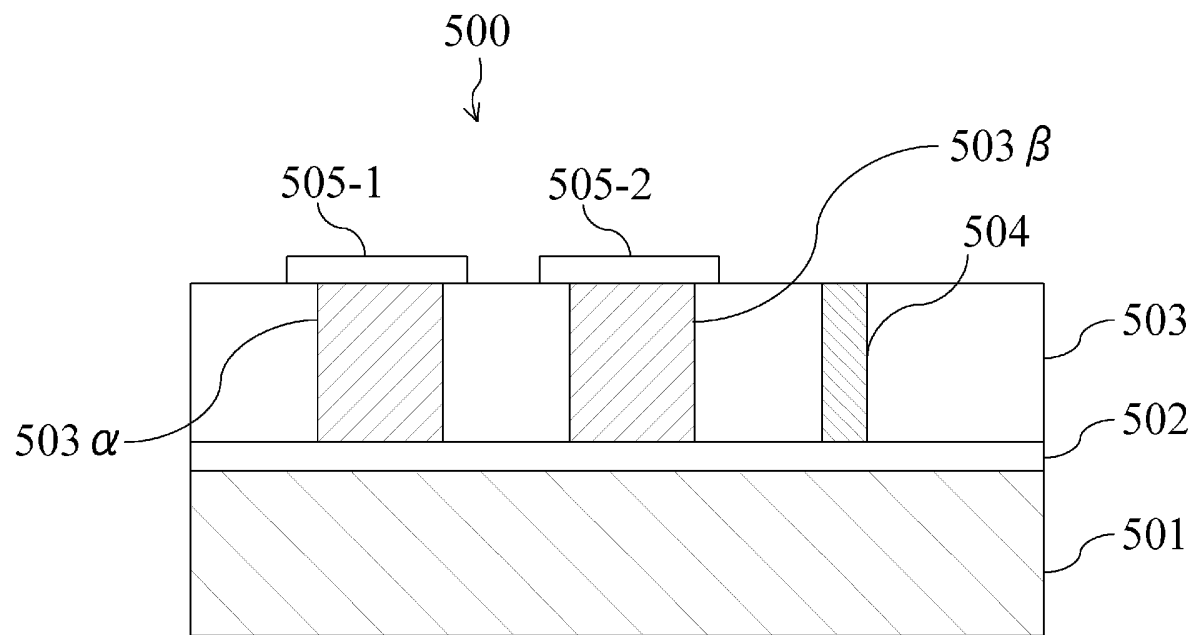
[図12]



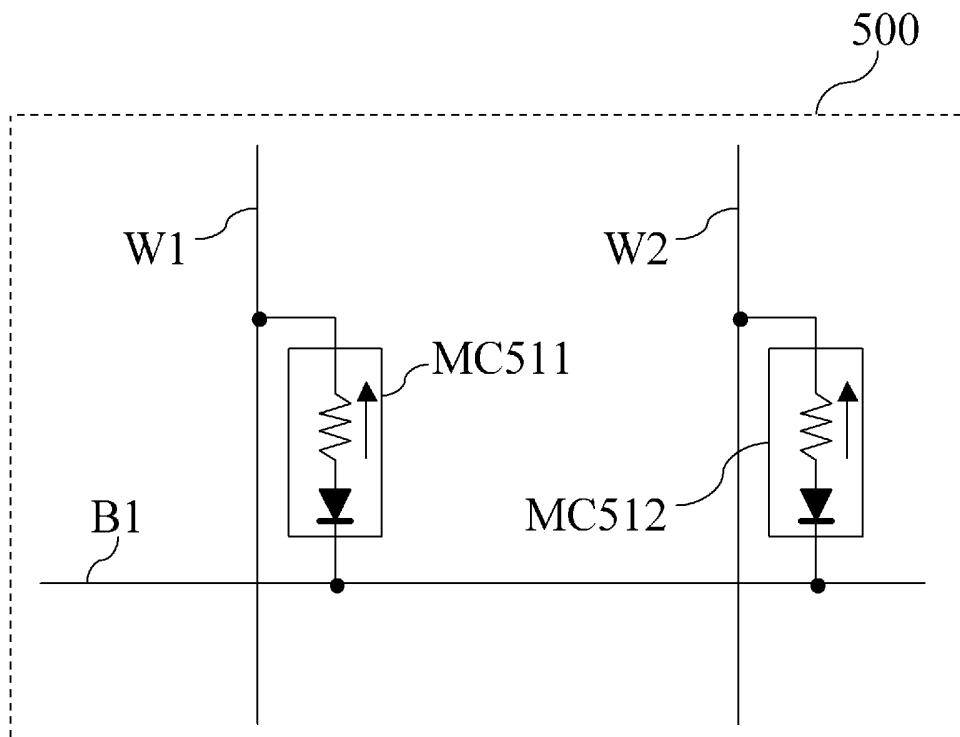
[図13]



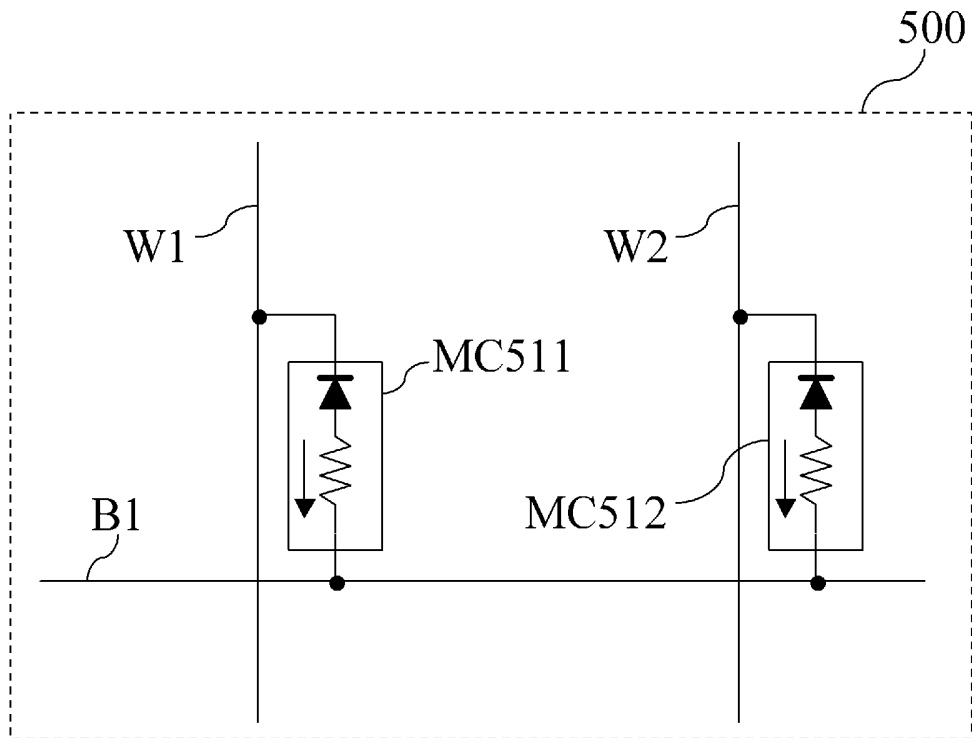
[図14]



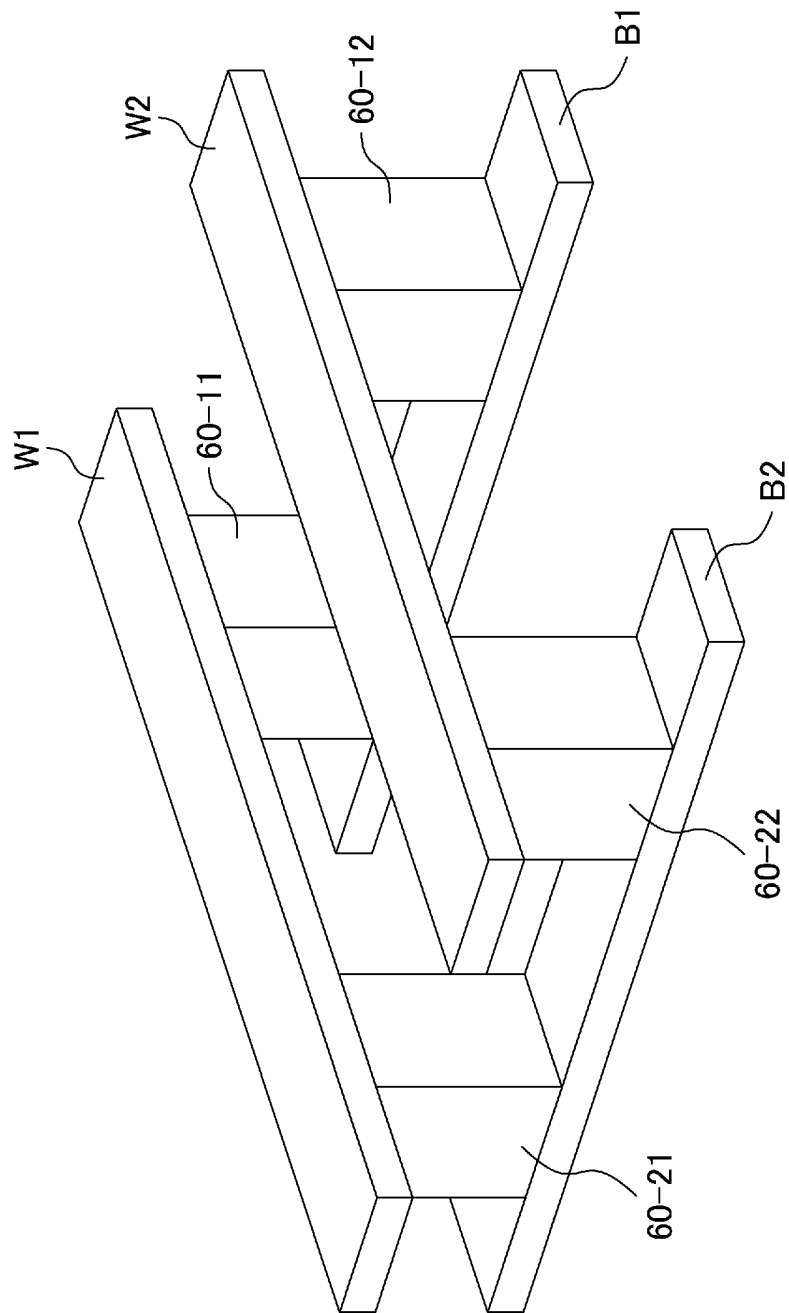
[図15]



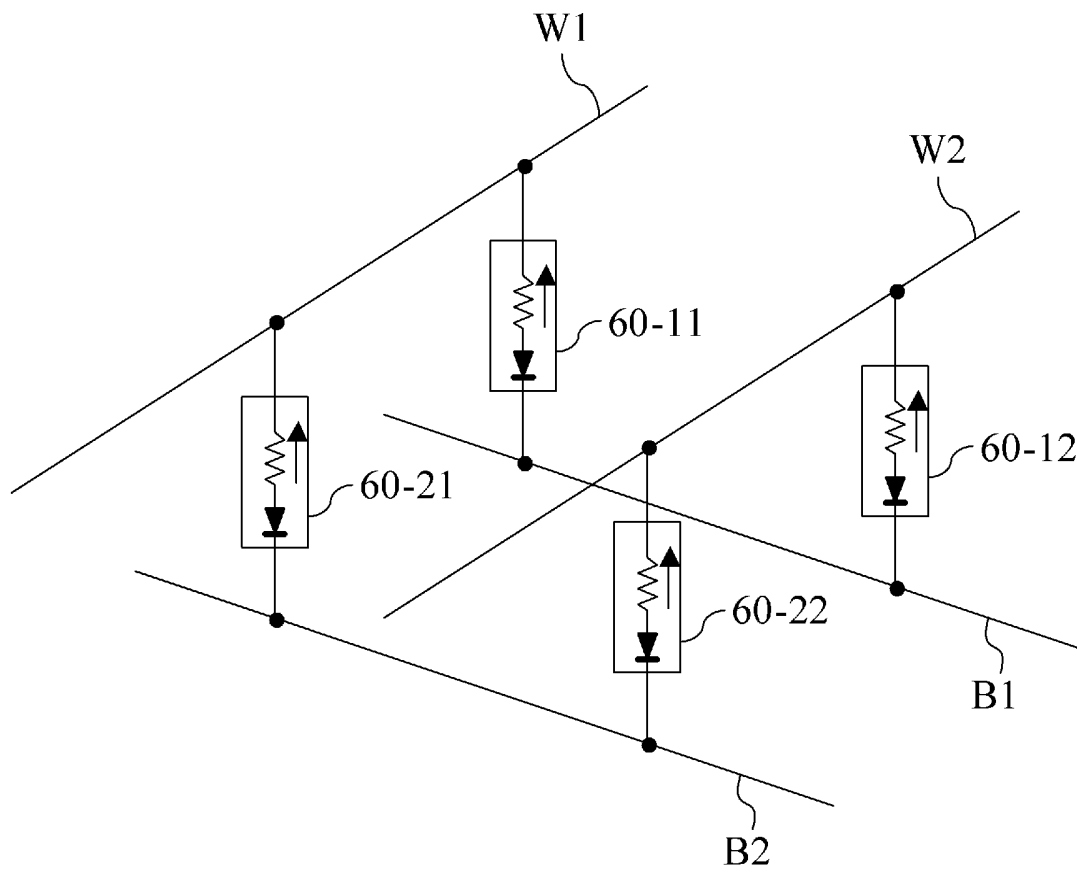
[図16]



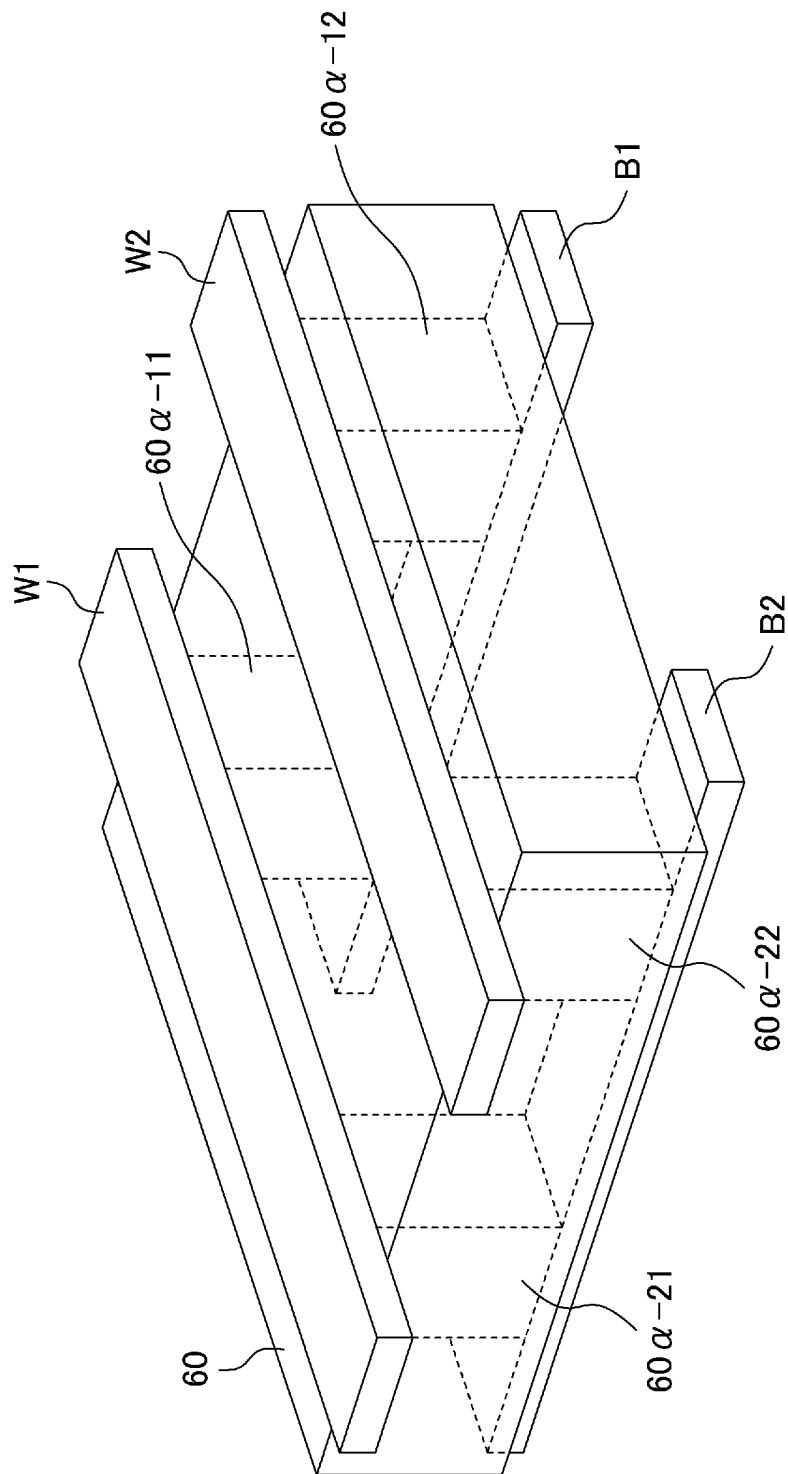
[図17]



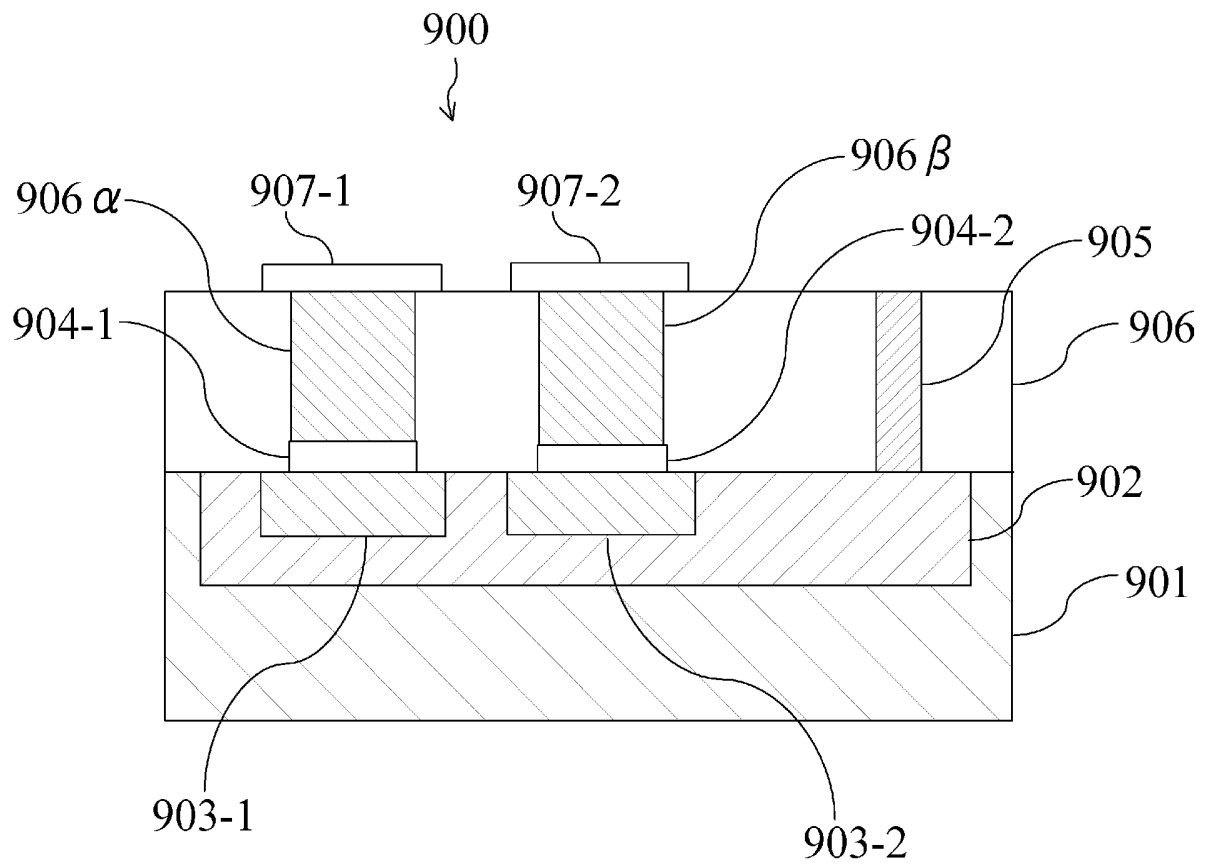
[図18]



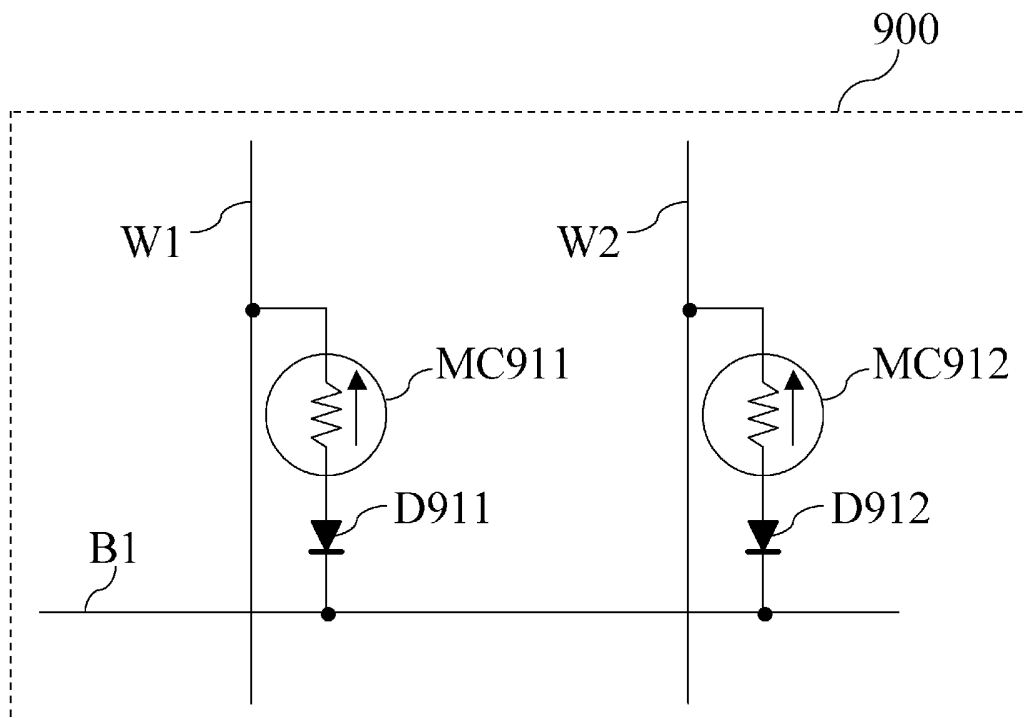
[図20]



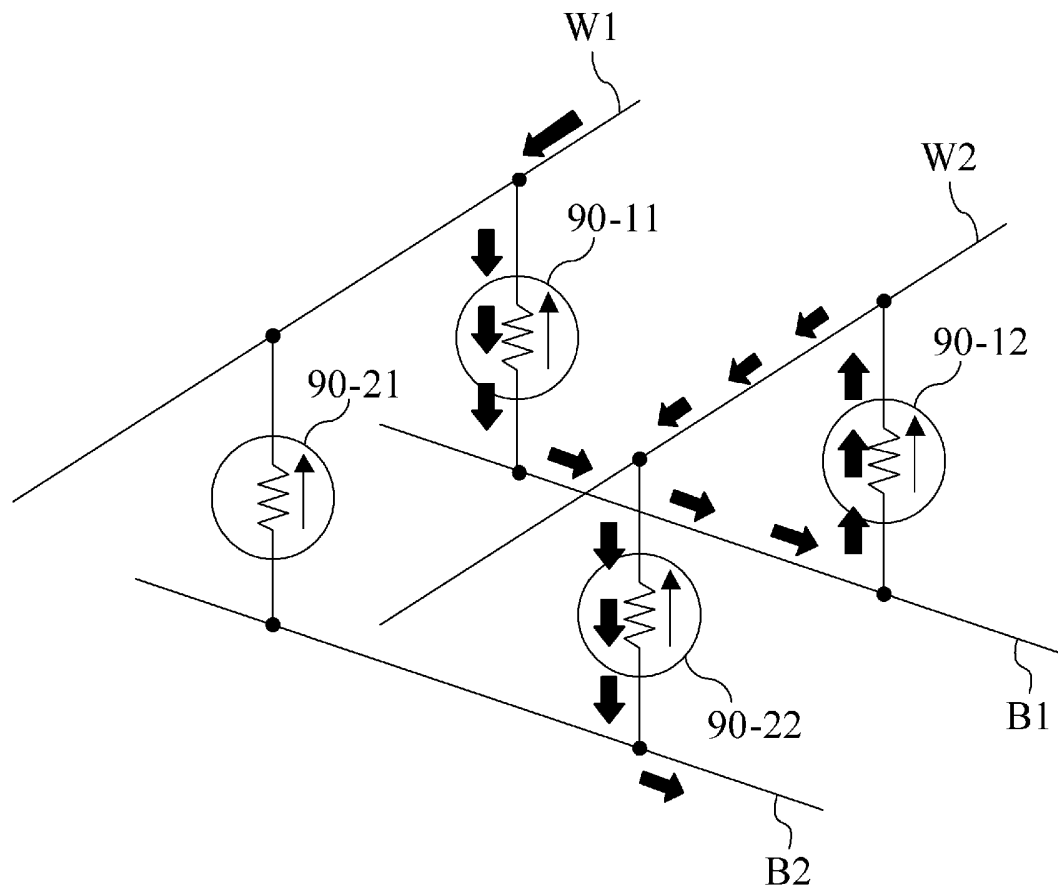
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/308433

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10 (2006.01), **G11C13/00** (2006.01), **H01L21/822** (2006.01), **H01L27/04** (2006.01), **H01L43/08** (2006.01), **H01L45/00** (2006.01), **H01L49/00** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10 (2006.01), **G11C13/00** (2006.01), **H01L21/822** (2006.01), **H01L27/04** (2006.01), **H01L43/08** (2006.01), **H01L45/00** (2006.01), **H01L49/00** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-236100 A (Sanyo Electric Co., Ltd.), 29 August, 2000 (29.08.00), Full text; all drawings (Family: none)	1-18
Y	JP 2005-347468 A (Matsushita Electric Industrial Co., Ltd.), 15 December, 2005 (15.12.05), Full text; all drawings (Family: none)	1-18
A	JP 2002-530850 A (Matrix Semiconductor, Inc.), 17 September, 2002 (17.09.02), Fig. 4 & US 6034882 A & WO 2000/030118 A1 & EP 1141963 A1 & KR 2001-101020 A & CN 1339159 A	1-18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 July, 2006 (13.07.06)

Date of mailing of the international search report
25 July, 2006 (25.07.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/10 (2006.01), G11C13/00 (2006.01), H01L21/822 (2006.01), H01L27/04 (2006.01),
H01L43/08 (2006.01), H01L45/00 (2006.01), H01L49/00 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/10 (2006.01), G11C13/00 (2006.01), H01L21/822 (2006.01), H01L27/04 (2006.01),
H01L43/08 (2006.01), H01L45/00 (2006.01), H01L49/00 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-236100 A (三洋電機株式会社) 2000.08.29, 全文、全図 (ファミリーなし)	1-18
Y	JP 2005-347468 A (松下電器産業株式会社) 2005.12.15, 全文、全 図 (ファミリーなし)	1-18
A	JP 2002-530850 A (マトリックス セミコンダクター インコーポレ ーテッド) 2002.09.17, 第4図 & US 6034882 A & WO 2000/030118 A1 & EP 1141963 A1 & KR 2001-101020 A & CN 1339159 A	1-18

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

13.07.2006

国際調査報告の発送日

25.07.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M

9276

電話番号 03-3581-1101 内線 3462