

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5301108号
(P5301108)

(45) 発行日 平成25年9月25日(2013.9.25)

(24) 登録日 平成25年6月28日(2013.6.28)

(51) Int.Cl. F I
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 C
 HO 1 L 27/04 (2006.01) HO 1 L 23/12 5 O 1 P
 HO 1 L 23/12 (2006.01)

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2007-112336 (P2007-112336)	(73) 特許権者	300057230
(22) 出願日	平成19年4月20日(2007.4.20)		セミコンダクター・コンポーネンツ・イン ダストリーズ・リミテッド・ライアビリティ ィ・カンパニー
(65) 公開番号	特開2008-270573 (P2008-270573A)		アメリカ合衆国 アリゾナ州 85008 フェニックス イースト・マクドウェル ・ロード5005
(43) 公開日	平成20年11月6日(2008.11.6)	(74) 代理人	100107906
審査請求日	平成22年1月27日(2010.1.27)		弁理士 須藤 克彦
		(72) 発明者	堀越 勝
			群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
		(72) 発明者	内山 久嘉
			群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板の表面に形成された半導体集積回路と、

前記半導体集積回路と接続されたパッド電極と、

前記半導体基板の裏面に形成された容量電極と、

前記半導体基板の側面上及び前記容量電極上に形成された絶縁膜と、

前記容量電極と重畳して前記絶縁膜上に形成され、且つ前記パッド電極と接続された配線層とを備え、

前記容量電極、前記絶縁膜、前記配線層で容量が形成されており、

10

前記容量電極は、前記半導体基板の裏面上から前記半導体基板の側面上に延在し、

前記絶縁膜は、前記半導体基板の側面上の前記容量電極上に形成され、

前記配線層は、前記半導体基板の側面上の前記絶縁膜上に形成されていることを特徴とする半導体装置。

【請求項2】

前記半導体基板は、前記半導体基板を貫通するビアホールを有し、

前記半導体基板の側面は、前記ビアホールの内壁面を含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記半導体基板の裏面上に、前記パッド電極と前記配線層を介して電氣的に接続された第

20

1の導電端子と、前記容量電極と接触した第2の導電端子とを備えることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記半導体基板上に支持体が貼り合わされていることを特徴とする請求項1乃至請求項3のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、容量素子を備えた半導体装置に関するものである。

【背景技術】

10

【0002】

電磁ノイズによって電圧レベルが変動する影響を低減し、半導体チップの誤動作を防止する観点から、当該半導体チップの端子（電源端子や接地端子）にバイパスコンデンサと呼ばれる容量素子を設けることが従来から行われている。

【0003】

例えば、以下の特許文献1では、半導体チップと、チップコンデンサと呼ばれる外付けの容量素子とを同一の基板上に実装して全体として一つのチップ状にパッケージされた半導体装置が開示されている。

【0004】

また、以下の特許文献2では、半導体基板上の多層配線層とその間の層間絶縁膜を利用して、バイパスコンデンサとして機能する容量素子を形成した半導体装置が開示されている。

20

【0005】

本発明に関連した技術は、例えば以下の特許文献に記載されている。

【特許文献1】特開平05-021698号公報

【特許文献2】特開2000-349238号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記特許文献1のように、外付けの容量素子を用いる構成では、大きな静電容量を有する容量素子が得られる一方で、当該容量素子を実装するためのスペースが基板上に必要な。そのため、装置全体としての小型化を図ることが困難になる問題があった。

30

【0007】

また、近年の半導体チップの動作は高速化しているため、トランジスタの高速なスイッチング動作によって高周波数（数百MHz以上の周波数）の電磁ノイズが増加し、動作特性が劣化する傾向にある。そのため、当該電磁ノイズを効果的に除去できる技術が要望されている。

【0008】

電磁ノイズの影響の低減を図る方法の一つとして、半導体チップと容量素子とを出来る限り近接させ、両者を接続する配線（電源配線や接地配線）の低インピーダンス化、低インダクタンス化を図ることが挙げられる。しかしながら、これらの配線はレイアウト設計上長く引き回されることもあるため、半導体チップと容量素子とがそれぞれ別個の部品であると、両者の近接にも限界がある。

40

【0009】

以上説明したように、外付けの容量素子を備えた構成では、半導体装置の小型化と電磁ノイズの影響の更なる低減化の両者を同時に実現することが困難であるという問題があった。

【0010】

一方、上記特許文献2のように、同一半導体装置内に容量素子が形成された従来の構成

50

では、外付けの容量素子を用いた場合に比べて配線の、低インピーダンス化，低インダクタンス化を図ることは可能であるが、高周波の電磁ノイズを効果的に除去できる程度の十分な静電容量を得るには大面積が必要になってしまう。

【0011】

そのため、同一半導体基板上に容量素子以外の他の機能素子（例えばトランジスタ等で構成されたドライバ回路やロジック回路や、それらと接続された配線等）を形成する関係から、半導体装置の小型化が図れないという問題があった。

【0012】

そこで本発明は、同一半導体装置内に容量素子を備えて装置全体の小型化を図るとともに、従来に比べて大きな静電容量の容量素子を備える半導体装置を提供することを主たる目的とし、更には電磁ノイズの影響を低減できる半導体装置を提供することを目的とする。

10

【課題を解決するための手段】

【0013】

本発明は上記課題に鑑みてなされたものであり、その主な特徴は以下のとおりである。すなわち、本発明の半導体装置は、半導体基板と、前記半導体基板の表面に形成された半導体集積回路と、前記半導体集積回路と接続されたパッド電極と、前記半導体基板の裏面に形成された容量電極と、前記半導体基板の側面上及び前記容量電極上に形成された絶縁膜と、前記容量電極と重畳して前記絶縁膜上に形成され、且つ前記パッド電極と接続された配線層とを備え、前記容量電極，前記絶縁膜，前記配線層で容量が形成されており、前記容量電極は、前記半導体基板の裏面上から前記半導体基板の側面上に延在し、前記絶縁膜は、前記半導体基板の側面上の前記容量電極上に形成され、前記配線層は、前記半導体基板の側面上の前記絶縁膜上に形成されていることを特徴とする。

20

【発明の効果】

【0014】

本発明では、半導体基板の一方の面上に半導体集積回路を形成し、他方の面上に容量を形成しているため、従来よりも大きな静電容量の容量を備え、なお且つ小型の半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0015】

次に、本発明の第1の実施形態について図面を参照しながら説明する。図1乃至図9は、それぞれ製造工程順に示した断面図または平面図である。なお、以下に説明する製造工程は、ウェハ状の半導体基板を用いて行われるものであり、所定のダイシングラインを境界として多数の半導体装置がマトリクス状に形成されることになるが、便宜上その一つの半導体装置が形成される工程を説明する。

30

【0016】

まず、図1に示すように、その表面に半導体集積回路1（例えば、CCDセンサー，CMOSセンサー，照度センサー等の受光素子や発光素子、トランジスタ等の半導体素子が集積されて構成されたドライバ回路やロジック回路、それらと接続された配線等）が形成されたシリコン（Si）等から成る半導体基板2を準備する。半導体基板2は、例えば300 μ m～700 μ m程度の厚さになっている。そして、半導体基板2の表面に第1の絶縁膜3（例えば、熱酸化法やCVD法等によって形成されたシリコン酸化膜）を例えば2 μ mの膜厚に形成する。

40

【0017】

次に、スパッタリング法やメッキ法、その他の成膜方法によりアルミニウム（Al）やアルミニウム合金や銅（Cu）等の金属層を形成し、その後不図示のレジスト層をマスクとして当該金属層をエッチングし、第1の絶縁膜3上にパッド電極4を例えば1 μ mの膜厚に形成する。パッド電極4は、半導体集積回路1やその周辺素子と不図示の配線を介して電氣的に接続された外部接続用の電極である。そして、後述する導電端子13a、13b，13cからパッド電極4を介して電源電圧や接地電圧あるいは種々の信号が半導体集

50

積回路 1 や半導体基板 2 等に供給される。なお、図 1 では半導体集積回路 1 の両側にパッド電極 4 が配置されているが、その位置に限定はなく、半導体集積回路 1 上に配置することもできる。

【 0 0 1 8 】

次に、半導体基板 2 の表面にパッド電極 4 の一部上あるいは全部を被覆するパッシベーション膜 5 (例えば、CVD法により形成されたシリコン窒化膜)を形成する。図 1 では、パッド電極 4 の一部上を被覆するようにしてパッシベーション膜 5 が形成されている。

【 0 0 1 9 】

次に、パッド電極 4 を含む半導体基板 2 の表面上に、エポキシ樹脂、ポリイミド(例えば感光性ポリイミド)、レジスト、アクリル等の接着層 6 を介して支持体 7 を貼り合わせる。なお、半導体集積回路 1 が受光素子や発光素子を含む場合、接着層 6 は半導体集積回路 1 から放射される光、あるいは半導体集積回路 1 に入射される光の通り道になるため、透明であって光を透過させる性状の良好な材料から成ることが好ましい。

【 0 0 2 0 】

支持体 7 は、例えばフィルム状の保護テープでもよいし、ガラスや石英、セラミック、金属等の剛性の基板であってもよいし、樹脂から成るものでもよい。支持体 7 は、半導体基板 2 を支持すると共にその素子表面を保護する機能を有するものである。なお、半導体集積回路 1 が受光素子や発光素子を含む場合には、支持体 7 は透明もしくは半透明の材料から成り、光を透過させる性状を有するものである。

【 0 0 2 1 】

次に、半導体基板 2 の裏面に対して裏面研削装置(グラインダー)を用いてバックグラインドを行い、半導体基板 2 の厚さを所定の厚さ(例えば 100 μm 程度)に薄くする。なお、当該研削工程はエッチング処理でもよいし、グラインダーとエッチング処理の併用でもよい。なお、最終製品の用途や仕様、準備した半導体基板 2 の当初の厚みによっては、当該研削工程を行う必要がない場合もある。

【 0 0 2 2 】

次に、図 2 に示すように、半導体基板 2 のうちパッド電極 4 に対応する所定の領域のみを、半導体基板 2 の裏面側から選択的にエッチングし、第 1 の絶縁膜 3 を一部露出させる。以下、この露出部分を開口部 8 とする。

【 0 0 2 3 】

当該半導体基板 2 の選択的なエッチングについて、図 3 A, B を参照して説明する。図 3 A, B は、半導体基板 2 側から見た概略平面図であり、図 2 は図 3 A, B の A - A 線に沿った断面図に対応するものである。

【 0 0 2 4 】

図 3 A に示すように、半導体基板 2 を支持体 7 の幅よりも狭い、略長方形の形状にエッチングすることもできる。また、図 3 B に示すように、パッド電極 4 が形成された領域のみをエッチングすることで、半導体基板 2 の外周が凹凸状になるように構成することもできる。後者の方が、半導体基板 2 と支持体 7 の重畳する面積が大きく、支持体 7 の外周近くまで半導体基板 2 が残る。そのため、半導体基板 2 に対する支持体 7 の支持強度を向上させる観点からは、後者の構成が好ましい。また、後者の構成によれば、半導体基板 2 と支持体 7 の熱膨張率の差異による支持体 7 の反りが防止できるため、半導体装置のクラックや剥離が防止できる。なお、図 3 A, B で示した平面形状とは別の形状に半導体基板 2 をデザインすることも可能である。なお、以後は半導体基板 2 を図 3 A で示したようにエッチングした場合の製造工程を説明する。

【 0 0 2 5 】

また、本実施形態では半導体基板 2 の横幅が表面側に行くほど広がるように、半導体基板 2 の側壁が斜めにエッチングされているが、半導体基板 2 の幅が一定であり、その側壁が支持体 7 の主面に対して垂直となるようにエッチングすることもできる。

【 0 0 2 6 】

次に、CVD法、スパッタリング法、その他の成膜方法により、半導体基板 2 の裏面上

10

20

30

40

50

に、図4及び図5に示すように例えばアルミニウムや金、銀等の金属材料から成る容量電極9を例えば約1~2 μm の膜厚で形成する。なお、前記半導体基板2のバックグラウンド後に容量電極9を形成し、その後容量電極9と半導体基板2の両者を選択的にエッチングすることで開口部8を形成してもよい。容量電極9は、後述するように容量16の一方の電極を構成し、実際の使用時においては半導体基板2と同じ電位(通常は接地電位)に固定される。なお、可能な限り大きな静電容量の容量素子を得るべく、容量電極9の面積は広いことが好ましい。なお、図5は図4の半導体基板2側から見た平面図の概略であり、図4は図5のB-B線に沿った断面図である。

【0027】

次に、開口部8内及び容量電極9を含む半導体基板2の側面及び裏面上に第2の絶縁膜10を形成する。この第2の絶縁膜10は、例えばプラズマCVD法によって形成されたシリコン酸化膜やシリコン窒化膜である。

【0028】

次に、不図示のホトレジスト層をマスクとして、図6に示すように、第1の絶縁膜3及び第2の絶縁膜10の選択的なエッチングを行う。このエッチングにより、パッド電極4の一部上からダイシングラインに至る領域にかけて形成された第1の絶縁膜3及び第2の絶縁膜10が選択的に除去され、開口部8の底部においてパッド電極4の少なくとも一部が露出される。

【0029】

次に、スパッタリング法やメッキ法、その他の成膜方法により、配線層11となるアルミニウム(A1)や銅(Cu)等の金属層を形成する。その後、不図示のホトレジスト層をマスクとして当該金属層をエッチングし、図7及び図9に示すように、パッド電極4の一部上及び第2の絶縁膜10上に配線層11を例えば1 μm の膜厚で形成する。配線層11は、パッド電極4及び第2の絶縁膜10を被覆して半導体基板2の側面及び裏面に沿って形成されており、半導体基板2の主面の垂直方向から見た場合には、図9に示すように容量電極9と重畳している。

【0030】

なお、容量電極9及び配線層11は同一材料(例えばアルミニウム)及び同一の方法(例えばスパッタリング法)によって形成することが好ましい。製造工程が単純化され、製造コストを低く抑えることができるという利点があるからである。

【0031】

次に、配線層11を被覆する不図示の電極接続層(例えば、ニッケル層と金属の積層)を形成する。電極接続層を形成するのは、アルミニウム等から成る配線層11と、ハンダ等から成る導電端子13a, 13b, 13cは接合しにくいという理由や、導電端子13a, 13b, 13cの材料が配線層11側に流入してくることを防止するという理由による。なお、保護層12の形成後に当該電極接続層を形成することも可能である。次に、図8に示すように、半導体基板2の側面及び裏面上にソルダーレジストのようなレジスト材料から成る保護層12を形成する。

【0032】

次に、保護層12の所定領域(導電端子形成予定領域)を開口させ、当該開口内で露出させた電極接続層上に導電材料(例えばハンダ)をスクリーン印刷し、この導電材料を熱処理でリフローさせることで、図8及び図9に示すように、ボール状の導電端子13a, 13b, 13cを形成する。導電端子13aは電源電圧供給用の端子であり、導電端子13bは接地電圧供給用の端子であり、導電端子13cは種々の入出力信号に関わる端子である。なお、導電端子13a, 13b, 13cの形成方法は上記に限定されることはなく、電解メッキ法や、ディスペンサを用いてハンダ等を所定領域に塗布するいわゆるディスペンサ法(塗布法)等で形成することもできる。このようにして、パッド電極4は配線層11を介して導電端子13a, 13b, 13cと電氣的に接続される。

【0033】

次に、多数の半導体装置の境界であるダイシングラインDLに沿って保護層12や支持

10

20

30

40

50

体 7 等を切断し、個々の半導体装置 1 5 に分割する。個々の半導体装置に分割する方法としては、ダイシング法，エッチング法，レーザーカット法等がある。なお、支持体 7 は、半導体基板 2 と貼り合わせたままでもよく、あるいは個々の半導体装置 1 5 に分割する前後で剥離させてもよい。

【 0 0 3 4 】

以上の工程により、チップサイズパッケージ型の半導体装置 1 5 が完成する。半導体装置 1 5 は、導電端子 1 3 a , 1 3 b , 1 3 c を介してプリント基板等を実装される。なお、図 9 は、半導体装置 1 5 を半導体基板 2 側から見た平面図の概略であり、図 8 は図 9 の C - C 線に沿った断面図に相当する。

【 0 0 3 5 】

第 1 の実施形態に係る半導体装置 1 5 では、半導体基板 2 の裏面上に容量電極 9、第 2 の絶縁膜 1 0、配線層 1 1 がこの順に積層しているため、これらで容量 1 6 が形成されることになる。従って例えば、導電端子 1 3 a を電源電圧 V D D の供給端子と接続し、導電端子 1 3 b を接地電圧 G N D の供給端子と接続すると、導電端子 1 3 a , 1 3 b , 1 3 c から内部に浸入する電磁ノイズや、トランジスタのスイッチング動作等によって半導体集積回路 1 の内部から生じる電磁ノイズは容量 1 6 の充放電作用によって除去され、半導体集積回路 1 の誤動作が防止される。

【 0 0 3 6 】

この容量 1 6 の静電容量は、容量電極 9 と配線層 1 1 の重畳する面積及び第 2 の絶縁膜 1 0 (誘電体)の誘電率に比例し、第 2 の絶縁膜 1 0 の厚さに反比例するため、各パラメータを変える事によって所望の静電容量を得ることが可能である。

【 0 0 3 7 】

また、容量 1 6 は半導体基板 2 の裏面上に形成されているため、当該容量 1 6 を設けたとしても半導体基板 2 の表面上のレイアウトを一切変更する必要はなく、半導体装置が大型化することもない。また、半導体装置 1 5 の裏面のほぼ全面を容量 1 6 として用いることが可能であるため、静電容量を大きくすることが容易である。そのため、本実施形態の構成によれば、半導体装置の小型化と容量素子の大容量化を同時に実現することができる。

【 0 0 3 8 】

また、容量 1 6 と半導体集積回路 1 とは同一半導体チップ内に形成されており、容量 1 6 と半導体集積回路 1 との間の配線は外付けの容量素子を用いた場合に比べて短く、低インピーダンス化，低インダクタンス化が図られているため、電磁ノイズの除去に優れた効果を有している。具体的には例えば、0 . 0 1 μ F の静電容量を持つ外付けの容量素子を実装させたものと同程度の電磁ノイズの除去の効果を、1 0 0 p F ~ 5 0 0 p F 程度の静電容量を持つ容量 1 6 を備えることで実現できた。このように、外付けされる一般的な容量素子と比較すると容量 1 6 の静電容量は小さいが、同一半導体チップ内であって半導体集積回路 1 に極めて近く容量 1 6 が配置されるため、電磁ノイズの除去の効果を向上させることができた。従って、容量 1 6 を備える構成によれば、トランジスタの高速なスイッチング動作が必要とされる装置等であって、高周波数 (数百 M H z 以上の周波数) の電磁ノイズが生じ易い装置にも対応することが可能である。

【 0 0 3 9 】

なお、図 8 及び図 9 では、導電端子 1 3 b から配線層 1 1 及びパッド電極 4 を介して半導体基板 2 及び容量電極 9 に所定の電圧 (通常は接地電圧) を供給する構成になっていたが、図 1 0 に示すように、半導体基板 2 の裏面上に容量電極 9 と直接接続される導電端子 1 7 を形成し、導電端子 1 7 から容量電極 9 及び半導体基板 2 に所定の電圧を直接供給する構成にしてもよい。かかる構成によれば、導電端子 1 7 と容量電極 9 とが接触しているため、導電端子 1 7 から入ってくる電磁ノイズの影響を低減させることができるメリットがある。導電端子 1 7 は、保護層 1 2 に容量電極 9 に至る開口部を形成し、上記導電端子 1 3 a , 1 3 b , 1 3 c の形成と同様の工程 (スクリーン印刷法やメッキ法等) で形成することができる。

10

20

30

40

50

【 0 0 4 0 】

次に、本発明の第 2 の実施形態について図面を参照しながら説明する。なお、第 1 の実施形態と同様の構成については、同一符号を示してその説明を省略する。

【 0 0 4 1 】

第 1 の実施形態における容量電極 9 は、半導体基板 2 の裏面上にのみ形成されていた。これに対して第 2 の実施形態では、図 1 1 に示すように、半導体基板 2 の側面及び裏面の全体が容量電極 2 0 で被覆され、容量電極 2 0 , 第 2 の絶縁膜 1 0 及び配線層 1 1 で容量 2 1 が形成されている。かかる構成によれば、半導体基板 2 の裏面上だけでなく側面側で形成された面積の分、容量 2 1 の静電容量を大きくすることができる。そして、電磁ノイズの除去の効果を第 1 の実施形態に係る構成に比べて更に向上させることができる。

10

【 0 0 4 2 】

次に、本発明の第 3 の実施形態について図面を参照しながら説明する。なお、上記実施形態と同様の構成については同一符号を示してその説明を省略するか簡略する。

【 0 0 4 3 】

第 3 の実施形態に係る半導体装置では、図 1 2 に示すように、半導体基板 2 の裏面からパッド電極 4 に至るビアホール 3 0 が形成され、当該ビアホール 3 0 内及び半導体基板 2 の裏面上にはバリアメタル層 3 1 が形成され、当該バリアメタル層 3 1 上にアルミニウムや銅等の金属からなる配線層 1 1 が形成されている。バリアメタル層 3 1 は、例えばチタン (T i) 層 , チタンナイトライド (T i N) 層 , タンタル (T a) 層 , タンタルナイトライド (T a N) , チタタングステン (T i W) 層等の金属材料から成り、ビアホール 3 0 の底部 (半導体基板 2 の表面に近い部分) でパッド電極 4 と接続されている。

20

【 0 0 4 4 】

そして、半導体基板 2 の裏面と第 2 の絶縁膜 1 0 の間には、半導体基板 2 の裏面と接触した容量電極 9 が形成され、容量電極 9 , 第 2 の絶縁膜 1 0 , バリアメタル層 3 1 , 配線層 1 1 とから成る容量 3 2 が形成されている。このように、いわゆる貫通電極型の半導体装置に本発明を適用して容量 3 2 を形成することも可能である。

【 0 0 4 5 】

当該貫通電極型の半導体装置は例えば、半導体集積回路 1 及び第 1 の絶縁膜 3 を介してパッド電極 4 が形成された半導体基板 2 を準備し、パッド電極 4 に対応する位置に半導体基板 2 を貫通するビアホール 3 0 を形成する工程と、半導体基板 2 の裏面上に容量電極 9 を形成する工程と、当該ビアホール 3 0 の内壁及び半導体基板 2 の裏面を被覆する第 2 の絶縁膜 1 0 を形成する工程と、ビアホール 3 0 底部の第 2 の絶縁膜 1 0 を除去する工程と、その後ビアホール 3 0 内にバリアメタル層 3 1 を形成する工程と、ビアホール 3 0 内及び半導体基板 2 の裏面上に例えば電解メッキ法などでアルミニウムや銅等の金属から成る配線層 1 1 を形成する工程と、保護層 1 2 及び導電端子 1 3 a , 1 3 b を形成する工程を経て製造される。なお、上記工程は本実施形態に係る貫通電極型の半導体装置の製造工程の一例の概略を説明するものであって、その製造工程は限定されず、例えばビアホール 3 0 を形成する前に容量電極 9 を形成することもできる。

30

【 0 0 4 6 】

次に、本発明の第 4 の実施形態について図 1 3 及び図 1 4 を参照しながら説明する。図 1 4 は第 4 の実施形態に係る半導体装置を半導体基板 2 側から見た平面図の概略であり、図 1 3 は図 1 4 の D - D 線に沿った断面図に相当する。なお、上記実施形態と同様の構成については、同一符号を示してその説明を省略する。

40

【 0 0 4 7 】

第 4 の実施形態に係る半導体装置は、半導体基板 2 の裏面上において第 2 の絶縁膜 1 0 上に配線層 4 0 が、容量電極 9 と重畳するようにして形成されている。また、配線層 4 0 及び第 2 の絶縁膜 1 0 を被覆するようにしてシリコン酸化膜やシリコン窒化膜等から成る第 3 の絶縁膜 4 1 が形成され、第 3 の絶縁膜 4 1 上にはパッド電極 4 と接続された配線層 4 2 , 1 1 が半導体基板 2 の側面及び裏面に沿って形成されている。第 3 の絶縁膜 4 1 の一部には、配線層 4 0 に至る開口部 4 3 が形成されており、当該開口部 4 3 を介して配線

50

層 4 0 と配線層 4 2 とが接続されている。

【 0 0 4 8 】

第 4 の実施形態に係る半導体装置では、半導体基板 2 の裏面上に容量電極 9、第 2 の絶縁膜 1 0、配線層 4 0 がこの順に積層しているため、これらで容量 4 4 が形成されることになる。従って例えば、導電端子 1 3 a を電源電圧 V D D の供給端子と接続し、導電端子 1 3 b を接地電圧 G N D の供給端子と接続すると、導電端子 1 3 a、1 3 b、1 3 c から内部に浸入する電磁ノイズや、トランジスタのスイッチング動作等によって半導体集積回路 1 の内部から生じる電磁ノイズは容量 4 4 の充放電作用によって除去され、半導体集積回路 1 の誤動作が防止される。このように、半導体基板 2 の裏面上の容量の構成には様々なバリエーションが考えられる。

10

【 0 0 4 9 】

なお、本発明は上記実施形態に限定されることはなく、その要旨を逸脱しない範囲で変更が可能であることは言うまでもない。例えば、上記実施形態では、ボール状の導電端子を有する B G A (Ball Grid Array) 型の半導体装置について説明したが、本発明は L G A (Land Grid Array) 型や、その他の C S P (Chip Size Package) 型の半導体装置に適用するものであっても構わない。本発明は、容量素子を有する半導体装置として広く適用できるものである。

【 図面の簡単な説明 】

【 0 0 5 0 】

【 図 1 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

20

【 図 2 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 3 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する平面図である。

【 図 4 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 5 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する平面図である。

【 図 6 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 7 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 8 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する断面図である。

【 図 9 】 本発明の第 1 の実施形態に係る半導体装置の製造方法を説明する平面図である。

【 図 1 0 】 本発明の第 1 の実施形態に係る半導体装置の変更例を説明する平面図である。

【 図 1 1 】 本発明の第 2 の実施形態に係る半導体装置を説明する断面図である。

30

【 図 1 2 】 本発明の第 3 の実施形態に係る半導体装置を説明する断面図である。

【 図 1 3 】 本発明の第 4 の実施形態に係る半導体装置を説明する断面図である。

【 図 1 4 】 本発明の第 4 の実施形態に係る半導体装置を説明する平面図である。

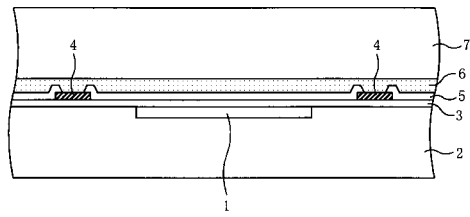
【 符号の説明 】

【 0 0 5 1 】

1	半導体集積回路	2	半導体基板	3	第 1 の絶縁膜	4	パッド電極
5	パッシベーション膜	6	接着層	7	支持体	8	開口部
9	容量電極	1 0	第 2 の絶縁膜	1 1	配線層	1 2	保護膜
1 3 a, 1 3 b, 1 3 c	導電端子	1 5	半導体装置	1 6	容量		
1 7	導電端子	2 0	容量電極	2 1	容量	3 0	ビアホール
3 1	バリアメタル層	3 2	容量	4 0	配線層	4 1	第 3 の絶縁膜
4 2	配線層	4 3	開口部	4 4	容量	D L	ダイシングライン

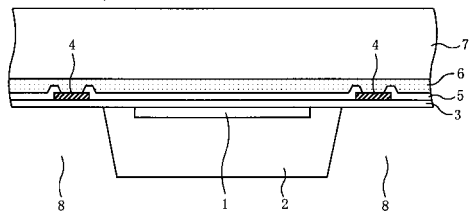
40

【図1】



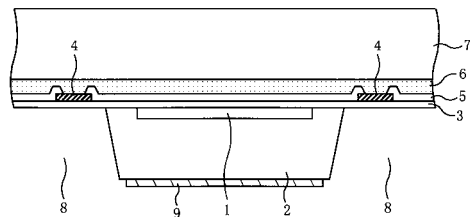
1: 半導体集積回路 2: 半導体基板 3: 第1の絶縁膜
 4: ハット電極 5: パッシベーション膜 6: 接着層
 7: 支持体

【図2】



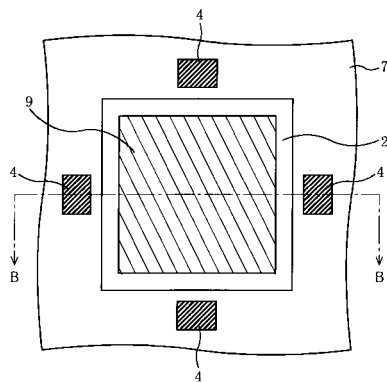
8: 開口部

【図4】

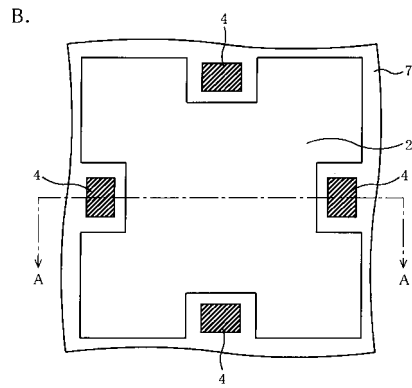
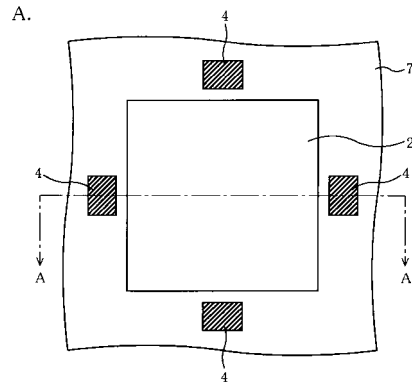


9: 容量電極

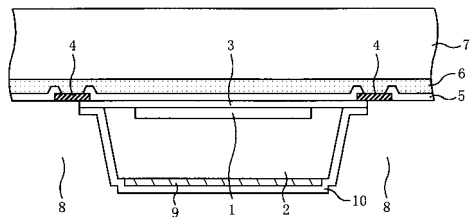
【図5】



【図3】

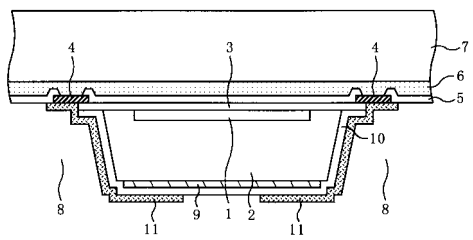


【図6】



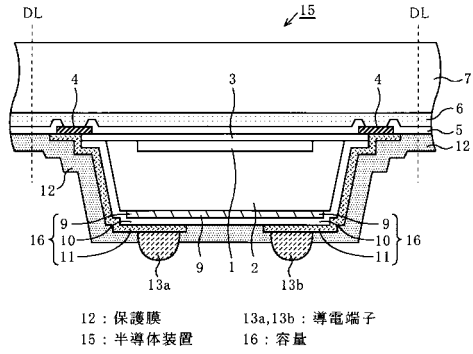
10: 第2の絶縁膜

【図7】

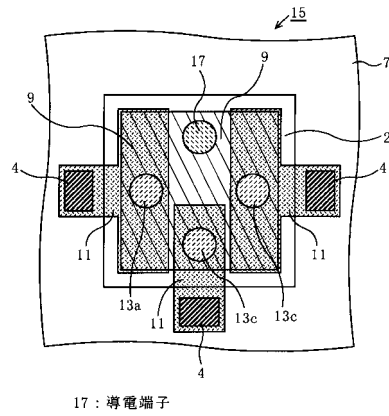


11: 配線層

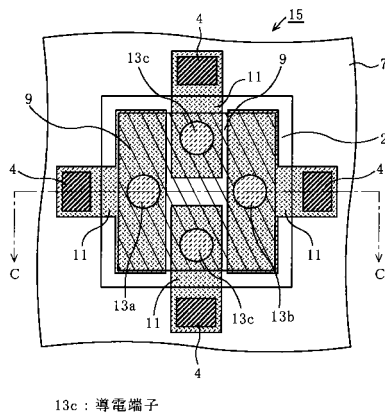
【図8】



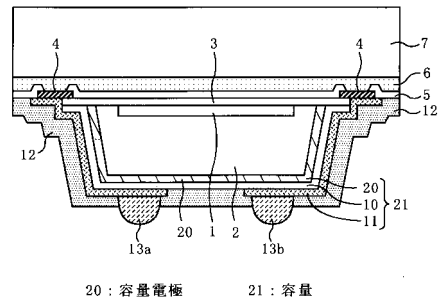
【図10】



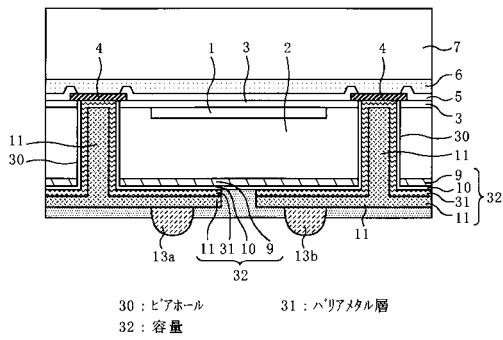
【図9】



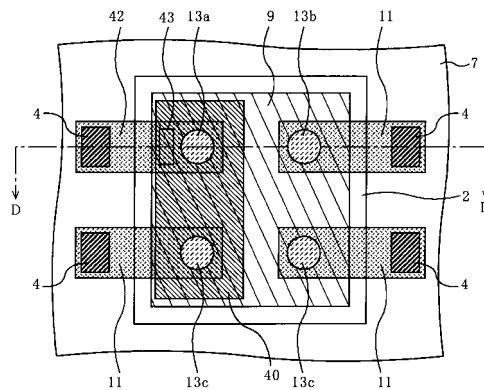
【図11】



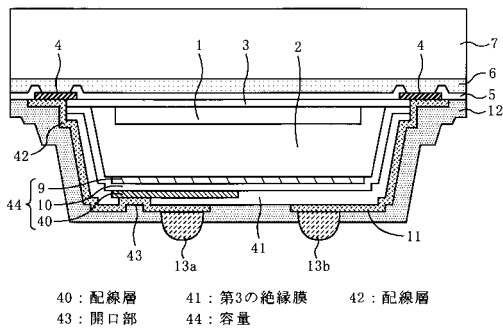
【図12】



【図14】



【図13】



フロントページの続き

- (72)発明者 野間 崇
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 関 嘉則
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 山田 紘士
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 石部 眞三
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
- (72)発明者 篠木 裕之
群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内

審査官 今井 聖和

- (56)参考文献 特開平01-105568(JP,A)
特開平03-227046(JP,A)
特開平07-106515(JP,A)
国際公開第2005/022631(WO,A1)
特開2006-253631(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 23/12
H01L 27/04
H01L 21/3205
H01L 21/768
H01L 23/522