(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0061686
(43) 공개일자 2023년05월09일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) *H04L 25/06* (2006.01)
H04L 7/027 (2006.01)
(52) CPC특허분류
H04L 25/4904 (2013.01)
H04L 25/069 (2013.01)
(21) 출원번호 10-2021-0146181
(22) 출원일자 2021년10월29일
심사청구일자 2021년10월29일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
박승우
서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오)
최종혁
경기도 수원시 영통구 삼성로 11(신동, 래미안 영통마크원 2단지)
(74) 대리인
특허법인주연케이알피

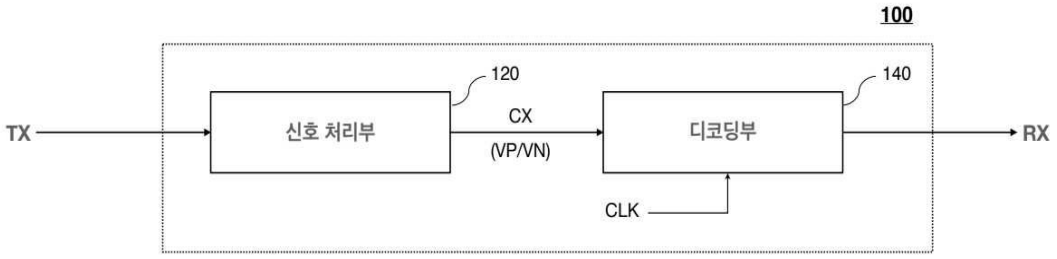
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **수신기, 이의 동작 방법 및 이를 포함하는 송수신 시스템**

(57) 요 약

수신기, 이의 동작 방법 및 이를 포함하는 송수신 시스템이 개시된다. 본 발명의 실시예에 따른 수신기는, 제1 인코딩(encoding) 방식으로 인코딩 된 송신 신호를 신호 처리하여 보상 신호를 생성하는 신호 처리부; 및 클럭 신호에 동기되어 상기 보상 신호에 대해 상기 제1 인코딩 방식과 상이한 제2 인코딩 방식에 대응되는 샘플링(sampling) 방식을 적용하여 수신 신호를 생성하는 디코딩부(decoding unit);를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H04L 25/4906 (2013.01)
H04L 7/027 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711117126
과제번호	2020-0-01300-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	차세대지능형반도체기술개발(설계)(R&D)
연구과제명	AI 특화형 병렬 초고속 메모리 인터페이스 기술 개발
기 여 율	1/1
과제수행기관명	서울대학교 산학협력단
연구기간	2020.04.01 ~ 2020.12.31

명 세 서

청구범위

청구항 1

제1 인코딩(encoding) 방식으로 인코딩 된 송신 신호를 신호 처리하여 보상 신호를 생성하는 신호 처리부; 및

클럭 신호에 동기되어 상기 보상 신호에 대해 상기 제1 인코딩 방식과 상이한 제2 인코딩 방식에 대응되는 샘플링(sampling) 방식을 적용하여 수신 신호를 생성하는 디코딩부(decoding unit);를 포함하는 수신기.

청구항 2

제1항에 있어서,

상기 제1 인코딩 방식은 NRZ(Non-Return to Zero) 인코딩 방식이고,

상기 제2 인코딩 방식은 듀오 바이너리(duo-binary) 인코딩 방식인 수신기.

청구항 3

제1항에 있어서,

상기 디코딩부는,

상기 보상 신호에 대한 아이 다이어그램(eye diagram) 상의 제로 크로싱 포인트(zero crossing point)에서 상기 송신 신호에 대한 샘플링을 수행하여 상기 수신 신호를 생성하는 수신기.

청구항 4

제1항에 있어서,

상기 클럭 신호는,

상기 송신 신호의 전송 속도의 1/2 이하의 클럭 주기를 갖는 수신기.

청구항 5

제1항에 있어서,

상기 디코딩부는,

상기 클럭 신호의 제1 에지에서 상기 보상 신호가 제1 기준값보다 크거나 제2 기준값보다 작은 경우, 제1 결과값 또는 제2 결과값을 출력하는 제1 비교부;

상기 클럭 신호의 제1 에지에서 상기 보상 신호가 상기 제1 기준값보다 작고 상기 제2 기준값보다 큰 경우, 상기 클럭 신호의 제1 에지까지의 제1 주기에 대한 보상 신호를 적분한 적분값에 근거하여, 제3 결과값 또는 제4 결과값을 출력하는 제2 비교부; 및

상기 제1 내지 제4 결과값에 대응되는 상기 수신 신호를 결정하는 디코더(146decoder);를 포함하는 수신기.

청구항 6

제5항에 있어서,

상기 제2 비교부는,

상기 클럭 신호의 제1 에지까지의 제1 주기에 대한 보상 신호를 적분하여 상기 적분값을 출력하는 차동 적분기; 및

상기 적분값에 근거하여 상기 제3 결과값 및 상기 제4 결과값 중 하나로 출력하는 제2 차동 비교기;를 포함하는 수신기.

청구항 7

제6항에 있어서,

상기 차동 적분기는,

제1 회로 및 제2 회로를 포함하고,

상기 제1 회로는,

게이트가 서로 연결되어 상기 클럭 신호에 의해 게이팅(gating) 되고, 서로 연결된 일단에 전압이 인가되는 제1 타입(type)의 제11 및 제21 트랜지스터(transistor);

게이트가 상기 제11 및 제21 트랜지스터에 연결되고 양단이 상기 제11 및 제21 트랜지스터의 타단에 연결되는 상기 제1 타입의 제31 트랜지스터;

일단이 상기 제31 트랜지스터의 양단에 각각 연결되는 제11 및 제21 커패시터(capacitor);

게이트가 서로 연결되어 상기 클럭 신호의 반전 신호에 의해 게이팅 되고, 상기 제31 트랜지스터의 양단에 각각의 일단이 연결되는 상기 제1 타입의 제41 및 제51 트랜지스터;

상기 보상 신호에 의해 게이팅 되고, 일단이 상기 제41 트랜지스터에 연결되는 제2 타입의 제61 트랜지스터;를 포함하고,

상기 제2 회로는,

게이트가 서로 연결되어 상기 클럭 신호의 반전 신호에 의해 게이팅 되고, 서로 연결된 일단에 전압이 인가되는 상기 제1 타입의 제12 및 제22 트랜지스터;

게이트가 상기 제12 및 제22 트랜지스터에 연결되고 양단이 상기 제12 및 제22 트랜지스터의 타단에 연결되는 상기 제1 타입의 제32 트랜지스터;

일단이 상기 제32 트랜지스터의 양단에 각각 연결되는 제12 및 제22 커패시터;

게이트가 서로 연결되어 상기 클럭 신호에 의해 게이팅 되고, 상기 제32 트랜지스터의 양단에 각각의 일단이 연결되고, 상기 제41 및 제51 트랜지스터 중 대응되는 트랜지스터의 타단에 각각의 타단이 연결되는, 상기 제1 타입의 제42 및 제52 트랜지스터;

상기 보상 신호의 반전 신호에 의해 게이팅 되고, 일단이 상기 제52 트랜지스터의 타단에 연결되는 상기 제2 타입의 제62 트랜지스터;를 포함하는 수신기.

청구항 8

제7항에 있어서,

상기 차동 적분기는,

각각, 상기 제61 및 제62 트랜지스터와 병렬 연결되어, 상기 제31 및 제32 트랜지스터 양단에서의 전압을 조절하는, 상기 제2 타입의 제71 및 제72 트랜지스터;를 더 포함하는 수신기.

청구항 9

제6항에 있어서,

상기 차동 적분기는,

각각, 상기 클럭 신호의 제1 에지 이전의 보상 신호에 따라 가중치가 달리 적용되는 적어도 둘 이상으로 구비되는 수신기.

청구항 10

제6항에 있어서,

상기 제2 차동 비교기는,

상기 클럭 신호의 제1 에지 이전의 보상 신호에 따라 상기 적분값에 대한 가중치를 달리 적용하는 수신기.

청구항 11

제5항에 있어서,

상기 적분값은,

상기 클럭 신호의 제1 에지 이전의 보상 신호에 따라 가중치가 달리 적용된 값인 수신기.

청구항 12

제1항에 있어서,

상기 디코딩부는,

모드 신호에 응답하여, 상기 제1 인코딩 방식으로 인코딩 된 송신 신호에 대해 상기 제1 인코딩 방식에 대응되는 샘플링을 수행하는 수신기.

청구항 13

제1항에 있어서,

고속의 메모리 인터페이스(memory interface)를 수행하는 수신기.

청구항 14

제1항의 수신기; 및

상기 제1 인코딩 방식으로 변환한 상기 송신 신호를 출력하는 송신기;를 포함하는 송수신 시스템.

청구항 15

송신 신호를 신호 처리하여 보상 신호를 생성하는 신호 처리부; 및

상기 송신 신호의 전송 속도의 1/2 이하의 클럭 주기를 갖는 클럭 신호에 동기되어 상기 보상 신호를 샘플링(sampling)하여 수신 신호를 생성하는 디코딩부(decoding unit);를 포함하고,

상기 디코딩부는,

상기 클럭 신호의 제1 에지에서 상기 보상 신호가 제1 기준값보다 크거나 제2 기준값보다 작은 경우, 제1 결과값 또는 제2 결과값을 출력하는 제1 비교부;

상기 클럭 신호의 제1 에지에서 상기 보상 신호가 상기 제1 기준값보다 작고 상기 제2 기준값보다 큰 경우, 상기 클럭 신호의 제1 에지까지의 제1 주기에 대한 보상 신호를 적분한 적분값에 근거하여, 제3 결과값 또는 제4 결과값을 출력하는 제2 비교부; 및

상기 제1 내지 제4 결과값에 대응되는 상기 수신 신호를 결정하는 디코더(146decoder);를 포함하는 수신기.

청구항 16

제15항에 있어서,

상기 송신 신호는 제1 인코딩(encoding) 방식으로 인코딩 된 신호이고,

상기 디코딩부는,

상기 보상 신호에 대해 제2 인코딩 방식에 대응되는 샘플링(sampling)을 수행하는 수신기.

청구항 17

제16항에 있어서,

상기 제1 인코딩 방식은 NRZ(Non-Return to Zero) 인코딩 방식이고,

상기 제2 인코딩 방식은 듀오 바이너리(duo-binary) 인코딩 방식인 수신기.

청구항 18

제1 인코딩(encoding) 방식으로 인코딩 된 송신 신호를 신호 처리하여 보상 신호를 생성하는 단계; 및

클럭 신호에 동기되어 상기 보상 신호에 대해 제2 인코딩 방식에 대응되는 샘플링(sampling) 방식을 적용하여 수신 신호를 생성하는 단계;를 포함하는 수신기의 동작 방법.

청구항 19

제18항에 있어서,

상기 수신 신호를 생성하는 단계는,

상기 클럭 신호에 동기되어 상기 보상 신호에 대한 아이 다이어그램(eye diagram) 상의 제로 크로싱 포인트(zero crossing point)에서 상기 송신 신호에 대한 샘플링을 수행하는 단계;를 포함하고,

상기 클럭 신호는,

상기 송신 신호의 전송 속도의 1/2 이하의 클럭 주기를 갖는 수신기의 동작 방법.

청구항 20

제19항에 있어서,

상기 수신 신호를 생성하는 단계는,

상기 보상 신호가 제1 기준값 이상인 경우 “11”의 수신 신호로 디코딩하는 단계;

상기 보상 신호가 제2 기준값 이하인 경우 “00”의 수신 신호로 디코딩하는 단계;

상기 보상 신호가 상기 제1 기준값보다 작고 상기 제2 기준값보다 큰 경우, 상기 클럭 신호의 제1 에지까지의 제1 주기에 대한 보상 신호를 적분한 적분값에 근거하여, “10” 또는 “10”의 수신 신호로 디코딩하는 단계;를 포함하는 수신기의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 수신기, 이의 동작 방법 및 이를 포함하는 송수신 시스템에 관한 것이다.

배 경 기 술

[0002] 메모리 인터페이스 등의 입출력 회로에서는 신호 전송을 위하여, 전하가 없는 0 상태와 전하로 충전된 1 상태를 사용하는 NRZ 신호법이 사용되고 있다.

[0003] 이때, 신호의 잡음, 감쇠 또는 왜곡 등으로 인해 수신기에서의 노이즈 마진(noise margin) 등이 줄어들 수 있다. 신호의 잡음, 감쇠 또는 왜곡 등을 보상하기 위한 송수신 시스템의 송신기 또는 수신기의 구조 및 동작에 의해 전력 소모가 증가될 수 있다. 소모 전력의 증가는 배터리 수명을 줄이고 발열 문제를 야기할 수 있다.

[0004] 이러한 현상은 고대역폭 메모리 인터페이스에서 더 문제가 될 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 저전력 동작이 가능한 수신기, 이의 동작 방법 및 이를 포함하는 송수신 시스템을 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 수신기는, 제1 인코딩(encoding) 방식으로 인코딩 된 송신 신호를 신호 처리하여 보상 신호를 생성하는 신호 처리부; 및 클럭 신호에 동기되어 상기 보상 신호에 대해 상기 제1 인코딩 방식과 상이한 제2 인코딩 방식에 대응되는 샘플링(sampling) 방식을 적용하여 수신 신호를 생성하는 디코딩부(decoding

unit);를 포함한다.

[0007] 상기 제1 인코딩 방식은 NRZ(Non-Return to Zero) 인코딩 방식이고, 상기 제2 인코딩 방식은 듀오 바이너리(duo-binary) 인코딩 방식일 수 있다.

[0008] 상기 신호 처리부는, 상기 송신 신호를 등화하는 등화기; 및 상기 등화기에 의해 등화된 신호를 증폭하여 상기 보상 신호로 출력하는 증폭기;를 포함할 수 있다.

[0009] 상기 디코딩부는, 상기 보상 신호에 대한 아이 다이어그램(eye diagram) 상의 제로 크로싱 포인트(zero crossing point)에서 상기 송신 신호에 대한 샘플링을 수행하여 상기 수신 신호를 생성할 수 있다.

[0010] 상기 클럭 신호는, 상기 송신 신호의 전송 속도의 1/2 이하의 클럭 주기를 가질 수 있다.

[0011] 상기 디코딩부는, 상기 클럭 신호의 제1 에지에서 상기 보상 신호가 제1 기준값보다 크거나 제2 기준값보다 작은 경우, 제1 결과값 또는 제2 결과값을 출력하는 제1 비교부; 상기 클럭 신호의 제1 에지에서 상기 보상 신호가 상기 제1 기준값보다 작고 상기 제2 기준값보다 큰 경우, 상기 클럭 신호의 제1 에지까지의 제1 주기에 대한 보상 신호를 적분한 적분값에 근거하여, 제3 결과값 또는 제4 결과값을 출력하는 제2 비교부; 및 상기 제1 내지 제4 결과값에 대응되는 상기 수신 신호를 결정하는 디코더(146decoder);를 포함할 수 있다.

[0012] 상기 제2 비교부는, 상기 클럭 신호의 제1 에지까지의 제1 주기에 대한 보상 신호를 적분하여 상기 적분값을 출력하는 차동 적분기; 및 상기 적분값에 근거하여 상기 제3 결과값 및 상기 제4 결과값 중 하나로 출력하는 제2 차동 비교기;를 포함할 수 있다.

[0013] 상기 차동 적분기는, 제1 회로 및 제2 회로를 포함하고, 상기 제1 회로는, 게이트가 서로 연결되어 상기 클럭 신호에 의해 게이팅(gating) 되고, 서로 연결된 일단에 전압이 인가되는 제1 타입(type)의 제11 및 제21 트랜지스터(transistor); 게이트가 상기 제11 및 제21 트랜지스터에 연결되고 양단이 상기 제11 및 제21 트랜지스터의 타단에 연결되는 상기 제1 타입의 제31 트랜지스터; 일단이 상기 제31 트랜지스터의 양단에 각각 연결되는 제11 및 제21 커패시터(capacitor); 게이트가 서로 연결되어 상기 클럭 신호의 반전 신호에 의해 게이팅 되고, 상기 제31 트랜지스터의 양단에 각각의 일단이 연결되는 상기 제1 타입의 제41 및 제51 트랜지스터; 상기 보상 신호에 의해 게이팅 되고, 일단이 상기 제41 트랜지스터에 연결되는 제2 타입의 제61 트랜지스터;를 포함하고, 상기 제2 회로는, 게이트가 서로 연결되어 상기 클럭 신호의 반전 신호에 의해 게이팅 되고, 서로 연결된 일단에 전압이 인가되는 상기 제1 타입의 제12 및 제22 트랜지스터; 게이트가 상기 제12 및 제22 트랜지스터에 연결되고 양단이 상기 제12 및 제22 트랜지스터의 타단에 연결되는 상기 제1 타입의 제32 트랜지스터; 일단이 상기 제32 트랜지스터의 양단에 각각 연결되는 제12 및 제22 커패시터; 게이트가 서로 연결되어 상기 클럭 신호에 의해 게이팅 되고, 상기 제32 트랜지스터의 양단에 각각의 일단이 연결되고, 상기 제41 및 제51 트랜지스터 중 대응되는 트랜지스터의 타단에 각각의 타단이 연결되는, 상기 제1 타입의 제42 및 제52 트랜지스터; 상기 보상 신호의 반전 신호에 의해 게이팅 되고, 일단이 상기 제52 트랜지스터의 타단에 연결되는 상기 제2 타입의 제62 트랜지스터;를 포함할 수 있다.

[0014] 상기 적분기는, 각각, 상기 제61 및 제62 트랜지스터와 병렬 연결되어, 상기 제31 및 제32 트랜지스터 양단에서의 전압을 조절하는, 상기 제2 타입의 제71 및 제72 트랜지스터;를 더 포함할 수 있다.

[0015] 상기 차동 적분기는, 각각, 상기 클럭 신호의 제1 에지 이전의 보상 신호에 따라 가중치가 달리 적용되는 적어도 둘 이상으로 구비될 수 있다.

[0016] 상기 제2 차동 비교기는, 상기 클럭 신호의 제1 에지 이전의 보상 신호에 따라 상기 적분값에 대한 가중치를 달리 적용할 수 있다.

[0017] 상기 적분값은, 상기 클럭 신호의 제1 에지 이전의 보상 신호에 따라 가중치가 달리 적용된 값일 수 있다.

[0018] 상기 디코딩부는, 모드 신호에 응답하여, 상기 제1 인코딩 방식으로 인코딩 된 송신 신호에 대해 상기 제1 인코딩 방식에 대응되는 샘플링을 수행할 수 있다.

[0019] 상기 수신기는 고속의 메모리 인터페이스(memory interface)를 수행할 수 있다.

[0020] 본 발명의 실시예에 따른 송수신 시스템은, 제1 인코딩(encoding) 방식으로 인코딩 된 송신 신호를 신호 처리하여 보상 신호를 생성하는 신호 처리부, 및 클럭 신호에 동기되어 상기 보상 신호에 대해 제2 인코딩 방식에 대응되는 샘플링(sampling) 방식을 적용하여 수신 신호를 생성하는 디코딩부(decoding unit)를 포함하는 수신기; 및 상기 제1 방식으로 인코딩 한 상기 송신 신호를 출력하는 송신기;를 포함한다.

[0021] 본 발명의 실시예에 따른 수신기는, 송신 신호를 신호 처리하여 보상 신호를 생성하는 신호 처리부; 및 상기 송신 신호의 전송 속도의 1/2 이하의 클럭 주기를 갖는 클럭 신호에 동기되어 상기 보상 신호를 샘플링(sampling)하여 수신 신호를 생성하는 디코딩부(decoding unit);를 포함하고, 상기 디코딩부는, 상기 클럭 신호의 제1 에지에서 상기 보상 신호가 제1 기준값보다 크거나 제2 기준값보다 작은 경우, 제1 결과값 또는 제2 결과값을 출력하는 제1 비교부; 상기 클럭 신호의 제1 에지에서 상기 보상 신호가 상기 제1 기준값보다 작고 상기 제2 기준값보다 큰 경우, 상기 클럭 신호의 제1 에지까지의 제1 주기에 대한 보상 신호를 적분한 적분값에 근거하여, 제3 결과값 또는 제4 결과값을 출력하는 제2 비교부; 및 상기 제1 내지 제4 결과값에 대응되는 상기 수신 신호를 결정하는 디코더(146decoder);를 포함한다.

[0022] 본 발명의 실시예에 따른 수신기의 동작 방법은, 제1 인코딩(encoding) 방식으로 인코딩 된 송신 신호를 신호 처리하여 보상 신호를 생성하는 단계; 및 클럭 신호에 동기되어 상기 보상 신호에 대해 제2 인코딩 방식에 대응되는 샘플링(sampling) 방식을 적용하여 수신 신호를 생성하는 단계;를 포함한다.

[0023] 상기 수신 신호를 생성하는 단계는, 상기 클럭 신호에 동기되어 상기 보상 신호에 대한 아이 다이어그램(eye diagram) 상의 제로 크로싱 포인트(zero crossing point)에서 상기 송신 신호에 대한 샘플링을 수행하는 단계;를 포함하고, 상기 클럭 신호는, 상기 송신 신호의 전송 속도의 1/2 이하의 클럭 주기를 가질 수 있다.

[0024] 상기 수신 신호를 생성하는 단계는, 상기 보상 신호가 제1 기준값 이상인 경우 “11”의 수신 신호로 디코딩하는 단계; 상기 보상 신호가 제2 기준값 이하인 경우 “00”의 수신 신호로 디코딩하는 단계; 상기 보상 신호가 상기 제1 기준값보다 작고 상기 제2 기준값보다 큰 경우, 상기 클럭 신호의 제1 에지까지의 제1 주기에 대한 보상 신호를 적분한 적분값에 근거하여, “10” 또는 “10”의 수신 신호로 디코딩하는 단계;를 포함할 수 있다.

발명의 효과

[0025] 본 발명의 실시예에 따른 수신기, 이의 동작 방법 및 이를 포함하는 송수신 시스템에 의하면, 송신기에서 추가적인 인코딩 동작을 수행하지 아니하더라도 수신기에서 정확하게 수신 신호를 출력할 수 있어, 전력 소모를 감소시킬 수 있다.

[0026] 본 발명의 실시예에 따른 수신기, 이의 동작 방법 및 이를 포함하는 송수신 시스템에 의하면, 송신 신호의 전송 속도의 1/2 이하의 클럭 신호에 동기되어 수신기가 동작하면서도 정확하게 수신 신호를 출력할 수 있어, 전력 소모를 감소시킬 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예에 따른 수신기를 나타내는 도면이다.

도 2는 본 발명의 실시예에 따른 수신기의 동작 방법을 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 신호 처리부를 나타내는 도면이다.

도 4는 NRZ 및 듀오 바이너리 인코딩 방식을 설명하기 위한 도면이다.

도 5 내지 도 7은 각각 본 발명의 실시예에 따른 디코딩부 및 이의 동작을 설명하기 위한 도면이다.

도 8은 본 발명의 실시예에 따른 디코딩부를 좀더 자세히 나타내는 도면이다.

도 9는 본 발명의 실시예에 따른 차동 적분기를 나타내는 도면이다.

도 10 내지 도 11은12는 각각 본 발명의 실시예에 따른 차동 적분기의 동작을 설명하기 위한 도면이다.

도 12는 본 발명의 실시예에 따른 디코딩부를 나타내는 도면이다.

도 13은 본 발명의 실시예에 따른 송수신 시스템을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 출원의 실시형태를 설명한다. 그러나, 본 출원의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 출원의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 출원의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의

동일한 부호로 표시되는 요소는 동일한 요소이다.

[0029] 그리고 도면에서 본 출원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0030] 도 1은 본 발명의 실시예에 따른 수신기를 나타내는 도면이고, 도 2는 본 발명의 실시예에 따른 수신기의 동작 방법을 나타내는 도면이다.

[0031] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 수신기(100))는 신호 처리부(120)) 및 디코딩부(decoding unit, 180)를 포함하여, 저전력으로도 송신 신호(TX)에 대응되는 정확한 수신 신호(RX)를 출력할 수 있다. 본 발명의 실시예에 따른 수신기의 동작 방법(200)은 보상 신호(CX)를 생성하는 단계(S220) 및 수신 신호(RX)를 생성하는 단계(S240)를 포함하여, 저전력으로도 송신 신호(TX)에 대응되는 정확한 수신 신호(RX)를 출력할 수 있다.

[0032] 본 발명의 실시예에 따른 수신기(100)) 및 수신기의 동작 방법(200)은 각각 500GB/s 이상의 SoC(System on Chip) 메모리 대역폭을 실현하는데 요구되는 고속의 메모리 인터페이스(memory interface)를 수행할 수 있다.

[0033] 본 발명의 실시예에 따른 수신기(100))는 본 발명의 실시예에 따른 수신기의 동작 방법(200)으로 동작할 수 있다. 또한, 본 발명의 실시예에 따른 수신기의 동작 방법(200)은 본 발명의 실시예에 따른 수신기(100))에서 실행될 수 있다. 그러나, 이에 한정되는 것은 아니다. 본 발명의 실시예에 따른 수신기(100))는 본 발명의 실시예에 따른 수신기의 동작 방법(200)과 다른 방법으로 동작할 수 있다. 또한, 본 발명의 실시예에 따른 수신기의 동작 방법(200)은 본 발명의 실시예에 따른 수신기(100))와 다른 장치 또는 시스템에서 실행될 수 있다.

[0034] 다만, 이하에서는 설명의 편의를 위해, 본 발명의 실시예에 따른 수신기(100))가 본 발명의 실시예에 따른 수신기의 동작 방법(200)으로 동작하고, 본 발명의 실시예에 따른 수신기의 동작 방법(200)이 본 발명의 실시예에 따른 수신기(100))에서 실행되는 예에 한하여 기술한다.

[0035] 이하에서는 본 발명의 실시예에 따른 비파괴 진단 시스템(100))의 각 모듈 및 본 발명의 실시예에 따른 수신기의 동작 방법(200)의 각 단계에 대해 더 구체적으로 설명한다.

[0036] 계속해서 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 신호 처리부(120)는 제1 인코딩(encoding) 방식으로 인코딩 된 송신 신호(TX)를 신호 처리하여 보상 신호(CX)를 생성한다(S220).

[0037] 도 3은 본 발명의 실시예에 따른 신호 처리부를 나타내는 도면이다.

[0038] 도 3을 참조하면, 본 발명의 실시예에 따른 신호 처리부(120)는 등화기(CTLE) 및 증폭기(AMP)를 포함할 수 있다. 등화기(CTLE)는 입력된 송신 신호(TX)를 등화하여 채널(CH)을 통한 전송 중에 야기된 감쇠 또는 왜곡 등의 영향을 감소시킨다. 증폭기(AMP)는 등화기(CTLE)에 의해 등화된 신호를 증폭하여 보상 신호(VP, VN)로 출력함으로써, 이후의 디코딩 동작을 정확하고 용이하게 한다.

[0039] 이때, 도 1의 수신기(100)의 비반전 단자(미도시)로 인가되는 송신 신호(TX)_P)에 대한 보상 신호(의 전압 레벨)를 VP라 하고, 반전 단자(미도시)로 인가되는 송신 신호(TX)_N)에 대한 보상 신호(의 전압 레벨)를 VN이라 한다. 이하, 마찬가지이다.

[0040] 신호 처리부(120)는 등화기(CTLE) 및 증폭기(AMP) 이외에 AFE(Analog Front End, 미도시) 등을 더 포함할 수 있다.

[0041] 다시 도 1 및 도 2를 참조하면, 디코딩부(140)는 클럭 신호(CLK)에 동기되어 보상 신호(CX)에 대해 제2 인코딩 방식에 대응되는 샘플링(sampling) 방식을 적용하여 수신 신호(RX)를 생성한다.

[0042] 제1 인코딩 방식이 NRZ(Non-Return to Zero) 인코딩 방식인 경우, 제2 인코딩 방식은 듀오 바이너리(duo-binary) 인코딩 방식일 수 있다. 제1 인코딩 방식 및/또는 제2 인코딩 방식은 다른 인코딩 방식일 수도 있다. 다만, 이하에서는 달리 언급하지 아니하는 한, 설명의 편의를 위해 제1 인코딩 방식이 NRZ이고 제2 인코딩 방식은 듀오 바이너리인 경우에 한하여 설명한다.

[0043] 도 4는 NRZ 및 듀오 바이너리 인코딩 방식을 설명하기 위한 도면이다.

[0044] 먼저, 도 4의 (a)를 참조하면, NRZ 인코딩 방식은 1과 0의 2진값을 각각 양의 전압(+1)과 음의 전압(-1)으로 변환하는 방식을 말한다. 송신기는 NRZ 인코딩 한 송신 신호(TX)를 출력하고, 수신기는 이를 수신하여 NRZ 인코딩에 대응되는 디코딩 동작을 수행하여 수신 신호(RX)로 출력한다. 이때, 전술한 바와 같이, 송신 신호(TX)가 채널을 통해 전송되는 과정에서 감쇠 또는 왜곡 등이 야기됨에 따라, 수신기는 등화기(미도시) 등에 의해 보상을 수행한다.

[0045] 다음으로, 도 4의 (b)를 참조하면, 듀오 바이너리 인코딩 방식은 NRZ 인코딩 된 신호(In)를 채널손실을 반영하여 프리코딩(precoding) 함으로써, 1과 0의 2진값에 대해 3개(또는 그 이상)의 레벨로 변환하는 방식을 말한다. 이를 위해, 송신기는 NRZ 인코딩인코딩 된 신호(In)를 프리코딩하는 프리코더(precoder)를 더 포함한다. 프리코딩 되어 송신기로부터 출력된 신호(Out)는 채널을 통해 전송되는 과정에서 3개(또는 그 이상)의 레벨로 변환된 송신 신호(TX)로 수신기에 입력된다.

[0046] 본 발명의 실시예에 따른 수신기, 이의 동작 방법 및 이를 포함하는 시스템에 의하면, NRZ 변환 방식 및 듀오 바이너리 변환 방식의 장점을 모두 구현할 수 있다.

[0047] 이하에서는 NRZ 변환 방식 및 듀오 바이너리 변환 방식의 장점을 모두 구현할 수 있는 본 발명의 실시예에 따른 디코딩부 및 이의 동작 방법에 대하여 더 자세히 설명한다.

[0048] 도 5 내지 도 7은 각각 본 발명의 실시예에 따른 디코딩부 및 이의 동작을 설명하기 위한 도면이다.

[0049] 도 5 내지 도 7을 참조하면, 본 발명의 실시예에 따른 디코딩부(140)는 제1 비교부(142), 제2 비교부(144) 및 디코더(146decoder, 146)를 포함할 수 있다.

[0050] 제1 비교부(142)는 클럭 신호(CLK)의 제1 에지에서 보상 신호(CX)가 제1 기준값(VH)보다 크거나 제2 기준값(VL)보다 작은 경우, 제1 결과값(CVAL1) 또는 제2 결과값(CVAL2)을 출력할 수 있다. 반전되지 않은 보상 신호(VP)가 제1 기준값(VH) 보다 큰 경우 'H', 즉 11에 대응되는 제1 결과값(CVAL1)이, 비반전된 보상 신호(VP)가 제2 기준값(VL) 보다 작은 경우 'L', 즉 00에 대응되는 제2 결과값(CVAL2)이 생성될 수 있다.

[0051] 제2 비교부(144)는 클럭 신호(CLK)의 제1 에지에서 보상 신호(CX)가 제1 기준값(VH)보다 작고 제2 기준값(VL)보다 큰 경우, 클럭 신호(CLK)의 제1 에지까지의 제1 주기에 대한 보상 신호(CX)를 적분한 적분값에 근거하여, 제3 결과값(CVAL3) 또는 제4 결과값(CVAL4)을 출력할 수 있다. 반전되지 않은 보상 신호(VP)가 제1 기준값(VH) 보다 작고 제2 기준값(VL) 보다 큰 경우 'M', 즉 01 또는 10에 대응되는 제3 결과값(CVAL3) 또는 제4 결과값(CVAL4)이 생성될 수 있다.

[0052] 디코더(146)는 제1 내지 제4 결과값(CVAL4CVAL1~CVAL4)에 대응되는 수신 신호(RX)를 결정할 수 있다. 예를 들어, 수신 신호(RX)는 클럭 신호(CLK)의 제1 주기(INTEG)에 대해 도 6의 아이 다이어그램(eye diagram) 상에 기재된 숫자와 같이, 반전되지 않은 보상 신호(VP)에 대해 11, 00, 01 및 10 중 하나로 결정될 수 있다.

[0053] 본 발명의 실시예에 따른 디코딩부(140)는 제1 방식이 NRZ이고 제2 방식이 듀오 바이너리인 경우, NRZ 인코딩 방식에 대응되는 아이 다이어그램의 아이(eye) 영역에서가 아닌, 제로 크로싱 포인트(zero crossing point), 즉 반전되지 않은 보상 신호(VP)와 반전된 보상 신호(VN)의 교차 지점에서 샘플링 동작을 수행할 수 있다.

[0054] 본 발명의 실시예에 따른 디코딩부(140)는 도 6 및 도 7의 (a)에 도시되는 바와 같이, 송신 신호(TX)의 전송 속도의 1/2 이하의 클럭 주기를 갖는 클럭 신호(CLK)에 동기되어 동작할 수 있다. 이 경우, 도 7의 (b)와 같이, 클럭 신호(CLK)가 송신 신호(TX)의 전송 속도와 동일한 클럭 주기를 갖는 경우와 대비하여 약 절반의 전력을 줄일 수 있다.

[0055] 이렇듯, 본 발명의 실시예에 따른 수신기, 이의 동작 방법 및 이를 포함하는 시스템에 의하면, NRZ 인코딩 되어 수신된 송신 신호(TX)에 대해 제1 기준값(VH) 및 제2 기준값(VL)의 두 개의 기준값과의 비교 동작 및 제로 크로싱 포인트에서의 샘플링 동작을 수행함으로써, NRZ 수신기에서의 송신 신호에 대한 3 레벨 처리가 가능할 수 있다. 이에, 수신기의 AFE(미도시) 등에서 대역폭을 2/3만 사용할 수 있다.

[0056] 또한, 본 발명의 실시예에 따른 수신기, 이의 동작 방법 및 이를 포함하는 시스템에 의하면, 클럭 신호(CLK)가 송신 신호(TX)의 전송 속도의 1/2 이하의 클럭 주기를 가짐으로써, 고속의 수신기 회로에서 가장 많은 전력을 소모하는 클럭킹(clocking)에 의한 전력을 줄임으로써, 저전력 구현이 가능할 수 있다.

[0057] 따라서, 본 발명의 실시예에 따른 수신기, 이의 동작 방법 및 이를 포함하는 시스템에 의하면, NRZ 수신기에서의 저전력 구현이 가능하다.

[0058] 도 8은 본 발명의 실시예에 따른 디코딩부를 좀더 자세히 나타내는 도면이다.

[0059] 도 6 및 도 8을 참조하면, 본 발명의 실시예에 따른 디코딩부(140)의 제1 비교부(142)는 차동 신호인 보상 신호(CX)에 대한 한 쌍의 제1 차동 비교기(CMP1)를 포함할 수 있다. 한 쌍의 제1 차동 비교기(CMP1) 중 하나는 클럭 신호(CLK) 중 반전되지 않은 클럭 신호(도 7의 CLK_odd)에 대해 동작하고, 다른 하나는 클럭 신호(CLK) 중 반전된 클럭 신호(도 7의 CLK_even)에 대해 동작할 수 있다. 다만, 제1 비교부(142)는 전술된 동작을 수행할 수 있는 다양한 형태의 회로 중 하나로 구비될 수 있다.

[0060] 제1 차동 비교기(CMP1)는 'L' 또는 'H'의 제1 결과값(CVAL1) 또는 제2 결과값(CVAL2)을 출력하고, 제1 결과값(CVAL1) 또는 제2 결과값(CVAL2)는 제2 비교부(144) 및 디코더(146)로 전송될 수 있다.

[0061] 제2 비교부(144)는 'M'의 제3 결과값(CVAL3) 또는 제4 결과값(CVAL4)을 출력하기 위해 차동 적분기(ITG) 및 제2 차동 비교기(CMP2)를 포함할 수 있다.

[0062] 한 쌍의 차동 적분기(ITG)는 각각 클럭 신호(CLK)의 제1 에지까지의 제1 주기에 대한 보상 신호(CX)를 적분하여 적분값을 출력할 수 있다. 한 쌍의 제2 차동 비교기(CMP2)는 대응되는 차동 적분기(ITG)가 출력한 적분값에 근거하여 제3 결과값(CVAL3) 및 제4 결과값(CVAL4) 중 하나로 출력할 수 있다. 도 8은 차동 적분기(ITG) 및 제2 차동 비교기(CMP2)가 각각 한 쌍씩 구비되는 예를 도시하였으나, 이에 한정되는 것은 아니고, 전술된 동작을 수행할 수 있는 다양한 형태의 회로 중 하나로 구비될 수 있다.

[0063] 이하에서는 차동 적분기(ITG)의 구조 및 동작의 예에 대하여 설명한다.

[0064] 도 9는 본 발명의 실시예에 따른 차동 적분기를 나타내는 도면이다.

[0065] 도 9를 참조하면, 본 발명의 실시예에 따른 차동 적분기(ITG)는 제1 회로(CIR1) 및 제2 회로(CIR2)를 포함할 수 있다.

[0066] 제1 회로(CIR1)는, 게이트가 서로 연결되어 클럭 신호(CLK)에 의해 게이팅(gating) 되고 서로 연결된 일단에 전압(VDD)이 인가되는 제1 타입(type)의 제11 및 제21 트랜지스터(transistor, T11, T21), 게이트가 제11 및 제21 트랜지스터(T11, T21)에 연결되고 양단이 제11 및 제21 트랜지스터(T11, T21)의 타단에 연결되는 제1 타입의 제31 트랜지스터(T31), 일단이 제31 트랜지스터(T31)의 양단에 각각 연결되는 제11 및 제21 커패시터(capacitor, C11, C12), 게이트가 서로 연결되어 클럭 신호의 반전 신호(CLKB)에 의해 게이팅 되고 제31 트랜지스터(T31)의 양단에 각각의 일단이 연결되는 제1 타입의 제41 및 제51 트랜지스터(T41, T51), 반전되지 않은 보상 신호(VP)에 의해 게이팅 되고 일단이 제41 트랜지스터(T41)에 연결되는 제2 타입의 제61 트랜지스터(T61)를 포함할 수 있다.

[0067] 제2 회로(CIR2)는, 게이트가 서로 연결되어 클럭 신호의 반전 신호(CLKB)에 의해 게이팅 되고 서로 연결된 일단에 전압(VDD)이 인가되는 제1 타입의 제12 및 제22 트랜지스터(T12, T22), 게이트가 제12 및 제22 트랜지스터(T12, T22)에 연결되고 양단이 제12 및 제22 트랜지스터(T12, T22)의 타단에 연결되는 제1 타입의 제32 트랜지스터(T32), 일단이 제32 트랜지스터(T32)의 양단에 각각 연결되는 제12 및 제22 커패시터(C12, C22), 게이트가 서로 연결되어 클럭 신호(CLK)에 의해 게이팅 되고, 제32 트랜지스터(T32)의 양단에 각각의 일단이 연결되고, 제41 및 제51 트랜지스터(T41, T51) 중 대응되는 트랜지스터의 타단에 각각의 타단이 연결되는 제1 타입의 제42 및 제52 트랜지스터(T42, T52), 보상 신호의 반전 신호(CLKBVN)에 의해 게이팅 되고 일단이 제52 트랜지스터(T52)의 타단에 연결되는 제2 타입의 제62 트랜지스터(T62)를 포함할 수 있다.

[0068] 또한, 차동 적분기(ITG)는, 각각, 제61 및 제62 트랜지스터(T61, T62)와 병렬 연결되어, 제31 및 제32 트랜지스터(T31, T32) 양단에서의 전압을 조절하는, 제2 타입의 제71 및 제72 트랜지스터(T71, T72)를 더 포함할 수 있다.

[0069] 또한, 차동 적분기(ITG)는, 그 출력이 일정한 전압 또는 전류로 유지될 수 있도록 바이어스 트랜지스터(Tbias)를 더 포함할 수 있다.

[0070] 이때, 제1 타입은 P타입이고, 제2 타입은 N타입일 수 있다.

[0071] 도 9의 차동 적분기(ITG)의 회로 동작에 대한 더 자세한 설명은 후술된다.

[0072] 도 10 내지 도 11은 각각 본 발명의 실시예에 따른 디코딩부의 동작을 설명하기 위한 도면이다.

[0073] 먼저, 도 6, 도 8 및 도 10을 참조하면, 차동 적분기(ITG)는 클럭 신호(CLK)의 제1 에지(t1)에서 보상 신호(V

P)가 제1 기준값(VH) 및 제2 기준값(VL) 사이의 값을 갖는 경우, 클럭 신호(CLK)의 제1 에지(t1)까지의 제1 주기(INTEG)에서의 보상 신호(VP, VN)을 차동 적분할 수 있다.

[0074] 이하에서는, 클럭 신호(CLK)의 제1 주기(INTEG)는 프리 에지(pre-edge, t0)에서 제1 에지(t1)까지의 구간으로 도시하고, 프리 에지(t0)에서의 결과값(01, 10, 00 및 11 중 하나)을 이전 데이터(PDTA), 제1 에지(t1)에서의 결과값(01, 10, 00 및 11 중 하나)을 현재 데이터(CDTA)로 기술한다.

[0075] 본 발명의 실시예에 따른 차동 적분기(ITG)는 이전 데이터(PDTA) 01, 10, 00 및 11의 4개의 경우 각각에 따라 달리 동작할 수 있다. 이전 데이터(PDTA)는 제1 차동 비교기(CMP1) 또는 디코더(146)의 출력에 근거하여 판단될 수 있다.

[0076] 먼저, 이전 데이터(PDTA)가 01인 경우에 대해, 본 발명의 실시예에 따른 차동 적분기(ITG)의 동작에 대하여 설명한다. 이때, 제1 회로(CIR1)를 기준으로 설명한다. 제2 회로(CIR2)는 제1 회로(CIR1)의 동작과 반전된 동작으로 이해할 수 있다.

[0077] 클럭 신호(CLK)가 프리 에지(t0)에서 라이징(rising)되기 전까지, 즉 클럭 신호(CLK)가 논리 로우(low)인 경우 PMOS 트랜지스터인 제11 내지 제31 트랜지스터(T11~T31)는 모두 턴-온(turn-on) 되어 전압(VDD)에 대응되는 전압이 제31 트랜지스터(T31)의 양단과 접지 전압 사이에 위치하는 제11 및 제21 커패시터(C11, C12)에 프리차지(prechage) 되므로, 제31 트랜지스터(T31)의 양단의 적분 전압(INTN, INTP)의 전압이 증가한다. 적분 전압(INTN, INTP)은 전술된 적분값을 의미한다.

[0078] 그후, 프리 에지(t0)에서 클럭 신호(CLK)가 라이징되면, 제11 내지 제31 트랜지스터(T11~T31)는 모두 턴-오프(turn-off) 되고 PMOS 트랜지스터인 제41 및 제51 트랜지스터(T41, T51)는 클럭 신호의 반전 신호(CLKB)에 의해 모두 턴-온 되므로, 전류가 제31 트랜지스터(T31)의 양단에서 NMOS 트랜지스터인 제61 및 제62 트랜지스터(T61, T62)로 흐른다. 이때, 제61 및 제62 트랜지스터(T61, T62)는 반전되지 않은 보상 신호(VP) 및 반전된 보상 신호(VN)에 의해 게이팅된다. 따라서, 제31 트랜지스터(T31)의 양단의 적분 전압(INTN, INTP)은 보상 신호(VP, VN)에 대응되어 낮아진다.

[0079] 이때, 이전 데이터(PDTA) 이후의 보상 신호(VP, VN)의 크기에 따라 제31 트랜지스터(T31)의 양단의 적분 전압(INTN, INTP) 사이의 전압 차이가 달라진다. 도 10의 (a)의 왼쪽 그래프와 같이 이전 데이터(PDTA)인 01 이후의 보상 신호(VP)의 크기가 작아지면, 도 10의 (b)의 왼쪽 그래프에 도시된 바와 같이 두 적분 전압(INTN, INTP)의 전압 차이도 작아진다. 마찬가지로, 도 10의 (a)의 오른쪽 그래프와 같이 이전 데이터(PDTA)인 01 이후의 보상 신호(VP)의 크기가 커지면, 도 11의 (b)의 오른쪽 그래프에 도시된 바와 같이 두 적분 전압(INTN, INTP)의 전압 차이도 커지게 된다.

[0080] 이때, 도 10의 (b)의 왼쪽 그래프와 같이, 제1 에지(t1)에서의 두 적분 전압(INTN, INTP)이 모두 V1으로 전압의 차이가 없는 경우, 제2 차동 비교기(CMP2)가 정확한 결과값(CVAL3, CVAL4)을 생성하기 어려울 수 있다. 제2 차동 비교기(CMP2)는 적분값인 두 적분 전압(INTN, INTP) 중 큰 적분 전압에 대응되어 제3 결과값(CVAL3) 또는 제4 결과값(CVAL4)을 출력하기 때문이다.

[0081] 본 발명의 실시예에 따른 차동 적분기(ITG)는 이전 데이터(PDTA)에 따라 적분 전압(INTN, INTP)에 대한 가중치를 달리 적용할 수 있다. 즉, 본 발명의 실시예에 따른 차동 적분기(ITG)는 전술한 바와 같이, 제61 및 제62 트랜지스터(T61, T62)와 병렬 연결되는 NMOS인 제71 및 제72 트랜지스터(T71, T72)를 더 구비하고, 제71 트랜지스터(T71)는 제2 기준값(VL)에 의해 게이팅 되고 제72 트랜지스터(T72)는 제2 기준값(VL)에 의해 게이팅 되게 한다. 따라서, 도 10의 (c)의 왼쪽 그래프와 같이, 제1 에지(t1)에서 두 적분 전압(INTN, INTP) 중 적분 전압(INTN)은 상대적으로 천천히 감소하고 다른 적분 전압(INTP)은 상대적으로 빨리 감소하여 제1 에지(t1)에서 각각 V1’ 와 V1”의 전압을 가지게 된다. 이때, 가중된 전압값(V1±V1’ 또는 V1±V1”)는 제1 주기(INTEG)에서의 적분값에 대한 면적의 1/2이 되도록 제71 및 제72 트랜지스터(T71, T72)가 구비될 수 있다.

[0082] 이 경우, 제2 차동 비교기(CMP2)는 크기가 더 큰 적분 전압(INTN)에 대응되는 제3 결과값(CVAL3)을 출력할 수 있다. 디코더(146)는 제3 결과값(CVAL3)에 대응되는 01의 현재 데이터(CDTA)를 제1 에지(t1)에서의 수신 신호(RX)로 출력할 수 있다.

[0083] 동일한 차동 적분기(ITG)의 동작이므로, 도 10의 (b)의 오른쪽 그래프도 동일한 가중치로 조절된다. 즉, 도 10의 (c)의 왼쪽 그래프와 같이, 제1 에지(t1)에서 두 적분 전압(INTN, INTP) 중 적분 전압(INTN)은 V2n에서 가중된 전압값 만큼 상승한 V2n’의, 다른 적분 전압(INTP)은 V2p에서 가중된 전압값 만큼 하강한 V2p’의 전압을 가지게 된다. 이 경우, 제2 차동 비교기(CMP2)는 크기가 더 큰 적분 전압(INTP)에 대응되는 제4 결과값(CVAL4)

을 출력할 수 있다. 디코더(146)는 제4 결과값(CVAL4)에 대응되는 10의 현재 데이터(CDTA)를 제1 에지(t1)에서의 수신 신호(RX)로 출력할 수 있다.

[0084] 다시 도 8을 참조하면, 한 쌍이 차동 적분기(ITG) 중 하나는 전술된 도 9의 회로와 동일한 구조를 갖고 도 10의 동작과 동일한 동작을 수행할 수 있다. 도 9의 회로와 동일한 구조를 갖고 도 10의 동작과 동일한 동작을 수행하는 차동 적분기(ITG)는 이전 데이터(PDTA)가 01이거나 00인 경우에 의미있는 결과값을 출력할 수 있다.

[0085] 반면, 한 쌍이 차동 적분기(ITG) 중 다른 하나는 가중치 부여와 관련하여, 도 9의 제71 및 제72 트랜지스터(T71, T72)의 게이팅 신호가 전술된 바와 반대될 수 있다. 즉, 제71 트랜지스터(T71)는 제1 기준값(VH)에 의해 게이팅되고, 제72 트랜지스터(T72)는 제2 기준값(VL)에 의해 게이팅 될 수 있다. 이러한 구조의 차동 적분기(ITG)는 이전 데이터(PDTA)가 10이거나 11인 경우에 의미있는 결과값을 출력할 수 있다.

[0086] 예를 들어, 도 11에 도시된 바와 같이, 이전 데이터(PDTA)가 11인 경우, 제71 트랜지스터(T71)는 제1 기준값(VH)에 의해 게이팅되고, 제72 트랜지스터(T72)는 제2 기준값(VL)에 의해 게이팅 됨에 따라, 두 적분 전압(INTN, INTP)의 차이가 더 줄어드는 방향으로 가중치가 부가될 수 있다. 그런데, 가중치가 부여된 차동 적분기(ITG)의 출력을 나타내는 도 11의 (C)를 참조하면, 현재 데이터(CDTA)와 무관하게 두 적분 전압(INTN, INTP) 중 적분 전압(INTP)이 더 커서, 제2 차동 비교기(CMP2)가 현재 데이터(CDTA)를 식별할 수 없을 수 있다. 본 발명의 실시예에 따른 제2 차동 비교기(CMP2)는 클럭 신호(CLK)의 이전 데이터(PDTA)에 따라 적분값에 대한 가중치를 달리 적용할 수 있다.

[0087] 예를 들어, 제2 차동 비교기(CMP2)는 입력단에 연결되는 오프셋 회로(미도시)를 포함하고, 두 적분 전압(INTN, INTP) 중 하나의 적분 전압의 전압 레벨을 조절할 수 있다. 예를 들어, 오프셋 회로는 하나의 적분 전압(INTP)이 입력되는 입력단에 병렬로 연결되어 이전 데이터(PDTA)가 11일 때 턴-온되는 NMOS 트랜지스터를 포함하고, 다른 적분 전압(INTN)의 입력단에 병렬로 연결되어 접지 전압으로 게이팅 되는 트랜지스터를 포함할 수 있다.

[0088] 따라서, 하나의 적분 전압(INTP)의 전압 레벨을 낮출 수 있다. 이때, 다른 적분 전압(INTN)은 전압 레벨을 유지하게 된다. 따라서, 차동 적분기(ITG)의 출력(도 11의 (c))인 두 적분 전압(INTN, INTP)의 차이가 작은 경우, 예를 들어, 현재 데이터(CDTA)가 01인 경우, 두 적분 전압(INTN, INTP)의 상대적 크기가 반전될 수 있다. 즉, 현재 데이터(CDTA)가 01인 경우, 차동 적분기(ITG)의 출력은 적분 전압(INTP)의 전압 레벨이 다른 적분 전압(INTN)보다 큰데 제2 차동 비교기(CMP2)의 오프셋 회로를 통해 적분 전압(INTP)의 전압 레벨이 더 작게 된다. 오프셋 회로에 의해 현재 데이터(CDTA)가 10인 경우에도 적분 전압(INTP)의 전압 레벨은 낮아질 것이나 다른 적분 전압(INTN)과의 상대적 크기를 반전시킬 정도에 미치지 아니한다.

[0089] 제2 차동 비교기(CMP2)는 오프셋 회로를 통해 전압 조절된 두 적분 전압(INTN, INTP)의 상대적 전압 크기에 따라 다른 출력을 생성하고, 이에 디코더(146)는 현재 데이터(CDTA)를 10 또는 01로 디코딩할 수 있다.

[0090] 이렇듯, 본 발명의 실시예에 따른 수신기, 이의 동작 방법 및 이를 포함하는 송수신 시스템에 의하면, 클럭 신호(CLK)의 클럭 주기가 송신 신호(TX)의 전송 속도의 1/2에 불과하더라도 정확한 수신 신호(RX)를 출력할 수 있어 저전력 구현이 가능할 수 있다.

[0091] 이상에서 도 8 등의 디코딩부(140)에 대해 설명함에 있어, 설명의 편의를 위해 제1 비교부(142), 제2 비교부(144) 및 디코더(146) 사이에서 결과값(CVAL1~CVAL4) 중 일부 결과값만 전송되는 것으로 설명하였으나, 이에 한정되는 것은 아니다. 모든 결과값을 서로 전송할 수 있고, 나아가 디코더(146)의 디코딩 결과(수신 신호(RX)가 제1 비교부(142) 및 제2 비교부(144)에 전달될 수도 있다.

[0092] 도 12는 본 발명의 실시예에 따른 디코딩부를 나타내는 도면이다.

[0093] 도 1 및 도 12를 참조하면, 본 발명의 실시예에 따른 디코딩부(140)는 모드 신호(XMOD)에 응답하여, 송신 신호(TX)의 인코딩 방식(제1 인코딩 방식)과 다른 인코딩 방식(제2 인코딩 방식)이 아닌, 동일한 인코딩 방식에 대응되는 샘플링을 수행할 수 있다. 예를 들어, NRZ 방식으로 변환된 송신 신호(TX)에 대해, 도 12의 디코딩부(140)는 아이 다이어그램의 아이 영역에서 샘플링을 수행할 수 있다. 또는 듀오 바이너리 방식으로 변환된 송신 신호(TX)에 대해, 도 12의 디코딩부(140)는 아이 다이어그램의 제로 크로싱 포인트에서 샘플링을 수행할 수 있다.

[0094] 도 13은 본 발명의 실시예에 따른 송수신 시스템을 나타내는 도면이다.

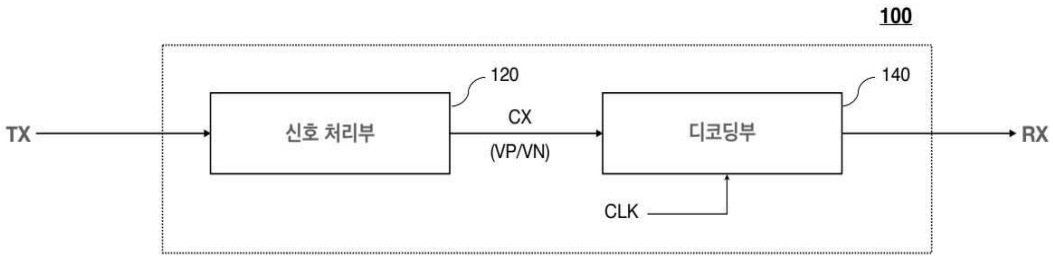
[0095] 도 13을 참조하면, 본 발명의 실시예에 따른 송수신 시스템(1000)은 수신기(100) 및 송신기(300를 포함한다. 송신기(300는 입력 데이터(IDTA)를 제1 인코딩 방식으로 변환하여 송신 신호(TX)로 출력한다. 수신기(100)는 송신

신호(TX)를 수신하여 제1 인코딩 방식과 상이한 제2 인코딩 방식에 대응되는 샘플링 동작을 수행하여 수신 신호(RX)를 출력한다. 도 14의 수신기(100)는 상술된 수신기와 동일하거나 유사한 구조로 구현되어 상술된 수신기와 동일하거나 유사한 동작을 수행할 수 있다.

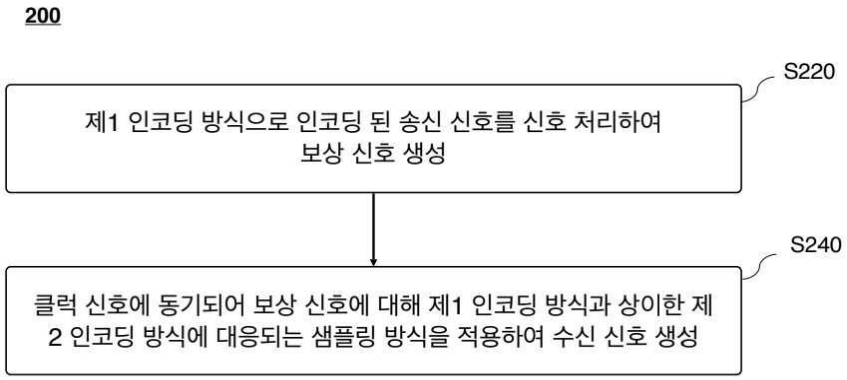
[0096] 이상에서 본 발명의 대표적인 실시예들을 상세하게 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면

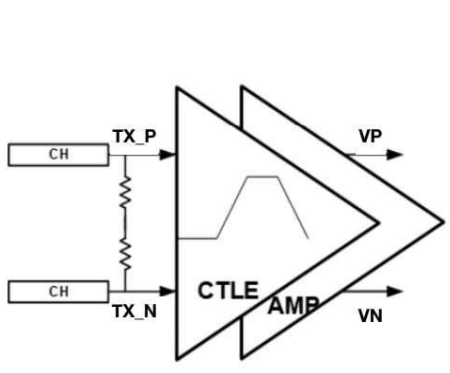
도면1



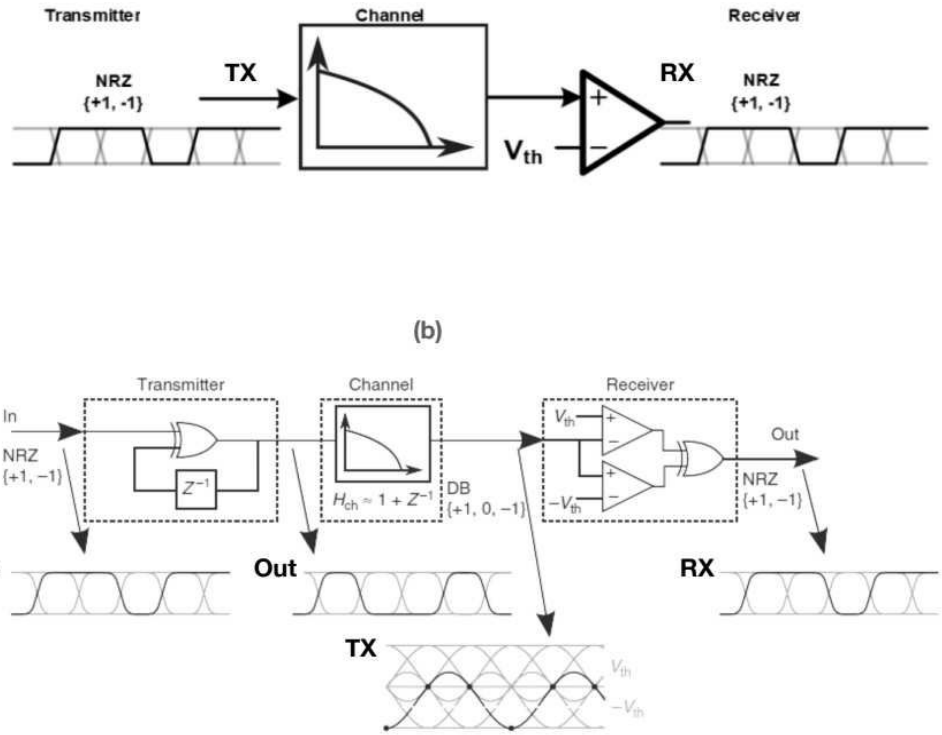
도면2



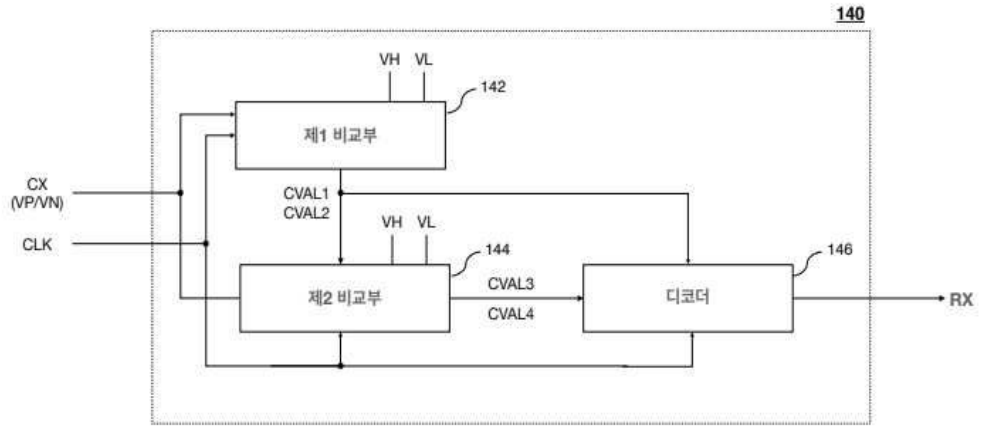
도면3



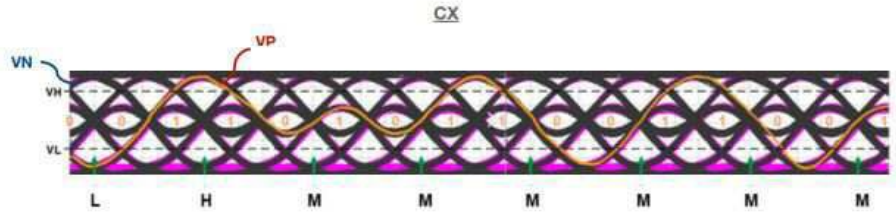
도면4


Transmitter
Channel
Receiver
NRZ
{+1, -1}
TX
RX
NRZ
{+1, -1}
Vth
(b)
Transmitter
Channel
Receiver
In
NRZ
{+1, -1}
Out
NRZ
{+1, -1}
DB
{+1, 0, -1}
In
Out
RX
TX

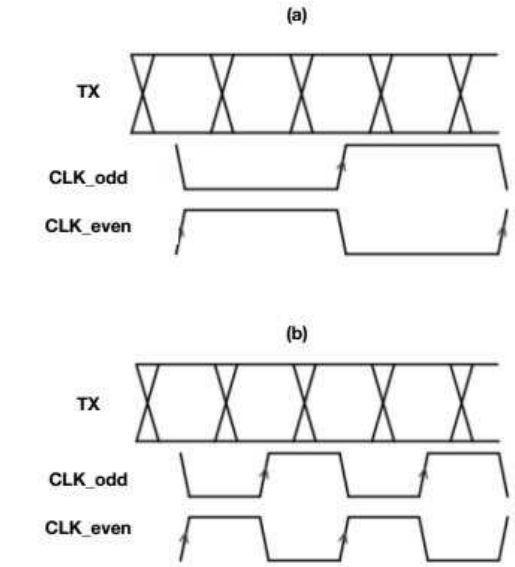
도면5


140
VH VL
142
제1 비교부
CX
(VP/VN)
CLK
CVAL1
CVAL2
VH VL
144
146
제2 비교부
CVAL3
CVAL4
디코더
RX

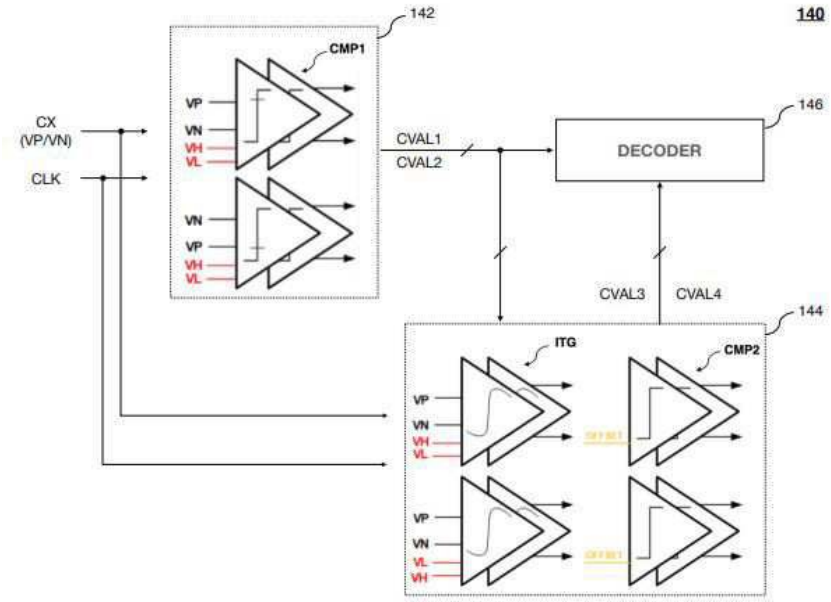
도면6


CX
VP
VN
VH
VL
L
H
M
M
M
M
M
M

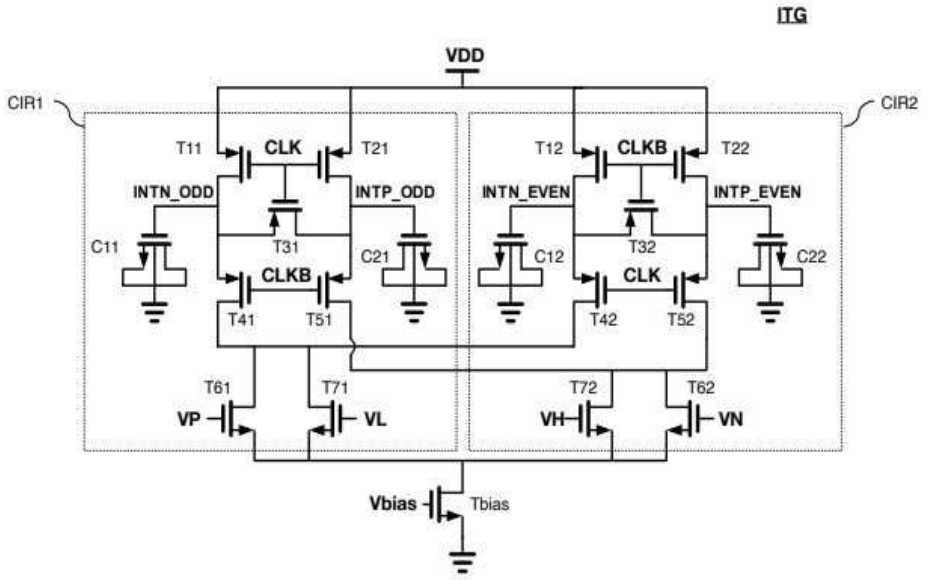
도면7


(a)
TX
CLK_odd
CLK_even
(b)
TX
CLK_odd
CLK_even

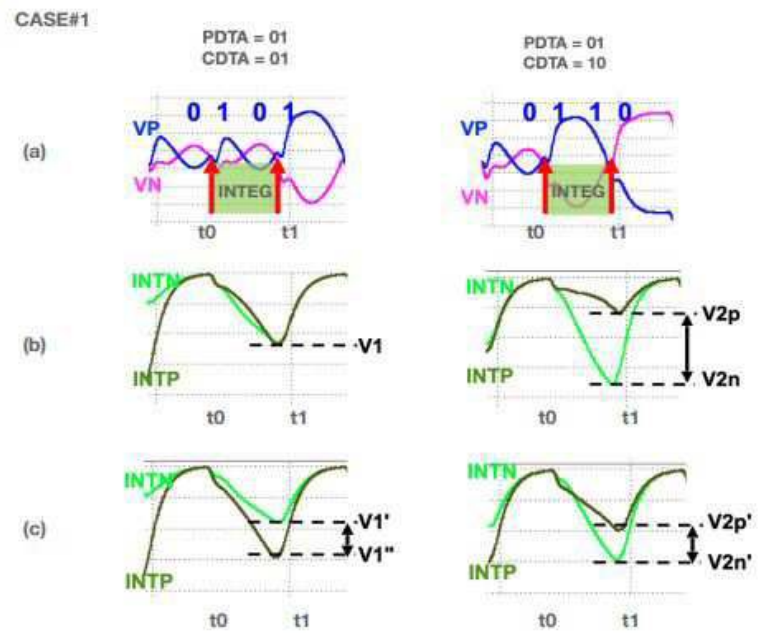
도면8


140
142
CMP1
VP
VN
VH
VL
VN
VP
VH
VL
CX
(VP/VN)
CLK
CVAL1
CVAL2
146
DECODER
CVAL3
CVAL4
144
ITG
CMP2
VP
VN
VH
VL
VP
VN
VL
VH

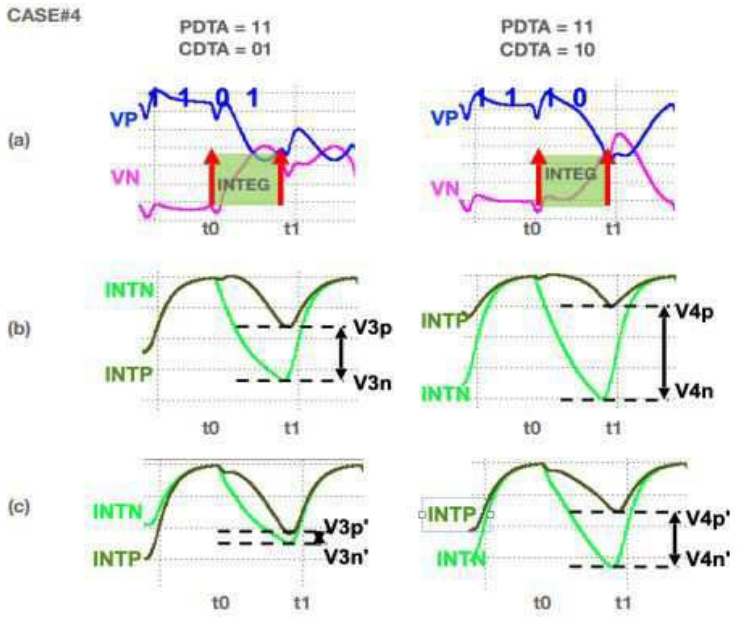
도면9


ITG
VDD
CIR1
CIR2
T11
CLK
T21
T12
CLKB
T22
INTN_ODD
INTP_ODD
INTN_EVEN
INTP_EVEN
C11
T31
C21
C12
T32
C22
CLKB
CLK
T41
T51
T42
T52
T61
T71
T72
T62
VP
VL
VH
VN
Vbias
Tbias

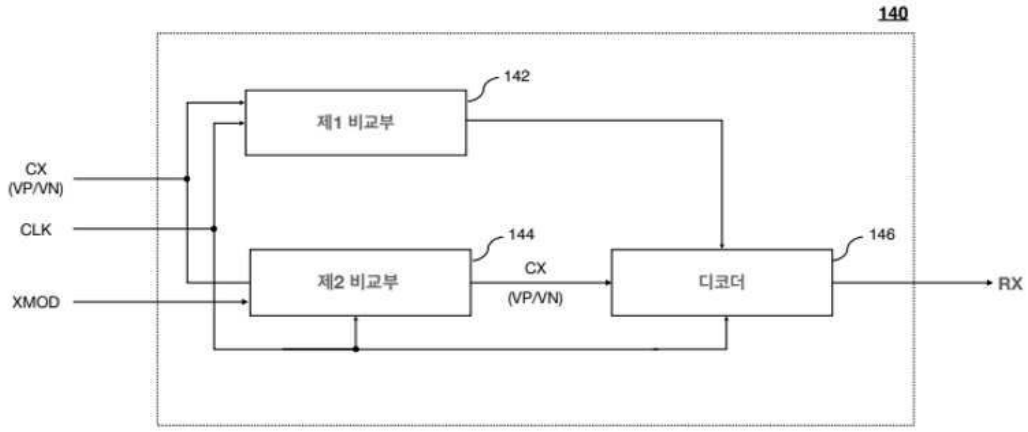
도면10


CASE#1
PDTA = 01
CDTA = 01
PDTA = 01
CDTA = 10
(a)
0 1 0 1
0 1 1 0
VP
VN
INTEG
t0
t1
(b)
INTN
INTP
V1
V2p
V2n
(c)
V1'
V1"
V2p'
V2n'

도면11



도면12



도면13

