

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011 年 10 月 13 日(13.10.2011)

PCT

(10) 国際公開番号  
WO 2011/126049 A1

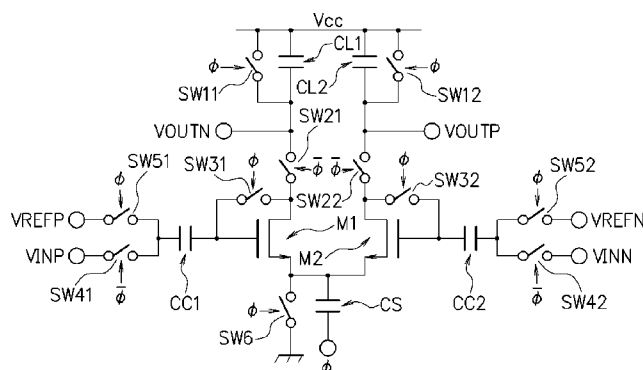
- (51) 国際特許分類:  
H03M 1/10 (2006.01) H03M 1/36 (2006.01)  
H03K 5/08 (2006.01)
- (21) 国際出願番号: PCT/JP2011/058723
- (22) 国際出願日: 2011 年 4 月 6 日(06.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-087965 2010 年 4 月 6 日(06.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人 鹿児島大学 (KAGOSHIMA UNIVERSITY) [JP/JP]; 〒8908580 鹿児島県鹿児島市郡元一丁目 2 1 番 2 4 号 Kagoshima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大畠 賢一 (OHHATA, Kenichi) [JP/JP]; 〒8908580 鹿児島県鹿児島市郡元一丁目 2 1 番 2 4 号 国立大学法人 鹿児島大学内 Kagoshima (JP). 山下 喜市 (YAMASHITA, Kiichi) [JP/JP]; 〒8908580 鹿児島県鹿児島市郡元一丁目 2 1 番 2 4 号 国立大学法人 鹿児島大学内 Kagoshima (JP).
- (74) 代理人: 國分 孝悦(KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋 1 丁目 1 7 番 8 号 NBF 池袋シティビル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: COMPARATOR, DIFFERENTIAL AMPLIFIER CIRCUIT, AND ANALOG/DIGITAL CONVERTER

(54) 発明の名称: 比較器、差動アンプ回路、ラッチ回路、及びアナログデジタル変換器

[図2]



(57) Abstract: Disclosed is a comparator for performing comparison between an analog input signal and a comparison reference voltage at an analog/digital converter comprising a pre-amp unit constituted to include: a load carrying capacitor; a charge source; a transistor wherein a drain is connected to the load carrying capacitor and a source is connected to the charge source; and a compensation circuit wherein the analog input signal or the comparison reference voltage is input to an input terminal, and an output terminal is connected to a gate of the transistor. The compensation circuit detects and stores voltage information including information of an offset voltage in a reset period, and compensates the offset voltage using the stored voltage information in an amplifying period so as to be able to perform offset cancellation while maintaining low power consumption even if an MOS transistor is used as a driving element in a CS amplifier.

(57) 要約:

[続葉有]

WO 2011/126049 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

アナログデジタル変換器でアナログ入力信号と比較基準電圧との比較を行う比較器が有するプリアンプ部を、負荷容量と、電荷源と、ドレインが負荷容量に接続されソースが電荷源に接続されるトランジスタと、入力端にアナログ入力信号又は比較基準電圧が入力され出力端がトランジスタのゲートに接続される補償回路とを含み構成し、補償回路が、リセット期間においてオフセット電圧の情報を含む電圧情報を検出して記憶し、増幅期間において記憶した電圧情報を用いてオフセット電圧を補償するようにして、CSアンプにおける駆動素子としてMOSトランジスタを用いても低消費電力性を維持したままオフセットキャンセルを行えるようにする。

## 明 細 書

発明の名称：

比較器、差動アンプ回路、ラッチ回路、及びアナログデジタル変換器

技術分野

[0001] 本発明は、アナログデジタル変換器（ＡＤ変換器）及びＡＤ変換器に用いて好適な比較器に関する。

背景技術

[0002] 並列型アナログデジタル変換器（ＡＤ変換器）は、比較器を並列に動作させて、アナログ入力信号と複数の比較基準電圧との比較を並列に実行することで、高速にＡＤ変換を行うことが可能である。その反面、例えば $n$ ビット並列型ＡＤ変換器（全ビットフラッシュＡＤ変換器）の場合には $(2^n - 1)$ 個の比較器が必要となる。比較器の数が多いために、並列型ＡＤ変換器は消費電力が大きいという課題がある。

[0003] ＡＤ変換器に用いられる比較器は、アナログ入力信号と比較基準電圧との差を増幅するプリアンプ部と、プリアンプ部の出力の符号を判定するラッチ部とを有する。プリアンプ部での消費電力が、比較器全体での消費電力の大半を占めている。通常のプリアンプ部には、プリアンプ部が有するトランジスタをバイアスするためのバイアス電流源が必要であり、常時電力が消費されてしまうために低消費電力化が困難であった。

[0004] 前述した問題を解決するための１つの手法として、図９に示すようなCharge

steering（ＣＳ）アンプが提案されている（例えば非特許文献１参照。）。

ＣＳアンプは、従来用いられていた電流源の代わりに電荷源ＣＳを用いるとともに、負荷抵抗の代わりに負荷容量ＣＬを用いる。ＣＳアンプは、リセット期間において信号 $\phi$ をハイレベル（“Ｈ”、例えば５Ｖ）とするとともに信号 $\phi$ をローレベル（“Ｌ”、例えば０Ｖ）とする。また、ＣＳアンプは、増幅期間において信号 $\phi$ を“Ｌ”とするとともに信号 $\phi$ を“Ｈ”とする

。このようにしてCSアンプは、電荷源CSに蓄えられた電荷を負荷容量C<sub>L</sub>へ移動させることで増幅を行う。図9に示すようにCSアンプは、常時電流が流れる電流源を用いないため、消費電力を大幅に削減することが可能となる。

[0005] しかし、CSアンプは、リセット期間において増幅動作を行わない。そのため、CSアンプは、一般に使用される従来のオフセットキャンセルに係る手法が適用できないという問題があった。このような理由から、CSアンプにおいて増幅を司るトランジスタとしては、比較的オフセット電圧が小さいバイポーラトランジスタのみが適用されていた。

## 先行技術文献

### 非特許文献

[0006] 非特許文献1: P. J. Lim et al., "An 8-bit 200-MHz BiCMOS Comparator", IEEE J. Solid-State Circuits, vol. 25, no. 1, pp. 192-199, Feb. 1990

## 発明の概要

### 発明が解決しようとする課題

[0007] 本発明は、駆動素子としてMOSトランジスタを用いても、CSアンプの低消費電力性を維持したまま、オフセットキャンセルを行えるようにすることを目的とする。

### 課題を解決するための手段

[0008] 本発明に係る比較器は、アナログ入力信号と比較基準電圧との差を増幅するプリアンプ部と、前記プリアンプ部の出力を基に、前記アナログ入力信号と前記比較基準電圧との大小関係を判定するラッチ部とを備え、前記プリアンプ部は、ドレインを出力端子とするトランジスタと、前記出力端子に接続される負荷容量と、前記トランジスタのソースに接続される電荷源と、前記アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記トランジスタのゲートに接続される補償回路とを備え、前記補償回路は、前記入力端に前記比較基準電圧が入力される第1の期間に前記トランジスタのゲー

トとドレインを接続し、前記トランジスタのオフセット電圧に係る情報を含む電圧情報を検出して記憶し、前記入力端に前記アナログ入力信号が入力される第2の期間に前記第1の期間において記憶した前記電圧情報を用いて前記トランジスタのオフセット電圧を補償することを特徴とする。

[0009] 本発明に係るアナログデジタル変換器は、入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、前記アナログ入力信号と比較基準電圧との差を増幅するプリアンプ部をそれぞれが有し、互いに異なる前記比較基準電圧が入力され、当該比較基準電圧と前記アナログ入力信号とを比較する複数の比較器と、前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダとを備え、前記プリアンプ部は、ドレインを出力端子とするトランジスタと、前記出力端子に接続される負荷容量と、前記トランジスタのソースに接続される電荷源と、前記アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記トランジスタのゲートに接続される補償回路とを備え、前記補償回路は、前記入力端に前記比較基準電圧が入力される第1の期間に前記トランジスタのゲートとドレインを接続し、前記トランジスタのオフセット電圧に係る情報を含む電圧情報を検出して記憶し、前記入力端に前記アナログ入力信号が入力される第2の期間に前記第1の期間において記憶した前記電圧情報を用いて前記トランジスタのオフセット電圧を補償することを特徴とする。

### 発明の効果

[0010] 本発明によれば、補償回路により第1の期間にてオフセット電圧に係る情報を含む電圧情報を検出して記憶し、記憶した電圧情報を用いて第2の期間にてオフセット電圧をキャンセルする。これにより、CSアンプにおける駆動素子としてMOSトランジスタを用いてもオフセットをキャンセルすることができる。したがって、CSアンプの低消費電力性を維持したまま、オフセットキャンセルを行えるプリアンプ部を有する比較器、及びそれを用いたアナログデジタル変換器を提供することが可能となる。

### 図面の簡単な説明

[0011] [図1] 図 1 は、本実施形態におけるアナログデジタル変換器の構成例を示す図である。

[図2] 図 2 は、本実施形態におけるプリアンプ部の回路構成例を示す図である。

[図3] 図 3 は、本実施形態におけるプリアンプ部のリセット期間での動作を説明するための図である。

[図4] 図 4 は、本実施形態におけるプリアンプ部の増幅期間での動作を説明するための図である。

[図5A] 図 5 A は、本実施形態におけるオフセット補償の効果を説明するための図である。

[図5B] 図 5 B は、本実施形態におけるオフセット補償の効果を説明するための図である。

[図6A] 図 6 A は、本実施形態におけるプリアンプ部の他の構成例を示す図である。

[図6B] 図 6 B は、図 6 A に示すプリアンプ部でのオフセット電圧を示す図である。

[図7] 図 7 は、本実施形態におけるプリアンプ部の他の構成例を示す図である。

[図8A] 図 8 A は、本実施形態におけるアナログデジタル変換器の他の構成例を示す図である。

[図8B] 図 8 B は、本実施形態におけるアナログデジタル変換器の他の構成例を示す図である。

[図9] 図 9 は、従来のCSアンプの回路構成を示す図である。

[図10] 図 1 0 は、本実施形態におけるラッチ部の回路構成例を示す図である。

[図11] 図 1 1 は、本実施形態におけるラッチ部の他の回路構成例を示す図である。

[図12A] 図 1 2 A は、従来技術による比較器の構成例を示す図である。

[図12B] 図 1 2 B は、本実施形態による比較器の構成例を示す図である。

[図13] 図 1 3 は、本実施形態におけるラッチ部の他の構成例を示す図である。

[図14] 図 1 4 は、本実施形態におけるラッチ部の他の構成例を示す図である。

[図15] 図 1 5 は、本実施形態におけるラッチ部の他の構成例を示す図である。

### 発明を実施するための形態

[0012] 以下、本発明の実施形態を図面に基づいて説明する。

[0013] 図 1 は、本発明の一実施形態におけるアナログデジタル変換器（A/D変換器）の構成例を示す図である。図 1 には、入力されたアナログ入力信号  $V_{IN}$  を  $n$  ビット（ $n$  は自然数）のデジタル信号  $DT[n-1:0]$  に変換する並列型 A/D 変換器（フラッシュ A/D 変換器）を一例として示している。また、図 1 においては、シングルエンド構成で図示している。

[0014] 図 1 において、 $CMP_i$  は比較器（コンパレータ）であり、 $ENC1$  はエンコーダである。

比較器  $CMP_i$  は、アナログ入力信号  $V_{IN}$  及び比較基準電圧  $V_{ref_i}$  が入力される。比較器  $CMP_i$  は、入力されたアナログ入力信号  $V_{IN}$  と比較基準電圧  $V_{ref_i}$  とを比較し、その比較結果を出力する。比較基準電圧  $V_{ref_i}$  は、例えば電圧  $V_{RH}$ （高電位側の基準電圧）と電圧  $V_{RL}$ （低電位側の基準電圧）間を分圧（例えば抵抗分圧）することで生成される。なお、比較器  $CMP_i$  及び比較基準電圧  $V_{ref_i}$  に付している“ $i$ ”は添え字であり、 $i$  は  $1 \sim m$ （ $m = 2^n - 1$ ）の整数である。

[0015] 詳細には、比較器  $CMP_i$  の各々は、プリアンプ部とラッチ部とを有する。プリアンプ部は、アナログ入力信号  $V_{IN}$  と比較基準電圧  $V_{ref_i}$  とが入力される。プリアンプ部は、入力されたアナログ入力信号  $V_{IN}$  と比較基準電圧  $V_{ref_i}$  との差（差電圧）を増幅して出力する。ラッチ部は、プリアンプ部の出力の符号を判定して（最終的に“1”又は“0”の値に判定し

て)、判定結果を出力する。言い換えれば、ラッチ部は、プリアンプ部の出力を基に、アナログ入力信号 $V_{IN}$ と比較基準電圧 $V_{ref i}$ との大小関係を判定する。

[0016] エンコーダ $ENC 1$ は、各比較器 $CMP i$ でのアナログ入力信号 $V_{IN}$ と比較基準電圧 $V_{ref i}$ との比較結果(各比較器 $CMP i$ のラッチ部からの出力)が入力される。エンコーダ $ENC 1$ は、それら比較結果をエンコードしてデジタル信号 $DT[n-1:0]$ に変換し出力する。

[0017] 図2は、本実施形態におけるプリアンプ部の回路構成例を示す図である。本実施形態におけるプリアンプ部は、CMOS製造技術(プロセス技術)を適用してCS(Charge steering)アンプの回路構成を実現したものである。本実施形態におけるプリアンプ部は、増幅を司る差動対のトランジスタ(駆動素子)としてMOS(metal oxide semiconductor)トランジスタを適用して構成される。

[0018] 本実施形態におけるプリアンプ部は、負荷容量 $CL 1$ 、 $CL 2$ 、MOSトランジスタ $M 1$ 、 $M 2$ 、電荷源CS、検出容量 $CC 1$ 、 $CC 2$ 、及びスイッチ $SW 1 1$ 、 $SW 1 2$ 、 $SW 2 1$ 、 $SW 2 2$ 、 $SW 3 1$ 、 $SW 3 2$ 、 $SW 4 1$ 、 $SW 4 2$ 、 $SW 5 1$ 、 $SW 5 2$ 、 $SW 6$ を有する。

[0019] 負荷容量 $CL 1$ 、 $CL 2$ は、負荷素子をなすものである。負荷容量 $CL 1$ は、一方の電極が電源電圧( $V_{cc}$ )に接続され、他方の電極がスイッチ $SW 2 1$ を介してMOSトランジスタ $M 1$ のドレインに接続されている。同様に、負荷容量 $CL 2$ は、一方の電極が電源電圧( $V_{cc}$ )に接続され、他方の電極がスイッチ $SW 2 2$ を介してMOSトランジスタ $M 2$ のドレインに接続されている。また、負荷容量 $CL 1$ 、 $CL 2$ に並列してスイッチ $SW 1 1$ 、 $SW 1 2$ が設けられている。スイッチ $SW 1 1$ により負荷容量 $CL 1$ における一方の電極と他方の電極とが接続可能となっており、スイッチ $SW 1 2$ により負荷容量 $CL 2$ における一方の電極と他方の電極とが接続可能となっている。

[0020] MOSトランジスタ $M 1$ 、 $M 2$ は、駆動素子をなすものである。MOSト

ランジスタM1は、ゲートが検出容量CC1の一方の電極に接続される。検出容量CC1の他方の電極には、スイッチSW41を介して正相アナログ入力信号VINPが供給され、スイッチSW51を介して正相比較基準電圧VREFPが供給される。また、MOSトランジスタM2は、ゲートが検出容量CC2の一方の電極に接続される。検出容量CC2の他方の電極には、スイッチSW42を介して逆相アナログ入力信号VINNが供給され、スイッチSW52を介して逆相比較基準電圧VREFNが供給される。

[0021] MOSトランジスタM1、M2のソースは、電荷源CSの一方の電極に接続されるとともに、スイッチSW6を介して基準電位（例えばグラウンド）に接続される。なお、電荷源CSは、他方の電極に制御信号φが供給される。また、スイッチSW31によりMOSトランジスタM1のドレインとゲートとが接続可能となっており、スイッチSW32によりMOSトランジスタM2のドレインとゲートとが接続可能となっている。

[0022] スイッチSW11、SW12、SW21、SW22、SW31、SW32、SW41、SW42、SW51、SW52、SW6のそれぞれは、任意のスイッチング素子、もしくは任意のスイッチング回路で構成される。例えば、NチャネルMOSトランジスタでスイッチを構成しても良いし、PチャネルMOSトランジスタでスイッチを構成しても良い。また、1組のNチャネルMOSトランジスタとPチャネルMOSトランジスタとからなるトランスファゲートでスイッチを構成しても良い。

[0023] ここで、スイッチSW11、SW12、SW31、SW32、SW51、SW52、及びSW6は、制御信号φが供給され、制御信号φによって開閉制御される。また、スイッチSW21、SW22、SW41、及びSW42は、制御信号／φ（制御信号φの逆相信号）が供給され、制御信号／φによって開閉制御される。以下、本実施形態において、各スイッチは、供給される制御信号φ（又は／φ）がハイレベル（“H”、例えば電源電圧Vcc）の場合に導通状態（閉状態、オン状態）とされ、ローレベル（“L”、例えば基準電位）の場合に非導通状態（開状態、オフ状態）とされるものとする。

- 。
- [0024] プリアンプ部は、負荷容量 $C_{L1}$ の他方の電極とスイッチ $SW_{21}$ との接続点の電圧を逆相出力信号 $V_{OUTN}$ として出力する。また、プリアンプ部は、負荷容量 $C_{L2}$ の他方の電極とスイッチ $SW_{22}$ との接続点の電圧を正相出力信号 $V_{OUTP}$ として出力する。正相出力信号 $V_{OUTP}$ 、逆相出力信号 $V_{OUTN}$ は、比較器内のラッチ部に出力される。
- [0025] 次に、本実施形態におけるプリアンプ部の動作について、図3及び図4を参照して説明する。本実施形態におけるプリアンプ部は、リセット期間において制御信号 $\phi$ を“H”とするとともに制御信号 $\phi$ を“L”として電荷源 $C_S$ に電荷を蓄える。そして、プリアンプ部は、増幅期間において制御信号 $\phi$ を“L”とするとともに制御信号 $\phi$ を“H”として、電荷源 $C_S$ に蓄えられた電荷を負荷容量 $C_{L1}$ 、 $C_{L2}$ へ移動させることで増幅を行う。
- [0026] また、本実施形態におけるプリアンプ部では、オフセットの主要因が増幅を司るトランジスタ $M1$ 、 $M2$ の閾値電圧ばらつきであることに着目してオフセット補償を実現する。本実施形態におけるプリアンプ部は、リセット期間においてオフセット電圧を含む閾値電圧に係る電圧情報を検出して検出容量 $C_{C1}$ 、 $C_{C2}$ に記憶し、増幅期間において検出容量 $C_{C1}$ 、 $C_{C2}$ に記憶した電圧情報を用いてオフセットをキャンセルする。なお、以下の説明では、トランジスタ $M1$ 、 $M2$ のそれぞれにおける閾値電圧を $V_{TH1}$ 、 $V_{TH2}$ 、そのばらつきを $\Delta V_{TH1}$ 、 $\Delta V_{TH2}$ とする。図3及び図4においては、閾値電圧ばらつきに相当する電圧を電圧源 $OV1$ 、 $OV2$ として模式的に図示している。
- [0027] まず、リセット期間での動作について、図3を参照して説明する。リセット期間では、制御信号 $\phi$ が“H”とされるとともに制御信号 $\phi$ が“L”とされる。これにより、リセット期間においては図3に示すように、スイッチ $SW_{11}$ 、 $SW_{12}$ 、 $SW_{31}$ 、 $SW_{32}$ 、 $SW_{51}$ 、 $SW_{52}$ 、 $SW_6$ が導通状態（オン状態）となり、スイッチ $SW_{21}$ 、 $SW_{22}$ 、 $SW_{41}$ 、 $SW_{42}$ が非導通状態（オフ状態）となる。

[0028] すなわち、スイッチSW4 1が非導通状態となり、スイッチSW5 1が導通状態となることで、ノードN 1 1の電位が比較基準電圧VREFPとなる。また、スイッチSW2 1が非導通状態となり、スイッチSW3 1、SW6が導通状態となることで、トランジスタM1はゲートとドレインとの間が接続され、ソースが基準電位に接続される。そのため、トランジスタM1が検出容量CC1に蓄えられた電荷を放電することによりノードN 2 1の電位が低下していき、ノードN 2 1の電位が $(V_{TH1} + \Delta V_{TH1})$ まで低下するとトランジスタM1がオフする。つまり、リセット期間においてノードN 2 1の電位は最終的に $(V_{TH1} + \Delta V_{TH1})$ の一定値となる。したがって、検出容量CC1の容量をCV1とすると、検出容量CC1には $CV1 \times (V_{REFP} - (V_{TH1} + \Delta V_{TH1}))$ の電荷が蓄積される。このようにして、検出容量CC1にオフセット電圧 $\Delta V_{TH1}$ を含む閾値電圧に係る電圧情報が記憶される。

[0029] 同様に、スイッチSW4 2が非導通状態となり、スイッチSW5 2が導通状態となることで、ノードN 1 2の電位が比較基準電圧VREFNとなる。また、スイッチSW2 2が非導通状態となり、スイッチSW3 2、SW6が導通状態となることで、ノードN 2 2の電位は最終的に $(V_{TH2} + \Delta V_{TH2})$ の一定値となる。したがって、検出容量CC2の容量をCV2とすると、検出容量CC2には $CV2 \times (V_{REFN} - (V_{TH2} + \Delta V_{TH2}))$ の電荷が蓄積される。このようにして、検出容量CC2にオフセット電圧 $\Delta V_{TH2}$ を含む閾値電圧に係る電圧情報が記憶される。

[0030] 次に、前述したリセット期間に続く増幅期間での動作について、図4を参照して説明する。増幅期間では、制御信号 $\phi$ が“L”とされるととともに制御信号 $\phi$ が“H”とされる。これにより、増幅期間においては図4に示すように、スイッチSW2 1、SW2 2、SW4 1、SW4 2が導通状態（オン状態）となり、スイッチSW1 1、SW1 2、SW3 1、SW3 2、SW5 1、SW5 2、SW6が非導通状態（オフ状態）となる。

[0031] すなわち、スイッチSW4 1が導通状態となり、スイッチSW3 1、SW

51が非導通状態となることで、検出容量 $CC1$ が正相アナログ入力信号 $V_{INP}$ の入力端とトランジスタ $M1$ のゲートとの間に直列に接続される。このとき、ノード $N11$ の電位は正相アナログ入力信号 $V_{INP}$ の電位である。また、増幅期間において、リセット期間に検出容量 $CC1$ に蓄積された電荷は保存される。したがって、ノード $N21$ の電位は $(V_{INP} - V_{REFP}) + (V_{TH1} + \Delta V_{TH1})$ となり、ノード $N31$ の電位は $(V_{INP} - V_{REFP}) + V_{TH1}$ となる。

[0032] 同様に、スイッチ $SW42$ が導通状態となり、スイッチ $SW32$ 、 $SW52$ が非導通状態となることで、検出容量 $CC2$ が逆相アナログ入力信号 $V_{INN}$ の入力端とトランジスタ $M2$ のゲートとの間に直列に接続される。これにより、ノード $N12$ の電位は逆相アナログ入力信号 $V_{INN}$ の電位となる。したがって、ノード $N22$ の電位は $(V_{INN} - V_{REFN}) + (V_{TH2} + \Delta V_{TH2})$ となり、ノード $N32$ の電位は $(V_{INN} - V_{REFN}) + V_{TH2}$ となる。

[0033] このようにして、リセット期間において検出容量 $CC1$ に記憶された電圧情報を用い、オフセットの要因であるトランジスタ $M1$ の閾値電圧のばらつき $\Delta V_{TH1}$ がキャンセルされ、トランジスタ $M1$ のゲートには電位 $(V_{INP} - V_{REFP}) + V_{TH1}$ が入力される。同様に、リセット期間において検出容量 $CC2$ に記憶された電圧情報を用い、オフセットの要因であるトランジスタ $M2$ の閾値電圧のばらつき $\Delta V_{TH2}$ がキャンセルされ、トランジスタ $M2$ のゲートには電位 $(V_{INN} - V_{REFN}) + V_{TH2}$ が入力される。

[0034] これにより、トランジスタ $M1$ が電位差 $(V_{INP} - V_{REFP})$ に応じてオン／オフされることで、正相アナログ入力信号 $V_{INP}$ と正相比較基準電圧 $V_{REFP}$ との差電圧が増幅され逆相出力信号 $V_{OUTN}$ として出力される。同様に、トランジスタ $M2$ が電位差 $(V_{INN} - V_{REFN})$ に応じてオン／オフされることで、逆相アナログ入力信号 $V_{INN}$ と逆相比較基準電圧 $V_{REFN}$ との差電圧が増幅され正相出力信号 $V_{OUTP}$ として出力さ

れる。

[0035] 以上説明したように、本実施形態によれば比較器CMP<sub>i</sub>が有するプリアンプ部にて、リセット期間にはオフセット電圧を含む閾値電圧に係る電圧情報が検出されて検出容量CC<sub>1</sub>、CC<sub>2</sub>に記憶され、増幅期間には検出容量CC<sub>1</sub>、CC<sub>2</sub>に記憶した電圧情報を用いてオフセットがキャンセルされる。これにより、CMOS製造技術を適用してCSアンプの回路構成を実現し、駆動素子としてMOSトランジスタを用いても、オフセットをキャンセルすることが可能となる。したがって、CSアンプの低消費電力性を維持したまま、オフセットキャンセルを行えるプリアンプ部を有する比較器をCMOS製造技術により提供することができ、他の機能ブロックとの集積化が容易になるとともに、製造コストを低減することができる。また、その比較器を用いてAD変換器を構成することにより、AD変換器の消費電力を大幅に削減することができる。

[0036] 前述した説明では、スイッチを駆動する（開閉制御する）クロック信号が、 $\phi$ 及び $\phi$ の2種類の場合を示している。しかし、スイッチをMOSトランジスタで構成した場合には、チャネルチャージインジェクションやクロックフィードスルーなどにより、オフセットのキャンセル効果が低下する場合がある。このような場合には、従来から知られているようなノンオーバーラップクロックなどの手法を用いて、クロック間に適切なタイミングマージンを取ることが望ましい。

[0037] 図10は、本実施形態におけるラッチ部の構成例を示す図である。図10に示すラッチ部は、前述したCMOS製造技術を適用したCSアンプの回路技術をラッチ部に応用したものである。図10において、M<sub>1</sub>、M<sub>2</sub>、M<sub>5</sub>、M<sub>6</sub>はMOSトランジスタ（NチャネルMOSトランジスタ）であり、M<sub>7</sub>、M<sub>8</sub>はMOSトランジスタ（PチャネルMOSトランジスタ）である。CSは電荷源であり、CC<sub>1</sub>、CC<sub>2</sub>は検出容量である。また、SW<sub>21</sub>、SW<sub>22</sub>、SW<sub>31</sub>、SW<sub>32</sub>、SW<sub>41</sub>、SW<sub>42</sub>、SW<sub>51</sub>、SW<sub>52</sub>、SW<sub>6</sub>、SW<sub>91</sub>、SW<sub>92</sub>はスイッチである。参照電位入力は、正相入

力及び逆相入力ともに同じ電位 $V_{REF}$ とする。なお、図10において、図2に示した構成要素と同一の機能を有する構成要素には同一の符号を付しており、その構成要素についての重複する説明は省略する。

[0038] MOSトランジスタM5とM7とがインバータを構成するように接続されており、MOSトランジスタM6とM8とがインバータを構成するように接続されている。一方のインバータの出力は他方のインバータの入力に接続され、正帰還がかけられている。すなわち、MOSトランジスタM5及びM7のドレインの相互接続点がMOSトランジスタM6及びM8のゲートに接続され、MOSトランジスタM6及びM8のドレインの相互接続点がMOSトランジスタM5及びM7のゲートに接続される。また、ラッチ部の出力 $V_{OUTP}$ 、 $V_{OUTN}$ にはスイッチSW91、SW92が接続されており、リセット期間中には出力 $V_{OUTP}$ 、 $V_{OUTN}$ は、電源電圧( $V_{cc}$ )に接続されリセットされる。

[0039] 図10に示したような構成によれば、入力信号はMOSトランジスタM1、M2により増幅され、MOSトランジスタM5、M6、M7、M8からなる正帰還回路によりラッチされる。例えば、図10に例示したラッチ部と、図2あるいは図7に示すプリアンプ部とを組み合わせると比較器を構成することで、低消費電力かつオフセット電圧の小さな比較器を実現することが可能になる。なお、前述のラッチ部においても、必要に応じてクロック間に適切なタイミングマージンを取ることが望ましい。

[0040] 図11は、本実施形態におけるラッチ部の他の構成例を示す図である。図11において、M1、M2、M5、M6はMOSトランジスタ（NチャネルMOSトランジスタ）であり、M7、M8はMOSトランジスタ（PチャネルMOSトランジスタ）である。CC1、CC2は検出容量である。また、SW21、SW22、SW31、SW32、SW41、SW42、SW51、SW52、SW6、SW91、SW92、SW10はスイッチである。参照電位入力は、正相入力及び逆相入力ともに同じ電位 $V_{REF}$ とする。なお、図11において、図2、図10に示した構成要素と同一の機能を有する構

成要素には同一の符号を付しており、その構成要素についての重複する説明は省略する。

[0041] MOSトランジスタM1、M2のソースは、スイッチSW6を介して基準電位（例えばグラウンド）に接続されるとともに、スイッチSW10を介して基準電位に接続される。スイッチSW10を制御するクロック信号／ $\phi$ 'は、クロック信号／ $\phi$ よりもわずかに遅れたクロック信号である。クロック信号／ $\phi$ 'でスイッチSW10を制御することで、スイッチSW21、SW22、SW41、SW42で発生した雑音による誤動作を防止することが可能になる。

[0042] 図11に示したような構成によれば、ラッチ部の出力VOU TP、VOU TNの電位を確実に基準電位（例えば0V）あるいは電源電圧（Vcc）とすることができ、次段に接続される論理回路を誤りなく駆動することが可能になる。なお、前述のラッチ部においても、必要に応じてクロック間に適切なタイミングマージンを取ることが望ましい。

[0043] 図5A及び図5Bは、本実施形態におけるプリアンプ部のオフセット補償の効果を説明するための図である。図5A及び図5Bには、CMOS製造技術を適用して構成したCSアンプでのオフセット電圧に係るシミュレーション結果を示している。なお、図5A及び図5Bに示したシミュレーション結果は、90nm CMOS製造技術を用いたと仮定し、モンテカルロ法を用いて計算したものである。図5Aには、比較参照のためにオフセット補償機能を有しない場合のシミュレーション結果を示し、図5Bには、本実施形態におけるオフセット補償機能を有するプリアンプ部でのシミュレーション結果を示している。図5A及び図5Bに示されるように、本実施形態におけるオフセット補償技術を適用することにより、オフセット電圧を約1/7に低減することができる。

[0044] 図6Aは、本実施形態におけるプリアンプ部の他の構成例を示す図である。図6Aには、Capacitive averaging技術を適用した場合のプリアンプ部の構成例を示している。図6A

において、 $PA1$ 、 $PA2$ 、 $PA3$ 、 $PA4$ 、 $\dots$ はプリアンプ部であり、 $CAVP1$ 、 $CAVP2$ 、 $CAVP3$ 、 $\dots$ 及び $CAVN1$ 、 $CAVN2$ 、 $CAVN3$ 、 $\dots$ は容量である。

[0045] プリアンプ部 $PA_i$  ( $i=1, 2, 3, 4, \dots$ )は、アナログ入力信号 $V_{IN}$ 及び比較基準電圧 $V_{ref_i}$ が入力される。容量 $CAVP_i$  ( $i=1, 2, 3, \dots$ )は、一方の電極がプリアンプ部 $PA_i$ の正相側出力に接続され、他方の電極がプリアンプ部 $PA_{(i+1)}$ の正相側出力に接続される。また、容量 $CAVN_i$  ( $i=1, 2, 3, \dots$ )は、一方の電極がプリアンプ部 $PA_i$ の逆相側出力に接続され、他方の電極がプリアンプ部 $PA_{(i+1)}$ の逆相側出力に接続される。すなわち、プリアンプ部 $PA_i$ の正相側出力とプリアンプ部 $PA_{(i+1)}$ の正相側出力とが容量 $CAVP_i$ を介して結合されている。プリアンプ部 $PA_i$ の逆相側出力とプリアンプ部 $PA_{(i+1)}$ の逆相側出力とが容量 $CAVN_i$ を介して結合されている。

[0046] プリアンプ部に対してCapacitive averaging技術を適用することで、図6Bに示すようにオフセット電圧をさらに低減することができる。なお、図6Bにおいて、 $LN1$ がCapacitive averaging技術を適用した場合（容量あり）を示しており、 $LN2$ がCapacitive averaging技術を適用していない場合（容量なし）を示している。

[0047] 図7は、本実施形態におけるプリアンプ部の他の構成例を示す図である。図7には、正帰還回路をさらに備えるようにした場合のプリアンプ部の構成例を示している。図7において、 $CL1$ 、 $CL2$ は負荷容量であり、 $M1$ 、 $M2$ はMOSトランジスタ（NチャネルMOSトランジスタ）であり、 $M3$ 、 $M4$ はMOSトランジスタ（PチャネルMOSトランジスタ）である。 $CS$ 、 $CSP$ は電荷源であり、 $CC1$ 、 $CC2$ は検出容量である。また、 $SW11$ 、 $SW12$ 、 $SW21$ 、 $SW22$ 、 $SW31$ 、 $SW32$ 、 $SW41$ 、 $SW42$ 、 $SW51$ 、 $SW52$ 、 $SW6$ 、 $SW7$ 、 $SW8$ はスイッチである。なお、図7において、図2に示した構成要素と同一の機能を有する構成要素には同一の符号を付しており、その構成要素についての重複する説明は省略

する。

[0048] 電荷源CSPの一方の電極は、制御信号 $\phi$ によって開閉制御されるスイッチSW7を介して電源電圧（Vcc）に接続され、制御信号 $\phi$ によって開閉制御されるスイッチSW8を介してトランジスタM3、M4のソースに接続される。したがって、電荷源CSPの一方の電極は、リセット期間において電源電圧（Vcc）に接続され、増幅期間においてトランジスタM3、M4のソースに接続される。電荷源CSPの他方の電極には、制御信号 $\phi$ が供給されている。

[0049] また、トランジスタM3のドレイン及びトランジスタM4のゲートが、一方の電極が電源電圧（Vcc）に接続された負荷容量CL1の他方の電極とスイッチSW21との接続点に接続されている。同様に、トランジスタM3のゲート及びトランジスタM4のドレインが、一方の電極が電源電圧に接続された負荷容量CL2の他方の電極とスイッチSW22との接続点に接続されている。

[0050] このような構成によれば、電荷源CSPは、リセット期間において一方の電極が電源電圧（Vcc）に接続されるとともに他方の電極が“L”とされて電荷を蓄積する。そして、増幅期間において電荷源CSPの一方の電極がトランジスタM3、M4のソースに接続されることで、負荷容量CL1とスイッチSW21との接続点の電位及び負荷容量CL2とスイッチSW22との接続点の電位に基づき、電荷源CSPに蓄えられた電荷が負荷容量に対して供給される。このとき、電荷源CSP及びトランジスタM3、M4からなる回路は正帰還回路として機能するので、図7に示す構成によれば、利得を向上させ高利得化を図ることができる。

[0051] 図13は、本実施形態におけるラッチ部の他の構成例を示す図である。図13に示すラッチ部は、図10や図11に示したラッチ部と同様に、前述のオフセットキャンセル技術をダブルテールラッチ（例えば、D.Scinkel et al., “A Double-Tail Latch-Type Voltage Sense Amplifier with 18 ps Setup-Hold Time”, IEEE ISSCC Dig. of Tech. Papers, pp.314

-315, Feb.

2007参照)に適用したものである。

- [0052] 図13に示すラッチ部は、2段構成となっている。1段目の回路部L1は、次段の入力容量を負荷とする容量負荷増幅器として動作する。2段目の回路部L2は、1段目の回路部L1の出力を正帰還回路を用いてラッチしデジタル信号VOU TP、VOU TNを出力する。1段目の回路部L1に本実施形態によるオフセットキャンセル技術を適用することで、オフセット電圧の小さなラッチ部を構成することが可能になる。
- [0053] 図13において、M1、M2、M9、M10、M13、M14はMOSトランジスタ（NチャネルMOSトランジスタ）であり、M11、M12はMOSトランジスタ（PチャネルMOSトランジスタ）である。CC1、CC2は検出容量である。また、SW11、SW12、SW21、SW22、SW31、SW32、SW41、SW42、SW51、SW52、SW6、SW10、SW13はスイッチである。参照電位入力は、正相入力及び逆相入力ともに同じ電位VREFとする。なお、図13において、図2、図11に示した構成要素と同一の機能を有する構成要素には同一の符号を付しており、その構成要素についての重複する説明は省略する。
- [0054] MOSトランジスタM9とM11とがインバータを構成するように接続されており、MOSトランジスタM10とM12とがインバータを構成するように接続されている。一方のインバータの出力は他方のインバータの入力に接続され、正帰還がかけられている。すなわち、MOSトランジスタM9及びM11のドレインの相互接続点がMOSトランジスタM10及びM12のゲートに接続され、MOSトランジスタM10及びM12のドレインの相互接続点がMOSトランジスタM9及びM11のゲートに接続される。また、MOSトランジスタM9、M10のソースは、基準電位に接続され、MOSトランジスタM11、M12のソースは、クロック信号/ $\phi$ によって制御されるスイッチSW13を介して電源電圧（Vcc）に接続される。
- [0055] MOSトランジスタM13は、ソースが基準電位に接続され、ドレインが

MOSトランジスタM10及びM12のゲートに接続される。MOSトランジスタM14は、ソースが基準電位に接続され、ドレインがMOSトランジスタM9及びM11のゲートに接続される。MOSトランジスタM13のゲートには1段目の回路部L1の出力V1Nが供給され、MOSトランジスタM14のゲートには1段目の回路部L1の出力V1Pが供給される。

[0056] 図13に示すラッチ部は、図11に示したラッチ部と同様の動作により、リセット期間中には、1段目の回路部L1にて差動対を構成するMOSトランジスタM1、M2のオフセット電圧を含む閾値電圧に係る電圧情報が検出されて検出容量CC1、CC2に記憶される。続く増幅期間には、検出容量CC1、CC2に記憶された電圧情報を用いて、差動対を構成するMOSトランジスタM1、M2のオフセットがキャンセルされるため、ラッチ部のオフセットを低減することが可能になる。

[0057] ダブルテールラッチは、差動増幅を行う1段目の回路部L1とラッチを行う2段目の回路部L2とが縦属接続されるので、図11に示したラッチ部と比較して低電圧化に好適な構成となっている。したがって、図13に示す構成によれば、低電圧動作が可能なオフセット電圧の小さいラッチ部を実現することができる。

[0058] 図14は、本実施形態におけるラッチ部の他の構成例を示す図である。図14に示すラッチ部は、図13に示したラッチ部にCapacitive averaging技術を適用したものである。図14において、L11、L12、L13、L14、・・・の各々は図13に示したラッチ部における1段目の回路部L1に相当し、L21、L22、L23、L24、・・・の各々は図13に示したラッチ部における2段目の回路部L2に相当する。また、CAVP1、CAVP2、CAVP3、・・・及びCAVN1、CAVN2、CAVN3、・・・は容量である。

[0059] 1段目の回路部L1<sub>i</sub> (i=1、2、3、・・・)の正相側出力L1<sub>i</sub>Pと1段目の回路部L1<sub>(i+1)</sub>の正相側出力L1<sub>(i+1)</sub>Pとが容量CAVP<sub>i</sub>で接続される。また、1段目の回路部L1<sub>i</sub> (i=1、2、3、・

・ ・ ) の逆相側出力  $L_{1iN}$  と 1 段目の回路部  $L_1(i+1)$  の逆相側出力  $L_1(i+1)_N$  とが容量  $C_{AVPi}$  で接続される。

[0060] 図 1 3 に示したラッチ部に Capacitive averaging 技術を適用することで、1 段目の回路部  $L_{11}$ 、 $L_{12}$ 、 $L_{13}$ 、 $L_{14}$ 、・・・の出力におけるオフセット電圧を平均化しオフセットを低減することができる。図 1 4 に示す構成によれば、図 1 3 に示した構成よりもさらにオフセット電圧を低減することが可能になる。

[0061] 図 1 5 は、本実施形態におけるラッチ部の他の構成例を示す図である。図 1 5 に示すラッチ部は、図 1 3 に示したラッチ部における 1 段目の回路部  $L_1$  に正帰還回路をさらに備え、1 段目の回路部  $L_1$  の利得を高めている。

[0062] 図 1 5 において、 $M_1$ 、 $M_2$ 、 $M_9$ 、 $M_{10}$ 、 $M_{13}$ 、 $M_{14}$  は MOS トランジスタ (N チャネル MOS トランジスタ) であり、 $M_{11}$ 、 $M_{12}$ 、 $M_{15}$ 、 $M_{16}$  は MOS トランジスタ (P チャネル MOS トランジスタ) である。 $CC_1$ 、 $CC_2$  は検出容量であり、 $CPF$  は容量である。また、 $SW_{11}$ 、 $SW_{12}$ 、 $SW_{21}$ 、 $SW_{22}$ 、 $SW_{31}$ 、 $SW_{32}$ 、 $SW_{41}$ 、 $SW_{42}$ 、 $SW_{51}$ 、 $SW_{52}$ 、 $SW_6$ 、 $SW_{10}$ 、 $SW_{13}$ 、 $SW_{14}$  はスイッチである。参照電位入力は、正相入力及び逆相入力ともに同じ電位  $V_{REF}$  とする。なお、図 1 5 において、図 2、図 1 1、図 1 5 に示した構成要素と同一の機能を有する構成要素には同一の符号を付しており、その構成要素についての重複する説明は省略する。

[0063] 1 段目の回路部  $L_1$  に設けた正帰還回路は、MOS トランジスタ  $M_{15}$ 、 $M_{16}$ 、容量  $CPF$ 、及びスイッチ  $SW_{14}$  からなる。MOS トランジスタ  $M_{15}$ 、 $M_{16}$  のソースは、クロック信号  $\phi$  によって開閉制御されるスイッチ  $SW_{14}$  を介して電源電圧 ( $V_{cc}$ ) に接続される。また、MOS トランジスタ  $M_{15}$  のドレイン及び MOS トランジスタ  $M_{16}$  のゲートが、出力  $V_{1N}$  のノードに接続されている。同様に、MOS トランジスタ  $M_{15}$  のゲート及び MOS トランジスタ  $M_{16}$  のドレインが、出力  $V_{1P}$  のノードに接続されている。容量  $CPF$  は、一方の電極が電源電圧 ( $V_{cc}$ ) に接続され、

他方の電極がMOSトランジスタM15、M16のソースに接続される。

[0064] 容量C<sub>P</sub>Fの容量値によって正帰還量が調整可能であり、例えば容量C<sub>P</sub>Fの容量値を大きくすることで1段目の回路部L1の利得を増大させることができる。図15に示す構成によれば、2段目の回路部L2からのオフセットの寄与を低減でき、図13に示した構成よりもオフセット電圧を低減することができる。また、図14に示した例と同様にして、図15に示したラッチ部にCapacitive averaging技術を適用することも可能であり、さらにオフセット電圧を低減することが可能になる。

[0065] 図12A及び図12Bを参照して、本実施形態における比較器の電力削減の効果について説明する。ここでは、90nmCMOS製造技術の下で、動作周波数が1GHz、オフセット電圧の標準偏差が0.6mV以下になるように設計した場合の消費電力を、シミュレーションを用いて計算した結果を示す。図12Aに示す従来技術による比較器の消費電力と、図12Bに示す本実施形態による比較器の消費電力とを比較した。

[0066] 図12Aは、従来技術による比較器の構成例を示す図である。図12Aにおいて、PA1、PA2、PA3はプリアンプ部であり、Lはラッチ部である。また、COP1、COP2、COP3及びCON1、CON2、CON3は容量であり、SW101、SW102、SW103、SW104はスイッチである。

[0067] 図12Aに示す例では、ラッチ部Lの入力換算オフセットを減らすために、3段のプリアンプ部PA1、PA2、PA3を使用している。プリアンプ部PA1、PA2、PA3は、従来の定電流源でバイアスされた差動アンプを用いている。リセット期間中に、プリアンプ部PA1、PA2、PA3の出力端子に接続した容量COP1、COP2、COP3及びCON1、CON2、CON3にオフセット情報を記憶することで、プリアンプ部PA1、PA2、PA3のオフセットをキャンセルしている。図12Aに示した例では、プリアンプ部PA1、PA2、PA3に常時電流が流れるため、比較器の消費電力は1.7mWとなる。

- [0068] 図12Bは、本実施形態による比較器の構成例を示す図である。図12Bにおいて、OCPAはプリアンプ部であり、CANはCapacitive averagingネットワークであり、OCLはラッチ部である。プリアンプ部OCPAは、図2に回路構成を示したオフセットキャンセル可能なCSアンプであり、ラッチ部OCLは、図11に回路構成を示したラッチ部である。プリアンプ部OCPAの出力に、図6Aに示したCapacitive averagingネットワークCANが接続される。
- [0069] 図12Bに示す例では、オフセットキャンセルによりラッチ部のオフセットを減らせることから、プリアンプ部に必要とされる利得を小さくすることができ、プリアンプ部OCPAは1段構成となっている。このように構成した場合には、比較器の消費電力はわずか0.2mWであり、本発明により大幅な電力削減が可能である。
- [0070] なお、前述した実施形態においては、並列型AD変換器（全ビットフラッシュAD変換器）を一例として説明したが、本発明はこれに限定されるものではない。例えば、図8Aに示すようなサブレンジング型AD変換器<subranging AD converter>にも適用可能であるし、図8Bに示すような逐次比較型（逐次近似型）AD変換器<SAR（successive approximation register）AD converter>にも適用可能である。
- [0071] 図8Aは、本実施形態におけるアナログデジタル変換器の他の構成例を示す図である。図8Aには、入力されるアナログ入力信号VINをnビット（nは自然数）のデジタル信号DT[n-1:0]に変換するサブレンジング型AD変換器を一例として示している。
- [0072] 図8Aにおいて、71はサンプル・ホールド・アンプ（SHA：sample hold amplifier）であり、72、75は並列型AD変換器（フラッシュAD変換器）であり、73はデジタルアナログ変換器（DA変換器）であり、74は減算器である。mを $0 < m < (n - 1)$ の整数として、1段目の並列型AD変換器72はデジタル信号DT[n-1:m]を決定するためのAD変換処理

を行い、２段目の並列型ＡＤ変換器７５はデジタル信号ＤＴ〔 $m : 0$ 〕を決定するためのＡＤ変換処理を行う。すなわち、１段目の並列型ＡＤ変換器７２は、デジタル信号ＤＴ〔 $n - 1 : 0$ 〕のうちの上位側ビットについてのＡＤ変換処理を行い、２段目の並列型ＡＤ変換器７５は、デジタル信号ＤＴ〔 $n - 1 : 0$ 〕のうちの低位側ビットについてのＡＤ変換処理を行う。並列型ＡＤ変換器７２、７５のそれぞれを、例えば図１に示した並列型ＡＤ変換器と同様に構成することで、ＡＤ変換器の消費電力を削減することができる。

[0073] 図８Ａに示したサブレンジング型ＡＤ変換器において、入力されたアナログ入力信号ＶＩＮは、サンプル・ホールド・アンプ７１によりサンプルホールドされて、並列型ＡＤ変換器７２及び減算器７４に供給される。並列型ＡＤ変換器７２では、供給されるアナログ入力信号ＶＩＮを用いてＡＤ変換処理が行われ、デジタル信号ＤＴ〔 $n - 1 : 0$ 〕のうちのデジタル信号ＤＴ〔 $n - 1 : m$ 〕が並列型ＡＤ変換器７２から出力される。並列型ＡＤ変換器７２から出力されたデジタル信号ＤＴ〔 $n - 1 : m$ 〕は、ＤＡ変換器７３に供給されるとともに外部に出力される。

[0074] ＤＡ変換器７３に供給されたデジタル信号ＤＴ〔 $n - 1 : m$ 〕はＤＡ変換処理され、デジタル信号ＤＴ〔 $n - 1 : m$ 〕に応じたアナログ信号がＤＡ変換器７３から出力される。そして、サンプル・ホールド・アンプ７１より出力されたアナログ入力信号ＶＩＮからＤＡ変換器７３より出力されたアナログ信号が、減算器７４によって減算されて並列型ＡＤ変換器７５に供給される。これにより、入力されたアナログ入力信号ＶＩＮから、並列型ＡＤ変換器７２により決定されたデジタル信号ＤＴ〔 $n - 1 : m$ 〕に応じたアナログ信号を減じた残差成分が並列型ＡＤ変換器７５に供給される。

[0075] 並列型ＡＤ変換器７５では、減算器７４より供給されるアナログ信号のＡＤ変換処理が行われ、デジタル信号ＤＴ〔 $n - 1 : 0$ 〕のうちのデジタル信号ＤＴ〔 $m : 0$ 〕が並列型ＡＤ変換器７５から出力される。以上のようにして、入力されたアナログ入力信号ＶＩＮが $n$ ビットのデジタル信号ＤＴ〔 $n - 1 : 0$ 〕に変換され出力される。

[0076] 図8Bは、本実施形態におけるアナログデジタル変換器の他の構成例を示す図である。図8Bには、入力されるアナログ入力信号 $V_{IN}$ を $n$ ビット（ $n$ は自然数）のデジタル信号 $DT[n-1:0]$ に変換する逐次比較型（逐次近似型）AD変換器を一例として示している。図8Bにおいて、76はサンプル・ホールド・アンプ（SHA：sample hold amplifier）であり、77は比較器（コンパレータ）であり、78はSAR回路であり、79はDA変換器である。比較器77は、例えば図2に示したプリアンプ部を用いて構成される。

[0077] 図8Bに示した逐次比較型AD変換器において、入力されたアナログ入力信号 $V_{IN}$ は、サンプル・ホールド・アンプ76によりサンプルホールドされて、比較器77に供給される。比較器77は、入力されたアナログ入力信号 $V_{IN}$ とDA変換器79の出力とを比較し、比較結果に応じてアナログ入力信号 $V_{IN}$ とDA変換器79の出力との大小関係を示す情報をSAR回路78に出力する。SAR回路78は、比較器77からの出力に基づいてデジタル信号 $DT[n-1:0]$ を上位側から1ビットずつ順次決定する。また、SAR回路78は、決定された値に応じて次にアナログ入力信号 $V_{IN}$ と比較する電圧を生成するための電圧生成コードをDA変換器79に出力する。

[0078] なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

### 産業上の利用可能性

[0079] CSアンプにおける駆動素子としてMOSトランジスタを用い、CSアンプの低消費電力性を維持したまま、オフセットキャンセルを行えるプリアンプ部を有する比較器、及びそれを用いたアナログデジタル変換器を提供することができる。

## 請求の範囲

- [請求項1]            アナログ入力信号と比較基準電圧との差を増幅するプリアンプ部と、
- 前記プリアンプ部の出力を基に、前記アナログ入力信号と前記比較基準電圧との大小関係を判定するラッチ部とを備え、
- 前記プリアンプ部は、
- ドレインを出力端子とするトランジスタと、
- 前記出力端子に接続される負荷容量と、
- 前記トランジスタのソースに接続される電荷源と、
- 前記アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記トランジスタのゲートに接続される補償回路とを備え、
- 前記補償回路は、
- 前記入力端に前記比較基準電圧が入力される第1の期間に前記トランジスタのゲートとドレインを接続し、前記トランジスタのオフセット電圧に係る情報を含む電圧情報を検出して記憶し、
- 前記入力端に前記アナログ入力信号が入力される第2の期間に前記第1の期間において記憶した前記電圧情報を用いて前記トランジスタのオフセット電圧を補償することを特徴とする比較器。
- [請求項2]            アナログ入力信号と比較基準電圧との差を増幅するプリアンプ部と、
- 前記プリアンプ部の出力を基に、前記アナログ入力信号と前記比較基準電圧との大小関係を判定するラッチ部とを備え、
- 前記プリアンプ部は、
- ドレインを出力端子とするトランジスタと、
- 前記出力端子に接続される負荷容量と、
- 前記トランジスタのソースに接続される電荷源と、
- 前記トランジスタのゲートに一方の電極が接続される検出容量と、
- 第1の期間に、前記検出容量の他方の電極に前記比較基準電圧を入

力させる第1のスイッチと、

前記第1の期間後の第2の期間に、前記検出容量の前記他方の電極に前記アナログ入力信号を入力させる第2のスイッチと、

前記第1の期間に、前記トランジスタのドレインとゲートとを接続させる第3のスイッチと、

前記第1の期間に、前記トランジスタのソースを基準電位に接続させる第4のスイッチとを有することを特徴とする比較器。

[請求項3]

差動アナログ入力信号と比較基準電圧との差を増幅する差動プリアンプ部と、

前記差動プリアンプ部の出力を基に、前記差動アナログ入力信号と前記比較基準電圧との大小関係を判定するラッチ部とを備え、

前記差動プリアンプ部は、

ドレインを正相出力端子とする第1のトランジスタと、

ドレインを逆相出力端子とし、ソースが前記第1のトランジスタのソースに接続される第2のトランジスタと、

前記正相出力端子に接続される第1の負荷容量と、

前記逆相出力端子に接続される第2の負荷容量と、

前記第1のトランジスタ及び前記第2のトランジスタのソースの共通接続点に接続される電荷源と、

前記差動アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記第1のトランジスタのゲートに接続される第1の補償回路と、

前記差動アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記第2のトランジスタのゲートに接続される第2の補償回路とを備え、

前記第1の補償回路は、

前記入力端に前記比較基準電圧が入力される第1の期間に前記第1のトランジスタのゲートとドレインを接続し、前記第1のトランジスタ

タのオフセット電圧に係る情報を含む第 1 の電圧情報を検出して記憶し、

前記入力端に前記差動アナログ入力信号が入力される第 2 の期間に前記第 1 の期間において記憶した前記第 1 の電圧情報を用いて前記第 1 のトランジスタのオフセット電圧を補償し、

前記第 2 の補償回路は、

前記入力端に前記比較基準電圧が入力される第 1 の期間に前記第 2 のトランジスタのゲートとドレインを接続し、前記第 2 のトランジスタのオフセット電圧に係る情報を含む第 2 の電圧情報を検出して記憶し、

前記入力端に前記差動アナログ入力信号が入力される第 2 の期間に前記第 1 の期間において記憶した前記第 2 の電圧情報を用いて前記第 2 のトランジスタのオフセット電圧を補償することを特徴とする比較器。

[請求項4] 前記補償回路は、前記第 1 の期間に前記比較基準電圧が一方の電極に供給され、前記第 2 の期間に前記アナログ入力信号が前記一方の電極に供給され、かつ前記第 1 の期間及び前記第 2 の期間に他方の電極が前記トランジスタのゲートに接続される検出容量を有することを特徴とする請求項 1 記載の比較器。

[請求項5] 前記プリアンプ部は、  
前記負荷容量の一方の電極が接続される電源と、  
前記第 2 の期間に、前記負荷容量の他方の電極と前記トランジスタのドレインとを接続させる第 5 のスイッチと、  
前記第 1 の期間に、前記負荷容量の前記他方の電極を前記電源に接続させる第 6 のスイッチとをさらに有することを特徴とする請求項 2 記載の比較器。

[請求項6] 前記プリアンプ部は、当該プリアンプ部の出力端子の電位に応じて前記負荷容量に電荷を供給する帰還回路を有することを特徴とする請

求項 2 記載の比較器。

[請求項 7]

差動アナログ入力信号と比較基準電圧との差を増幅する差動アンプ回路であって、

ドレインを正相出力端子とする第 1 のトランジスタと、

ドレインを逆相出力端子とし、ソースが前記第 1 のトランジスタのソースに接続される第 2 のトランジスタと、

前記正相出力端子に接続される第 1 の負荷容量と、

前記逆相出力端子に接続される第 2 の負荷容量と、

前記第 1 のトランジスタ及び前記第 2 のトランジスタのソースの共通接続点に接続される電荷源と、

前記差動アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記第 1 のトランジスタのゲートに接続される第 1 の補償回路と、

前記差動アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記第 2 のトランジスタのゲートに接続される第 2 の補償回路とを備え、

前記第 1 の補償回路は、

前記入力端に前記比較基準電圧が入力される第 1 の期間に前記第 1 のトランジスタのゲートとドレインを接続し、前記第 1 のトランジスタのオフセット電圧に係る情報を含む第 1 の電圧情報を検出して記憶し、

前記入力端に前記差動アナログ入力信号が入力される第 2 の期間に前記第 1 の期間において記憶した前記第 1 の電圧情報を用いて前記第 1 のトランジスタのオフセット電圧を補償し、

前記第 2 の補償回路は、

前記入力端に前記比較基準電圧が入力される第 1 の期間に前記第 2 のトランジスタのゲートとドレインを接続し、前記第 2 のトランジスタのオフセット電圧に係る情報を含む第 2 の電圧情報を検出して記憶

し、

前記入力端に前記差動アナログ入力信号が入力される第2の期間に前記第1の期間において記憶した前記第2の電圧情報を用いて前記第2のトランジスタのオフセット電圧を補償することを特徴とする差動アンプ回路。

[請求項8]

ソースを共通に接続した第1のトランジスタ及び第2のトランジスタと、

前記第1のトランジスタ及び前記第2のトランジスタのドレインに接続される正帰還回路と、

差動アナログ入力信号及び比較基準電圧を入力端に受け、出力端が前記第1のトランジスタのゲートに接続される第1の補償回路と、

前記差動アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記第2のトランジスタのゲートに接続される第2の補償回路とを備え、

前記第1の補償回路は、

前記入力端に前記比較基準電圧が入力される第1の期間に前記第1のトランジスタのゲートとドレインを接続し、前記第1のトランジスタのオフセット電圧に係る情報を含む第1の電圧情報を検出して記憶し、

前記入力端に前記差動アナログ入力信号が入力される第2の期間に前記第1の期間において記憶した前記第1の電圧情報を用いて前記第1のトランジスタのオフセット電圧を補償し、

前記第2の補償回路は、

前記入力端に前記比較基準電圧が入力される第1の期間に前記第2のトランジスタのゲートとドレインを接続し、前記第2のトランジスタのオフセット電圧に係る情報を含む第2の電圧情報を検出して記憶し、

前記入力端に前記差動アナログ入力信号が入力される第2の期間に

前記第 1 の期間において記憶した前記第 2 の電圧情報を用いて前記第 2 のトランジスタのオフセット電圧を補償することを特徴とするラッチ回路。

[請求項9]

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号と比較基準電圧との差を増幅するプリアンプ部をそれぞれが有し、互いに異なる前記比較基準電圧が入力され、当該比較基準電圧と前記アナログ入力信号とを比較する複数の比較器と、

前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダとを備え、

前記プリアンプ部は、

ドレインを出力端子とするトランジスタと、

前記出力端子に接続される負荷容量と、

前記トランジスタのソースに接続される電荷源と、

前記アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記トランジスタのゲートに接続される補償回路とを備え、

前記補償回路は、

前記入力端に前記比較基準電圧が入力される第 1 の期間に前記トランジスタのゲートとドレインを接続し、前記トランジスタのオフセット電圧に係る情報を含む電圧情報を検出して記憶し、

前記入力端に前記アナログ入力信号が入力される第 2 の期間に前記第 1 の期間において記憶した前記電圧情報を用いて前記オフセット電圧を補償することを特徴とするアナログデジタル変換器。

[請求項10]

入力されるアナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ入力信号と比較基準電圧との差を増幅するプリアンプ部をそれぞれが有し、互いに異なる前記比較基準電圧が入力され、当

該比較基準電圧と前記アナログ入力信号とを比較する複数の比較器と、

前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダとを備え、

前記プリアンプ部は、

ドレインを出力端子とするトランジスタと、

前記出力端子に接続される負荷容量と、

前記トランジスタのソースに接続される電荷源と、

前記トランジスタのゲートに一方の電極が接続される検出容量と、

第 1 の期間に、前記検出容量の他方の電極に前記比較基準電圧を入力させる第 1 のスイッチと、

前記第 1 の期間後の第 2 の期間に、前記検出容量の前記他方の電極に前記アナログ入力信号を入力させる第 2 のスイッチと、

前記第 1 の期間に、前記トランジスタのドレインとゲートとを接続させる第 3 のスイッチと、

前記第 1 の期間に、前記トランジスタのソースを基準電位に接続させる第 4 のスイッチとを有することを特徴とするアナログデジタル変換器。

[請求項11] 入力される差動アナログ入力信号をデジタル信号に変換するアナログデジタル変換器であって、

前記差動アナログ入力信号と比較基準電圧との差を増幅する差動プリアンプ部をそれぞれが有し、互いに異なる前記比較基準電圧が入力され、当該比較基準電圧と前記差動アナログ入力信号とを比較する複数の比較器と、

前記複数の比較器の出力をエンコードして前記デジタル信号を出力するエンコーダとを備え、

前記差動プリアンプ部は、

ドレインを正相出力端子とする第 1 のトランジスタと、

ドレインを逆相出力端子とし、ソースが前記第 1 のトランジスタのソースに接続される第 2 のトランジスタと、

前記正相出力端子に接続される第 1 の負荷容量と、

前記逆相出力端子に接続される第 2 の負荷容量と、

前記第 1 のトランジスタ及び前記第 2 のトランジスタのソースの共通接続点に接続される電荷源と、

前記差動アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記第 1 のトランジスタのゲートに接続される第 1 の補償回路と、

前記差動アナログ入力信号及び前記比較基準電圧を入力端に受け、出力端が前記第 2 のトランジスタのゲートに接続される第 2 の補償回路とを備え、

前記第 1 の補償回路は、

前記入力端に前記比較基準電圧が入力される第 1 の期間に前記第 1 のトランジスタのゲートとドレインを接続し、前記第 1 のトランジスタのオフセット電圧に係る情報を含む第 1 の電圧情報を検出して記憶し、

前記入力端に前記差動アナログ入力信号が入力される第 2 の期間に前記第 1 の期間において記憶した前記第 1 の電圧情報を用いて前記第 1 のトランジスタのオフセット電圧を補償し、

前記第 2 の補償回路は、

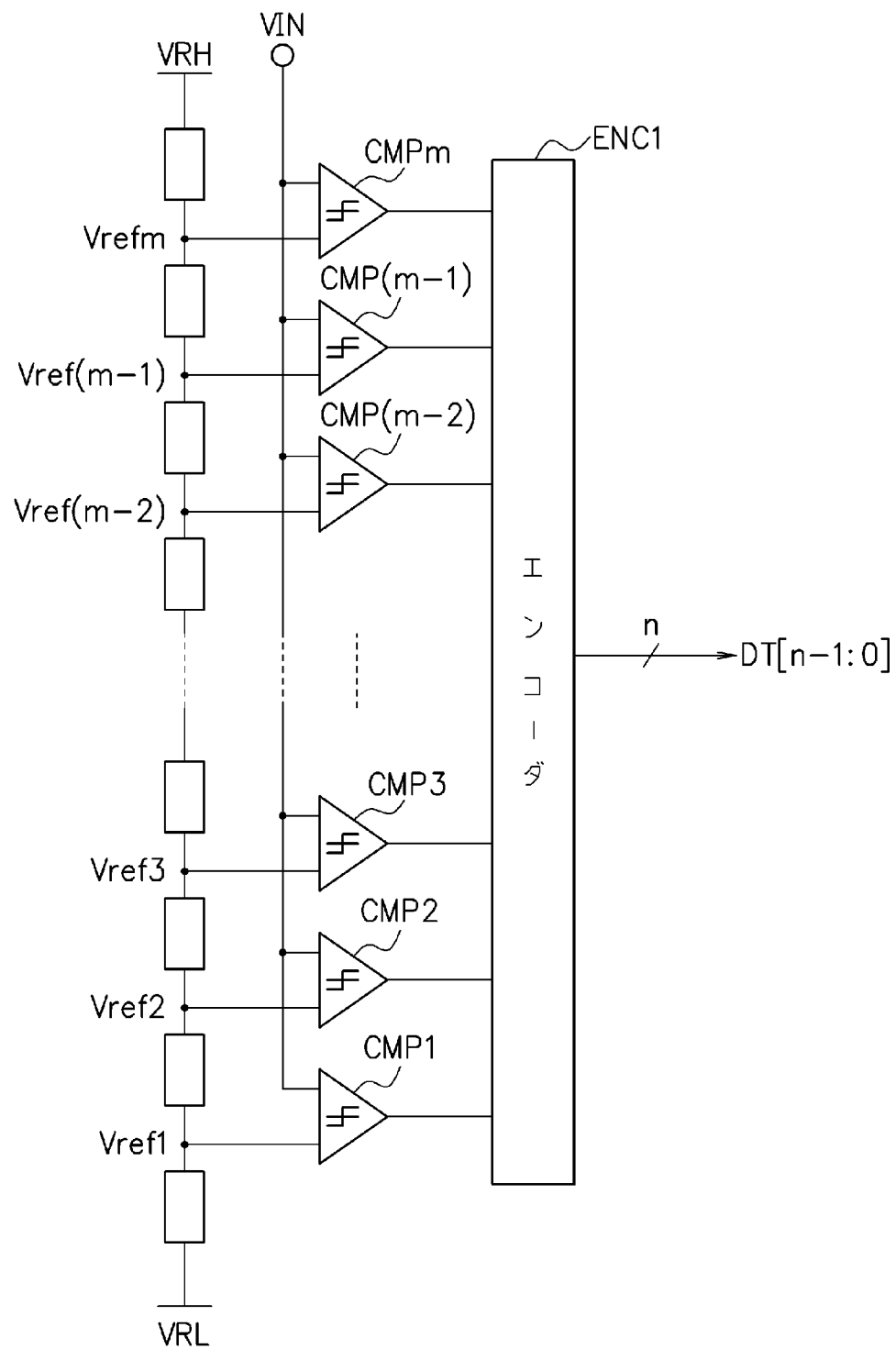
前記入力端に前記比較基準電圧が入力される第 1 の期間に前記第 2 のトランジスタのゲートとドレインを接続し、前記第 2 のトランジスタのオフセット電圧に係る情報を含む第 2 の電圧情報を検出して記憶し、

前記入力端に前記差動アナログ入力信号が入力される第 2 の期間に前記第 1 の期間において記憶した前記第 2 の電圧情報を用いて前記第 2 のトランジスタのオフセット電圧を補償することを特徴とするアナ

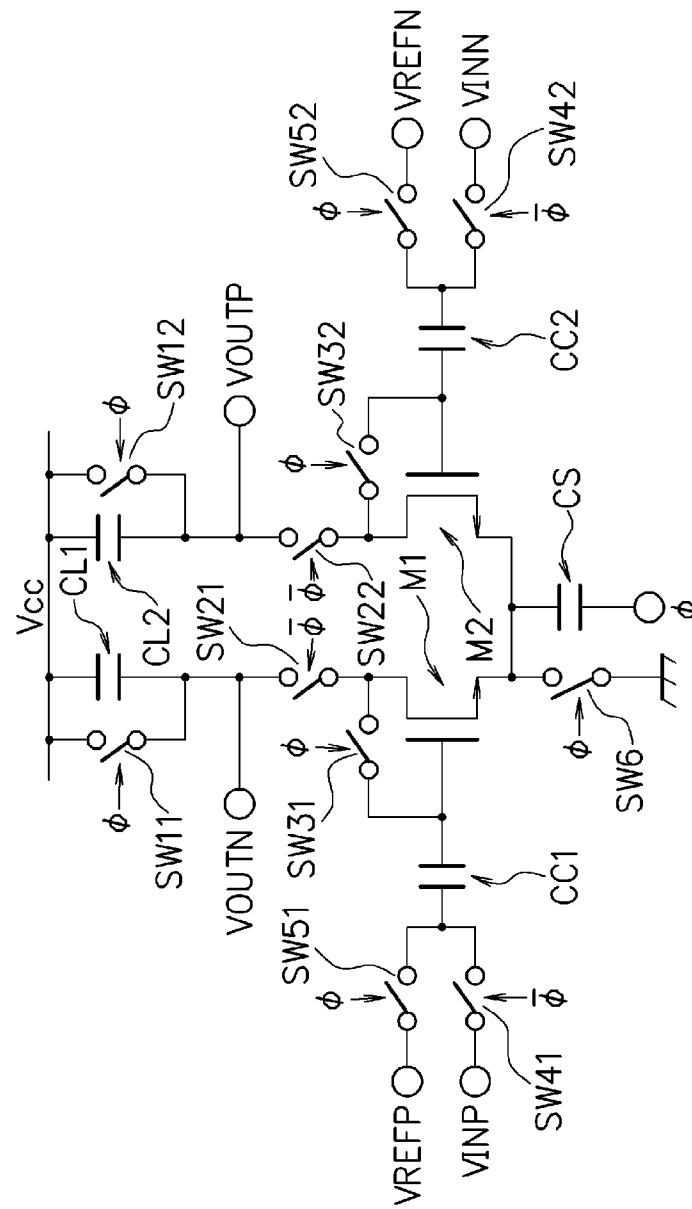
ログデジタル変換器。

- [請求項12]      前記比較器が有する前記プリアンプ部の出力に一方の電極が接続され、当該比較器とは1異なる値に対応する前記比較基準電圧と前記アナログ入力信号とを比較する比較器が有する前記プリアンプ部の出力に他方の電極が接続された容量を有することを特徴とする請求項9記載のアナログデジタル変換器。

[図1]

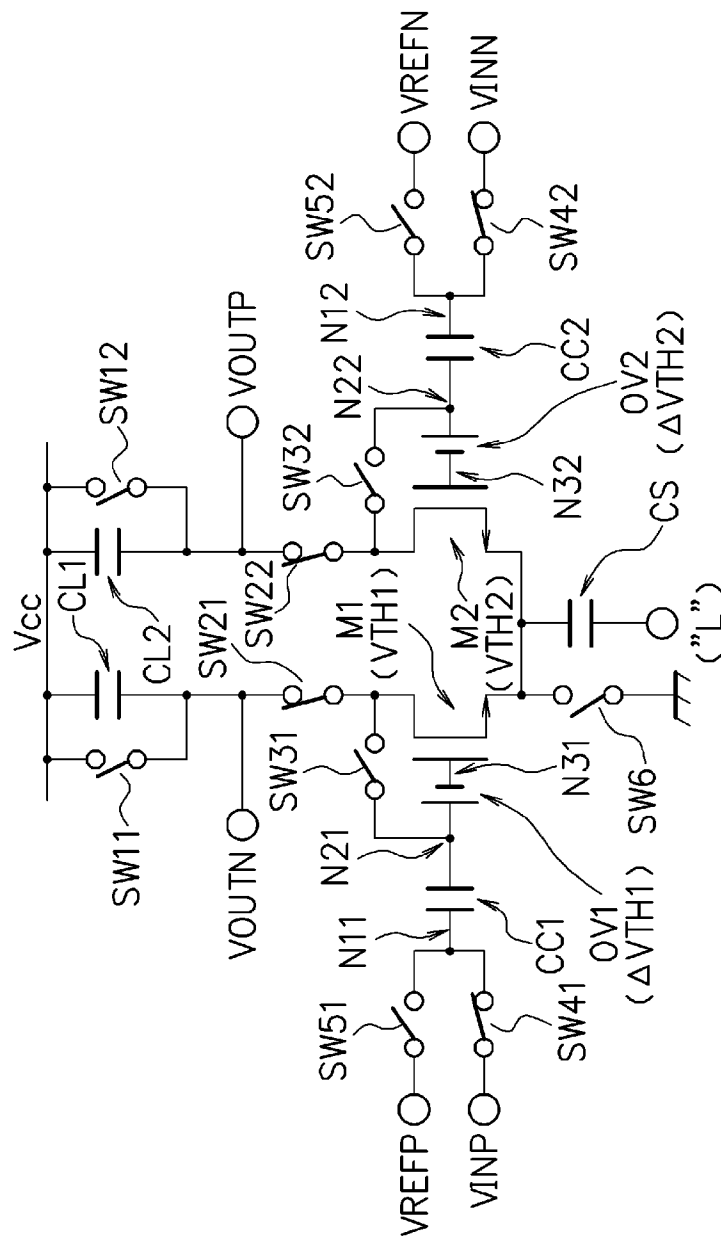


[図2]

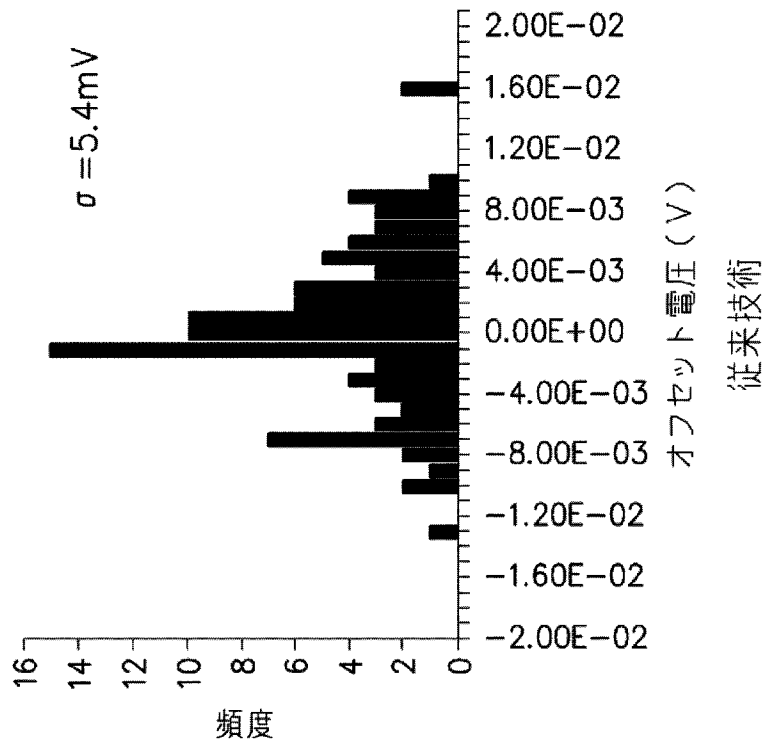


[illegible]

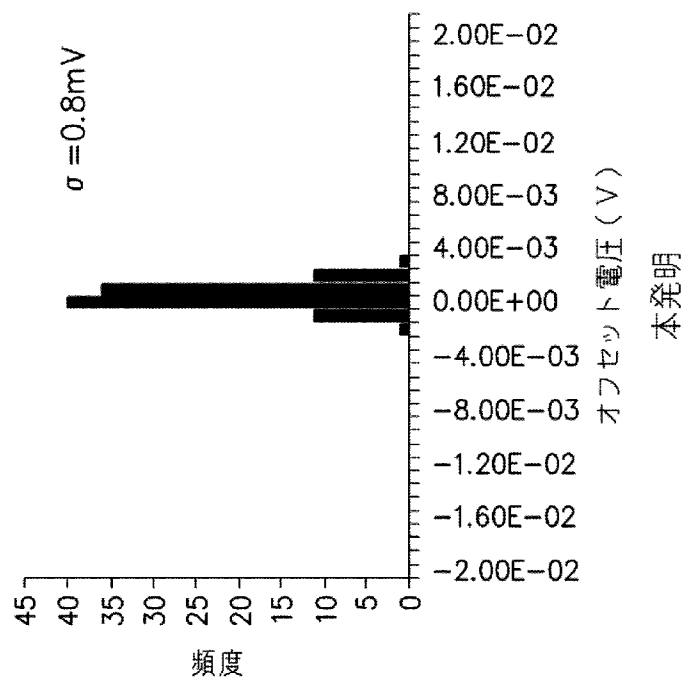
[図4]



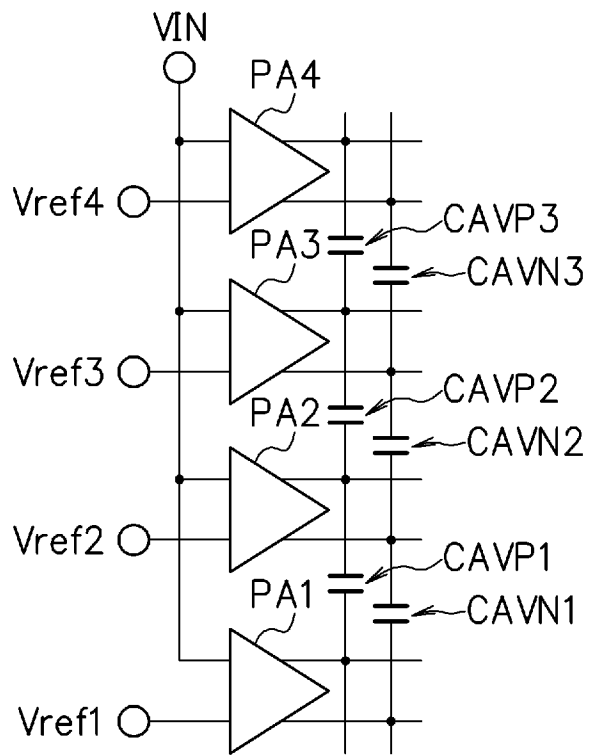
[図5A]



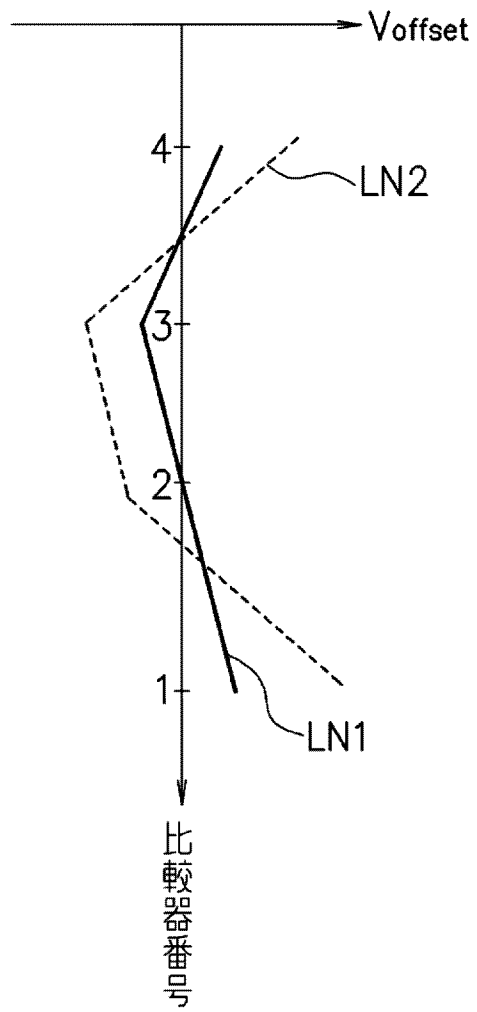
[図5B]



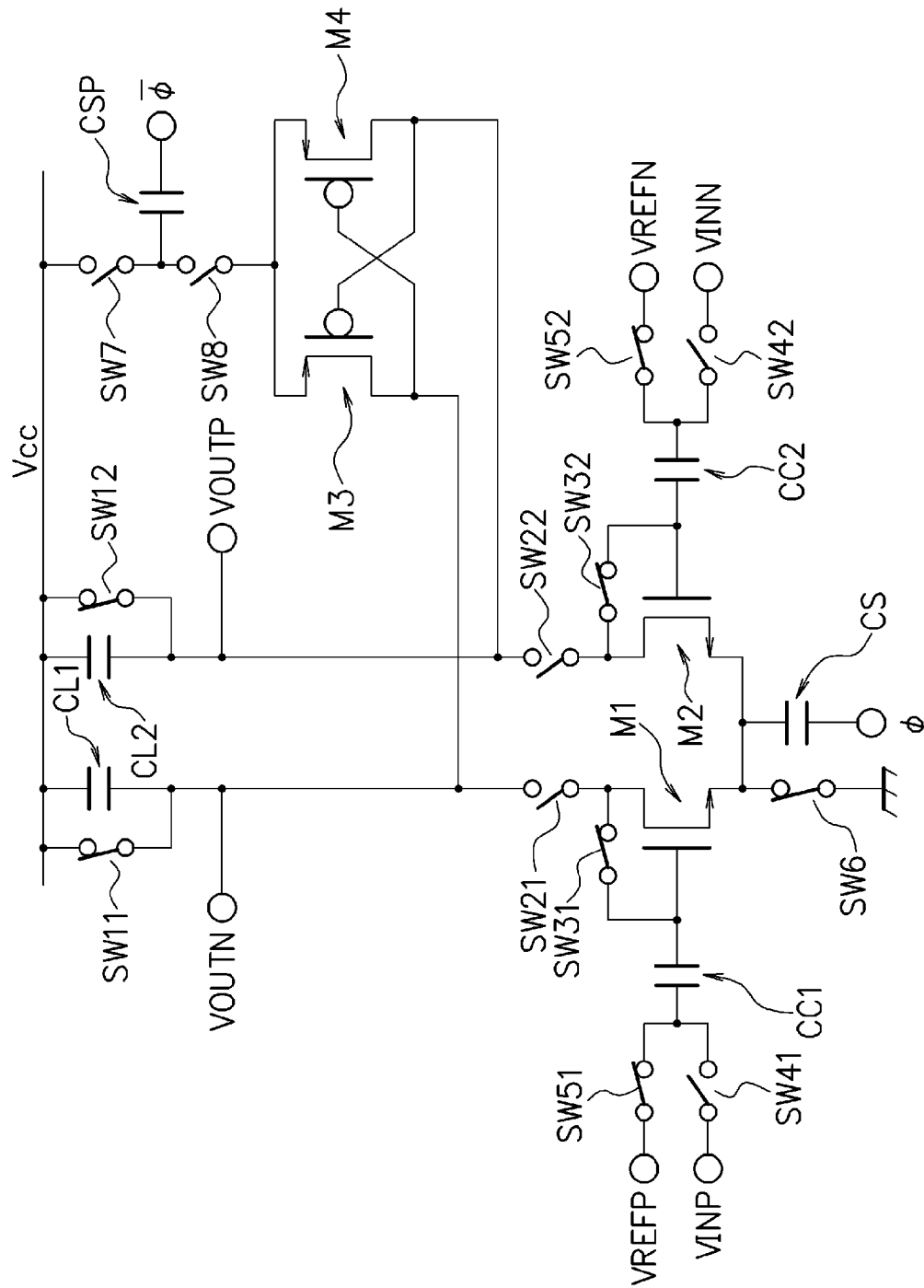
[図6A]



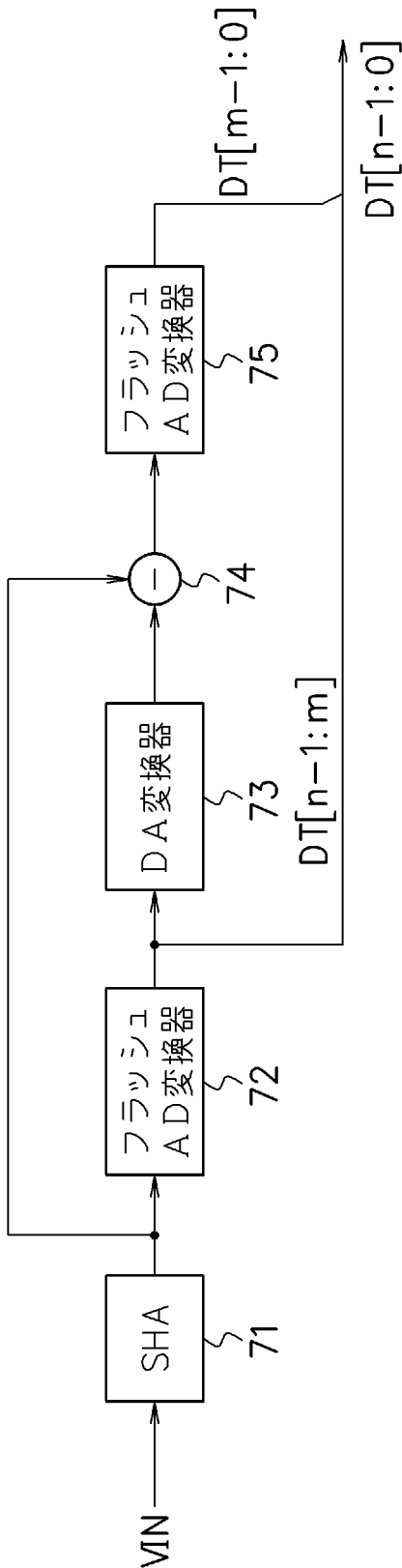
[図6B]



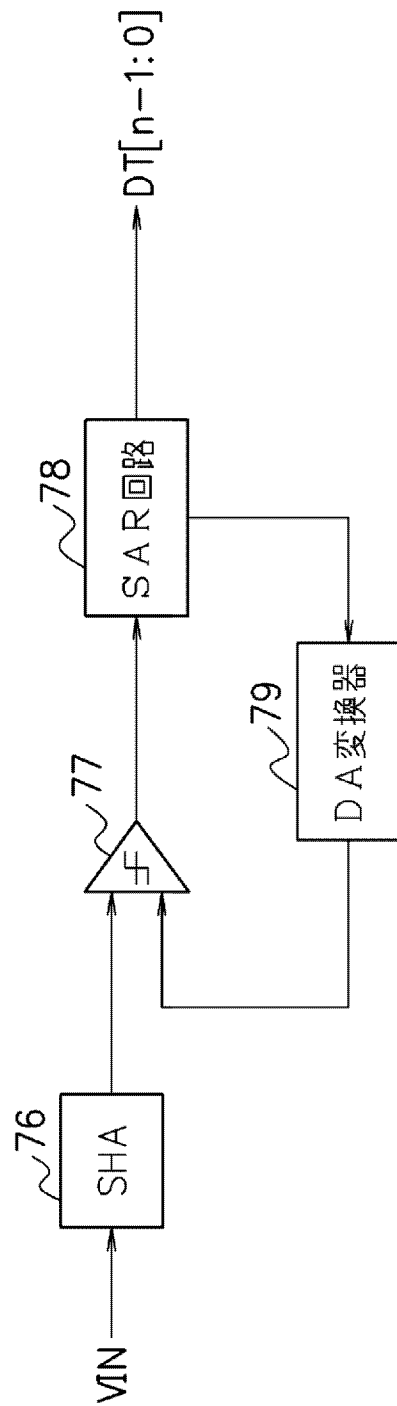
[図7]



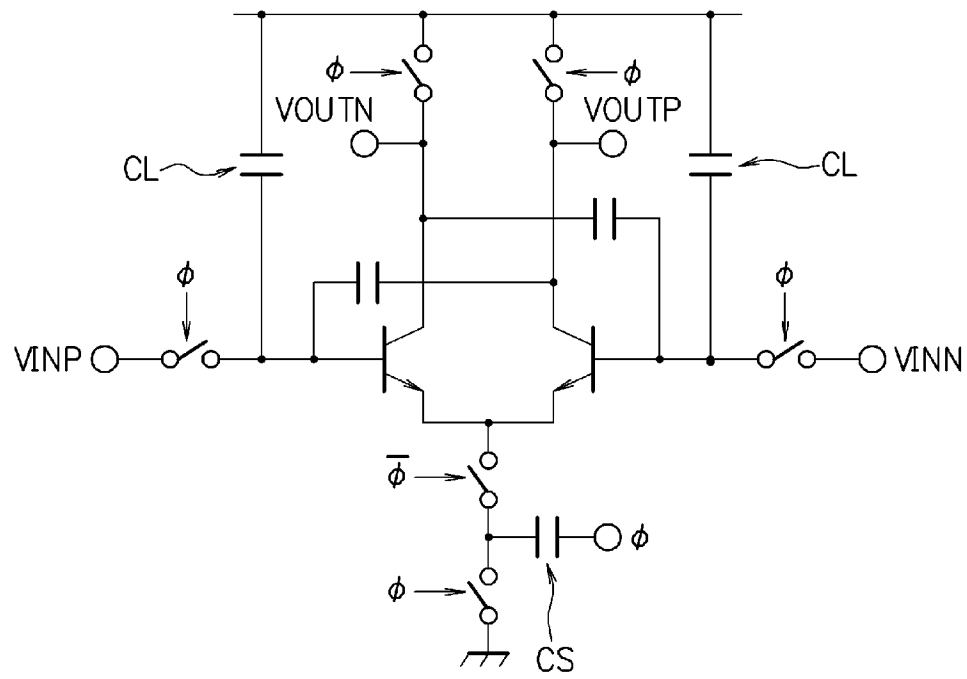
[図8A]



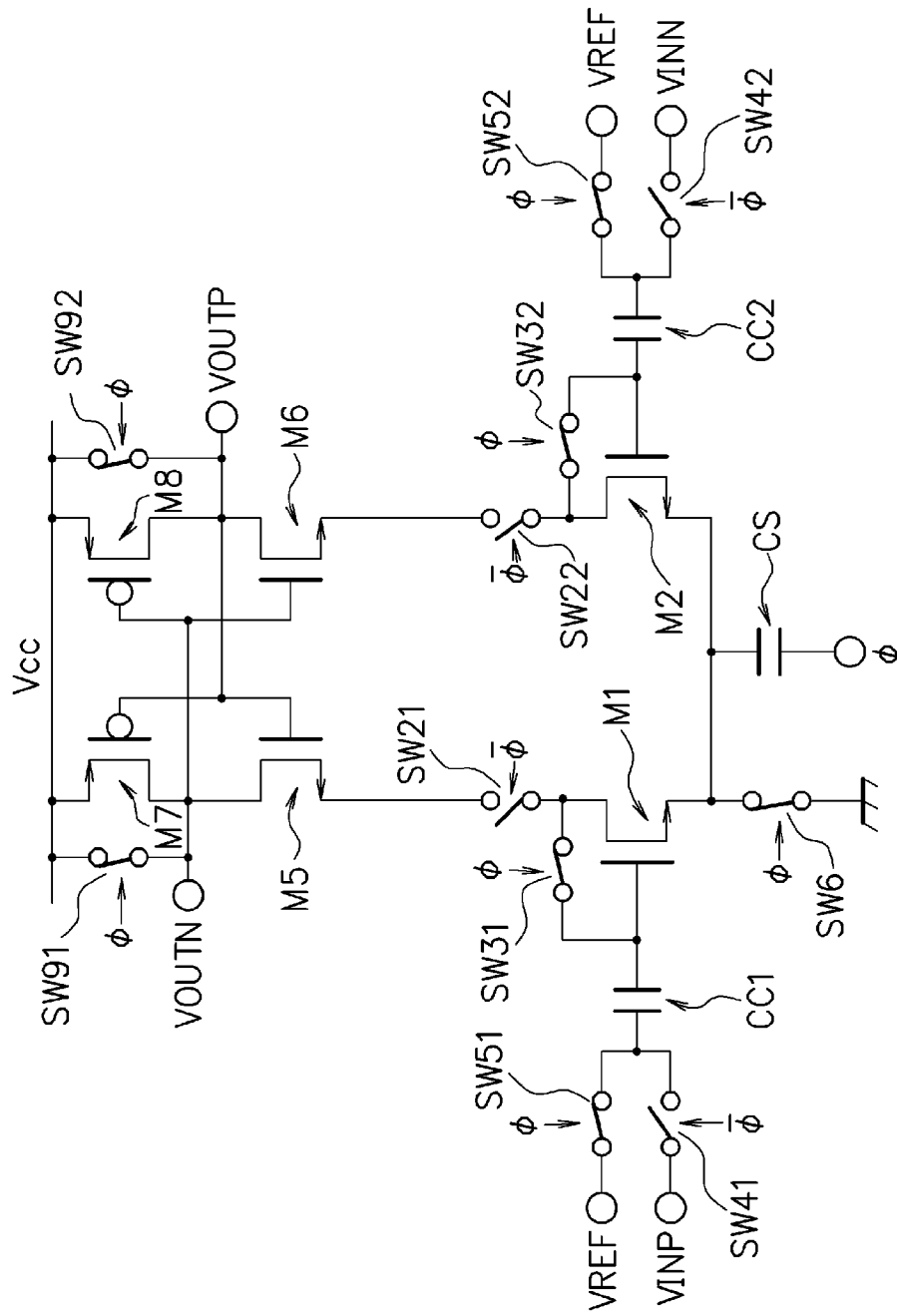
[図8B]



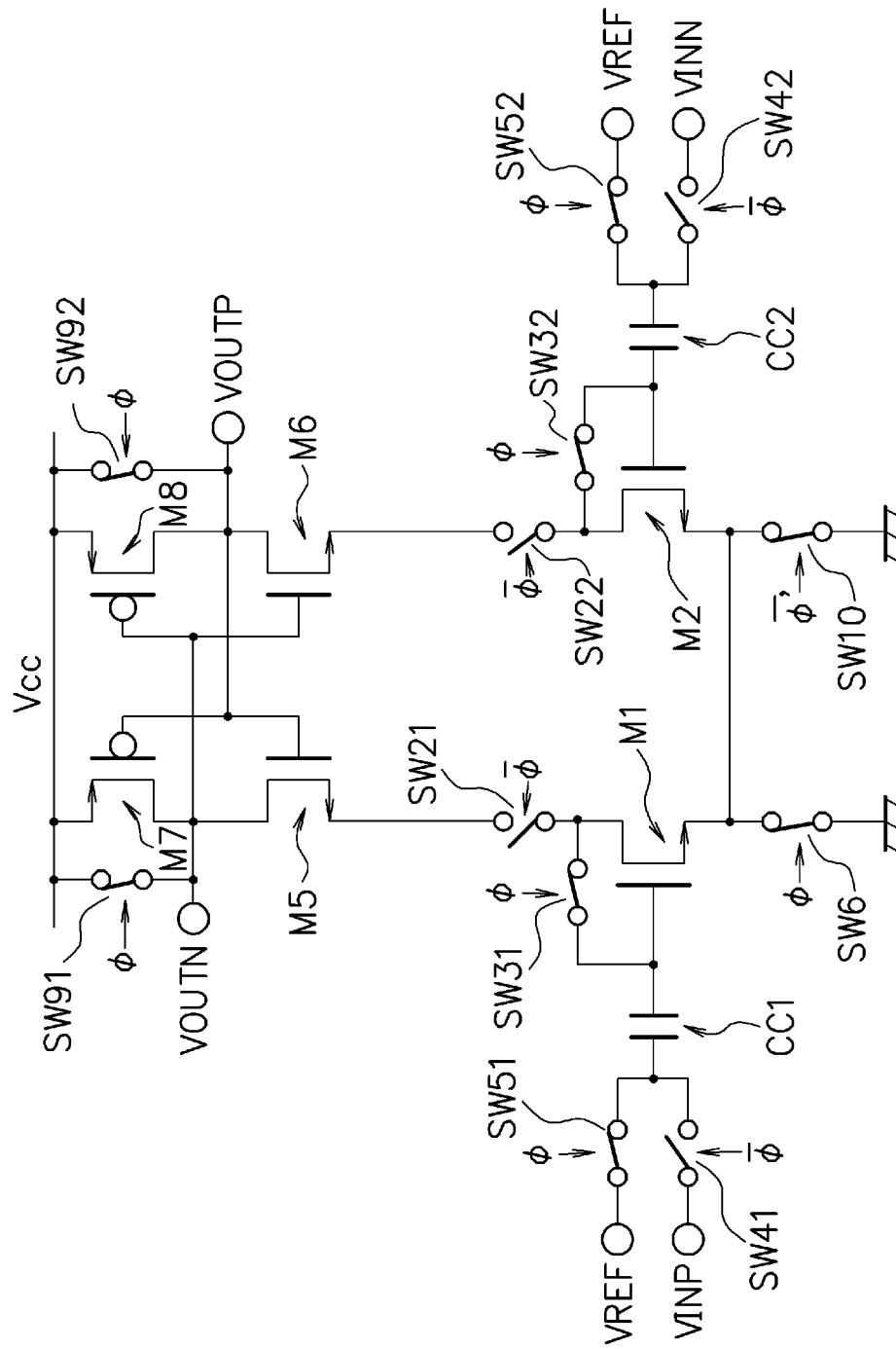
[図9]



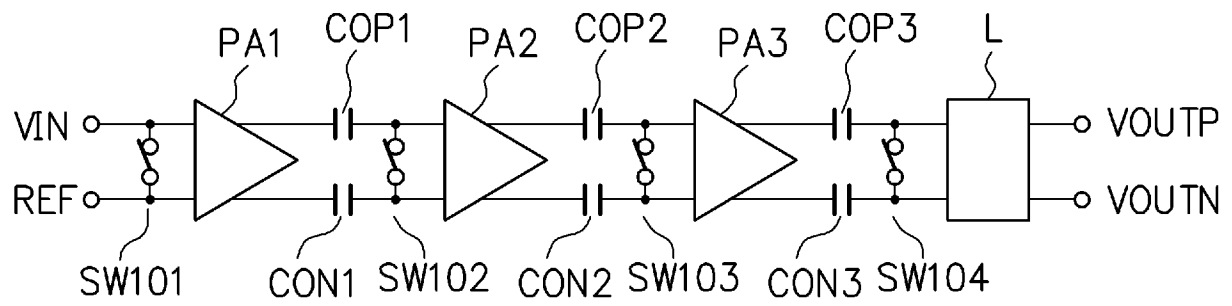
[図10]



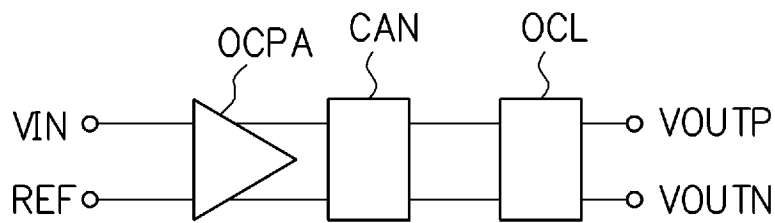
[図11]



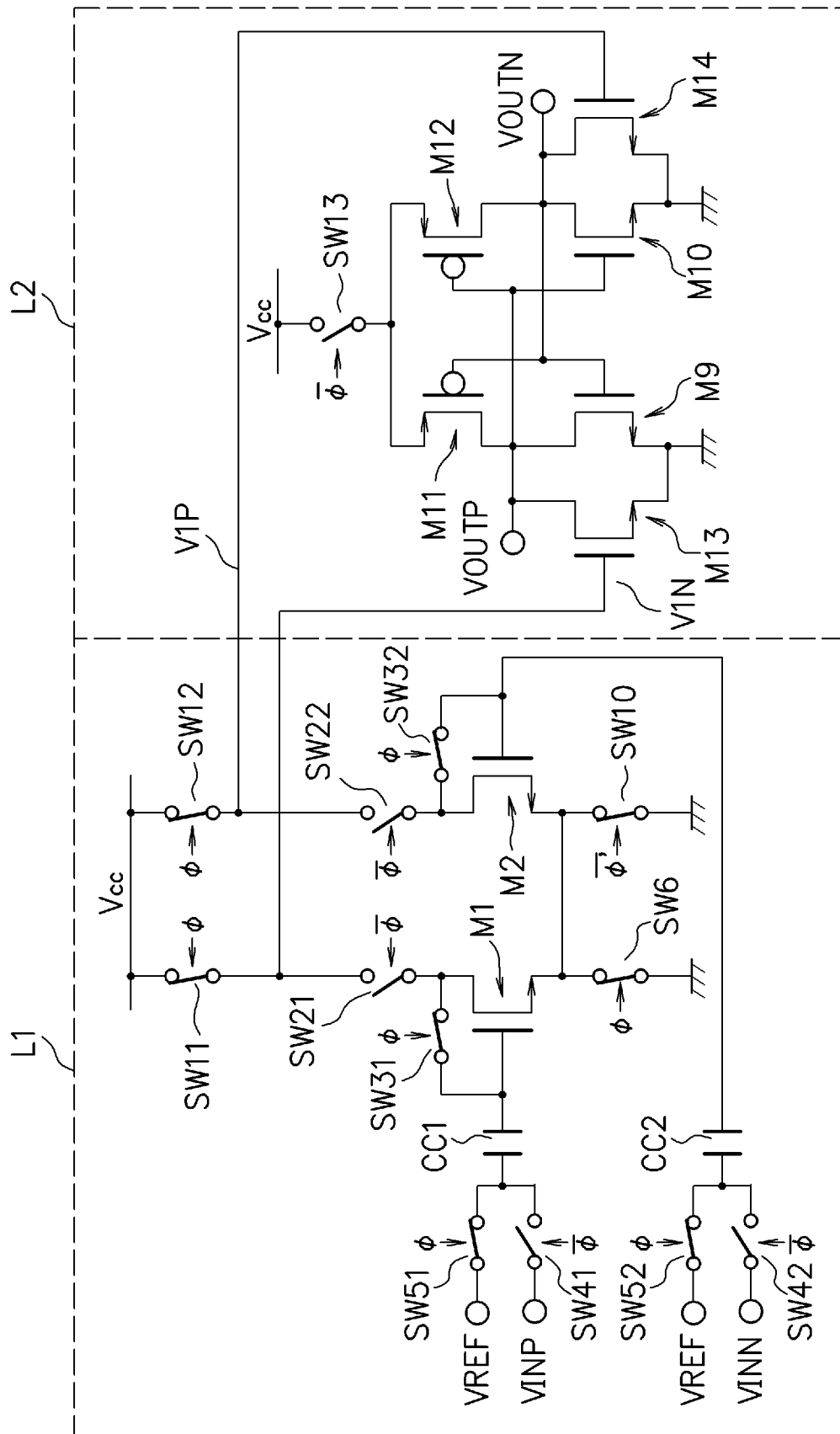
[図12A]



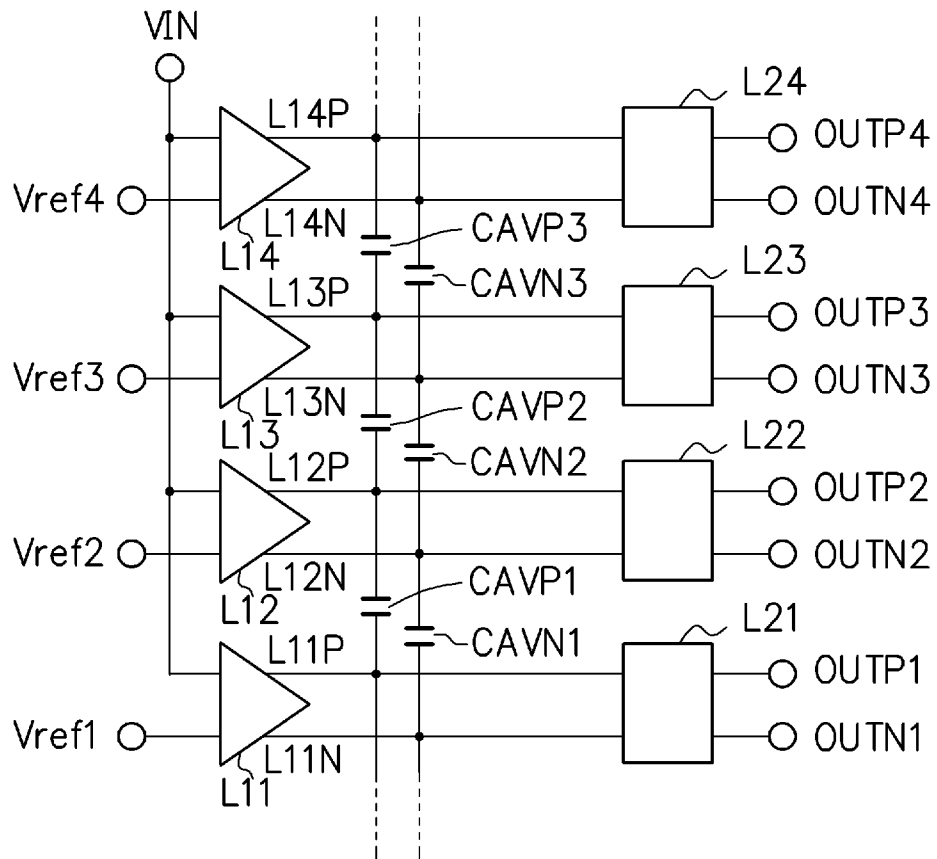
[図12B]



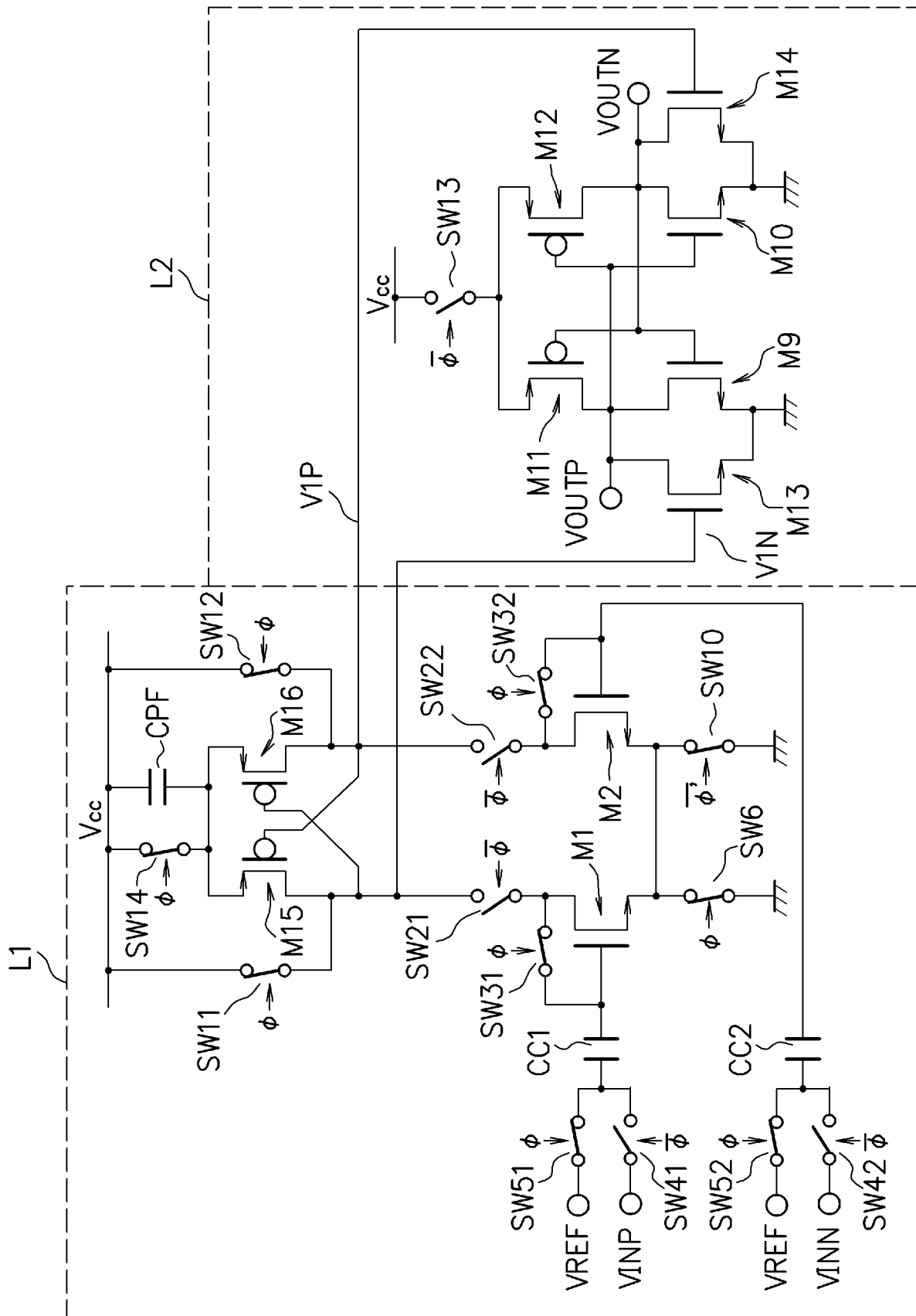
[図13]



[図14]



[図15]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058723

## A. CLASSIFICATION OF SUBJECT MATTER

H03M1/10(2006.01)i, H03K5/08(2006.01)i, H03M1/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88, H03K5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2011 |
| Kokai Jitsuyo Shinan Koho | 1971-2011 | Toroku Jitsuyo Shinan Koho | 1994-2011 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                   | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | PETER J. LIM, BRUCE A. WOOLY, "An 8-bit 200-MHz BiCMOS Comparator", IEEE JOURNAL OF SOLID-STATE CIRCUITS, 1990, vol.25, no.1, pages 192-199, fig. 3                                                                  | 1-12                  |
| A         | Naveen Verma, Anantha P. Chandrakasan, "An Ultra Low Energy 12-bit Rate-Resolution Scalable SAR ADC for Wireless Sensor Nodes", IEEE JOURNAL OF SOLID-STATE CIRCUITS, 2007, vol.42, no.6, pages 1196-1205, fig. 7, 9 | 1-12                  |
| A         | JP 7-43397 A (Seiko Instruments Inc.),<br>14 February 1995 (14.02.1995),<br>fig. 2<br>& US 5565800 A & EP 637135 A1                                                                                                  | 1-12                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
21 April, 2011 (21.04.11)

Date of mailing of the international search report  
10 May, 2011 (10.05.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/10(2006.01)i, H03K5/08(2006.01)i, H03M1/36(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/00-1/88, H03K5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 1 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 1 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 1 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                       | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | PETER J. LIM, BRUCE A. WOOLY, "An 8-bit 200-MHz BiCMOS Comparator", IEEE JOURNAL OF SOLID-STATE CIRCUITS, 1990, vol. 25, no. 1, pages 192-199, 第 3 図参照                                                                  | 1-12           |
| A               | Naveen Verma, Anantha P. Chandrakasan, "An Ultra Low Energy 12-bit Rate-Resolution Scalable SAR ADC for Wireless Sensor Nodes", IEEE JOURNAL OF SOLID-STATE CIRCUITS, 2007, vol. 42, no. 6, pages 1196-1205, 第 7, 9 図参照 | 1-12           |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 4 . 2 0 1 1

国際調査報告の発送日

1 0 . 0 5 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

柳下 勝幸

5 X

9 5 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

| C (続き) . 関連すると認められる文献 |                                                                               |                |
|-----------------------|-------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                             | 関連する<br>請求項の番号 |
| A                     | JP 7-43397 A (セイコー電子工業株式会社) 1995. 02. 14, 第 2 図 & US 5565800 A & EP 637135 A1 | 1-12           |