

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4646743号
(P4646743)

(45) 発行日 平成23年3月9日 (2011.3.9)

(24) 登録日 平成22年12月17日 (2010.12.17)

(51) Int.Cl.

F I

HO 1 L 21/76 (2006.01)

HO 1 L 21/331 (2006.01)

HO 1 L 29/72 (2006.01)

HO 1 L 21/76 L

HO 1 L 29/72 P

請求項の数 3 (全 11 頁)

(21) 出願番号	特願2005-250694 (P2005-250694)	(73) 特許権者	000001889
(22) 出願日	平成17年8月31日 (2005.8.31)		三洋電機株式会社
(65) 公開番号	特開2006-108646 (P2006-108646A)		大阪府守口市京阪本通2丁目5番5号
(43) 公開日	平成18年4月20日 (2006.4.20)	(74) 代理人	100131071
審査請求日	平成18年11月9日 (2006.11.9)		弁理士 ▲角▼谷 浩
(31) 優先権主張番号	特願2004-261389 (P2004-261389)	(72) 発明者	米田 陽樹
(32) 優先日	平成16年9月8日 (2004.9.8)		大阪府守口市京阪本通2丁目5番5号 三
(33) 優先権主張国	日本国 (JP)		洋電機株式会社内
		審査官	三浦 尊裕
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に、不純物を含む第1の層を形成する第1の工程と、
前記第1の層上に、第2の層を形成する第2の工程と、
前記第2の層に、第1の溝を形成する第3の工程と、
前記第1の溝の内面に、第1の熱酸化法により第1の熱酸化膜を形成する第4の工程と、
前記第1の溝に、第1の埋め込み膜を形成する第5の工程と、
前記第1の溝内に、前記第1の溝よりも深さの深い第2の溝を形成する第6の工程と、
前記第2の溝の内面に、前記第1の熱酸化法と同じ第2の熱酸化法により第2の熱酸化膜を形成する第7の工程と、
前記第2の溝に、第2の埋め込み膜を形成する第8の工程と、を備え、
前記第4の工程は、前記第1の溝の角部に丸みを形成する工程であり、前記第7の工程は、前記第2の溝の角部に丸みを形成する工程であって、且つ前記第1の熱酸化膜の膜厚と比べて、前記第2の熱酸化膜の膜厚を薄く形成することを特徴とした半導体装置の製造方法。

【請求項 2】

前記第6の工程における前記第2の溝の深さは、前記半導体基板に到達する深さであることを特徴とした請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記第1の熱酸化膜の膜厚と前記第2の熱酸化膜の膜厚との膜厚差が6 nm以上となるように形成することを特徴とした請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に素子分離領域を有する半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

従来、基板中に高濃度の埋め込み層を有するバイポーラトランジスタなどの半導体装置の素子分離技術として、LOCOS (Local Oxidation of Silicon) 法で形成したフィールド酸化膜による素子分離に加えて、基板中の高濃度不純物層を分離するための深い溝を形成する方法が知られている。このようなLOCOS法により形成したフィールド酸化膜では、表面の平坦性が悪いとともに、パズピークに起因する素子分離領域の面積の増大によりさらなる微細化を図るのが困難であるという不都合がある。

【0003】

そこで、近年、LOCOS法に代えて、平坦性に優れ、かつ、より微細化が可能なSTI (Shallow Trench Isolation) 法を用いた素子分離技術が提案されている（例えば、特許文献1参照）。

【0004】

図14は、従来のSTI法による素子分離領域を含む半導体装置を説明するための断面図である。図14において、シリコン基板101上には、N⁺埋め込み層102およびN型エピタキシャルシリコン層103が形成されている。N型エピタキシャルシリコン層103にはSTI溝が形成され、その凹部内面には絶縁膜104が形成されている。さらにSTI溝は埋め込み膜105で埋め込まれている。また、STI溝に形成された深い溝はシリコン基板101に到達するまでの深さで形成され、その凹部内面には絶縁膜106が形成されている。さらに深い溝は埋め込み膜107で埋め込まれている。

【0005】

従来のSTI法による素子分離構造では、STI溝および深い溝の角部（200a, 200b, 200c, 200d）は丸みを帯びるとともに、STI溝の凹部内面の絶縁膜104の膜厚および深い溝の凹部内面の絶縁膜106の膜厚は同程度に形成されている。

【特許文献1】特許第3382063号

【発明の開示】

【発明が解決しようとする課題】

【0006】

従来法では、STI溝の凹部内面および深い溝の凹部内面に絶縁膜を形成してSTI溝および深い溝の角部（200a, 200b, 200c, 200d）に丸みを持たせることにより、形状起因によるストレスを緩和し、欠陥の発生を抑制してきた。しかしながら、さらに微細な半導体装置を形成する場合には、STI溝の凹部内面あるいは深い溝の凹部内面に絶縁膜を形成する際の熱処理によって、N⁺埋め込み層102の不純物が表面近傍まで拡散してしまい、トランジスタ特性の劣化が生じるという問題がある。またN⁺埋め込み層102が深い溝内で露出する場合には、開口部から不純物の外方拡散が起り、N⁺埋め込み層の濃度低下によるコレクタ抵抗の上昇が生じることになる。このため、STI溝の凹部内面および深い溝の凹部内面に絶縁膜を形成する際には、STI溝および深い溝の角部に起因する欠陥の制御だけでなく、不純物を含む埋め込み層の拡散制御を同時に行うことが不可欠となる。

【0007】

従来法を適用した場合には、STI溝および深い溝の凹部内面の絶縁膜の膜厚が同程度であるため、STI溝近傍の欠陥を除去しつつ、深い溝の角部に丸め形状を実現しようとすると、深い溝の凹部内面に絶縁膜を形成する際の熱処理によって、N⁺埋め込み層10

10

20

30

40

50

2の不純物の拡散が大きくなる。一方、深い溝の凹部内面に絶縁膜を形成する際に N^+ 埋め込み層102の不純物拡散を抑制しようとする、特にSTI溝の角部が十分な丸み形状とはならず、欠陥の発生を除去できない。また深い溝の凹部内面に絶縁膜を形成する際には、STI溝の角部は絶縁膜などで覆われているためストレスが開放されにくく、深い溝の凹部内面に絶縁膜を形成することに起因してストレスが蓄積されSTI溝の角部に欠陥が発生しやすくなる。

【0008】

この発明は上記のような問題点を解消するためになされたもので、欠陥制御と拡散制御を同時に実現し、信頼性の高い半導体装置を提供することを目的としている。

【課題を解決するための手段】

10

【0009】

上記目的を達成するために、この発明の第1の局面における半導体装置の製造方法は、半導体基板上に、不純物を含む第1の層を形成する第1の工程と、第1の層上に、第2の層を形成する第2の工程と、第2の層に、第1の溝を形成する第3の工程と、第1の溝の内面に、第1の熱酸化法により第1の熱酸化膜を形成する第4の工程と、第1の溝に、第1の埋め込み膜を形成する第5の工程と、第1の溝内に、第1の溝よりも深さの深い第2の溝を形成する第6の工程と、第2の溝の内面に、第2の熱酸化法により第2の熱酸化膜を形成する第7の工程と、第2の溝に、第2の埋め込み膜を形成する第8の工程と、を備え、第4の工程は、第1の溝の角部に丸みを形成する工程であり、第7の工程は、第2の溝の角部に丸みを形成する工程であって、且つ第1の熱酸化膜の膜厚と比べて、第2の熱酸化膜の膜厚を薄く形成することを特徴とする。

20

【0010】

このように構成することによって、不純物を含む第1の層からの不純物拡散を抑制しつつ、第1の溝および第2の溝の角部に丸み形状を持たせることができ、形状起因によるストレスが緩和され、各溝の角部に起因する欠陥の発生を抑制することができる。

【0011】

すなわち、第4の工程において、第1の熱酸化膜を形成することで第1の溝の角部に丸み形状を持たせるものの、第7の工程においては、第1の熱酸化膜の膜厚と比べて第2の熱酸化膜の膜厚が薄いため、膜厚が第1の熱酸化膜の同じ場合と比較して少ない熱量で処理することができる。この結果、不純物を含む第1の層からの不純物拡散を抑制することができ、さらに第2の溝に第2の熱酸化膜を形成することに起因したストレスを少なくすることができる。その結果として基板表面近傍の不純物濃度を低く抑えられるため、良好なトランジスタを形成することができる。

30

【0012】

さらに不純物拡散を制御しやすいので、不純物を含む第1の層上に形成する第2の層をより薄くすることができる。このため、コレクタ抵抗をさらに低減できるとともに、半導体装置の製造コストを低減することができる。

【0013】

上記目的を達成するために、この発明の第2の局面における半導体装置は、第6の工程における第2の溝の深さは、半導体基板に到達する深さであることを特徴とする。

40

【0014】

上記構成においては、従来法に比べ少ない熱量で処理できるため、露出した第1の層からの不純物の外方拡散を抑制することができる。このため、良好なトランジスタを形成することができる。

【0015】

この発明の第3の局面における半導体装置は、半導体基板における素子分離領域に形成された第1の溝と、前記第1の溝の内面に形成された第1の熱酸化膜と第1の埋め込み膜と、前記第1の溝内の前記第1の熱酸化膜、第1の埋め込み膜、及び前記第1の溝の底部の前記半導体基板に前記第1の溝よりも深く形成された第2の溝と、前記第2の溝の内面に形成された第2の熱酸化膜と第2の埋め込み膜と、前記第1の溝及び前記第2の溝で分

50

離された、前記半導体基板中の素子領域に形成される半導体素子とを具備し、前記第1の溝及び前記第2の溝の各角部が丸みを持ち、且つ前記第1の熱酸化膜の膜厚と比べて前記第2の熱酸化膜の膜厚が薄いことを特徴とする。

【0016】

第1の溝および第2の溝の各角部が丸く、且つ前記第2の熱酸化膜が前記第1の熱酸化膜よりも薄いことにより、形状に起因するストレスが緩和され、各溝の角部に起因する欠陥の発生を抑制することができる。

【0017】

すなわち、第1の溝と第2の溝の各角部に丸みを持たせることにより、主に<111>方向へのストレスを形状的に緩和させることができ、特に第1の溝の上縁の角部、第1の溝と第2の溝との境界に形成される角部（結合角部）、及び第2の溝の下縁の角部において、欠陥の発生を抑制することができる。さらに第1の熱酸化膜の膜厚と比べて第2の熱酸化膜の膜厚を薄く形成することにより、とりわけ第1の溝と第2の溝との結合角部におけるストレスを緩和させることができる。第1の溝と第2の溝との結合角部は丸み形状を付けにくく、加えて、第1の埋め込み膜と第2の埋め込み膜との材質（熱膨張率）が異なる場合には、半導体素子形成中に加わる熱により、第1の溝と第2の溝との結合角部にストレスがかかる。第1の熱酸化膜の膜厚と比べて、第2の熱酸化膜の膜厚を薄く形成することにより、第1の埋め込み膜と第2の埋め込み膜の熱膨張差によるストレスを吸収することができる、第1の溝と第2の溝との結合角部からの欠陥の発生を抑制することができる。

【0018】

この発明の第4の局面における半導体装置は、前記第1の熱酸化膜の膜厚と前記第2の熱酸化膜の膜厚との膜厚差が6nm以上であることを特徴とする。この構成によれば、形状起因によるストレスの緩和効果と、各溝の角部に起因する欠陥の発生の抑制効果が得られる。

【発明の効果】

【0019】

本発明によれば、欠陥制御と拡散制御を同時に実現し、信頼性の高い半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施形態を図1に基づいて説明する。図1は、本発明の実施形態による素子分離領域を含む半導体装置の素子断面図である。

【0021】

図1において、P型シリコン基板1上には、N⁺埋め込み層2およびN型エピタキシャル層3が形成されている。N型エピタキシャル層3にはSTI溝が形成され、その凹部内面には熱酸化膜6が形成されている。さらにSTI溝はHDP-NSG膜7で埋め込まれている。尚、このN⁺埋め込み層2およびN型エピタキシャル層3はそれぞれ本発明の「第1の層」および「第2の層」の一例であり、STI溝は本発明の「第1の溝」、熱酸化膜6は本発明の「第1の熱酸化膜」、HDP-NSG膜7は本発明の「第1の埋め込み膜」の一例である。

【0022】

また、STI溝内に形成された深い溝はシリコン基板1に到達するまでの深さで形成され、その凹部内面には熱酸化膜9が形成されている。この熱酸化膜9の膜厚は、STI溝内の熱酸化膜6よりも薄く形成されている。また、深い溝内には、さらにシリコン酸化膜10が形成され、最後にポリシリコン膜11で埋め込まれている。尚、この深い溝は本発明の「第2の溝」の一例であり、熱酸化膜9は本発明の「第2の熱酸化膜」、ポリシリコン膜11は本発明の「第2の埋め込み膜」の一例である。

【0023】

また、N型エピタキシャル層3およびポリシリコン膜11の表面側には、それぞれシリ

10

20

30

40

50

コン酸化膜 12 およびシリコン酸化膜からなるトレンチキャップ層 13 が形成されている。

【0024】

さらに、素子形成領域 50 の上には、ベース電極 14、ベース電極 14 を覆うシリコン酸化膜 15、及びミッタ電極 16 が形成され、バイポーラトランジスタを構成している。

【0025】

図 2～図 12 は、本発明の実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。以下、図 2～図 12 を参照して、半導体装置の製造プロセスについて説明する。

【0026】

(工程 1：図 2 参照) P 型シリコン基板 1 の主表面領域中に、 N^+ 埋め込み層 2 を形成し、その上に N 型エピタキシャル層 3 を形成する。

【0027】

(工程 2：図 3 参照) N 型エピタキシャル層 3 上に、熱酸化法を用いてシリコン酸化膜 (熱 SiO_2 膜) 4 を約 10 nm の厚みで形成する。シリコン酸化膜 4 上に、CMP (Chemical Mechanical Polishing) 工程におけるストップ膜となるシリコン窒化膜 (Si_3N_4 膜) 5 を約 100 nm の厚みで形成する。リソグラフィ法によりレジストパターンマスクを設け、ドライエッチングにより、シリコン窒化膜 5、及びシリコン酸化膜 4 をエッチングする。

【0028】

(工程 3：図 4 参照) ドライエッチングにより、シリコン酸化膜 4、及びシリコン窒化膜 5 をマスクとして、N 型エピタキシャル層 3 を、例えば、約 500 nm の厚み分だけエッチングして、STI 溝 60 を形成する。

【0029】

(工程 4：図 5 参照) STI 溝 60 の内面に、熱酸化膜 (第 1 の熱酸化膜) 6 を、RTO (Rapid Thermal Oxidation) 法を用いて、例えば、約 20 nm の厚みで形成する。このとき、高温での熱処理によって熱酸化膜が流動化するため、STI 溝 60 の角部 (61a、61b) に丸みが形成される。熱酸化膜 6 の形成は、酸素雰囲気中、1100℃、2 分程度で行われる。このように、RTO 法を用いることにより、高温短時間の処理が可能であるため、角部 (61a、61b) の丸み形状の形成と N^+ 埋め込み層 2 の不純物拡散の抑制をより容易に達成できる。

【0030】

(工程 5：図 6 参照) 高密度プラズマ CVD 法 (HDP-CVD 法) を用いて、STI 溝 60 が完全に埋まるように、約 600 nm の厚みで、HDP-NSG 膜 7 を形成する。

【0031】

(工程 6：図 6 参照) HDP-NSG 膜 7 上に、減圧 CVD 法を用いて、約 800℃ の温度条件下で、HTO (High-Temperature Oxide) 膜 8 を約 300 nm の厚みで形成する。この HTO 膜 8 は、HDP-NSG 膜 7 よりも段差の被覆性 (ステップカバレッジ) に優れた膜である。その一方、HDP-NSG 膜 7 は、HTO 膜 8 よりも埋め込み特性に優れている。このため、HDP-NSG 膜 7 を用いることにより STI 溝 60 を良好に埋め込むことが可能となる。

【0032】

(工程 7：図 7 参照) HTO 膜 8 の形成後、HTO 膜 8 上の所定領域に、リソグラフィ法によりレジストパターンマスクを設け、ドライエッチングにより、HTO 膜 8、及び HDP-NSG 膜 7 をパターンニングする。この後、レジストパターンマスクを除去する (図示せず)。

【0033】

そして、HTO 膜 8、及び HDP-NSG 膜 7 をハードマスクとして、N 型エピタキシャルシリコン層 3、 N^+ 型埋め込み層 2、及び P 型シリコン基板 1 をドライエッチングす

10

20

30

40

50

ることによって、図7に示されるような、 N^+ 型埋め込み層2を分離するための深い溝70が形成される。また、この深い溝70の形成時のエッチングによって、HTO膜8の厚みが薄くなる。この深い溝70は、N型エピタキシャルシリコン層3の上面から約 $6\mu m$ の深さを有するように形成する。このようにして、STI溝60よりも深い溝70を形成される。

【0034】

(工程8：図8参照) 深い溝70の内面に、熱酸化膜(第2の熱酸化膜)9を、RTO法を用いて、例えば、約 $10nm$ の厚みで形成する。このとき、深い溝内の熱酸化膜9の膜厚がSTI溝内の熱酸化膜6よりも薄く形成するため、従来法での膜厚が熱酸化膜6の同じ場合と比較して、少ない熱量での処理となる。この結果、 N^+ 埋め込み層2からの不純物拡散を低減することができ、さらに深い溝70に熱酸化膜9を形成することに起因したストレスを少なくすることができる。

10

【0035】

また、熱酸化膜9の形成時には、高不純物濃度の N^+ 埋め込み層2が開口部から直接露出しているため、熱処理工程(RTO処理工程)により開口部からの不純物の外方拡散が起こり、 N^+ 埋め込み層2の濃度低下によるコレクタ抵抗の上昇が生じる。本発明の実施形態のように、深い溝70の熱酸化膜9の膜厚を薄く形成することにより、少ない熱量での処理となるため、 N^+ 埋め込み層2の外方拡散を容易に低減することができる。

【0036】

(工程9：図9参照) CVD法を用いて、シリコン酸化膜10を約 $300nm$ の厚みで形成する。その後、シリコン酸化膜10上に、CVD法を用いて、深い溝70を完全に埋め込むように、約 $800nm$ の厚みでポリシリコン膜(poly-Si膜)11を形成する。ここで、ポリシリコン膜11と、N型エピタキシャル層3、 N^+ 埋め込み層2、およびP型シリコン基板1との電氣的絶縁は、熱酸化膜9とシリコン酸化膜10とによって図られている。

20

【0037】

(工程10：図10参照) CMP法を用いて、ポリシリコン膜11、シリコン酸化膜10、HTO膜8、およびHDP-NSG膜7の余分な堆積部分を同時に研磨することにより除去する。ここで、シリコン窒化膜5はCMP研磨時のストッパ膜として機能する。

【0038】

(工程11：図11参照) シリコン窒化膜5を約 $160^\circ C$ の燐酸によって除去するとともに、シリコン酸化膜4を希釈フッ酸(HF)によって除去する。

30

【0039】

(工程12：図12参照) 熱酸化法により、シリコン酸化膜12を形成すると同時に、深い溝70の表面のポリシリコン膜11が酸化され、シリコン酸化膜からなるトレンチキャップ層13を形成する。このとき、工程4や工程8と同様、熱酸化法としてRTO法を用いることにより、短時間での熱処理が可能となるため、 N^+ 埋め込み層2の不純物拡散を抑制することができる。

【0040】

上記のようにして、バイポーラトランジスタ(半導体装置)に用いられる平坦な上面を有する素子分離領域が形成される。

40

【0041】

この後、図1に示すように、素子形成領域50の上に、ベース電極14、ベース電極14を覆うシリコン酸化膜からなる絶縁膜15、およびエミッタ電極16を形成することによって、バイポーラトランジスタが形成される。

【0042】

表1及び図13は、半導体装置におけるSTI溝の熱酸化膜厚と深い溝の熱酸化膜厚とを変化させた場合の欠陥発生状況の結果を示す。尚、欠陥評価は、半導体装置の断面形状を顕在化処理した後、断面SEM装置を用いてSTI付近の $1\mu m^2$ 当たりの欠陥数をカウントした。

50

【0043】

【表1】

条件	熱酸化膜厚		膜厚差 [STI溝部－深い溝部]	欠陥数
	STI溝部	深い溝部		
条件A	約0nm	10nm	Δ10nm	20
条件B	10nm	10nm	0nm	5
条件C	10nm	4nm	6nm	0
条件D	10nm	約0nm	10nm	0
条件E	20nm	10nm	20nm	0

10

【0044】

STI溝部に対して深い溝部の膜厚が相対的に厚い場合（条件A）や同じ場合（条件B）においては、STI溝の角部200bを起点にN型エピタキシャルシリコン層103に欠陥が観察された。これに対して、STI溝部に対して深い溝部の膜厚が薄い場合（条件C、条件D、条件E）においては、欠陥は観察されなかった。また、本実施形態で示した条件Eに関しては、半導体装置のトランジスタ特性についても良好な特性であることを確認した。

20

【0045】

図13のグラフから、深い溝70部の膜厚がSTI溝部の膜厚よりも小さいほど欠陥数が低減し、STI溝部の熱酸化膜の膜厚と深い溝部の熱酸化膜の膜厚との差が6nm以上であるときに欠陥が発生しないことがわかった。

【0046】

本発明の半導体装置によれば、以下の作用効果が得られる。

【0047】

STI溝60と深い溝70の各角部に丸みを持たせることにより、主に<111>方向へのストレスを形状的に緩和させることができ、特にSTI溝60の上縁の角部61a、STI溝60と溝70との境界に形成される角部（結合角部）71a、及び溝70の下縁の角部71bにおいて、欠陥の発生を抑制することができる。さらに第1の熱酸化膜6の膜厚と比べて第2の熱酸化膜9の膜厚を薄く形成することにより、とりわけSTI溝60と溝70との結合角部71aにおけるストレスを緩和させることができる。結合角部71aは丸み形状を付けにくく、加えて、第1の埋め込み膜7と第2の埋め込み膜11との材質（熱膨張率）が異なる場合には、半導体素子形成中に加わる熱により、結合角部71aにストレスがかかる。第1の熱酸化膜6の膜厚と比べて、第2の熱酸化膜9の膜厚を薄く形成することにより、第1の埋め込み膜7と第2の埋め込み膜11の熱膨張差によるストレスを吸収することができ、結合角部71aからの欠陥の発生を抑制することができる。

30

【0048】

以上、実施の形態により本発明を詳細に説明したが、本発明はこれに限定されることがなく、本発明の趣旨を逸脱しない範囲で、種々のバイポーラトランジスタに適用することができる。またバイポーラトランジスタとMOSトランジスタとを有する半導体装置およびその製造にも好ましく適用することができる。

40

【図面の簡単な説明】

【0049】

【図1】本実施形態に係る半導体装置を説明するための断面図である。

【図2】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図3】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図4】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

50

【図 5】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図 6】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図 7】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図 8】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図 9】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図 10】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図 11】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図 12】本実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図 13】S T I 溝の熱酸化膜厚と深い溝の熱酸化膜厚との差と欠陥数との関係を示すグラフ。

10

【図 14】従来の S T I 法による素子分離領域を含む半導体装置を説明するための断面図である。

【符号の説明】

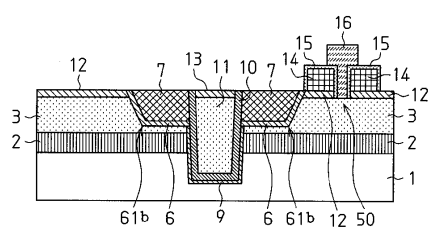
【0050】

- 1 P型シリコン基板
- 2 N⁺ 埋め込み層 (第 1 の層)
- 3 エピタキシャル層 (第 2 の層)
- 4 シリコン酸化膜
- 5 シリコン窒化膜
- 6 熱酸化膜 (第 1 の熱酸化膜)
- 7 HDP-N S G 膜 (第 1 の埋め込み膜)
- 9 熱酸化膜 (第 2 の熱酸化膜)
- 10 シリコン酸化膜
- 11 ポリシリコン膜 (第 2 の埋め込み膜)
- 12 シリコン酸化膜
- 13 トレンチキャップ層
- 50 素子形成領域
- 14 ベース電極
- 15 シリコン酸化膜
- 16 エミッタ電極
- 60 S T I 溝 (第 1 の溝)
- 61 a、61 b 第 1 の溝の角部
- 70 深い溝 (第 2 の溝)
- 71 a、71 b 第 2 の溝の角部

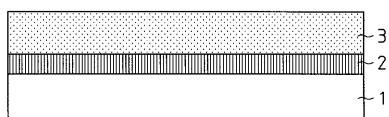
20

30

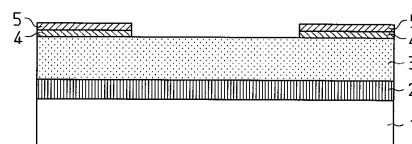
【図 1】



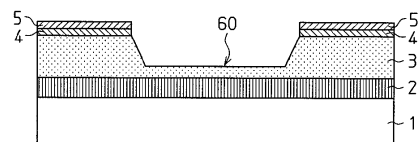
【図 2】



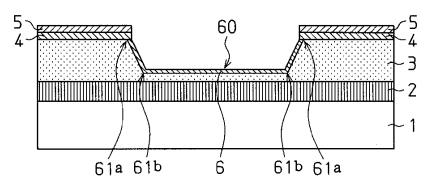
【図 3】



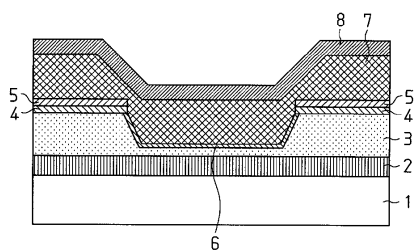
【図 4】



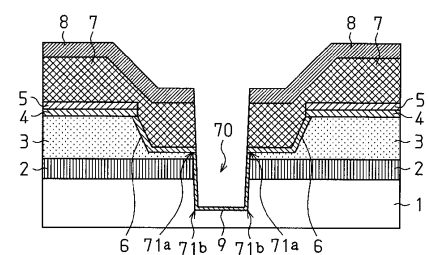
【图 5】



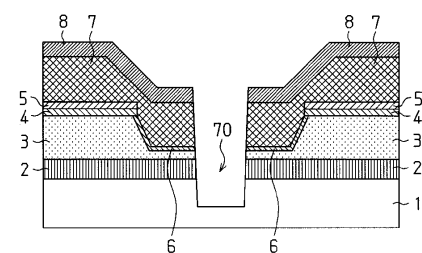
【图 6】



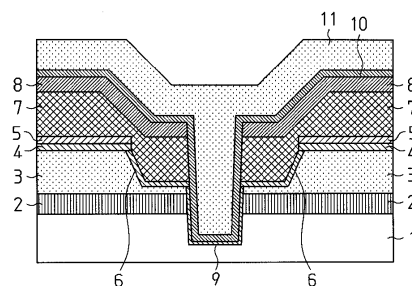
【図 8】



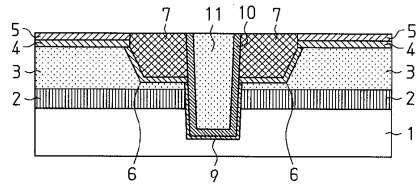
【图 7】



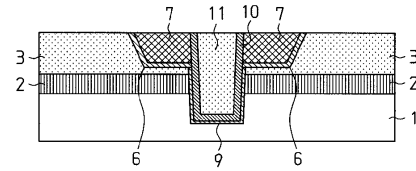
【图 9】



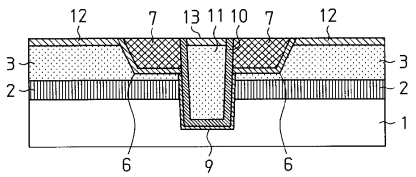
【図 10】



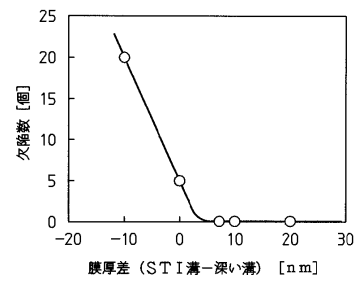
【図 11】



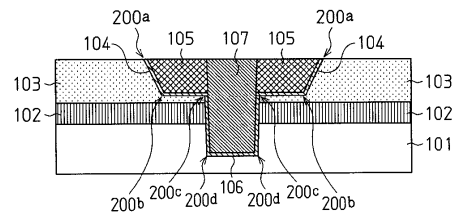
【図 12】



【図 13】



【図 14】



フロントページの続き

- (56)参考文献 特開平09-008119 (JP, A)
特開昭61-022646 (JP, A)
特開昭63-144540 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/76
H01L 21/331
H01L 29/732