

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 7 部門第 1 区分  
【発行日】令和 4 年 6 月 3 日(2022.6.3)

【国際公開番号】WO2020/160194  
【公表番号】特表 2022-519524(P2022-519524A)  
【公表日】令和 4 年 3 月 24 日(2022.3.24)  
【年通号数】公開公報(特許)2022-052  
【出願番号】特願 2021-544469(P2021-544469)  
【国際特許分類】

10

H 0 1 H 33/59(2006.01)

H 0 1 H 9/54(2006.01)

【F I】

H 0 1 H 33/59 G

H 0 1 H 9/54 A

H 0 1 H 33/59 D

【手続補正書】

【提出日】令和 4 年 5 月 26 日(2022.5.26)

【手続補正 1】

20

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

交流(AC)電源に接続されたパワーコンタクタの両端のアーカ放電を抑制するように構成された高速アーカサプレッサであって、

正の領域内にある前記パワーコンタクタの接点間のアーカ放電を抑制するように構成された第 1 の位相固有アーカサプレッサであって、

30

前記第 1 の位相固有アーカサプレッサの動作を有効化または無効化するように構成された第 1 の高速スイッチと、

前記第 1 の高速スイッチに接続された第 1 のドライバであって、前記接点からの入力信号が正の領域内にある場合に、前記第 1 の高速スイッチによって前記第 1 の位相固有アーカサプレッサの動作を有効化し、前記接点からの前記入力信号が負の領域内にある場合に、前記第 1 の高速スイッチによって前記第 1 の位相固有アーカサプレッサの動作を無効化するように構成される、第 1 のドライバと、を備える第 1 の位相固有アーカサプレッサと、負の領域内にある前記接点間のアーカ放電を抑制するように構成された第 2 の位相固有アーカサプレッサであって、

前記第 2 の位相固有アーカサプレッサの動作を有効化または無効化するように構成された第 2 の高速スイッチと、

40

前記第 2 の高速スイッチに接続された第 2 のドライバであって、前記接点からの入力信号が正の領域内にある場合に、前記第 2 の高速スイッチによって前記第 1 の位相固有アーカサプレッサの動作を有効化し、前記接点からの前記入力信号が負の領域内にある場合に、前記第 2 の高速スイッチによって前記第 1 の位相固有アーカサプレッサの動作を無効化するように構成される、第 2 のドライバと、を備える第 2 の位相固有アーカサプレッサと、を備え、

前記第 1 および前記第 2 の高速スイッチが、10 マイクロ秒以内に前記第 1 および前記第 2 の位相固有アーカサプレッサを有効動作と無効動作との間で切り替えるように構成され、

50

前記第 1 および第 2 の高速スイッチが絶縁ゲートバイポーラトランジスタ ( I G B T )  
であり、

前記第 1 および前記第 2 の位相固有アークサプレッサのそれぞれがさらに、  
アーク点火検出回路と、  
トリガーロック回路と、  
アークバーンメモリと、を備える、高速アークサプレッサ。

【請求項 2】

前記第 1 および前記第 2 の位相固有アークサプレッサのそれぞれについて、前記アーク点火検出回路が、前記パワーコンタクタの両端に接続され、前記アークバーンメモリは、前記アーク点火検出回路と前記第 1 および前記第 2 のドライバとの間にそれぞれ接続され、  
前記トリガーロック回路は、前記アーク点火検出回路の間に接続される、請求項 1 に記載の高速アークサプレッサ。

10

【請求項 3】

前記トリガーロック回路が、所定の時間の間、前記第 1 および前記第 2 の位相固有アークサプレッサのうちの関連する 1 つの動作を禁止するように構成される、請求項 2 に記載の高速アークサプレッサ。

【請求項 4】

前記アークバーンメモリが、前記パワーコンタクタを横切るアーク燃焼の検出の表示を関連するドライバに出力するように構成される、請求項 3 に記載の高速アークサプレッサ。

【請求項 5】

前記アークバーンメモリが 1 ビットのフリップフロップを含む、請求項 4 に記載の高速アークサプレッサ。

20

【請求項 6】

前記アーク点火検出回路が、アークの点火を示す前記パワーコンタクタ上の電圧の変化または電流の変化の少なくとも 1 つを検出するように構成される、請求項 4 に記載の高速アークサプレッサ。

【請求項 7】

前記パワーコンタクタ上および前記パワーコンタクタと前記アーク点火検出回路との間に接続された電力接点インターフェースを含む、請求項 6 に記載の高速アークサプレッサ。

【請求項 8】

前記電力接点インターフェースが過電圧保護回路および過電流保護回路を備える、請求項 7 に記載の高速アークサプレッサ。

30

【請求項 9】

前記第 1 および前記第 2 の位相固有アークサプレッサのそれぞれがアーク消弧要素を含み、前記第 1 の位相固有アークサプレッサのアーク消弧要素は前記第 1 の高速スイッチを備え、前記第 2 の位相固有アークサプレッサのアーク消弧要素は前記第 2 の高速スイッチを含む、請求項 7 に記載の高速アークサプレッサ。

【請求項 10】

前記第 1 および前記第 2 の位相固有アークサプレッサのうちの関連する 1 つのアークバーンメモリが前記電力接点を横切るアークの存在の表示を記憶すると、前記第 1 および前記第 2 の高速スイッチのうちの 1 つが、前記電力接点を横切って短絡するように構成される、請求項 9 に記載の高速アークサプレッサ。

40

【請求項 11】

高速アークサプレッサの作動方法であって、  
パワーコンタクタからの交流 ( A C ) 信号が正の領域内にある場合に、前記パワーコンタクタの接点間のアーク放電を抑制するべく前記高速アークサプレッサの第 1 の位相固有アークサプレッサを有効化することと、  
前記信号が正の領域内にある場合に、前記接点間のアーク放電を抑制するべく前記高速アークサプレッサの第 2 の位相固有アークサプレッサを無効化することと、  
前記信号が負の領域内に横切ると、

50

前記接点間のアーク放電を抑制するために、第 1 の位相固有のアークサプレッサの動作を無効化するように、前記第 1 の位相固有のアークサプレッサの第 1 の高速スイッチを切り替えることと、

前記接点間のアーク放電を抑制するために、第 2 の位相固有のアークサプレッサの動作を有効化するように構成された前記第 1 の位相固有のアークサプレッサの第 2 の高速スイッチを切り替えることと、を含み、

前記第 1 および前記第 2 の高速スイッチが、10 マイクロ秒以内に前記第 1 および前記第 2 の位相固有アークサプレッサを有効動作と無効動作との間で切り替えるように構成され、

前記第 1 の位相固有アークサプレッサが第 1 のドライバを含み、前記第 2 の位相固有アークサプレッサが第 2 のドライバを含み、前記第 1 および前記第 2 の高速スイッチを切り替えることは、前記第 1 および前記第 2 の高速スイッチをそれぞれ第 1 および第 2 のドライバで駆動することを含み、

前記第 1 および第 2 の高速スイッチが絶縁ゲートバイポーラトランジスタ ( I G B T ) であり、

前記第 1 および前記第 2 の位相固有アークサプレッサのそれぞれが、アークを最初に検出してから所定の時間、前記第 1 および前記第 2 の位相固有アークサプレッサのうちの関連する 1 つの動作を禁止するように構成されたトリガーロックを備える、方法。

【請求項 1 2】

前記所定の時間は 300 ミリ秒以下である、請求項 1 1 に記載の方法。

10

20

30

40

50