

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>

H03K 19/0175

(45) 공고일자 1999년07월15일

(11) 등록번호 10-0207967

(24) 등록일자 1999년04월14일

(21) 출원번호 10-1996-0034309

(65) 공개번호 특 1997-0013653

(22) 출원일자 1996년08월20일

(43) 공개일자 1997년03월29일

(30) 우선권주장 95-213464 1995년08월22일 일본(JP)

(73) 특허권자

가부시끼가이사 도시바 니시무로 타이조

일본국 가나가와Ken 가와사끼시 사이와이꾸 호리가와쪽 72반지

(72) 발명자

다카하시 마코토  
일본국 가나가와현 가와사끼시 사이와이구 고무가이도시바정 1번지 가부시키  
가이사 도시바 다마가와공장 내  
노가미 가즈타카

일본국 가나가와현 가와사끼시 사이와이구 고무가이도시바정 1번지 가부시키  
가이사 도시바 다마가와공장 내

(74) 대리인

김윤배, 이범일

**심사관 : 김종화**

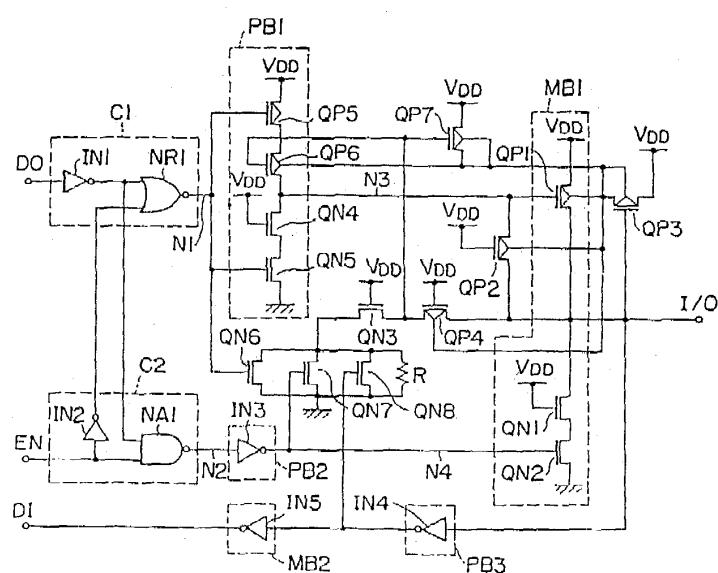
**(54) 출력버퍼회로**

**요약**

다른 전원전압으로 동작하는 회로간을 접속하는 인터페이스로서 이용하는 것이 가능한 것으로, 불필요한 전류의 발생을 방지하면서 고속동작 및 비용절감을 도모할 수 있는 출력버퍼회로를 제공한다.

데이터 및 인에이블신호를 입력하는 프리버퍼제어회로(C1,C2)와, 회로(C1)가 출력한 신호를 입력하여 제1신호를 출력하고, P형Tr(QP5, QP4, QN4, QN5)을 갖추는 제1프리버퍼(PB1), 회로(C2)가 출력한 신호를 입력하여 제2신호를 출력하는 프리버퍼회로(PB2)와, 회로(PB1, PB2)와 출력단자(I/O)간에 설치되고, P형Tr(QP1, QN6, QN2)을 갖추는 메인버퍼(MB1), 동일 N형기판에 형성된 P형Tr(QP2~QP4)을 구비한다.

**대표도**



제3도는 종래의 출력버퍼회로의 구성을 나타낸 회로도.

제4도는 종래의 다른 출력버퍼회로의 구성을 나타낸 회로도이다.

\* 도면의 주요부분에 대한 부호의 설명

C1~C4 : 프리버퍼제어회로

IN1~IN8 : 인버터

NR1, NR2 : NOR 게이트

NA1, NA2 : NAND게이트

D0 : 데이터출력단자

N1~N4, N11~N14 : 노드

EN : 인에이블신호 입력단자

DI : 데이터입력단자

I/O : 입출력단자

O : 출력단자

PB1~PB5 : 프리버퍼회로

QP1~QP7, QP11~QP15 : P형Tr

QN1~QN8, QN14 : N형Tr

MB1~MB3 : 메인버퍼회로

R : 저항

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 출력버퍼회로에 관한 것으로, 특히 동일 시스템에 있어서 다른 전원전압의 공급을 받는 복수의 회로가 존재하는 경우의 회로간의 인터페이스에 관한 것이다.

최근, 반도체집적회로에서는 고집적화 및 고속화를 도모하기 위해 소면적화가 진행되고 있다. 이 경우에, 절연파괴의 방지를 도모할 필요가 있다. 또한, 소비전력을 절감하기 위한 전원전압의 저전압화가 행해지고 있다.

그러나, 이것에 넓게 이용될 수 있는 5V의 전원전압에서 3.3V 등의 저전원전압으로의 이행은 있는 기간을 경계로 시스템 전체에 완전히 치환되는 것은 없다. 이 때문에, 동일 시스템에 있어서 다른 전원전압으로 동작하는 회로가 공존한다. 이 결과, 5V 등의 높은 전원전압으로 동작이 보정되도록 설계된 회로와 3.3V 등의 저전원전압으로 동작이 보정되도록 설계된 회로가 직접 접속되게 된다. 일반적으로 메모리회로와 마이크로프로세서 등의 저전원전압화의 쪽이 주변회로 등에 비해 진행되고 있다. 따라서, 메모리와 마이크로프로세서 등이 3.3V 등의 저전원전압으로 동작하고, 주변회로가 5V 등의 높은 전원전압으로 동작하게 되는 경우가 생기고 있다.

이와 같은 경우, 고전원전압으로 동작하는 회로가 출력한 5V 등의 진폭을 가진 신호를 저전원전압으로 동작하는 회로가 직접 신호하면, 다음과 같은 문제가 생긴다. 저전원전압으로 동작하는 회로에 있어서, 회부단자와 저전원전압단자간에 풀업(pull-up)용 트랜지스터로서 p채널형 MOS트랜지스터(이하, P형Tr로 명한다)의 양단이 접속되어 있다. 외부단자에서 5V의 신호가 입력되면, 이 P형Tr이 종래는 오프상태로 되는 경우에 있어서도 온하고, 외부단자에서 저전원전압단자로 불필요한 전류가 흐른다. 또한, 외부단자에서 P형Tr이 형성되어 있는 N형 웨일판에 향하여 불필요한 전류가 흐른다. 더욱, 외부단자와 접지전압(Vss) 단자간에 N채널형 MOS트랜지스터(이하, N형Tr로 명한다)의 양단이 접속되어 있지만, 이 N형Tr의 게이트산화막에 허용내압 이상의 전압이 인가되어 게이트산화막이 파괴되는 문제도 있다.

이와 같은 문제에 대해 종래에 할 수 있었던 기술에는 3.3V 등의 저전원전압으로 동작하는 회로내에 출력버퍼회로만 5V 등의 높은 고전원전압으로 동작하도록 한 것이다. 그러나, 3.3V 등의 저전압으로 동작하는 내부회로와 5V 등의 고전압으로 동작하는 출력버퍼회로간에 전압변환회로가 필요하게 되고, 이 전압변환회로가 설치됨으로써 동작이 지연하는 새로운 문제가 생긴다.

또한, 출력버퍼회로에 있어서 저전원전압에서 최적화한 트랜지스터를 사용하는 것은 어렵고, 5V 등의 전압으로 끊어서 얻은 산화막을 갖추는 트랜지스터의 제조가 필요하게 되어 제조공정이 복잡화하고 비용의 상승을 초래한다. 그래서, 5V 등의 높은 내압을 갖추는 트랜지스터를 이용하지 않고, 3.3V 등의 저전원전압으로 최적화한 트랜지스터만을 이용한 버퍼회로가 미국특허 제5,151,619호 CMOS off chip driver circuit에 개시되어 있다. 이 특허공보에는 제3도에 나타난 바와 같은 회로가 개시되어 있다. 프리버퍼회로(PB11)와, 메인버퍼회로용 P형Tr(QP32) 및 N형Tr(QN32)과 다른 P형Tr(QP31~QP33, QP34) 및 N형Tr(QN31)이 설치되어 있다.

출력단자(D0)가 도시되어 있지 않은 다른 회부회로에 의해 구동되고, 출력단자(D0)의 전압(Vout)이  $VDD > Vout > VDD - Vthp$ 에서 나타나는 전위로 되면 P형Tr(QP31)은 오프한다. 이것에 의해 풀오프용 트랜지스터의 P형Tr(QP32)의 게이트는 N형Tr(QN31)에 의해  $VDD - Vthn$ 의 전위까지 충전이 되어 고저항의 상태로 온하고, 출력단자(D0)에서 전원전압(VDD)단자로 불필요한 전류가 흐른다는 문제가 있다. 그리고,  $Vthp$ 은 P형Tr의 임계치전압,  $Vthn$ 은 N형Tr의 임계치전압으로 한다.

또한, 다른 종래의 버퍼회로에는 미국특허 제4,963,766호 Low-voltage CMOS output buffer에 개시된 것이 있고, 그 회로구성을 제4도에 나타낸다. 이 회로에서는 메인버퍼회로를 구성하는 P형Tr(QP42) 및 N형Tr(QN47) 중 풀오프 트랜지스터의 P형Tr(QP42)의 기판이 5V의 전원전압(VDD)을 인가되게 두고, P형Tr(QP42)의 정션접합부에 순바이어스전압이 인가되지 않도록 하고 있다.

출력단자(D0)의 전압이 5V로 되면, 출력단자 D0에 드레인을 접속된 P형Tr(Q41)이 온한다. 이것에 의해 P형Tr(QP42)의 게이트에는 출력단자(D0)와 거의 동일한 5V의 전압이 인가되어 온하고, 출력단자(D0)에서 전원전압(VDD)단자로의 전류의 흐름은 발생하지 않는다.

그러나, N형Tr(QN43)과 N형Tr(QN47)의 게이트산화막에는 5V의 전압이 인가되기 때문에, 5V의 내압을 갖추는 트랜지스터를 제조할 필요가 있다. 이 때문에, 제조비용이 증가한다는 문제가 있다.

### 발명이 이루고자 하는 기술적 과제

상술한 바와 같이, 종래의 출력단자에서 전원전압단자로의 전류의 흐름을 방지하도록 하면, 레벨변환회로를 설치할 필요상 고속동작의 방해로 되고, 또는 5V의 내압을 갖추는 게이트산화막을 형성할 필요가 생겨 제조공정의 복잡화를 초래하는 등의 문제가 있었다.

본 발명은 출력단자로부터 전원전압단자로의 불필요한 전류의 흐름을 방지하면서 고속동작 및 비용의 절감을 도모하는 것이 가능한 출력버퍼회로를 제공하는 것을 그 목적으로 한다.

### 발명의 구성 및 작용

본 발명의 출력버퍼회로는 데이터 및 인에이블신호를 입력하여 제1 및 제2프리버퍼제어신호를 출력하는 프리버퍼제어회로와, 상기 프리버퍼제어회로가 출력한 상기 제1프리버퍼제어신호를 입력하여 제1신호를 출력하는 제1프리버퍼회로이고, 제1전원전압단자와 제2전원전압단자간에 직렬로 접속된 제1 및 제2P형Tr과, 제1 및 제2N형Tr을 갖추고, 상기 제1P형Tr 및 제2N형Tr의 게이트는 상기 제1프리버퍼제어신호를 입력하며, 상기 제2P형Tr의 게이트는 제1노드에 접속되고, 상기 제1N형Tr의 게이트는 제1전원전압단자에 접속되며, 상기 제2P형Tr의 일단과 상기 제1N형Tr의 일단을 접속하는 제2노드에 의해 상기 제1신호를 출력하는 상기 제1프리버퍼회로, 상기 제1 및 제2신호를 출력하여 제3신호를 출력단자에 의해 출력하는 제2프리버퍼회로이고, 제1전원전압단자와 제2전원전압단자간에 직렬로 접속된 제3P형Tr과, 제3 및 제4N형Tr을 갖추며, 상기 제3P형Tr의 게이트는 상기 제1신호를 입력하고, 상기 제3N형Tr의 게이트는 제1전원전압단자에 접속되며, 상기 제4N형Tr의 게이트는 상기 제2신호를 입력하고, 상기 제3P형Tr의 일단과 상기 제3N형Tr의 일단을 접속하는 제3노드가 상기 출력단자에 접속되어 있는 상기 메인버퍼회로, 상기 제2 및 제3P형Tr과 동일한 N형기판에 형성된 제4, 제5 및 제6P형Tr이고, 소스가 제1전원전압단자에 접속되며, 게이트가 상기 출력단자에 접속되고, 드레인이 상기 N형기판에 접속되어 있는 상기 제4P형Tr, 소스가 상기 제2노드에 접속되고, 게이트가 제1전원전압단자에 접속되며 드레인이 상기 출력단자에 접속되어 있는 상기 제5P형Tr, 소스가 상기 출력단자에 접속되고, 게이트가 제1전원전압단자에 접속되며, 드레인이 상기 제1노드에 접속된 상기 제6P형Tr를 구비하고 있다.

메인버퍼회로가 동작정지상태로 되도록 인에이블신호를 입력하면서 출력단자에 제1전원전압단자보다도 높은 전압이 인가된 경우, 제5P형Tr이 온하고, 출력단자의 전압이 제3P형Tr의 게이트에 인가되어 완전히 오프한다. 이것에 의해 출력단자에서 제3P형Tr을 매개로 제1전원전압단자로 불필요한 전류가 흐름이 방지된다. 또한, 제6P형Tr도 온하고, 출력단자의 전압이 제6P형Tr을 매개로 제2P형Tr의 게이트에 인가되어 완전히 오프하고, 제2P형Tr과 제1P형Tr을 매개로 제1전원전압에 불필요한 전류가 흐름을 방지할 수 있다. 또한, 동일한 N형기판에 형성된 제2~6Tr의 게이트산화막에는 제1전원전압을 일으키는 것과 같은 전압은 인가되지 않고, 제조공정의 복잡화를 회피할 수 있다.

### [실시예]

이하, 본 발명의 제1실시예에 대해서 도면을 참조해서 설명한다. 제1실시예는 출력버퍼로서의 기능뿐만 아니라 입력버퍼의 기능을 갖추는 입출력버퍼회로이고, 그 구성은 제1도에 나타난 바와 같다.

이 입출력버퍼회로는 데이터출력단자(D0)와, 데이터입력단자(D1), 인에이블신호 입력단자(EN), 입출력단자(I/O), 프리버퍼제어회로(C1,C2), 프리버퍼회로(PB1,PB2), 인에이블회로(MB1), 프리버퍼회로(PB3), 메인버퍼회로(MB2), P형Tr(QP2~QP4,QP7), N형Tr(QN3, QN6~QN8), N형Tr(QN6~QN8) 및 저항(R)을 구비하고 있다.

프리버퍼제어회로(C1)는 데이터출력단자(D0)에 입력단자가 접속된 인버터(IN1)와, 인버터(IN1)의 출력단자에 입력단자의 한쪽이 접속되고, 출력단자가 노드(N1)에 접속된 NOR게이트(NR1)를 갖추고 있다. 프리버퍼제어회로(C2)는 인에이블신호 입력단자(EN)에 입력단자가 접속되고, 출력단자가 NOR게이트(NR1)의 다른 편의 입력단자에 접속된 인버터(IN2), 인에이블 신호 입력단자(EN)와 인버터(IN1)의 출력단자에 각각의 입력단자가 접속되고 출력단자가 노드(N2)에 접속된 NAND게이트(NA1)를 갖춘다.

프리버퍼회로(PB1)는 전원전압(VDD)단자와 접지단자(Vss)단자간에 P형Tr(QP5, QP6), N형Tr(QN4, QN5)의 각각의 양단이 직렬로 접속되어 있다. P형Tr(QP5) 및 N형Tr(QN5)의 게이트에는 노드(N1)가 접속되고, N형Tr(QN4)의 게이트는 전원전압(VDD)단자에 접속되어 있다. P형Tr(QP6)의 드레인과 N형Tr(QN4)의 드레인이 프리버퍼회로(PB2)의 출력노드(N4)에 접속되어 있다.

메인버퍼회로(MB1)는 전원전압(VDD)단자와 접지전압(Vss)단자간에 직렬로 접속된 P형Tr(QP1)과 N형Tr(QN1, QN2)를 갖춘다. P형Tr(QP1)의 게이트는 노드(N3)에 접속되고, N형Tr(QN1)의 게이트는 전원전압(VDD)단자에, N형Tr(QN2)의 게이트는 노드(N4)에 각각 접속되어 있다.

더욱이, P형Tr(QP1~QP4, QP6 및 QP7)은 공통의 N형 웨일판상에 형성되어 있다. P형Tr(QP3)의 소스는 전원전압(VDD)단자에, 드레인은 이 N형 웨일판에 접속되어 있다. P형Tr(QP2)은 소스가 노드(N3)에, 게이트가 전원전압(VDD)단자에, 드레인이 입출력단자(I/O)에 접속되어 있다. P형Tr(QP4)은 드레인이 P형Tr(QP6, QP7)의 게이트에 접속되고, 소스가 입출력단자(I/O)에 접속되어 있다. P형Tr(QP7)은 소스가 전원전압(VDD)단자에 드레인이 N형 웨일판에 접속되어 있다.

N형Tr(QN3)은 게이트가 전원전압(VDD)단자에 접속되고, 드레인이 P형Tr(QP4)의 드레인과 P형Tr(QP6, QP7)의 게이트에 접속되며, 소스가 N형Tr(QN6~QN8)의 드레인과 저항(R)의 일단에 공통 접속되어 있다. N형Tr(QN6~QN8)은 소스가 접지전압(Vss)단자에 공통접속되어 있고, N형Tr(QN6)의 게이트는 노드(N1)에, N형Tr(QN7)의 게이트는 노드(N4)에, N형Tr(QN7)의 게이트는 인버터(IN4, IN5)의 접속노드에 접속되어 있다. 저항(R)은 양단이 N형Tr(QN7~QN8)의 드레인 및 소스에 병렬로 접속되어 있다.

이와 같은 구성을 구비하는 본 실시예의 입출력부퍼회로의 동작에 대해 설명한다. 이 입출력부퍼회로는 인에이블신호 입력단자(EN)에 입력되는 인에이블신호의 논리레벨에 응하여 입력부퍼회로 또는 출력부퍼회로로서 동작한다.

하이레벨의 인에이블신호가 입력된 경우에, 이 입출력부퍼회로는 입력부퍼회로로서 동작한다. 입출력부퍼회로가 형성된 반도체집적회로장치내의 내부회로에서 데이터가 출력되고, 데이터출력단자(DO)를 매개로 프리버퍼제어회로(C1, C2)에 입력된다. 이 데이터의 논리레벨과 동일레벨의 신호가 프리버퍼제어회로(C1, C2)의 각각의 출력노드(N1, N2)를 매개로 프리버퍼회로(PB1, PB2)에 입력된다. 프리버퍼회로(PB1, PB2)로 반전된 데이터는 각각 노드(N3, N4)를 매개로 메인버퍼회로(MB1)에 입력되고, 으뜸의 논리레벨을 갖추는 데이터가 입출력단자(I/O)를 매개로 장치외부로 출력된다.

반대로, 로우레벨의 인에이블신호가 인에이블신호 입력단자(EN)에 입력될 때는 입력데이터와는 관계없이 노드(N1)는 로우레벨에, 노드(N2)는 하이레벨에 각각 고정되고, 메인버퍼회로(MB1)의 P형Tr(QP1) 및 N형Tr(QN2)은 같이 오프상태로 되고, 출력부퍼로서는 동작하지 않는 상태로 된다. 이 경우에는 입력부퍼회로로서 동작하여 얄은 상태로 된다. 장치외부로부터 입출력단자(I/O)를 매개로 데이터가 입력되고 프리버퍼회로(PB3)와 메인버퍼회로(MB2)에 의해 증폭되어 데이터입력단자(D1)에 의해 내부회로로 전송된다.

다음에, 본 실시예에 있어서 P형Tr(QP1~QP4, QP6 및 QP7)이 형성되어 있는 동일 N형 웨일판으로의 전압의 인가가 제어되는 작용, 또는 N형 웨일판 또는 전원전압(VDD)단자로 불필요한 전류가 흐름이 방지되는 작용에 대해서 설명한다. 여기서 도시되고 있는 전원전압(VDD)은 3.3V로 한다.

하이레벨의 인에이블신호가 입력되어 출력부퍼로서 동작하면서 3.3V의 전압이 입출력단자(I/O)로부터 외부로 출력되는 경우, 또는 로우레벨의 인에이블신호가 입력되어 메인버퍼회로(MB1)가 동작정지상태로 되고, 외부로부터 입출력단자(I/O)로 3.3V의 전압이 인가되는 것과 같은 경우는 P형Tr(QP3)은 오프하고, 이 소스에 접속된 전원전압(VDD)단자로부터 N형 웨일판 및 드레인으로의 전류의 흐름은 정지된다. 그러나, P형Tr(QP7)은 온하게 되고, N형 웨일판으로의 3.3V의 전압의 공급이 행해진다.

로우레벨의 인에이블신호가 입력되어 메인버퍼회로(MB1)가 동작정지상태에 있으면서 외부로부터 입출력단자(I/O)로 5V가 인가된 경우에는 P형Tr(QP4)이 온한다. 이것에 의해 입출력단자(I/O)에 인가되고 있는 5V의 전압이 P형Tr(QP5)을 매개로 P형Tr(QP7)의 게이트에 인가되어 오프한다. 그 결과, P형Tr(QP4)를 매개로 N형 웨일판으로 5V의 전압이 직접 공급되지 않고, 입출력단자(I/O)에 일단이 접속된 P형Tr(QP1, QP2, QP4)의 PN접합부를 매개로 N형 웨일판으로 전류가 흐르게 된다.

따라서, 입출력단자(I/O)에 외부회로에 따라 5V의 전압이 인가된 경우에도 입출력단자(I/O)로부터 직접 N형 웨일판으로는 전류는 흐르지 않고, P형Tr(QP1, QP2, QP4)의 PN접합부를 매개로 전류가 흐르게만 되어 입출력단자(I/O)에서 N형 웨일판을 경유해서 전원전압(VDD)단자로 불필요한 전류가 흐름을 방지할 수 있다.

또한, 입출력단자(I/O)에 5V의 전압이 인가된 경우, 온상태로 되는 P형Tr(QP2)이 입출력단자(I/O)의 5V의 전위를 P형Tr(QP1)의 게이트에 인가해서 이 P형Tr(QP1)을 완전히 오프시킨다. 이것에 의해 입출력단자(I/O)로부터 P형Tr(QP1)을 매개로 전원전압(VDD)단자로 불필요한 전류가 흐름을 방지할 수 있다.

더욱이, P형Tr(QP1)의 게이트전위가 약 5V로 되면, 온하고 있는 P형Tr(QP4)을 매개로 입출력단자(I/O)의 5V의 전위가 P형Tr(QP6)의 게이트에 인가되어 P형Tr(QP6)가 완전히 오프한다. 따라서, P형Tr(QP6)을 매개로 입출력단자(I/O)의 5V의 전위가 P형Tr(QP5)의 드레인으로 공급되지 않고, P형Tr(QP5)을 매개로 전원전압(VDD)단자로 불필요한 전류가 흐르는 것이 방지된다.

입출력단자(I/O)에 5V의 전압이 인가되어 있는 경우, P형Tr(QP6)의 게이트는 전원전압(VDD)이 인가되어 충전된다. 이 게이트에는 전원전압(VDD)이 인가되어 있는 N형Tr(QN3)의 드레인이 접속되어 있고, 이 N형Tr(QN3)의 소스와 접지전압단자(Vss)간에는 병렬로 N형Tr(QN6~QN8) 및 저항(R)이 접속되어 있다. 이것에 의해 충전되어 있는 P형Tr(QP6)의 게이트의 전하를 접지전압(Vss)단자로 뺏아내는 것이 가능하여 P형Tr(QP6)을 완전히 온시킬 수 있다.

또한, 하이레벨의 인에이블신호가 입력되어 출력부퍼로서 동작할 때이었던 하이레벨(3.3V)의 신호를 입출력단자(I/O)로부터 외부로 출력하는 경우는 메인버퍼회로(MB1)의 P형Tr(QP1)은 온하고 있다. 이때, 프리버퍼제어회로(C1)로부터는 하이레벨의 프리버퍼제어신호가 노드(N1)에 출력되게 되고, N형Tr(QN6)은 온하고 있다.

반대로, 로우레벨의 신호를 입출력단자(I/O)로부터 출력하는 경우는 메인버퍼회로(MB1)의 N형Tr(QN2)의 게이트에는 노드(N4)에 의해 하이레벨(3.3V)의 전압이 인가되어 온하고, 또한 노드(N4)에 게이트가 접속된 N형Tr(QN7)도 온한다. 더욱이, 입출력단자(I/O)가 로우레벨로 되는 것으로 인버터(IN4)의 출력측의 전위가 하이레벨로 반전되고, 이 전위를 게이트로 입력되는 N형Tr(QN7)도 온한다. 이 결과, 저항(R)에 있어서 불필요한 전류가 소비되지 않고, 또한 P형Tr(QP1)가 완전히 오프하고 있지 않더라도 불필요한 전류가 접지전압(Vss)단자로 흐르는 것이 방지된다.

여기서, N형Tr(QN3)는 전원전압(VDD)을 게이트에 인가하여 항상 온상태로 된다. 이 N형Tr(QN3)가 설치되어 있는 것으로 입출력단자(I/O)에 5V의 전압이 인가되어 있는 경우에도 N형Tr(QN3)의 임계치전압분만 강하한 전압이 저항(R)의 일단에 인가되기 때문에, 저항(R)에 있어서의 소비전류가 절감된다. 또한, N형Tr(QN6~QN8)의 게이트 · 드레인간 전압(Vgd)을 저하시키고, 게이트산화막에 요구되는 내압을 저하시킬 수 있다. 동일하게, 게이트에 전원전압(VDD)이 인가되어 온상태로 되는 N형Tr(QN1, QN4)도 소비전력을 절감시

켜 게이트산화막으로 인가되는 전압을 저하시킬 수 있다.

다음에, 본 발명의 제2실시예에 의한 출력버퍼회로를 제2도를 참조해서 설명한다. 본 실시예에서는 제1실시예와 다르게 입력버퍼회로로서 동작하는 기능은 구비하고 있지 않다.

이 출력버퍼회로가 설치된 장치의 내부회로로부터 전송되어 장치외부로 출력해야 할 데이터는 데이터출력단자(D0)에 입력된다. 이 데이터출력단자(D0)에 인버터(IN6) 및 NOR게이트(NR2)를 갖추는 프리버퍼제어회로(C3)의 입력측이 접속되어 있다. 이 프리버퍼제어회로(C3)의 출력노드(N11)에 게이트가 접지된 P형Tr(QP16)의 양단을 매개로 프리버퍼회로(PB4)의 P형Tr(QP14)의 게이트가 접속되고, 더욱이 출력노드(N11)에는 프리버퍼회로(PB4)의 N형Tr(QN14)의 게이트가 접속되어 있다. 또한, P형Tr(QP16)의 드레인과 P형Tr(QP14)의 게이트를 접속하는 노드에는 드레인 및 게이트가 전원전압(VDD)단자에 공통접속된 P형Tr(QP15)의 소스가 접속되어 있다.

프리버퍼회로(PB4)는 소스가 N웰형기판에 접속된 P형Tr(QP14)와, P형Tr(QP14)의 드레인과 접지전압(Vss)단자와의 사이에 직렬로 접속된 N형Tr(QN13, QN14)를 갖추고 있다. N형Tr(QN13)은 게이트가 전원전압(VDD)단자에 접속되어 있다. 인에이블신호가 입력되는 인에이블신호 입력단자(EN)에는 인버터(IN7) 및 NAND게이트(NA2)를 갖추는 프리버퍼제어회로(C4)의 입력측이 접속되어 있다.

이 프리버퍼제어회로(C4)의 출력노드(N12)에는 인버터(IN8)를 갖추는 프리버퍼회로(PB5)의 입력측이 접속되어 있다.

프리버퍼회로(PB4)에 있어서 P형Tr(QP14)의 드레인과 N형Tr(QN13)의 드레인을 접속하는 노드(N13)에는 메인버퍼회로(MB3)의 P형Tr(QP11)의 게이트가 접속되어 있다. 또한, 노드(N13)에는 게이트에 전원전압(VDD)이 입력된 P형Tr(QP12)의 소스도 접속되어 있다. 메인버퍼회로(MB3)는 전원전압(VDD)단자와 접지전압(Vss)단자의 사이에 이 P형Tr(QP11)와, 게이트가 전원전압(VDD)단자에 접속된 N형Tr(QN11), 프리버퍼회로(PB5)의 출력노드(N14)에 게이트가 접속된 N형Tr(QN12)가 직렬로 접속되어 있다.

P형Tr(QP11)와 N형Tr(QN11)의 드레인은 출력단자(0)에 공통 접지되게 되고, 출력단자(0)에는 소스가 전원전압(VDD)단자에 접속된 P형Tr(QP13)의 게이트가 접속되어 있다. 또한, P형Tr(QP11~QP14, QP16)은 동일한 N형 웨일기판에 형성되어 있다.

하이레벨의 인에이블신호가 인에이블신호 입력단자(EN)에 입력될 때에 이 회로는 출력버퍼로서 동작하는 상태로 되고, 로우레벨의 인에이블신호가 입력될 때는 비동작상태로 된다.

하이레벨의 인에이블신호가 된 경우, 데이터출력단자(D0)에 입력된 데이터의 레벨에 응한 프리버퍼제어신호가 노드(N11, N12)에 출력된다. 하이레벨의 데이터가 입력된 때는 노드(N11)는 하이레벨로, 노드(N12)는 로우레벨로 되고, 각각 프리버퍼회로(PB4, PB5)로 반전되어 노드(13, 14)에 의해 로우레벨의 신호와 하이레벨의 신호가 출력된다. 이 노드(13, 14)의 신호가 메인버퍼회로(MB3)에 입력되어 입력데이터와 동일논리레벨의 데이터가 출력단자(0)에 의해 장치외부로 출력된다.

로우레벨의 인에이블신호가 입력된 경우는 데이터의 논리레벨에 걸리지 않는 메인버퍼회로(MB3)는 동작시키지 않고 하이인피던스상태로 된다.

다음에, 동일한 N형 웨일기판에 형성된 P형Tr(QP11~QP14, QP16)의 작용에 대해서 설명한다. 출력단자(0)의 전위가 전원전압(VDD:3V)에 P형Tr(QP3)의 임계전압(Vthp)을 인가한 레벨보다도 낮게 되면 P형Tr(QP13)은 온하고, P형Tr(QP13)의 소스에 접속된 전원전압(VDD)단자에 의해 P형Tr(QP13)의 드레인에 접속된 N형웨일기판에 전원전압(VDD)이 공급된다. 이것에 의해 N형 웨일기판은 이 전위(VDD)로 고정된 상태로 된다.

P형Tr(QP12)의 게이트에는 전원전압(VDD)이 인가되게 되고, 출력단자(0)가 (VDD-Vthp) 이상의 전위로 되면 온한다. P형Tr(QP12)가 온하면 P형Tr(QP11)의 게이트에 접속된 노드(N11)와 출력단자(0)가 동일전위로 되고, P형Tr(QP11)는 오프한다. 이 결과, 출력단자(0)로부터 전원전압(VDD)단자로 불필요한 전류가 흐름이 방지된다.

또한, 노드(N11)에 양단이 접속되어 게이트가 접지되어 항상 온상태로 되는 P형Tr(QP16)는 프리버퍼제어회로(C3)의 출력으로부터 도통저항분만 강하한 전압을 P형Tr(QP14)의 게이트에 전하기 위해 설치되어 있다. 이 P형Tr(QP16)의 드레인과 P형Tr(QP14)의 게이트간에 소스가 접속된 P형Tr(QP15)의 P형Tr(QP14)의 게이트전위가 소정레벨보다도 저하하지 않도록 전원전압(VDD)단자와 P형Tr(QP14)의 게이트간을 도통시키기 위해 설치되어 있다.

다음에, 본 실시예에 있어서 하이레벨의 인에이블신호가 입력되어 동작상태에 있고, 출력단자(0)가 0V의 상태로부터 전압(VDD:3.3V) 레벨의 신호를 출력하는 경우, 전압(VDD)레벨을 출력하는 상태에서 0V로 되는 경우, 또한 출력단자(0)에 접속되어 있는 외부회로에 의해 5V가 인가된 상태로부터 전압(VDD)레벨로 되는 경우, 5V가 인가된 상태로부터 0V로 되는 경우에 대해서 각 트랜지스터의 작용을 설명한다.

우선, 출력단자(0)가 0V로부터 전압(VDD)레벨을 출력하는 경우는 출력단자(0)가 최초로 0V이기 때문에 P형Tr(QP13)가 온상태로 된다. 이것에 의해 N형 웨일기판은 전원전압(VDD)이 인가된다.

이 상태로부터 데이터출력단자(D0)에 하이레벨의 데이터(D)가 입력되면 노드(N11)는 하이레벨로 되고, P형Tr(QP14)와 N형Tr(QN14)의 게이트전위는 하이레벨로 된다. 노드(N13)는 로우레벨로 되고, P형Tr(QP11)가 온해서 출력단자(0)가 충전되어 전위가 상승한다. 이 출력단자(0)가 전압(VDD)+임계전압(Vthp)까지 상승하면 N형 웨일기판은 프로틴상태로 되지만, 전압(VDD)부근의 레벨을 유지한다.

이 출력단자(0)가 전압(VDD)레벨의 신호를 출력하고 있는 상태로부터 0V로 변화할 때는 다음과 같다. 로우레벨의 데이터가 데이터입력단자(D0)에 입력되어 노드(N11)가 하이레벨로 되고, 메인버퍼회로(MB3)의 P형Tr(QP11)가 오프한다. 한편 노드(N13)는 하이레벨로 되어 N형Tr(QN12)가 온한다. 출력단자(0)에 충전되어 있는 전하가 N형Tr(QN12)에 의해 방전되어 0V로 된다. P형Tr(QP11~QP14, QP16)가 형성된 N형 웨일기판은 상술한 바와 같이 당초는 프로틴상태로 된다. 그러나, 출력단자(0)가 전압(VDD+Vthp) 이하로 되면 P형

Tr(QP13)가 온하기 때문에 재차 N형 웨기판은 전원전압(VDD)을 인가되어 일정 전위를 유지한다.

출력단자(0)가 외부회로에 의해 5V를 인가된 상태로부터 전압(VDD)레벨을 출력하는 상태로 변화할 때는 이하와 같다. 출력단자(0)가 5V의 레벨로 될 때, P형Tr(QP12)가 온하고, 노드(N13)가 출력단자(0)와 거의 동일레벨로 되어 P형Tr(QP14)도 온한다.

다음에, 하이레벨의 데이터가 데이터출력단자(D0)에 의해 입력되어 노드(N11)가 하이레벨로 되어 N형 Tr(QN14)가 온한다. P형Tr(QP12, QP14), N형Tr(QN13, QN14)의 상태비를 적당하게 설정하는 것으로 P형 Tr(QP11)의 게이트에 접속된 노드(N13)의 전위를 중간전위로 유지한 상태로 출력단자(0)의 전위를 서서히 저하시킬 수 있다. 이것에 의해 어느것의 트랜지스터의 게이트산화막에도 3V를 초과하는 높은 전압이 인가되지 않는다.

노드(N13)가 중간전위로 되면, P형Tr(QP11)는 고저항인 상태로 온하여 출력단자(0)는 서서히 전압(VDD)의 레벨로 된다. 출력단자(0)가 (VDD-Vthp) 이하의 단계에서는 P형Tr(QP12, QP14)는 같이 오프한다. 이것에 의해 P형Tr(QP11)의 게이트전위는 0V로 된다. 그러나, 이 경우에는 출력단자(0)의 전위도 낮고, 어느 하나의 트랜지스터의 게이트산화막에도 3V를 초과하는 높은 전압은 인가되지 않는다.

출력단자(0)가 5V가 인가된 상태로부터 0V로 변화하는 경우는 이하와 같다. 출력단자(0)의 전위가 5V인 경우는 P형Tr(QP12, QP14)가 온상태로 되고, P형Tr(QP14)의 게이트전위는 -Vthp이다. 이것에 의해 게이트산화막에는 (5V-Vthp)의 전위가 인가된다. 따라서, P형Tr(QP14)의 임계치전압(Vth)이 -1~-1.4V 정도로 되도록 설정하는 것으로 게이트산화막에 3V를 초과하는 것과 같은 높은 전압이 인가되지 않는다. 다음에, 로우레벨의 데이터출력단자(0)로부터 입력되면 노드(N14)가 하이레벨로 되어 N형Tr(QN12)가 온하여 출력단자(0)는 0V로 방전된다.

다음에, 로우레벨의 인에이블신호가 인에이블입력단자(EN)에 입력되고, 메인버퍼회로(MB3)를 동작시키지 않는 하이인피던스상태로 되어 있던 경우이고, 출력단자(0)가 전압(VDD)으로부터 5V로 변화한 경우에 대해서 설명한다. 출력단자(0)가 전압(VDD)의 레벨로 될 때, P형Tr(QP14)가 온하게 되고, N형Tr(QN14)의 게이트전위는 -Vthp로 된다. N형 웨기판은 전압(VDD) 부근에서 프로틴상태로 된다. 출력단자(0)가 VDD의 레벨로부터 (VDD-Vthp)까지 상승하면, P형Tr(QP12)가 온한다. 이것에 의해 출력단자(0)와 노드(N13)가 거의 동일한 전위로 된다. P형Tr(QP14)도 온하게 되고, N형 웨기판은 출력단자(0)의 전위에 동일하게 되고, 곧 출력단자(0)의 전위가 5V까지 상승한다. 여기서, 기판바이어스효과를 이용하는 등에 의해 P형Tr(QP14)의 임계치전압(Vthp)이 -1~-1.4V로 되도록 설정하는 것으로 P형Tr(QP14)의 게이트에 3V를 초과하는 것과 같은 높은 전압이 인가되지 않도록 할 수 있다.

로우레벨의 인에이블신호가 입력되면서 출력단자(0)가 5V가 인가된 상태로부터 전압(VDD)까지 변화한 경우에도 상술한 출력단자(0)가 전압(VDD)으로부터 5V로 변화한 경우와 동일하고, 게이트산화막에 높은 전압이 인가되지 않도록 할 수 있다. 출력단자(0)가 (VDD-Vthp) 이하로 되면 P형Tr(QP12)는 오프해서 N형 웨기판과 P형Tr(QP11)의 게이트전위가 (VDD-Vthp) 부근에서 프로틴상태로 된다.

이상과 같이 제1 및 제2실시예에 의하면, 전원전압(VDD)단자로 불필요한 전류가 흐르는 것을 방지할 수 있다. 더욱이, 게이트산화막에 3V 이상의 높은 전압이 인가되지 않고, 전원전압 3.3V에서 최적화를 도모한 3.3V 대응의 트랜지스터를 이용하는 것이 가능하다. 따라서, 5V 대응의 트랜지스터를 제조할 필요가 없고, 제조공정의 복잡화가 방지되어 제조비용의 절감이 달성된다.

또한, 전원전압(VDD: 3.3V)을 외부로 출력하는 경우, 종래는 N형 웨기판으로의 전원전압(VDD)의 공급이 정지되어 프로틴상태로 되지만, 상술한 실시예에 의하면 N형 웨기판으로 전원전압(VDD)이 공급되어 일정 전위로 안정한다.

더욱이, 종래는 출력단자의 전위가 (VDD-Vthp)~VDD의 범위내에 있을 때, 풀오프용 P형Tr의 게이트가 필요한 하이레벨의 전위까지 도달시키지 않아 완전히 오프시키지 않는 불안정한 동작상태로 되는 경우가 있었다. 이것에 의해 상술한 바와 같이 출력단자로부터 풀오프용 P형Tr를 매개로 전원전압(VDD)단자로 불필요한 전류가 흐르는 것이 있었다. 이것에 대해, 제1 및 제2실시예에서는 제1실시예에 있어서의 입출력단자(1/0), 제2실시예에 있어서의 출력단자(0)의 각각의 전위가 0~5V의 범위로 되는 경우로 되어도 이와 같은 불필요한 전류의 발생을 방지할 수 있다.

상술한 실시예는 제1실시예로서 본 발명을 한정하는 것은 아니다. 이 실시예에 의하면, 제1 및 제2실시예에서는 전원전압(VDSD)을 3.3V로 해서 이것보다 높은 전압을 5V로 하고 있지만, 이들의 수치에는 한정되지 않고 다른 전원전압으로 동작하는 회로간에서 이용되는 것이면 된다. 또한, 제1실시예에서는 출력버퍼회로로서의 구성뿐만 아니라 입력버퍼회로로서의 구성도 구비하고 있지만 입력버퍼회로로서의 구성은 구비하지 않는 것이 좋다. 또한, 제2실시예에는 출력버퍼회로로서의 구성만을 구비하고 있지만, 제1실시예와 같이 입력버퍼회로로서 동작하는 구성을 부가할 수도 있다.

### 발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 제1프리버퍼회로를 갖추는 제2P형Tr과 메인버퍼회로를 갖추는 제3P형Tr이 형성되어 있는 동일 N형기판상에 소스가 제1전원전압단자에, 게이트가 출력단자에, 드레인이 N형기판에 각각 접속된 제4P형Tr과, 소스가 제3P형Tr의 게이트에, 게이트가 제1전원전압단자에, 드레인이 출력단자에 각각 접속된 제5P형Tr, 소스가 출력단자에, 게이트가 제1전원전압단자에, 드레인이 제2P형Tr의 게이트에 각각 접속된 제6P형Tr를 형성한 것으로, 출력단자에 제1전원전압 이상의 전압이 인가된 경우에도 제3P형Tr, 또는 제1 및 제2P형Tr를 매개로 출력단자로부터 제1전원전압단자로 불필요한 전류가 흐르지 않고, 또한 게이트산화막에 제1전원전압을 초과하는 전압은 인가되지 않으며, 제조공정의 복잡화가 방지된다.

### (57) 청구의 범위

**청구항 1**

데이터 및 인에이블신호를 입력하여 제1 및 제2프리버퍼제어신호를 출력하는 프리버퍼제어회로와, 이 프리버퍼제어회로가 출력한 상기 제1프리버퍼제어신호를 입력하고, 제1신호를 출력하는 제1프리버퍼회로이고, 제1전원전압단자와 제2전원전압단자간에 직렬로 접속된 제1 및 제2P채널형 MOS트랜지스터와, 제1 및 제2N채널형 MOS트랜지스터를 갖추고, 상기 제1P채널형 MOS트랜지스터 및 제2N채널형 MOS트랜지스터의 게이트는 상기 제1프리버퍼제어신호를 입력하고, 상기 제2P채널형 MOS트랜지스터의 게이트는 제1노드에 접속되며, 상기 제1N채널형 MOS트랜지스터의 게이트는 제1전원전압단자에 접속되고, 상기 제2P채널형 MOS트랜지스터의 일단과 상기 제1N채널형 MOS트랜지스터의 일단을 접속하는 제2노드에 의해 상기 제1신호를 출력하는 상기 제1프리버퍼회로, 상기 프리버퍼제어회로가 출력한 상기 제2프리버퍼제어신호를 입력하여 제2신호를 출력하는 제2프리버퍼회로, 상기 제1 및 제2신호를 입력하고, 제3신호를 출력단자에 의해 출력하는 메인버퍼회로이고, 제1전원전압단자와 제2전원전압단자간에 직렬로 접속된 제3P채널형 MOS트랜지스터와 제3 및 제4N채널형 MOS트랜지스터를 갖추며, 상기 제3P채널형 MOS트랜지스터의 게이트는 상기 제1신호를 입력하고, 상기 제3N채널형 MOS트랜지스터의 게이트는 제1전원전압단자에 접속되며, 상기 제4N채널형 MOS트랜지스터의 게이트는 상기 제2신호를 입력하고, 상기 제3P채널형 MOS트랜지스터의 일단과 상기 제3N채널형 MOS트랜지스터의 일단을 접속하는 제3노드가 상기 출력단자에 접속되어 있는 상기 메인버퍼회로 및, 소스가 제1전원전압단자에 접속되고, 게이트가 상기 출력단자에 접속되며, 드레인이 상기 N형기판에 접속되어 있는 상기 제4P채널형 MOS트랜지스터와, 소스가 상기 제2노드에 접속되고, 게이트가 제1전원전압단자에 접속되며, 드레인이 상기 출력단자에 접속되어 있는 상기 제5P채널형 MOS트랜지스터 및, 소스가 상기 출력단자에 접속되고, 게이트가 제1전원전압단자에 접속되며, 드레인이 상기 제1노드에 접속된 상기 제6P채널형 MOS트랜지스터를 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 2**

제1항에 있어서, 상기 제2 및 제3P채널형 MOS트랜지스터는 동일한 N형 기판에 형성되어 있고, 소스가 제1전원전압단자에 접속되며, 게이트가 상기 제1노드에 접속되고, 드레인이 상기 N형기판에 접속된 제7P채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 3**

제2항에 있어서, 드레인이 상기 제1노드에 접속되고, 게이트가 제1전원전압단자에 접속된 제5N채널형 MOS트랜지스터와, 일단이 상기 제5N채널형 MOS트랜지스터의 소스에 접속되고, 타단이 제2전원전압단자에 접속된 저항을 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 4**

제3항에 있어서, 드레인 및 소스가 상기 저항의 양단에 병렬로 접속되고, 게이트에 상기 제1프리버퍼제어신호를 입력하는 제6N채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 5**

제4항에 있어서, 드레인 및 소스가 상기 저항의 양단에 병렬로 접속되고, 게이트에 상기 제2신호를 입력하는 제7N채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 6**

제5항에 있어서, 상기 출력단자에 접속되고, 외부로부터 상기 출력단자에 의해 입력된 데이터를 주어 반전하여 제4신호를 출력하는 제3프리버퍼회로와, 상기 제3프리버퍼회로로부터 출력된 상기 제4신호를 주어 반전하여 제5신호를 출력하는 제2메인버퍼회로 및, 드레인 및 소스가 상기 저항의 양단에 병렬로 접속되고, 게이트에 상기 제4신호를 입력하는 제8N채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 7**

제4항에 있어서, 상기 출력단자에 접속되고, 외부로부터 상기 출력단자에 의해 입력된 데이터를 주어 반전하여 제4신호를 출력하는 제3프리버퍼회로와, 상기 제3프리버퍼회로로부터 출력된 상기 제4신호를 주어 반전하여 제5신호를 출력하는 제2메인버퍼회로 및, 드레인 및 소스가 상기 저항의 양단에 병렬로 접속되고, 게이트에 상기 제4신호를 입력하는 제8N채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 8**

제3항에 있어서, 드레인 및 소스가 상기 저항의 양단에 접속되고, 게이트에 상기 제2신호를 입력하는 제7N채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 9**

제8항에 있어서, 상기 출력단자에 접속되고, 외부로부터 상기 출력단자에 의해 입력된 데이터를 주어 반전하여 제4신호를 출력하는 제3프리버퍼회로와, 상기 제3프리버퍼회로로부터 출력된 상기 제4신호를 주어 반전하여 제5신호를 출력하는 제2메인버퍼회로 및, 드레인 및 소스가 상기 저항의 양단에 병렬로 접속되고, 게이트에 상기 제4신호를 입력하는 제8N채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

**청구항 10**

제3항에 있어서, 상기 출력단자에 접속되어 외부로부터 상기 출력단자에 의해 입력된 데이터를 주어 반전하여 제4신호를 출력하는 제3프리버퍼회로와, 상기 제3프리버퍼회로로부터 출력된 상기 제4신호를 주어

반전하여 제5신호를 출력하는 제2메인버퍼회로 및, 드레인 및 소스가 상기 저항의 양단에 병렬로 접속되고, 게이트에 상기 제4신호를 입력하는 제8N채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

### 청구항 11

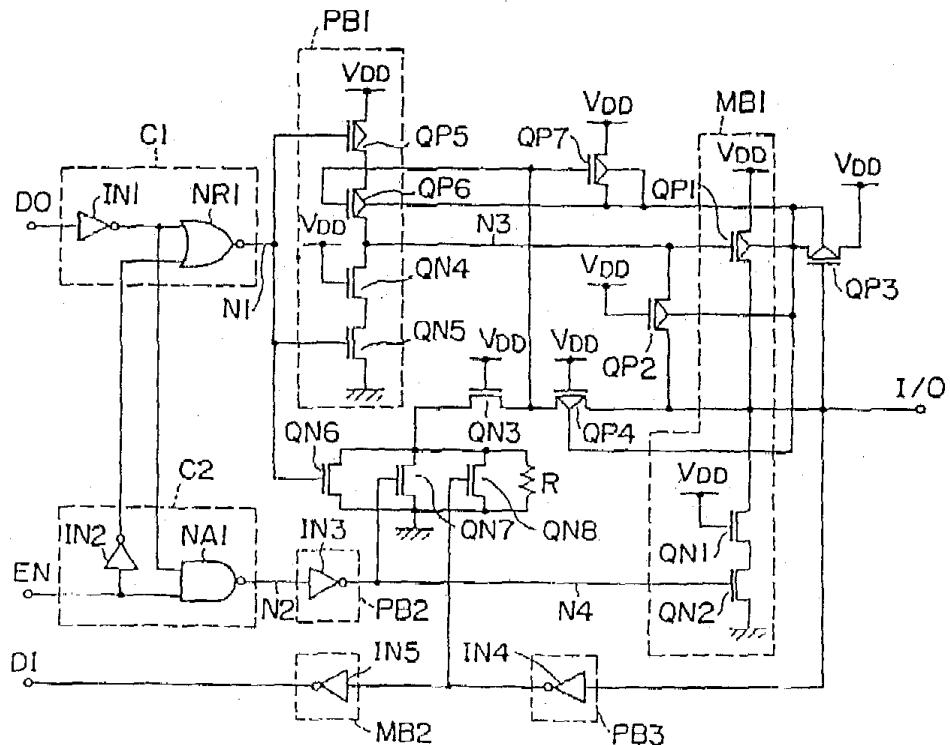
데이터 및 인에이블신호를 입력하고, 제1 및 제2프리버퍼제어신호를 출력하는 프리버퍼제어회로와, 이 프리버퍼회로가 출력한 상기 제1프리버퍼제어신호를 입력하고, 제1신호를 출력하는 제1프리버퍼회로이고, 제1노드와 제2전원전압단자간에 직렬로 접속된 제1채널형 MOS트랜지스터와, 제1 및 제2N채널형 MOS트랜지스터를 갖추고, 상기 제1P채널형 MOS트랜지스터 및 제2N채널형 MOS트랜지스터의 게이트는 상기 제1프리버퍼제어신호를 입력하고, 상기 제1N채널형 MOS트랜지스터의 게이트는 제1전원전압단자에 접속되며, 상기 제1P채널형 MOS트랜지스터의 일단과 상기 제1N채널형 MOS트랜지스터의 일단을 접속하는 제2노드에 의해 상기 제1신호를 출력하는 상기 제1프리버퍼회로, 상기 프리버퍼제어회로가 출력한 상기 제2프리버퍼제어신호를 입력하여 제2신호를 출력하는 제2프리버퍼회로, 상기 제1 및 제2신호를 입력하여 제3신호를 출력단자에 의해 출력하는 메인버퍼회로이고, 제1전원전압단자와 제2전원전압단자간에 직렬로 접속된 제2P채널형 MOS트랜지스터와 제3 및 제4N채널형 MOS트랜지스터를 갖추며, 상기 제2P채널형 MOS트랜지스터의 게이트는 상기 제1신호를 입력하고, 상기 제3N채널형 MOS트랜지스터의 게이트는 제1전원전압단자에 접속되며, 상기 제4N채널형 MOS트랜지스터의 게이트는 상기 제2신호를 입력하고, 상기 제2P채널형 MOS트랜지스터의 일단과 상기 제3N채널형 MOS트랜지스터의 일단을 접속하는 제3노드가 상기 출력단자에 접속되어 있는 상기 메인버퍼회로 및, 소스가 제1전원전압단자에 접속되고, 게이트가 상기 출력단자에 접속되며, 드레인이 상기 N형기판에 접속되어 있는 상기 제3P채널형 MOS트랜지스터와, 소스가 상기 제2노드에 접속되어 있는 상기 제4P채널형 MOS트랜지스터 및, 상기 제1프리버퍼제어회로의 출력측과 상기 제1P채널형 MOS트랜지스터의 게이트간에 양단이 접속되고, 게이트가 제2전원전압단자에 접속되어 있는 상기 제5P채널형 MOS트랜지스터를 구비하는 것을 특징으로 하는 출력버퍼회로.

### 청구항 12

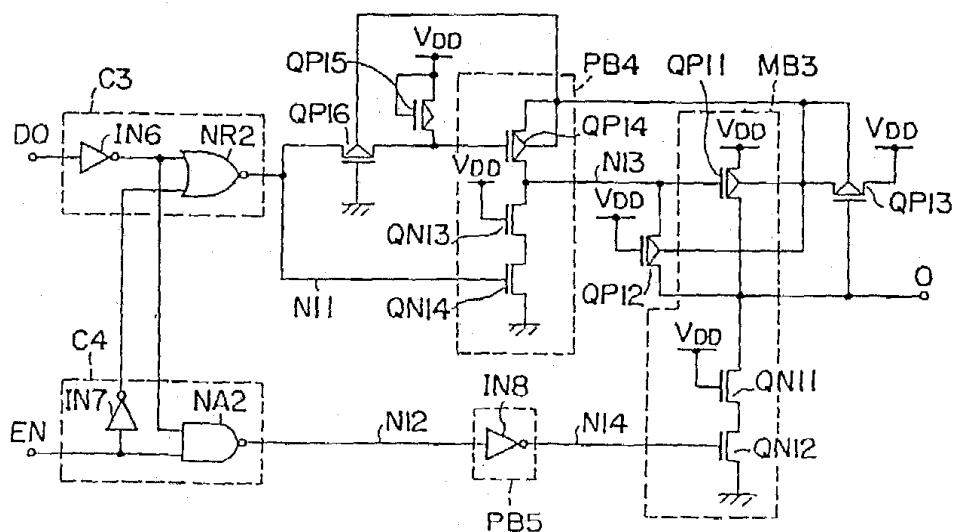
제11항에 있어서, 상기 제1 및 제2P채널형 MOS트랜지스터와, 상기 제3, 제4 및 제5P채널형 MOS트랜지스터는 동일한 N형기판에 형성되고, 소스 및 게이트를 제1전원전압단자에 접속하고, 드레인을 상기 제1P채널형 MOS트랜지스터의 게이트에 접속한 제6P채널형 MOS트랜지스터를 더욱 구비하는 것을 특징으로 하는 출력버퍼회로.

### 도면

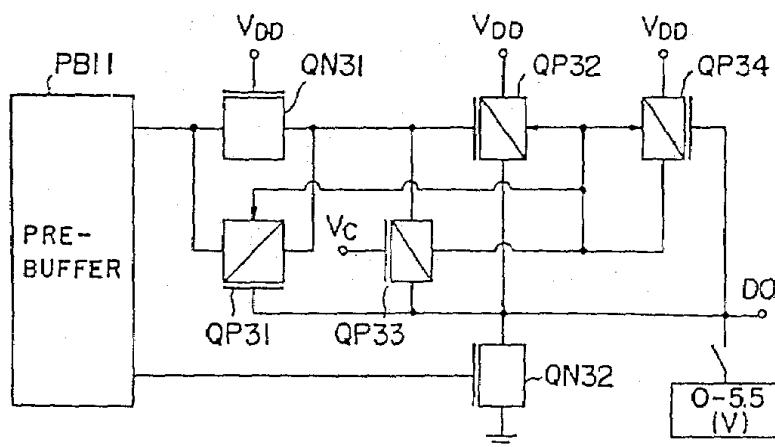
#### 도면1



도면2



도면3



도면4

