



(12) 发明专利申请

(10) 申请公布号 CN 117296477 A

(43) 申请公布日 2023. 12. 26

(21) 申请号 202280000884.3

(22) 申请日 2022.04.22

(85) PCT国际申请进入国家阶段日
2022.04.24

(86) PCT国际申请的申请数据
PCT/CN2022/088425 2022.04.22

(87) PCT国际申请的公布数据
W02023/201693 ZH 2023.10.26

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 成都京东方光电科技有限公司

(72) 发明人 李正坤 李德 青海刚 龙跃
刘聪 王琦伟 王彬艳 杨中流
承天一 杨妮 邬奇洋

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 张敬强

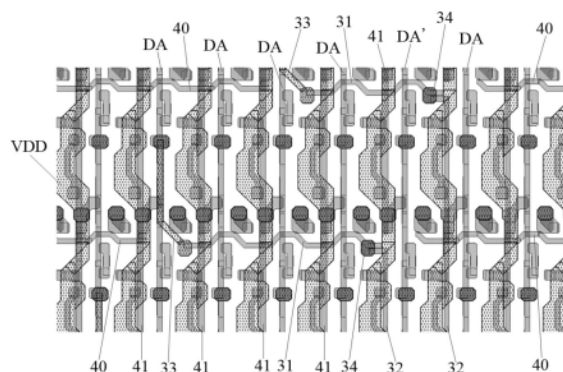
(51) Int.Cl.
H10K 59/131 (2023.01)

(54) 发明名称

显示基板和显示装置

(57) 摘要

本公开提供一种显示基板和显示装置。所述显示基板包括衬底基板以及位于所述衬底基板上的驱动电路层、发光器件层；所述显示基板包括透光显示区和正常显示区，所述正常显示区至少部分包围所述透光显示区；所述正常显示区包括多个正常驱动电路和多个虚拟驱动电路；部分所述虚拟驱动电路用于驱动位于透光显示区的发光器件；所述显示基板还包括：多条正常数据线，与所述正常驱动电路耦接；其中至少一条所述正常数据线通过数据引线与所述数据信号输入端耦接；所述数据引线在所述衬底基板上的正投影，与所述虚拟驱动电路在所述衬底基板上的正投影至少部分交叠。



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 10 月 26 日 (26.10.2023)



(10) 国际公布号
WO 2023/201693 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01) **G09G 3/20** (2006.01)

(21) 国际申请号: PCT/CN2022/088425

(22) 国际申请日: 2022 年 4 月 22 日 (22.04.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 李正坤(LI, Zhengkun); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。李德(LI, De); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。青海刚(QING, Haigang); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。龙跃(LONG, Yue); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘聪(LIU, Cong); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王琦伟(WANG, Qiwei); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王彬艳(WANG, Binyan); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。杨中流(YANG, Zhongliu); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。承天一(CHENG, Tianyi); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(54) Title: DISPLAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 显示基板和显示装置

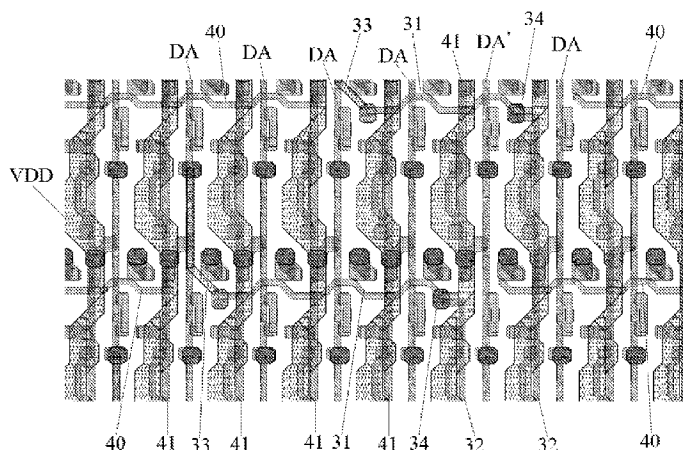


图 22

(57) Abstract: The present disclosure provides a display substrate and a display device. The display substrate comprises a base substrate, and a driver circuit layer and a light-emitting device layer located on the base substrate. The display substrate comprises a light-transmitting display region and a normal display region, and the normal display region at least partially surrounds the light-transmitting display region. The normal display region comprises a plurality of normal driver circuits and a plurality of virtual driver circuits. Some of the virtual driver circuits are used for driving a light-emitting device located in the light-transmitting display region. The display substrate further comprises a plurality of normal data lines coupled to the normal driver circuits. At least one of the normal data lines is coupled to a data signal input end by means of a data lead. The orthographic projection of the data lead on the base substrate at least partially overlaps the orthographic projection of the virtual driver circuits on the base substrate.



(CN)。杨妮(YANG, Ni); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。邬奇洋(WU, Qiyang); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京银龙知识产权代理有限公司(DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街32号院枫蓝国际中心2号楼10层, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开提供一种显示基板和显示装置。所述显示基板包括衬底基板以及位于所述衬底基板上的驱动电路层、发光器件层; 所述显示基板包括透光显示区和正常显示区, 所述正常显示区至少部分包围所述透光显示区; 所述正常显示区包括多个正常驱动电路和多个虚拟驱动电路; 部分所述虚拟驱动电路用于驱动位于透光显示区的发光器件; 所述显示基板还包括: 多条正常数据线, 与所述正常驱动电路耦接; 其中至少一条所述正常数据线通过数据引线与所述数据信号输入端耦接; 所述数据引线在所述衬底基板上的正投影, 与所述虚拟驱动电路在所述衬底基板上的正投影至少部分交叠。

显示基板和显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种显示基板和显示装置。

背景技术

近年来，随着显示技术的进步，有机发光二极管显示器（英文：Organic Light Emitting Diode，简称：OLED）是当今平板显示器研究领域的热点之一，越来越多的有源矩阵有机发光二极管（英文：Active Matrix Organic Light Emitting Diode，简称：AMOLED）显示面板进入市场，相对于传统的薄膜晶体管液晶显示面板（英文：Thin Film Transistor Liquid Crystal Display，简称：TFTLCD），AMOLED 显示面板具有更快的反应速度，更高的对比度以及更广大的视角。而且，随着显示技术的发展，电子设备不断向着窄边框以及实现全面屏的方向发展。

发明内容

本公开的目的在于提供一种显示基板和显示装置。

为了实现上述目的，本公开提供如下技术方案：

本公开的第一方面提供一种显示基板，包括衬底基板以及位于所述衬底基板上的驱动电路层、发光器件层；

所述显示基板包括透光显示区和正常显示区，所述正常显示区至少部分包围所述透光显示区；所述正常显示区包括多个正常驱动电路和多个虚拟驱动电路；部分所述虚拟驱动电路用于驱动位于透光显示区的发光器件；

所述显示基板还包括：

多条正常数据线，与所述正常驱动电路耦接；其中至少一条所述正常数据线通过数据引线与数据信号输入端耦接；至少部分所述数据引线在所述衬底基板上的正投影，与所述虚拟驱动电路在所述衬底基板上的正投影至少部分交叠。

可选的，所述数据引线包括相耦接的第一线段和第二线段，所述第一线段包括沿第一方向延伸的至少部分，所述第二线段包括沿第二方向延伸的至少部分，所述第一方向与所述第二方向相交；

所述多个虚拟驱动电路划分为多列虚拟驱动电路列，每列虚拟驱动电路列包括沿所述第二方向排列的多个所述虚拟驱动电路；

所述第一线段与正常数据线相耦接，所述第二线段与数据信号输入端耦接；所述第二线段在所述衬底基板上的正投影，与对应的一列虚拟驱动电路中包括的至少部分虚拟驱动电路在所述衬底基板上的正投影至少部分交叠。

可选的，所述数据引线还包括第一导电连接部和第二导电连接部；

所述第一导电连接部分别与所述第一线段和正常数据线相耦接；

所述第二导电连接部分别与所述第一线段和所述第二线段耦接。

可选的，所述第一导电连接部和所述第二导电连接部均与所述第一线段形成为一体结构。

可选的，所述正常驱动电路包括驱动晶体管；所述第一导电连接部包括沿所述第二方向延伸的至少部分，所述第一导电连接部在所述衬底基板上的正投影与所述驱动晶体管的栅极在所述衬底基板上的正投影沿所述第一方向排列；

所述第一线段耦接的第一导电连接部和第二导电连接部均位于该第一线段沿第二方向的同一侧；或者，所述第一线段耦接的第一导电连接部和第二导电连接部分别位于该第一线段沿第二方向相对的两侧。

可选的，所述显示基板还包括栅线和发光控制线，所述第一导电连接部在所述衬底基板上的正投影，分别与所述栅线在所述衬底基板上的正投影，以及所述发光控制线在所述衬底基板上的正投影至少部分交叠。

可选的，所述显示基板还包括第一初始化信号线，所述第二导电连接部在所述衬底基板上的正投影与所述第一初始化信号线在所述衬底基板上的正投影至少部分交叠。

可选的，所述显示基板还包括发光控制线，所述第二导电连接部在所述衬底基板上的正投影与所述发光控制线在所述衬底基板上的正投影至少部分交叠。

可选的，所述多个正常驱动电路划分为多列正常驱动电路列，每列正常驱动电路列包括沿所述第二方向排列的多个所述正常驱动电路；

所述多列正常驱动电路列划分为多组电路组，每组电路组包括至少两列正常驱动电路列；所述电路组与所述虚拟驱动电路列沿所述第一方向交替设置。

可选的，每组电路组包括两列正常驱动电路列或者四列正常驱动电路列。

可选的，所述多个虚拟驱动电路包括多个第一虚拟驱动电路和多个第二虚拟驱动电路，所述第一虚拟驱动电路通过连接线与位于透光显示区的发光器件耦接，用于驱动该发光器件；

至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与至少两条第二线段在所述衬底基板上的正投影部分交叠。

可选的，所述显示基板还包括多条电源线和多条正常数据线；

至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与所述电源线在所述衬底基板上的正投影不交叠。

可选的，所述显示基板还包括多条虚拟数据线，与所述虚拟驱动电路耦接；

至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与三条或四条第二线段在所述衬底基板上的正投影部分交叠；至少部分所述虚拟数据线复用为所述第二线段。

可选的，所述多个正常驱动电路和所述多个虚拟驱动电路划分为多行驱动电路行；所述多行驱动电路行包括多行第一驱动电路行和多行第二驱动电路行；

所述第一线段在所述衬底基板上的正投影与对应的第一驱动电路行在所述衬底基板上的正投影部分交叠；

所述显示基板还包括多条第一补偿线；所述第一补偿线包括沿所述第一方向延伸的至少部分；所述第一补偿线与所述第一线段同层同材料设置；一部分所述第一补偿线在所述衬底基板上的正投影与对应的第二驱动电路行在所述衬底基板上的正投影至少部分交叠；另一部分所述第一补偿线与所述第一线段沿所述第一方向排列。

可选的，所述显示基板还包括多条第二初始化信号线和多条发光控制线；

所述第一线段在所述衬底基板上的正投影，位于其对应的第一驱动电路行耦接的所述第二初始化信号线在所述衬底基板上的正投影，以及其对应的第一驱动电路行耦接的所述发光控制线在所述衬底基板上的正投影之间；和/或，

一部分所述第一补偿线在所述衬底基板上的正投影，位于其对应的第二驱动电路行耦接的所述第二初始化信号线在所述衬底基板上的正投影，以及其对应的第二驱动电路行耦接的所述发光控制线在所述衬底基板上的正投影之间。

可选的，所述第一补偿线与所述显示基板中的电源线耦接。

可选的，所述显示基板还包括多条第二补偿线；所述第二补偿线包括沿所述第二方向延伸的至少部分；所述第二补偿线与所述第二线段同层同材料设置；一部分所述第二补偿线在所述衬底基板上的正投影与对应的正常驱动电路列在所述衬底基板上的正投影至少部分交叠；另一部分所述第二补偿线与所述第二线段沿所述第二方向排列。

可选的，所述显示基板包括沿远离所述衬底基板的方向依次层叠设置的第一源漏金属层，第一平坦层和第二源漏金属层；

所述第一线段采用所述第一源漏金属层制作，所述第二线段采用所述第二源漏金属层制作。

可选的，所述显示基板包括沿远离所述衬底基板的方向依次层叠设置的第一源漏金属层，钝化层，中间源漏金属层，第一平坦层和第二源漏金属层；

所述第一线段采用所述第一源漏金属层制作，所述第二线段采用所述第二源漏金属层制作，所述第一导电连接部和所述第二导电连接部均采用中间源漏金属层制作。

基于所述显示基板的技术方案，本公开的第二方面提供一种显示装置，包括上述显示基板，所述显示装置还包括封装层和驱动芯片，所述驱动芯片与所述显示基板耦接，所述封装层覆盖所述显示基板。

附图说明

此处所说明的附图用来提供对本公开的进一步理解，构成本公开的一部分，本公开的示意性实施例及其说明用于解释本公开，并不构成对本公开的不当限定。在附图中：

图 1 为本公开实施例提供的驱动电路的电路结构图；

图 2 为本公开实施例提供的驱动电路的工作时序图；

图 3 为本公开实施例提供的显示基板的整体结构图；

图 4 为本公开实施例提供的电路组和虚拟驱动电路列的第一布局示意图；

图 5 为本公开实施例提供的电路组和虚拟驱动电路列的第二布局示意图；

图 6 为本公开实施例提供的中间源漏金属层的布局示意图；

图 7 为本公开实施例提供的虚拟驱动电路所在区域的第一布局示意图；

图 8 为图 7 中有源层和第一栅金属层的布局示意图；

图 9 为在图 8 的基础上增加第二栅金属层的布局示意图；

图 10 为在图 9 的基础上增加第一源漏金属层的布局示意图；

图 11 为图 7 中第一源漏金属层的布局示意图；

图 12 为图 7 中第二源漏金属层的布局示意图；

图 13 为本公开实施例提供的虚拟驱动电路所在区域的第二布局示意图；

图 14 为本公开实施例提供的 4 压 1 方案的第一布局示意图；

图 15 为图 14 中有源层的布局示意图；

图 16 为图 14 中第一栅金属层的布局示意图；

图 17 为图 14 中第二栅金属层的布局示意图；

图 18 为图 14 中第一源漏金属层的布局示意图；

图 19 为图 14 中中间源漏金属层的布局示意图；

图 20 为图 14 中第二源漏金属层的布局示意图

图 21 为图 14 中有源层至第一源漏金属层的布局示意图；

图 22 为图 14 中第一源漏金属层和中间源漏金属层和第二源漏金属层的布局示意图；

图 23 为本公开实施例提供的 2 压 1 方案的第一布局示意图；

图 24 为图 23 中有源层的布局示意图；

图 25 为图 23 中第一栅金属层的布局示意图；

图 26 为图 23 中第二栅金属层的布局示意图；

图 27 为图 23 中第一源漏金属层的布局示意图；

图 28 为图 23 中第二源漏金属层的布局示意图

图 29 为图 23 中有源层至第一源漏金属层的布局示意图；

图 30 为图 14 中第一源漏金属层和第二源漏金属层的布局示意图；

图 31 为本公开实施例提供的 4 压 1 方案中一部分虚拟驱动电路用于驱动位于透光显示区的发光器件示意图；

图 32 为本公开实施例提供的 2 压 1 方案中第一虚拟驱动电路用于驱动位于透光显示区的发光器件示意图。

具体实施方式

为了进一步说明本公开实施例提供的显示基板和显示装置，下面结合说明书附图进行详细描述。

在一般显示产品中，下边框较宽，可以利用第一栅金属层和第二栅金属层交替布局数据引线，通过数据引线为数据线提供数据信号。但是在窄边框显示产品中，下边框较窄，同时下边框左右两侧的下圆角位置的布局空间也很小，这样就导致在该空间内无法实现上述交替走线的方案。

基于上述问题的存在，本公开将数据引线的至少部分布局在显示产品的显示区域（Active Area，AA 区）内，使数据引线与其要连接的数据线在显示区域内耦接，然后数据引线从显示区域中间区域附近向下延伸至显示产品的下边框，与下边框的数据信号输入端耦接，从而实现为数据线提供数据信号。上述方案即 FIAA（英文：Fanout In AA）技术。

但是在采用上述 FIAA 技术时，数据引线会与显示产品中用于驱动的像素驱动电路交叠，导致像素驱动电路的 loading 较大，影响显示产品的显示性能。

请参阅图 3、图 4、图 5、图 14、图 22、图 23 和图 30，本公开实施例提

供了一种显示基板，包括衬底基板以及位于所述衬底基板上的驱动电路层、发光器件层；所述显示基板包括：透光显示区 1 和正常显示区 2；所述正常显示区 2 至少部分包围所述透光显示区 1；所述正常显示区 2 包括多个正常驱动电路 21 和多个虚拟驱动电路 22；部分所述虚拟驱动电路 22 用于驱动位于透光显示区的发光器件；

所述显示基板还包括：

多条正常数据线，与所述正常驱动电路 21 耦接；其中至少一条所述正常数据线通过数据引线 3 与数据信号输入端耦接；至少部分所述数据引线 3 在所述衬底基板上的正投影，与所述虚拟驱动电路 22 在所述衬底基板上的正投影至少部分交叠。

示例性的，所述显示基板采用屏下摄像头技术（英文：Full Display with Camera，简称：FDC）。

示例性的，所述驱动电路层包括多个正常驱动电路 21 和多个虚拟驱动电路 22，所述驱动电路层的至少部分位于所述正常显示区。所述发光器件层包括位于所述正常显示区的发光器件，和位于所述透光显示区的发光器件。

示例性的，所述显示基板包括透光显示区 1 和正常显示区 2。透光显示区 1 除了可以覆盖摄像头之外，还可以覆盖其他传感器，例如距离传感器、指纹传感器等。所述透光显示区 1 中可以根据实际需要设置或不设置像素驱动电路。所述正常显示区 2 包括多个正常驱动电路 21 和多个虚拟驱动电路 22，所述正常驱动电路 21 用于驱动位于所述正常显示区 2 中的发光器件，一部分虚拟驱动电路 22 用于驱动位于透光显示区 1 的发光器件，另一部分虚拟驱动电路 22 没有驱动作用。

更详细地说，参见图 31，虚拟像素 D 包括虚拟驱动电路，图 31 中示意的一列虚拟像素 D 中，一部分虚拟像素 D 包括的虚拟驱动电路与位于透光显示区 1 的发光器件 E 耦接，用于驱动位于透光显示区 1 的发光器件。另一部分虚拟像素 D 包括的虚拟驱动电路不与位于透光显示区 1 的发光器件 E 耦接，没有驱动作用。

图 31 为 4 压 1 方案中一部分虚拟驱动电路用于驱动位于透光显示区 1 的发光器件 E 示意图。图 31 中示意了 4 列正常像素 P 和一行虚拟像素 D。正常

像素 P 包括正常驱动电路，虚拟像素 D 包括虚拟驱动电路。

第一列正常像素包括的正常驱动电路在衬底基板上的正投影，分别与对应的第一正常数据线 Data1 在衬底基板上的正投影，第一条第二线段 FIAA1 在衬底基板上的正投影，以及第二补偿线 41 在衬底基板上的正投影至少部分交叠。

第二列正常像素包括的正常驱动电路在衬底基板上的正投影，分别与对应的第二正常数据线 Data2 在衬底基板上的正投影，第二条第二线段 FIAA2 在衬底基板上的正投影，以及第二补偿线 41 在衬底基板上的正投影至少部分交叠。

第三列正常像素包括的正常驱动电路在衬底基板上的正投影，分别与对应的第三正常数据线 Data3 在衬底基板上的正投影，第三条第二线段 FIAA3 在衬底基板上的正投影，以及第二补偿线 41 在衬底基板上的正投影至少部分交叠。

第四列正常像素包括的正常驱动电路在衬底基板上的正投影，分别与对应的第四正常数据线 Data4 在衬底基板上的正投影，第四条第二线段 FIAA4 在衬底基板上的正投影，以及第二补偿线 41 在衬底基板上的正投影至少部分交叠。

第五列虚拟像素包括的虚拟驱动电路在衬底基板上的正投影，分别与对应的第五虚拟数据线 Data5 在衬底基板上的正投影，第五条第二线段 FIAA5 在衬底基板上的正投影，以及第二补偿线 41 在衬底基板上的正投影至少部分交叠。

示例性的，本公开实施例提供的 4 压 1 方案中，一部分第二线段 32 在衬底基板上的正投影，与虚拟驱动电路在衬底基板上的正投影至少部分交叠。另一部分第二线段 32 在衬底基板上的正投影，与正常驱动电路在衬底基板上的正投影至少部分交叠。

示例性的，所述显示基板包括多条正常数据线 DA，所述正常数据线 DA 包括沿第二方向延伸的至少部分。所述正常数据线 DA 与其对应的一列正常驱动电路 21 中的各正常驱动电路 21 分别耦接，用于为其耦接的各正常驱动电路 21 提供数据信号。

示例性的,所述正常驱动电路 21 和所述虚拟驱动电路 22 均包括 7T1C 电路结构,即 7 个晶体管和 1 个电容,但不仅限于此。

示例性的,所述数据信号输入端位于所述显示基板的下边框。所述数据信号输入端可以包括驱动芯片,但不仅限于此。

根据上述显示基板的具体结构可知,本公开实施例提供的显示基板中,通过设置所述数据引线 3 的第一端与对应的正常数据线 DA 相耦接,所述数据引线 3 的第二端与数据信号输入端耦接,能够使得所述数据引线 3 从正常显示区 2 域的中间区域附近向下延伸至显示产品的下边框,与下边框的数据信号输入端耦接,从而实现为正常数据线 DA 提供数据信号。这样即使显示基板应用于窄边框显示产品中,数据引线 3 也能够很好的在下边框实现布局。

另外,本公开实施例提供的显示基板中,通过设置所述数据引线 3 在所述衬底基板上的正投影,与所述虚拟驱动电路 22 在所述衬底基板上的正投影至少部分交叠,使得所述数据引线 3 的至少部分能够位于所述虚拟驱动电路 22 的布局区域内,使数据引线 3 产生的 loading 大部分分布于所述虚拟驱动电路 22 的布局区域内,使数据引线 3 不会对正常驱动电路 21 所属的正常子像素产生较大的寄生电容,从而有效降低了所述数据引线 3 对所述正常驱动电路 21 产生的影响,更好的实现了正常子像素的功能,实现了更加优良的显示效果。

如图 1 和图 2 所示,在一些实施例中,所述显示基板还包括多条复位线 Rst,多条数据线 DA,多条栅线 GA,多条发光控制线 EM,多条电源线 VDD,多条第一初始化信号线 Vinit1 和多条第二初始化信号线 Vinit2。

所述正常驱动电路 21 和所述虚拟驱动电路 22 均包括第一复位晶体管 T1,补偿晶体管 T2,驱动晶体管 T3,数据写入晶体管 T4,电源控制晶体管 T5,发光控制晶体管 T6,第二复位晶体管 T7 和存储电容 Cst。

所述第一复位晶体管 T1 的栅极与对应的复位线 Rst 耦接,所述第一复位晶体管 T1 的第一极与对应的第一初始化信号线 Vinit1 耦接,所述第一复位晶体管 T1 的第二极与所述驱动晶体管 T3 的栅极耦接。

所述补偿晶体管 T2 的栅极与对应的栅线 GA 耦接,所述补偿晶体管 T2 的第一极与所述驱动晶体管 T3 的第二极耦接,所述补偿晶体管 T2 的第二极与

所述驱动晶体管 T3 的栅极耦接。

所述数据写入晶体管 T4 的栅极与对应的栅线 GA 耦接，所述数据写入晶体管 T4 的第一极与对应的数据线耦接，所述数据写入晶体管 T4 的第二极与所述驱动晶体管 T3 的第一极耦接；

所述电源控制晶体管 T5 的栅极与对应的发光控制信号线耦接，所述电源控制晶体管 T5 的第一极与电源线 VDD 耦接，所述电源控制晶体管 T5 的第二极与所述驱动晶体管 T3 的第一极耦接；

所述发光控制晶体管 T6 的栅极与对应的发光控制信号线耦接，所述发光控制晶体管 T6 的第一极与所述驱动晶体管 T3 的第二极耦接，所述发光控制晶体管 T6 的第二极与子像素包括的发光元件 EL 耦接；所述发光元件 EL 的阴极接收负电源信号 VSS。

所述第二复位晶体管 T7 的栅极与沿所述第二方向相邻的驱动电路中的第一复位晶体管 T1 的栅极耦接同一条复位线 Rst'。所述第二复位晶体管 T7 的第一极与对应的第二初始化信号线 Vinit2 耦接，所述第二复位晶体管 T7 的第二极与所述发光元件 EL 的阳极耦接。所述第二复位晶体管 T7 用于对发光元件 EL 的阳极进行复位。

如图 1 和图 2 所示，上述结构的素驱动电路在工作时，每个工作周期均包括第一复位时段 P1、写入补偿时段 P2、第二复位时段 P3 和发光时段 P4。

在所述第一复位时段 P1，复位线 Rst 输入的复位信号处于有效电平，第一复位晶体管 T1 导通，由第一初始化信号线 Vinit1 传输的第一初始化信号输入至驱动晶体管 T3 的栅极 T3-g，使得前一帧保持在驱动晶体管 T3 上的栅源电压 V_{gs} 被清零，实现对驱动晶体管 T3 的栅极 T3-g 复位。

在写入补偿时段 P2，所述复位信号处于非有效电平，第一复位晶体管 T1 截止，栅线 GA 输入的栅极扫描信号处于有效电平，控制补偿晶体管 T2 和数据写入晶体管 T4 导通，数据线 DA 写入数据信号，并经所述数据写入晶体管 T4 传输至驱动晶体管 T3 的第一极，同时，补偿晶体管 T2 和数据写入晶体管 T4 导通，使得驱动晶体管 T3 形成为二极管结构，因此通过补偿晶体管 T2、驱动晶体管 T3 和数据写入晶体管 T4 配合工作，实现对驱动晶体管 T3 的阈值电压补偿，当补偿的时间足够长时，可控制驱动晶体管 T3 的栅极 T3-g 电位

最终达到 $V_{data}+V_{th}$ ，其中， V_{data} 代表数据信号电压值， V_{th} 代表驱动晶体管 T3 的阈值电压。

在第二复位时段 P3，所述栅极扫描信号处于非有效电平，补偿晶体管 T2 和数据写入晶体管 T4 均截止，相邻的下一行子像素耦接的复位线 Rst' 输入的复位信号处于有效电平，控制第二复位晶体管 T7 导通，将所述第二初始化信号线 Vinit2 输入的初始化信号输入至发光元件 EL 的阳极，控制发光元件 EL 不发光。发光元件 EL 的阴极接入负电源信号 VSS。

在发光时段 P4，发光控制线 EM 写入的发光控制信号处于有效电平，控制电源控制晶体管 T5 和发光控制晶体管 T6 导通，使得由电源线 VDD 传输的电源信号输入至驱动晶体管 T3 的第一极，同时由于驱动晶体管 T3 的栅极 T3-g 保持在 $V_{data}+V_{th}$ ，使得驱动晶体管 T3 导通，驱动晶体管 T3 对应的栅源电压为 $V_{data}+V_{th}-V_{DD}$ ，其中 VDD 为电源信号对应的电压值，基于该栅源电压产生的漏电流流向对应的发光元件 EL 的阳极，驱动对应的发光元件 EL 发光。

如图 3，图 4，图 5，图 7，图 12，图 13，图 14 至图 30，在一些实施例中，参见图 22，所述数据引线 3 包括相耦接的第一线段 31 和第二线段 32，所述第一线段 31 包括沿第一方向延伸的至少部分，所述第二线段 32 包括沿第二方向延伸的至少部分，所述第一方向与所述第二方向相交；

参见图 14，所述多个虚拟驱动电路 22 划分为多列虚拟驱动电路列 220，每列虚拟驱动电路列 220 包括沿所述第二方向排列的多个所述虚拟驱动电路 22；

参见图 14 和图 22，所述第一线段 31 与正常数据线 DA 相耦接，所述第二线段 32 与数据信号输入端耦接；所述第二线段 32 在所述衬底基板上的正投影，与对应的一列虚拟驱动电路 22 中包括的至少部分虚拟驱动电路 22 在所述衬底基板上的正投影至少部分交叠。

示例性的，所述显示基板采用 FDC 技术时，具体采用了像素驱动电路压缩的方案，这种方案用压缩像素驱动电路尺寸的方法使所述正常显示区 2 包括多个正常驱动电路 21 和多个虚拟驱动电路 22，所述多个虚拟驱动电路 22 能够划分为多列虚拟驱动电路列 220，虚拟驱动电路列 220 呈周期性布局，即每隔几列正常驱动电路列，就会出现一列虚拟驱动电路列 220。一部分虚

拟驱动电路 22 可以通过导电连接线与位于透光显示区 1 的发光器件耦接，用于驱动位于透光显示区 1 的发光器件显示。

示例性的，所述第一线段 31 和所述第二线段 32 同层设置或异层设置。当所述第一线段 31 和所述第二线段 32 异层设置时，所述第一线段 31 和所述第二线段 32 之间具有绝缘层，所述第一线段 31 和所述第二线段 32 之间可以通过贯穿绝缘层的过孔耦接。或者，当所述第一线段 31 和所述第二线段 32 异层设置时，所述第一线段 31 和所述第二线段 32 之间可以通过其他膜层的导电图形转接。

示例性的，所述第一方向包括横向，所述第二方向包括纵向。

示例性的，所述显示基板还包括多条发光控制线 EM，所述第一线段 31 与所述发光控制线 EM 的延伸方向大致相同。

示例性的，所述第一线段 31 与所述正常数据线 DA 异层设置，所述第一线段 31 和所述正常数据线 DA 之间具有绝缘层，所述第一线段 31 和所述正常数据线 DA 之间可以通过贯穿绝缘层的过孔耦接。或者，所述第一线段 31 和所述正常数据线 DA 之间可以通过其他膜层的导电图形转接。

上述实施例提供的显示基板中，通过设置所述第二线段 32 在所述衬底基板上的正投影，与对应的一列虚拟驱动电路 22 中包括的至少部分虚拟驱动电路 22 在所述衬底基板上的正投影至少部分交叠；能够将所有数据引线 3 包括的第二线段 32 均布局在周期性出现的虚拟驱动电路列 220 上，使数据引线 3 产生的 loading 大部分分布于所述虚拟驱动电路 22 的布局区域内，使数据引线 3 不会对正常驱动电路 21 所属的正常子像素产生较大的寄生电容，从而有效降低了所述数据引线 3 对所述正常驱动电路 21 产生的影响，更好的实现了正常子像素的功能，实现了更加优良的显示效果。

如图 18，图 19，图 20 和图 22 所示，在一些实施例中，设置所述数据引线 3 还包括第一导电连接部 33 和第二导电连接部 34；

所述第一导电连接部 33 分别与所述第一线段 31 和正常数据线 DA 相耦接；

所述第二导电连接部 34 分别与所述第一线段 31 和所述第二线段 32 耦接。

上述设置方式能够更好的保证第一线段和第二线段连接的信赖性，以及第一线段与正常数据线 DA 之间连接的信赖性。而且，能够降低所述数据引线的布局难度。

如图 27 所示，在一些实施例中，所述第一导电连接部 33 和所述第二导电连接部 34 均与所述第一线段 31 形成为一体结构。

上述设置方式不需要增加额外的转接图形，有利于提升显示基板的透过率。

在一些实施例中，如图 27 所示，所述第一导电连接部 33 包括沿所述第二方向延伸的至少部分，所述第二导电连接部 34 包括沿所述第二方向延伸的至少部分；或者，如图 19 所示，所述第一导电连接部 33 包括沿所述第二方向延伸的至少部分，所述第二导电连接部 34 包括块状图形。

如图 25，图 27 和图 29 所示，在一些实施例中，所述正常驱动电路包括驱动晶体管 T3；所述第一导电连接部 33 包括沿所述第二方向延伸的至少部分，所述第一导电连接部 33 在所述衬底基板上的正投影与所述驱动晶体管 T3 的栅极 T3-g 在所述衬底基板上的正投影沿所述第一方向排列；

所述第一线段 31 耦接的第一导电连接部 33 和第二导电连接部 34 均位于该第一线段 31 沿第二方向的同一侧；或者，所述第一线段 31 耦接的第一导电连接部 33 和第二导电连接部 34 分别位于该第一线段 31 沿第二方向相对的两侧。

如图 25，图 27 和图 29 所示，在一些实施例中，所述显示基板还包括栅线 GA 和发光控制线 EM，所述第一导电连接部 33 在所述衬底基板上的正投影，分别与所述栅线 GA 在所述基底上的正投影，以及所述发光控制线 EM 在所述衬底基板上的正投影至少部分交叠。

如图 25，图 27 和图 29 所示，在一些实施例中，所述显示基板还包括第一初始化信号线 Vinit1，所述第二导电连接部 34 在所述衬底基板上的正投影与所述第一初始化信号线 Vinit1 在所述衬底基板上的正投影至少部分交叠。

如图 25，图 27 和图 29 所示，在一些实施例中，所述显示基板还包括发光控制线 EM，所述第二导电连接部 34 在所述衬底基板上的正投影与所述发

光控制线 EM 在所述衬底基板上的正投影至少部分交叠。

上述设置方式在保证正常数据线 DA，第一线段 31 和第二线段 32 的连接性能的同时，降低了显示基板的布局难度。

如图 4 和图 5 所示，在一些实施例中，所述多个正常驱动电路 21 划分为多列正常驱动电路列，每列正常驱动电路列包括沿所述第二方向排列的多个所述正常驱动电路 21；

所述多列正常驱动电路列划分为多组电路组 210，每组电路组 210 包括至少两列正常驱动电路列；所述电路组 210 与所述虚拟驱动电路列 220 沿所述第一方向交替设置。

需要说明，图 4 和图 5 中为了看的更清楚，仅示意了部分正常驱动电路 21 和虚拟驱动电路 22。图 4 中每个黑框内均是 4 压 1 结构（即包含 4 个正常驱动电路列和 1 个虚拟驱动电路列），图 5 中每个黑框内均是 2 压 1 结构（即包含 2 个正常驱动电路列和 1 个虚拟驱动电路列）。

示例性的，对所述多组电路组 210 进行压缩，得到与各组电路组 210 相邻的布局空间，在该布局空间内布局虚拟驱动电路列 220。布局后所述电路组 210 与所述虚拟驱动电路列 220 沿所述第一方向交替设置。

如图 4 和图 5 所示，在一些实施例中，设置每组电路组 210 包括两列正常驱动电路列或者四列正常驱动电路列。

上述设置方式使得每间隔两列正常驱动电路列即布局一列虚拟驱动电路列 220；或者，每间隔四列正常驱动电路列即布局一列虚拟驱动电路列 220。

如图 4 和图 5 所示，在一些实施例中，所述多个虚拟驱动电路 22 包括多个第一虚拟驱动电路和多个第二虚拟驱动电路，所述第一虚拟驱动电路通过连接线与位于透光显示区 1 的发光器件耦接，用于驱动该发光器件；

至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与至少两条第二线段 32 在所述衬底基板上的正投影部分交叠。

图 32 为 2 压 1 方案中第一虚拟驱动电路用于驱动位于透光显示区 1 的发光器件 E 示意图。图 32 中示意了 2 列正常像素 P 和一列虚拟像素。正常像素 P 包括正常驱动电路，虚拟像素包括第一虚拟像素 D1 和第二虚拟像素 D2。第一虚拟像素 D1 包括第一虚拟驱动电路，第一虚拟驱动电路通过连接线与位于

透光显示区 1 的发光器件 E 耦接，用于驱动该发光器件 E。第二虚拟驱动电路不与位于透光显示区 1 的发光器件 E 耦接。

第一列正常像素包括的正常驱动电路在衬底基板上的正投影，与对应的第一正常数据线 Data1 在衬底基板上的正投影至少部分交叠。

第二列正常像素包括的正常驱动电路在衬底基板上的正投影，与对应的第二正常数据线 Data2 在衬底基板上的正投影至少部分交叠。

第三列虚拟像素包括的虚拟驱动电路在衬底基板上的正投影，分别与对应的第三虚拟数据线 Data33 在衬底基板上的正投影，第一条第二线段 FIAA31 在衬底基板上的正投影，以及第一条第二线段 FIAA32 在衬底基板上的正投影至少部分交叠。

示例性的，本公开实施例提供的 2 压 1 方案中，第二线段 32 在衬底基板上的正投影，与虚拟驱动电路在衬底基板上的正投影至少部分交叠。

示例性的，所述多个第一虚拟驱动电路位于所述透光显示区 1 的附近，所述多个第二虚拟驱动电路分布在正常显示区 2 内。

示例性的，所述第一虚拟驱动电路通过连接线与位于透光显示区 1 的发光器件耦接，所述连接线包括沿所述第一方向延伸的至少部分，所述连接线包括透明连接线，可以采用氧化铟锡（ITO）制作，但不仅限于此。

示例性的，至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与两条第二线段 32 在所述衬底基板上的正投影部分交叠；或者至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与四条第二线段 32 在所述衬底基板上的正投影部分交叠。上述设置每间隔两列正常驱动电路列即布局一列虚拟驱动电路列 220；或者，每间隔四列正常驱动电路列即布局一列虚拟驱动电路列 220；使得透光显示区 1 的附近具有较多的虚拟驱动电路，相应的透光显示区 1 的附近可选用的第一虚拟驱动电路较多，避免了选用距离透光显示区 1 较远的虚拟驱动电路作为第一虚拟驱动电路，能够缩短所述透光显示区 1 内的发光器件与其对应耦接的虚拟驱动电路 22 之间的距离，从而缩短了所述连接线的长度，降低了连接线产生的电容，缩小了与正常显示区 2 的差异，减小了透光显示区 1 和正常显示区 2 的显示亮度差异，消除了视觉上屏下显示区的边界，提高了显示基板的显示亮度均一性。

如图 7 至图 13, 图 28 所示, 在一些实施例中, 所述显示基板包括多条电源线 VDD 和多条正常数据线 DA;

如图 7 和图 13 所示, 至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影, 与所述电源线 VDD 在所述衬底基板上的正投影不交叠; 和/或, 如图 13 所示, 与所述正常数据线 DA 在所述衬底基板上的正投影不交叠。

需要说明, 图 11 中示意了第一导电连接图形 601, 第二导电连接图形 602, 第三导电连接图形 603 和第四导电连接图形 604。第一导电连接图形 601 用于连接数据写入晶体管 T4 的第一极和对应的正常数据线 DA (或者对应的虚拟数据线 DA')。第二导电连接图形 602 和第三导电连接图形 603 用于连接对应的第二段 32 和第一段 31。第四导电连接图形 604 用于连接发光控制晶体管 T6 的输出端和对应的发光器件的阳极。

示例性的, 所述多条电源线 VDD 沿所述第一方向排列, 所述电源线 VDD 包括沿所述第二方向延伸的至少部分。所述多条正常数据线 DA 沿所述第一方向排列, 所述正常数据线 DA 包括沿所述第二方向延伸的至少部分。

至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影, 与所述电源线 VDD 在所述衬底基板上的正投影不交叠, 和/或, 与所述数据线 DA 在所述衬底基板上的正投影不交叠。这部分所述第二虚拟驱动电路在所述衬底基板上的正投影与至少一条第二段 32 在所述衬底基板上的正投影至少部分交叠。这种设置方式能够降低所述第二段 32 与电源线 VDD 和/后数据线 DA 之间形成的寄生电容, 降低了数据引线 3 自身的 loading, 以及正常驱动电路 21 的 loading, 改善显示产品的显示画质, 降低 mura 风险, 提升了显示产品的竞争力。

如图 7, 图 12 和图 13, 图 28 所示, 在一些实施例中, 所述显示基板还包括多条虚拟数据线 DA', 与所述虚拟驱动电路耦接;

设置至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影, 与三条或四条第二段 32 在所述衬底基板上的正投影部分交叠; 至少部分所述虚拟数据线 DA' 复用为所述第二段 32。

上述设置方式使得一个第二虚拟驱动电路能够与较多的第二段 32 交叠, 这样有利于将更多的第二段 32 与位于中间区域的第二虚拟驱动电路交

叠，将更多的第二线段 32 集中在显示基板中间区域，使第二线段 32 在中间区域附近沿第二方向向下延伸至显示基板的下边框。

如图 14 至图 18 所示，在一些实施例中，所述多个正常驱动电路 21 和所述多个虚拟驱动电路 22 划分为多行驱动电路行；所述多行驱动电路行包括多行第一驱动电路行和多行第二驱动电路行；

所述第一线段 31 在所述衬底基板上的正投影与对应的第一驱动电路行在所述衬底基板上的正投影部分交叠；

所述显示基板还包括多条第一补偿线 40；所述第一补偿线 40 包括沿所述第一方向延伸的至少部分；所述第一补偿线 40 与所述第一线段 31 同层同材料设置；一部分所述第一补偿线 40 在所述衬底基板上的正投影与对应的第二驱动电路行在所述衬底基板上的正投影至少部分交叠。另一部分所述第一补偿线 40 与所述第一线段 31 沿所述第一方向排列。

示例性的，所述第一线段 31 在所述衬底基板上的正投影与对应的第一驱动电路行在所述衬底基板上的正投影至少部分交叠，所述第一线段 31 在所述衬底基板上的正投影与第二驱动电路行在所述衬底基板上的正投影不交叠。

示例性的，所述显示基板中包括的多条数据引线 3 可以大致分为两部分，这两部分呈对称设置，一部分靠近所述显示基板的左边框，另一部分靠近所述显示基板的右边框，所述多条数据引线 3 能够从显示基板左边框和右边框延伸至显示基板的中间区域附近，并在中间区域附近向下延伸至显示基板的下边框。

示例性的，所述第一补偿线 40 在所述衬底基板上的正投影与对应的第二驱动电路行在所述衬底基板上的正投影至少部分交叠，所述第一补偿线 40 在所述衬底基板上的正投影与至少部分第一驱动电路行在所述衬底基板上的正投影部分交叠。

示例性的，一部分第二驱动电路行位于第一驱动电路行与所述显示基板的下边框之间，另一部分第二驱动电路行位于第一驱动电路行与所述显示基板的上边框之间。

所述显示基板中包括的所述第一补偿线 40 和所述第一线段 31 能够均匀分布于整个正常显示区 2，有利于提升显示基板的均一性。

如图 14 至图 18 所示，在一些实施例中，所述显示基板还包括多条第二初始化信号线 Vinit2 和多条发光控制线 EM；

所述第一线段 31 在所述衬底基板上的正投影，位于其对应的第一驱动电路行耦接的所述第二初始化信号线 Vinit2 在所述衬底基板上的正投影，以及其对应的第一驱动电路行耦接的所述发光控制线 EM 在所述衬底基板上的正投影之间；和/或，一部分所述第一补偿线 40 在所述衬底基板上的正投影，位于其对应的第二驱动电路行耦接的所述第二初始化信号线 Vinit2 在所述衬底基板上的正投影，以及其对应的第二驱动电路行耦接的所述发光控制线 EM 在所述衬底基板上的正投影之间。

示例性的，所述第二初始化信号线 Vinit2 和所述发光控制线 EM 均包括沿所述第一方向延伸的至少部分。

由于第一驱动电路行耦接的所述第二初始化信号线 Vinit2 在所述衬底基板上的正投影，和第一驱动电路行耦接的所述发光控制线 EM 在所述衬底基板上的正投影之间可以利用的布局空间充足，上述设置方式有利于降低所述第一线段 31 和所述第一补偿线 40 与其他导电结构产生的寄生电容，从而很好的提升了显示基板的显示质量。

在一些实施例中，设置所述第一补偿线 40 与所述显示基板中的电源线 VDD 耦接。

更详细地说，如图 14，图 18 和图 19 所示，所述第一补偿线 40 与第五导电连接图形 42 耦接，第五导电连接图形 42 在衬底基板上的正投影与电源线 VDD 在衬底基板上的正投影至少部分交叠，第五导电连接图形 42 与电源线 VDD 在交叠处通过过孔耦接。

所述电源线 VDD 用于传输具有稳定电位的电源信号。上述设置所述第一补偿线 40 与所述显示基板中的电源线 VDD 耦接，使得所述第一补偿线 40 在提升显示基板均一性的同时，不会处于浮空状态，有利于提升所述显示基板工作的稳定性。

如图 20 所示，在一些实施例中，所述显示基板还包括多条第二补偿线 41；所述第二补偿线 41 包括沿所述第二方向延伸的至少部分；所述第二补偿线 41 与所述第二线段 32 同层同材料设置；一部分所述第二补偿线 41 在所述

衬底基板上的正投影与对应的正常驱动电路列在所述衬底基板上的正投影至少部分交叠。另一部分所述第二补偿线 41 与所述第二线段 32 沿所述第二方向排列。

上述设置所述显示基板还包括所述第二补偿线 41，使得所述第二补偿线 41 能够与所述第二线段 32 均匀分布于整个正常显示区 2，有利于提升显示基板的均一性。

如图 18，图 19，图 22，图 27，图 28 和图 30 所示，在一些实施例中，所述显示基板包括沿远离所述衬底基板的方向依次层叠设置的第一源漏金属层 SD1，第一平坦层 PLN1 和第二源漏金属层 SD2；

所述第一线段 31 采用所述第一源漏金属层 SD1 制作，所述第二线段 32 采用所述第二源漏金属层 SD2 制作。

示例性的，所述显示基板包括沿远离所述衬底基板的方向依次层叠设置的有源层，第一栅极绝缘层，第一栅金属层，第二栅极绝缘层，第二栅金属层，层间绝缘层，第一源漏金属层 SD1，钝化层 PVX，第一平坦层 PLN1，第二源漏金属层 SD2，第二平坦层 PLN2，阳极层，像素界定层，发光功能层，阴极层和封装层。

示例性的，如图 28 所示，所述正常数据线 DA 和所述虚拟数据线 DA' 采用所述第二源漏金属层 SD2 制作。所述显示基板中包括的电源线 VDD 采用所述第二源漏金属层 SD2 制作。

上述设置所述第一线段 31 采用所述第一源漏金属层 SD1 制作，使得所述第一线段 31 能够与显示基板中采用第一源漏金属层 SD1 制作的其它导电结构在同一次构图工艺中同时形成，从而避免为了制作所述第一线段 31 而增加额外的构图工艺，有效简化了显示基板的制作工艺流程，降低了显示基板的制作成本。

上述设置所述第二线段 32 采用所述第二源漏金属层 SD2 制作，使得所述第二线段 32 能够与显示基板中采用第二源漏金属层 SD2 制作的其它导电结构在同一次构图工艺中同时形成，从而避免为了制作所述第二线段 32 而增加额外的构图工艺，有效简化了显示基板的制作工艺流程，降低了显示基板的制作成本。

如图 6 所示, 在一些实施例中, 所述显示基板包括沿远离所述衬底基板的方向依次层叠设置的第一源漏金属层 SD1, 钝化层 PVX, 中间源漏金属层 SDM, 第一平坦层 PLN1 和第二源漏金属层 SD2。

图 6 中还示意了位于钝化层 PVX 下方的下方膜层 50。

示例性的, 所述显示基板包括沿远离所述衬底基板的方向依次层叠设置的有源层, 第一栅极绝缘层, 第一栅金属层, 第二栅极绝缘层, 第二栅金属层, 层间绝缘层, 第一源漏金属层 SD1, 钝化层 PVX, 中间源漏金属层 SDM, 第一平坦层 PLN1, 第二源漏金属层 SD2, 第二平坦层 PLN2, 阳极层, 像素界定层, 发光功能层, 阴极层和封装层。

示例性的, 如图 19 和图 20 所示, 所述正常数据线 DA 采用所述第二源漏金属层 SD2 制作。所述显示基板中包括的电源线 VDD 采用所述中间源漏金属层 SDM 制作。

由于高性能窄边框的显示基板的布局空间有限, 现有的膜层可能无法实现布局, 因此可以在显示基板中增加一层中间源漏金属层 SDM, 用于布局一些导电结构。上述将所述中间源漏金属层 SDM 布局在所述钝化层 PVX 和所述第一平坦层 PLN1 之间, 能够实现在不增加额外的绝缘层的情况下, 很好的避免中间源漏金属层 SDM 与相邻的其它导电膜层之间短路。因此, 仅需要增加一次 mask 工艺即可实现在显示基板中引入中间源漏金属层 SDM, 并保证所述中间源漏金属层 SDM 制作的导电结构的信赖性, 有效节约了显示基板的制作成本。

如图 18, 图 19, 图 20 和图 22 所示, 在一些实施例中, 所述第一线段 31 采用所述第一源漏金属层 SD1 制作, 所述第二线段 32 采用所述第二源漏金属层 SD2 制作, 所述第一导电连接部 33 和所述第二导电连接部 34 均采用中间源漏金属层 SDM 制作。

上述设置所述第一线段 31 采用所述第一源漏金属层 SD1 制作, 使得所述第一线段 31 能够与显示基板中采用第一源漏金属层 SD1 制作的其它导电结构在同一次构图工艺中同时形成, 从而避免为了制作所述第一线段 31 而增加额外的构图工艺, 有效简化了显示基板的制作工艺流程, 降低了显示基板的制作成本。

上述设置所述第二线段 32 采用所述第二源漏金属层 SD2 制作,使得所述第二线段 32 能够与显示基板中采用第二源漏金属层 SD2 制作的其它导电结构在同一次构图工艺中同时形成,从而避免为了制作所述第二线段 32 而增加额外的构图工艺,有效简化了显示基板的制作工艺流程,降低了显示基板的制作成本。

上述设置所述第一导电连接部 33 和所述第二导电连接部 34 均采用中间源漏金属层 SDM 制作,能够有效避免所述第一导电连接部 33 和所述第二导电连接部 34 与显示基板中的其它导电结构发生短路,不仅降低了显示基板的布局难度,还提升了显示基板的信赖性。

本公开实施例还提供了一种显示装置,包括上述实施例提供的显示基板,所述显示装置还包括封装层和驱动芯片,所述驱动芯片与所述显示基板耦接,所述封装层覆盖所述显示基板。

需要说明的是,所述显示装置可以为:电视、显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件,其中,所述显示装置还包括柔性电路板、印刷电路板和背板等。

上述实施例提供的显示基板中,通过设置所述数据引线 3 的第一端与对应的正常数据线 DA 相耦接,所述数据引线 3 的第二端与数据信号输入端耦接,能够使得所述数据引线 3 从正常显示区 2 域的中间区域附近向下延伸至显示产品的下边框,与下边框的数据信号输入端耦接,从而实现为正常数据线 DA 提供数据信号。这样即使显示基板应用于窄边框显示产品中,数据引线 3 也能够很好的在下边框实现布局。

另外,本公开实施例提供的显示基板中,通过设置所述数据引线 3 在所述衬底基板上的正投影,与所述虚拟驱动电路 22 在所述衬底基板上的正投影至少部分交叠,使得所述数据引线 3 的至少部分能够位于所述虚拟驱动电路 22 的布局区域内,使数据引线 3 产生的 loading 大部分分布于所述虚拟驱动电路 22 的布局区域内,使数据引线 3 不会对正常驱动电路 21 所属的正常子像素产生较大的寄生电容,从而有效降低了所述数据引线 3 对所述正常驱动电路 21 产生的影响,更好的实现了正常子像素的功能,实现了更加优良的显示效果。

而且，上述实施例提供的显示基板中，至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与两条第二线段 32 在所述衬底基板上的正投影部分交叠；或者至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与四条第二线段 32 在所述衬底基板上的正投影部分交叠。上述设置每间隔两列正常驱动电路列即布局一列虚拟驱动电路列 220；或者，每间隔四列正常驱动电路列即布局一列虚拟驱动电路列 220；使得透光显示区 1 的附近具有较多的虚拟驱动电路，相应的透光显示区 1 的附近可选用的第一虚拟驱动电路较多，避免了选用距离透光显示区 1 较远的虚拟驱动电路作为第一虚拟驱动电路，能够缩短所述透光显示区 1 内的发光器件与其对应耦接的虚拟驱动电路 22 之间的距离，从而缩短了所述连接线的长度，降低了连接线产生的电容，缩小了与正常显示区 2 的差异，减小了透光显示区 1 和正常显示区 2 的显示亮度差异，消除了视觉上屏下显示区的边界，提高了显示基板的显示亮度均一性。

本公开实施例提供的显示装置在包括上述显示基板时，同样具有上述有益效果，此处不再赘述。

需要说明，信号线沿 X 方向延伸是指：信号线包括主要部分和与所述主要部分连接的次要部分，所述主要部分是线、线段或条形状体，所述主要部分沿 X 方向延展，且所述主要部分沿 X 方向延展的长度大于次要部分沿其它方向伸展的长度。

需要说明的是，本公开实施例的“同层”可以指的是处于相同结构层上的膜层。或者例如，处于同层的膜层可以是采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺对该膜层图案化所形成的层结构。根据特定图形的不同，一次构图工艺可能包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形可以是连续的也可以是不连续的。这些特定图形还可能处于不同的高度或者具有不同的厚度。

在本公开各方法实施例中，所述各步骤的序号并不能用于限定各步骤的先后顺序，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，对各步骤的先后变化也在本公开的保护范围之内。

需要说明，本说明书中的各个实施例均采用递进的方式描述，各个实施

例之间相同相似的部分互相参见即可，每个实施例重点说明的都是与其他实施例的不同之处。尤其，对于方法实施例而言，由于其基本相似于产品实施例，所以描述得比较简单，相关之处参见产品实施例的部分说明即可。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”、“耦接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

在上述实施方式的描述中，具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权利要求书

1、一种显示基板，包括衬底基板以及位于所述衬底基板上的驱动电路层、发光器件层；

所述显示基板包括透光显示区和正常显示区，所述正常显示区至少部分包围所述透光显示区；所述正常显示区包括多个正常驱动电路和多个虚拟驱动电路；部分所述虚拟驱动电路用于驱动位于透光显示区的发光器件；

所述显示基板还包括：

多条正常数据线，与所述正常驱动电路耦接；其中至少一条所述正常数据线通过数据引线与所述数据信号输入端耦接；至少部分所述数据引线在所述衬底基板上的正投影，与所述虚拟驱动电路在所述衬底基板上的正投影至少部分交叠。

2、根据权利要求1所述的显示基板，其中，所述数据引线包括相耦接的第一线段和第二线段，所述第一线段包括沿第一方向延伸的至少部分，所述第二线段包括沿第二方向延伸的至少部分，所述第一方向与所述第二方向相交；

所述多个虚拟驱动电路划分为多列虚拟驱动电路列，每列虚拟驱动电路列包括沿所述第二方向排列的多个所述虚拟驱动电路；

所述第一线段与正常数据线相耦接，所述第二线段与所述数据信号输入端耦接；所述第二线段在所述衬底基板上的正投影，与对应的一列虚拟驱动电路列中包括的至少部分虚拟驱动电路在所述衬底基板上的正投影至少部分交叠。

3、根据权利要求2所述的显示基板，其中，所述数据引线还包括第一导电连接部和第二导电连接部；

所述第一导电连接部分别与所述第一线段和正常数据线相耦接；

所述第二导电连接部分别与所述第一线段和所述第二线段耦接。

4、根据权利要求3所述的显示基板，其中，所述第一导电连接部和所述第二导电连接部均与所述第一线段形成为一体结构。

5、根据权利要求3所述的显示基板，其中，所述正常驱动电路包括驱动晶体管；所述第一导电连接部包括沿所述第二方向延伸的至少部分，所述第

一导电连接部在所述衬底基板上的正投影与所述驱动晶体管的栅极在所述衬底基板上的正投影沿所述第一方向排列；

所述第一线段耦接的第一导电连接部和第二导电连接部均位于该第一线段沿第二方向的同一侧；或者，所述第一线段耦接的第一导电连接部和第二导电连接部分别位于该第一线段沿第二方向相对的两侧。

6、根据权利要求5所述的显示基板，其中，所述显示基板还包括栅线和发光控制线，所述第一导电连接部在所述衬底基板上的正投影，分别与所述栅线在所述衬底基板上的正投影，以及所述发光控制线在所述衬底基板上的正投影至少部分交叠。

7、根据权利要求5所述的显示基板，其中，所述显示基板还包括第一初始化信号线，所述第二导电连接部在所述衬底基板上的正投影与所述第一初始化信号线在所述衬底基板上的正投影至少部分交叠。

8、根据权利要求5所述的显示基板，其中，所述显示基板还包括发光控制线，所述第二导电连接部在所述衬底基板上的正投影与所述发光控制线在所述衬底基板上的正投影至少部分交叠。

9、根据权利要求2~8中任一项所述的显示基板，其中，所述多个正常驱动电路划分为多列正常驱动电路列，每列正常驱动电路列包括沿所述第二方向排列的多个所述正常驱动电路；

所述多列正常驱动电路列划分为多组电路组，每组电路组包括至少两列正常驱动电路列；所述电路组与所述虚拟驱动电路列沿所述第一方向交替设置。

10、根据权利要求9所述的显示基板，其中，每组电路组包括两列正常驱动电路列或者四列正常驱动电路列。

11、根据权利要求2~8中任一项所述的显示基板，其中，所述多个虚拟驱动电路包括多个第一虚拟驱动电路和多个第二虚拟驱动电路，所述第一虚拟驱动电路通过连接线与位于透光显示区的发光器件耦接，用于驱动该发光器件；

至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与至少两条第二线段在所述衬底基板上的正投影部分交叠。

12、根据权利要求 11 所述的显示基板，其中，所述显示基板还包括多条电源线和多条正常数据线；

至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与所述电源线在所述衬底基板上的正投影不交叠。

13、根据权利要求 11 所述的显示基板，其中，所述显示基板还包括多条虚拟数据线，与所述虚拟驱动电路耦接；

至少部分所述第二虚拟驱动电路在所述衬底基板上的正投影，与三条或四条第二线段在所述衬底基板上的正投影部分交叠；至少部分所述虚拟数据线复用为所述第二线段。

14、根据权利要求 9 所述的显示基板，其中，所述多个正常驱动电路和所述多个虚拟驱动电路划分为多行驱动电路行；所述多行驱动电路行包括多行第一驱动电路行和多行第二驱动电路行；

所述第一线段在所述衬底基板上的正投影与对应的第一驱动电路行在所述衬底基板上的正投影部分交叠；

所述显示基板还包括多条第一补偿线；所述第一补偿线包括沿所述第一方向延伸的至少部分；所述第一补偿线与所述第一线段同层同材料设置；一部分所述第一补偿线在所述衬底基板上的正投影与对应的第二驱动电路行在所述衬底基板上的正投影至少部分交叠；另一部分所述第一补偿线与所述第一线段沿所述第一方向排列。

15、根据权利要求 14 所述的显示基板，其中，所述显示基板还包括多条第二初始化信号线和多条发光控制线；

所述第一线段在所述衬底基板上的正投影，位于其对应的第一驱动电路行耦接的所述第二初始化信号线在所述衬底基板上的正投影，以及其对应的第一驱动电路行耦接的所述发光控制线在所述衬底基板上的正投影之间；和/或，

一部分所述第一补偿线在所述衬底基板上的正投影，位于其对应的第二驱动电路行耦接的所述第二初始化信号线在所述衬底基板上的正投影，以及其对应的第二驱动电路行耦接的所述发光控制线在所述衬底基板上的正投影之间。

16、根据权利要求 14 所述的显示基板，其中，所述第一补偿线与所述显示基板中的电源线耦接。

17、根据权利要求 9 所述的显示基板，其中，

所述显示基板还包括多条第二补偿线；所述第二补偿线包括沿所述第二方向延伸的至少部分；所述第二补偿线与所述第二线段同层同材料设置；一部分所述第二补偿线在所述衬底基板上的正投影与对应的正常驱动电路列在所述衬底基板上的正投影至少部分交叠；另一部分所述第二补偿线与所述第二线段沿所述第二方向排列。

18、根据权利要求 4 所述的显示基板，其中，所述显示基板包括沿远离所述衬底基板的方向依次层叠设置的第一源漏金属层，第一平坦层和第二源漏金属层；

所述第一线段采用所述第一源漏金属层制作，所述第二线段采用所述第二源漏金属层制作。

19、根据权利要求 3 所述的显示基板，其中，所述显示基板包括沿远离所述衬底基板的方向依次层叠设置的第一源漏金属层，钝化层，中间源漏金属层，第一平坦层和第二源漏金属层；

所述第一线段采用所述第一源漏金属层制作，所述第二线段采用所述第二源漏金属层制作，所述第一导电连接部和所述第二导电连接部均采用中间源漏金属层制作。

20、一种显示装置，包括如权利要求 1~19 中任一项所述的显示基板，所述显示装置还包括封装层和驱动芯片，所述驱动芯片与所述显示基板耦接，所述封装层覆盖所述显示基板。

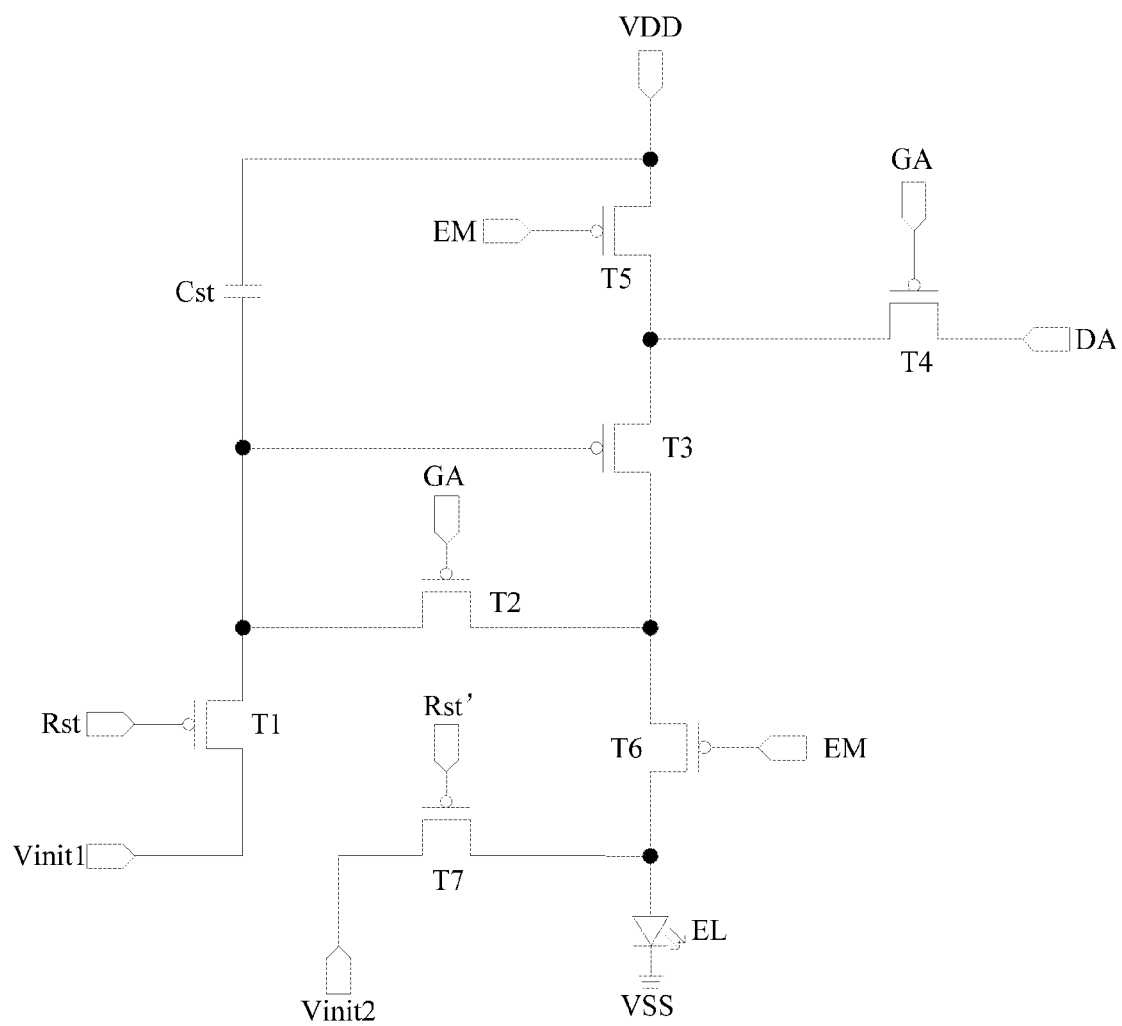


图 1

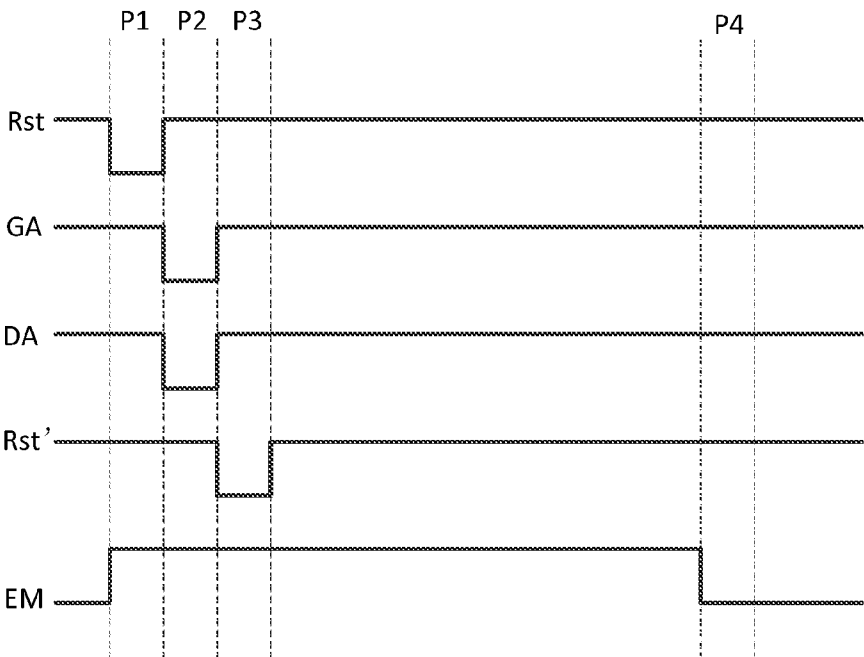


图 2

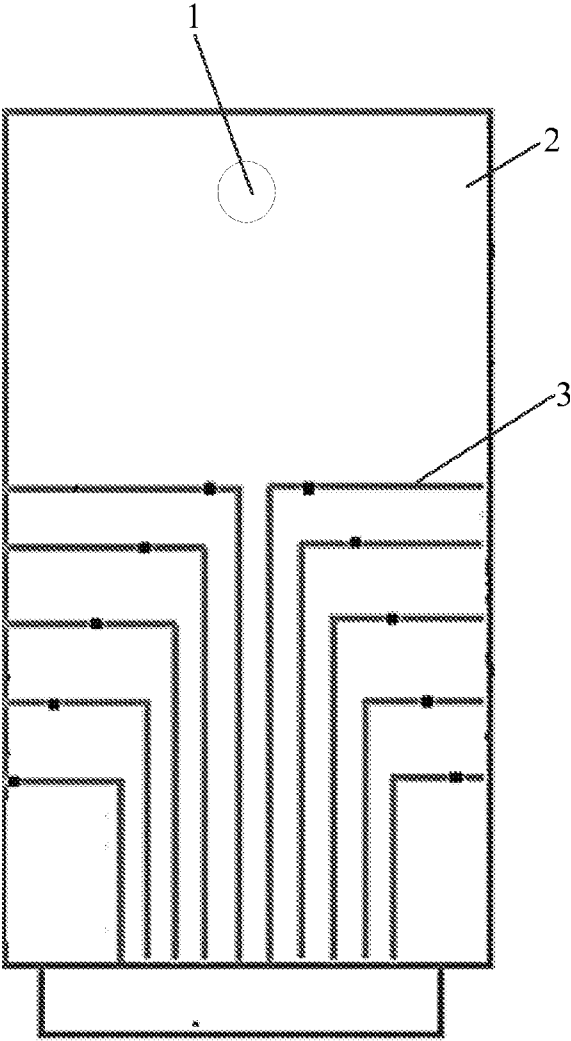


图 3

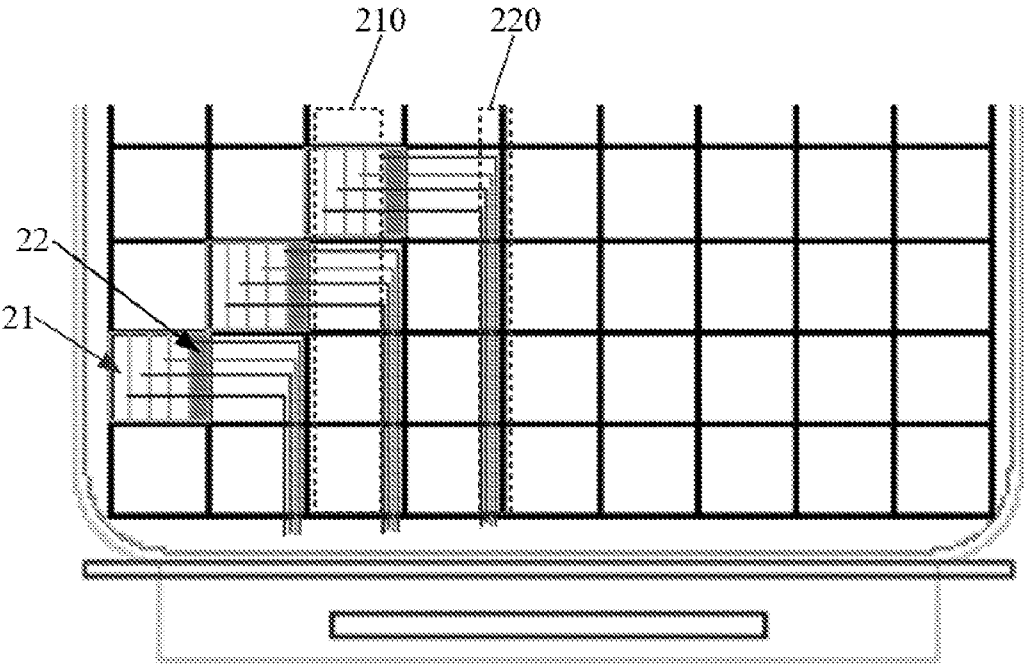


图 4

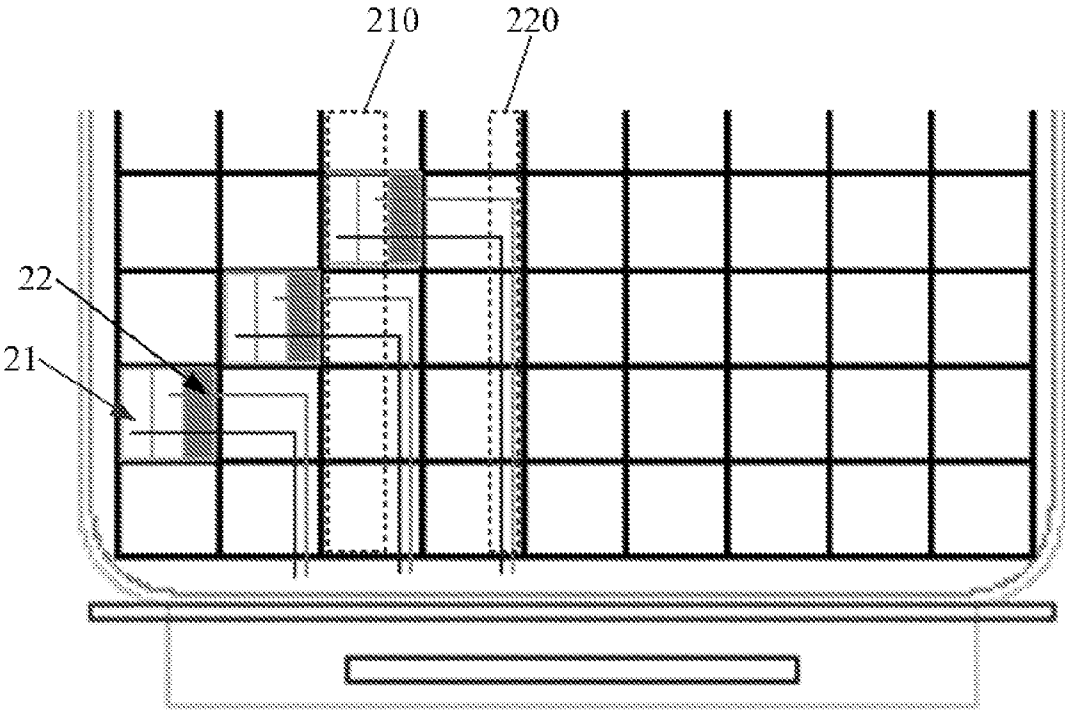


图 5

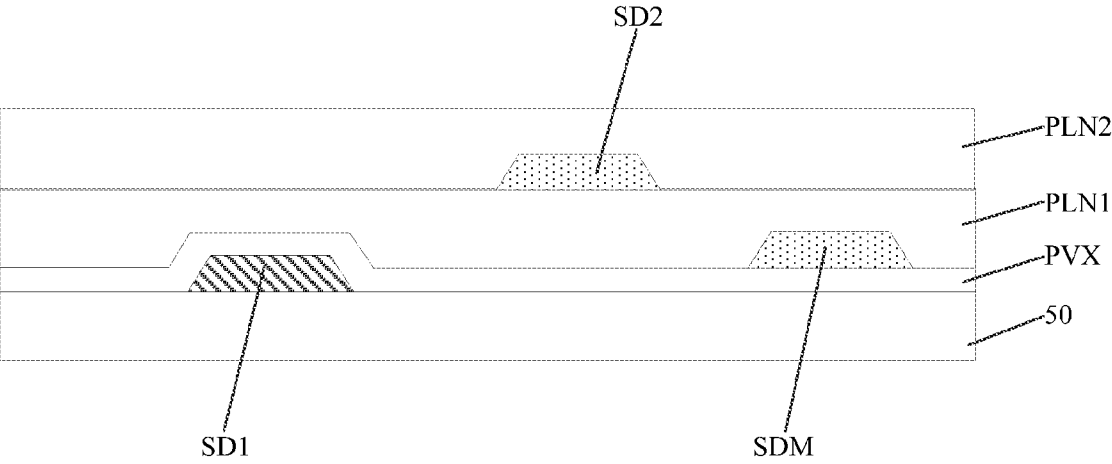


图 6

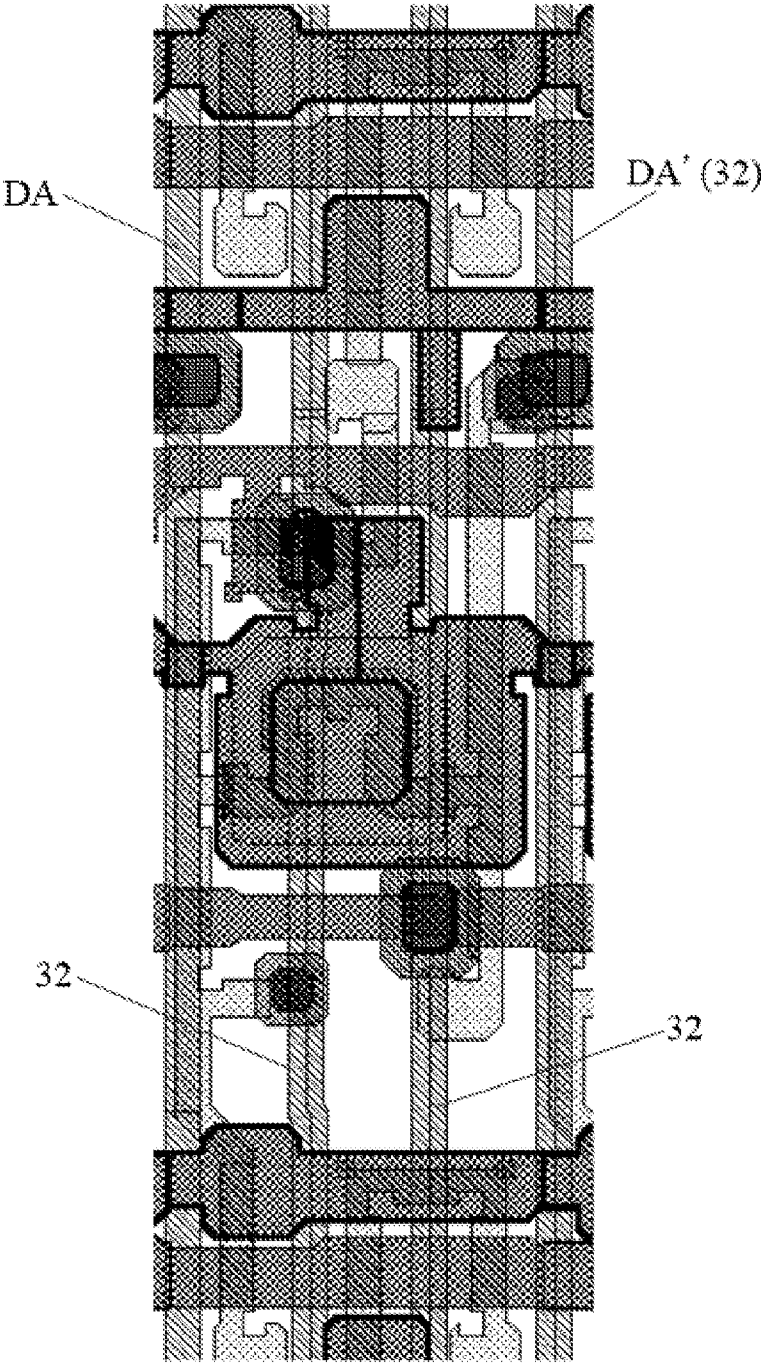


图 7

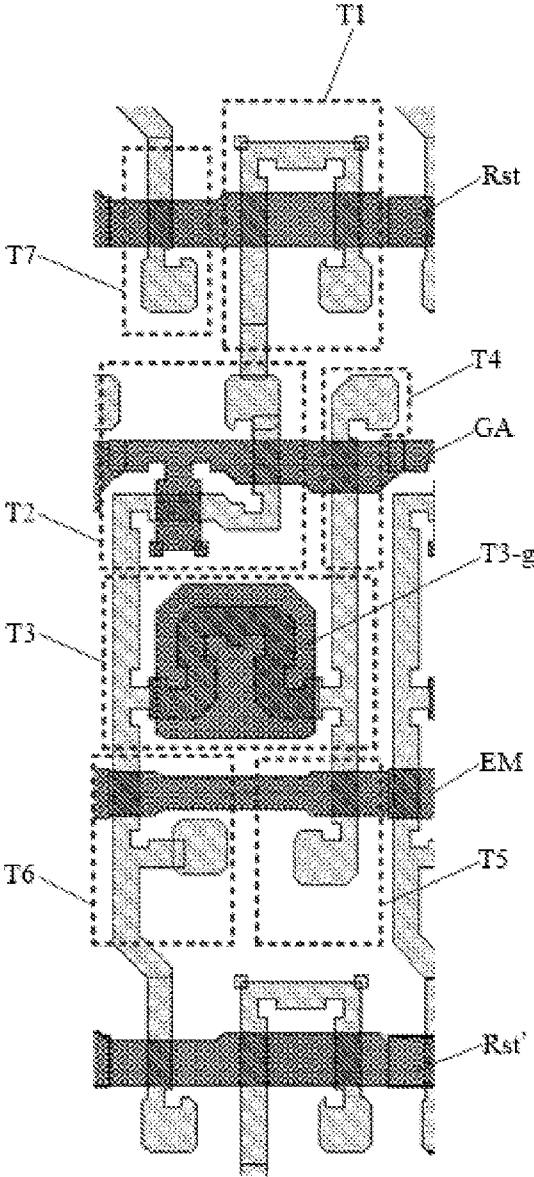


图 8

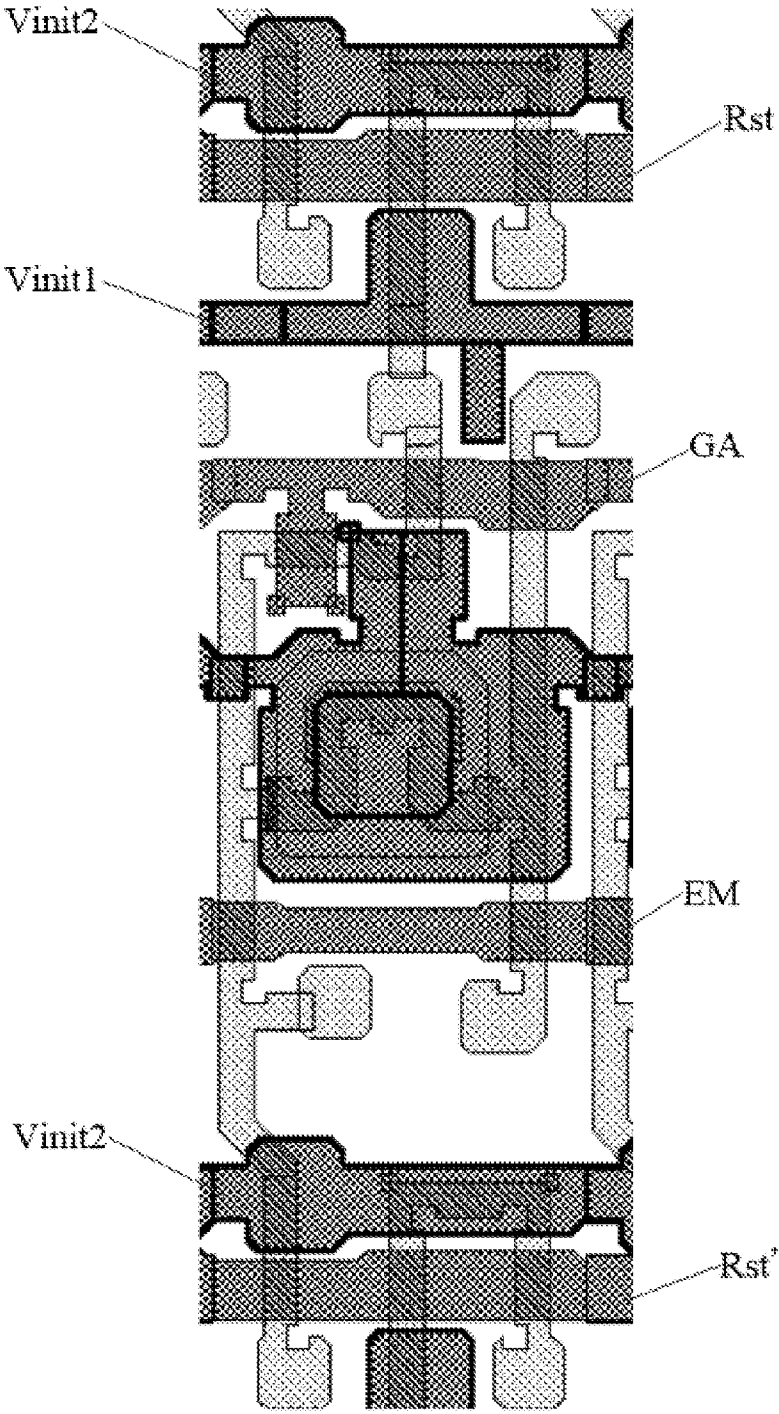


图 9

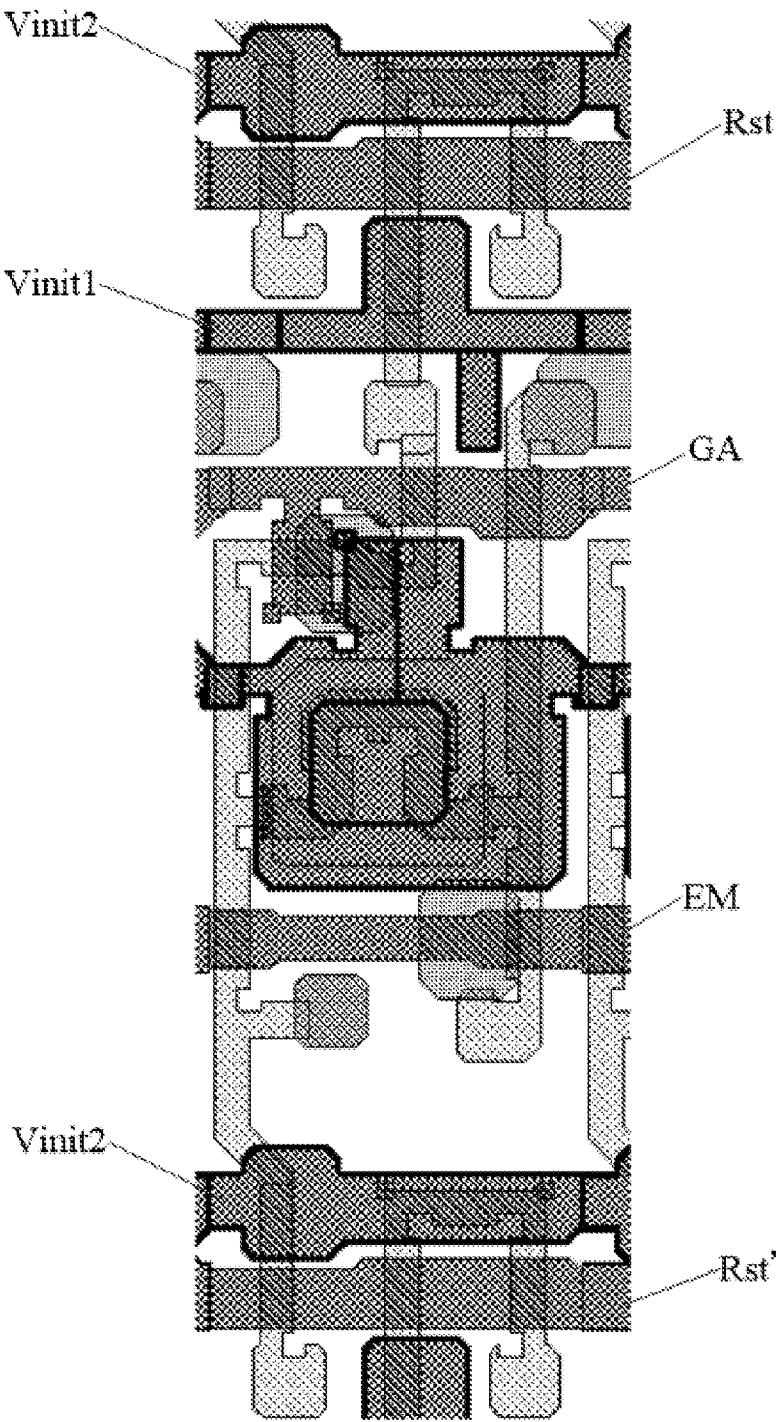


图 10

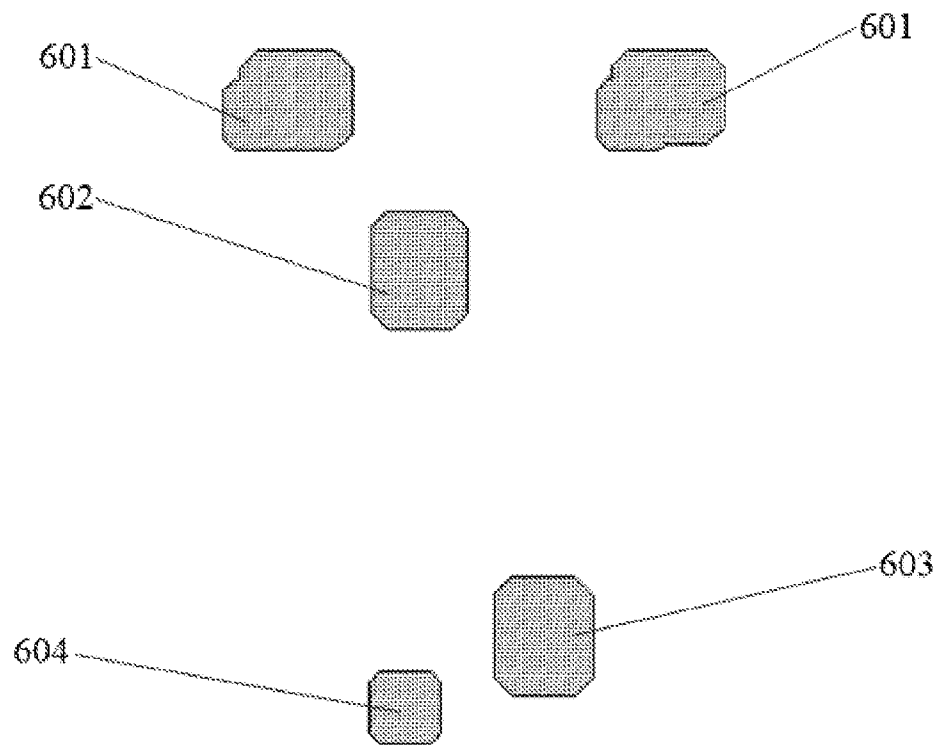


图 11

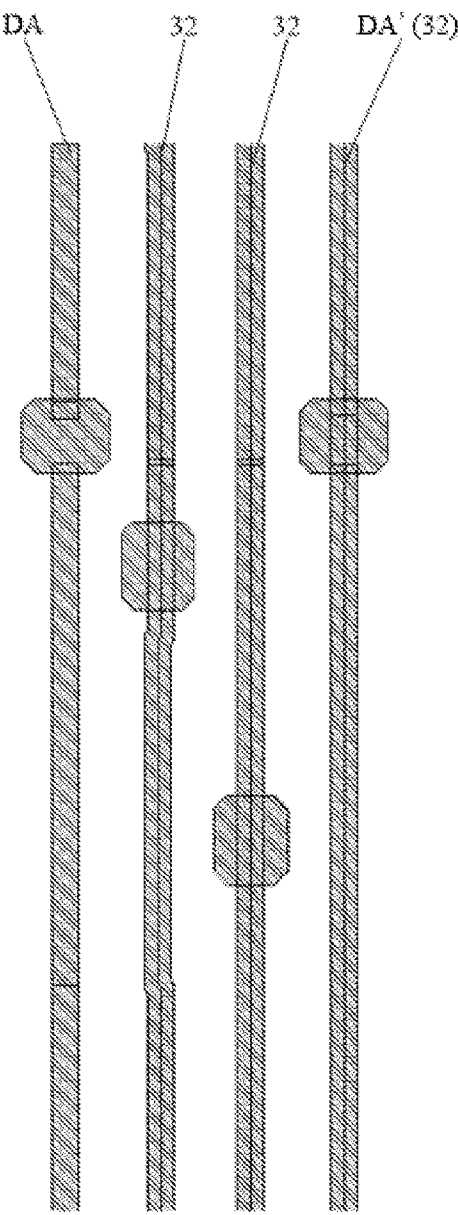


图 12

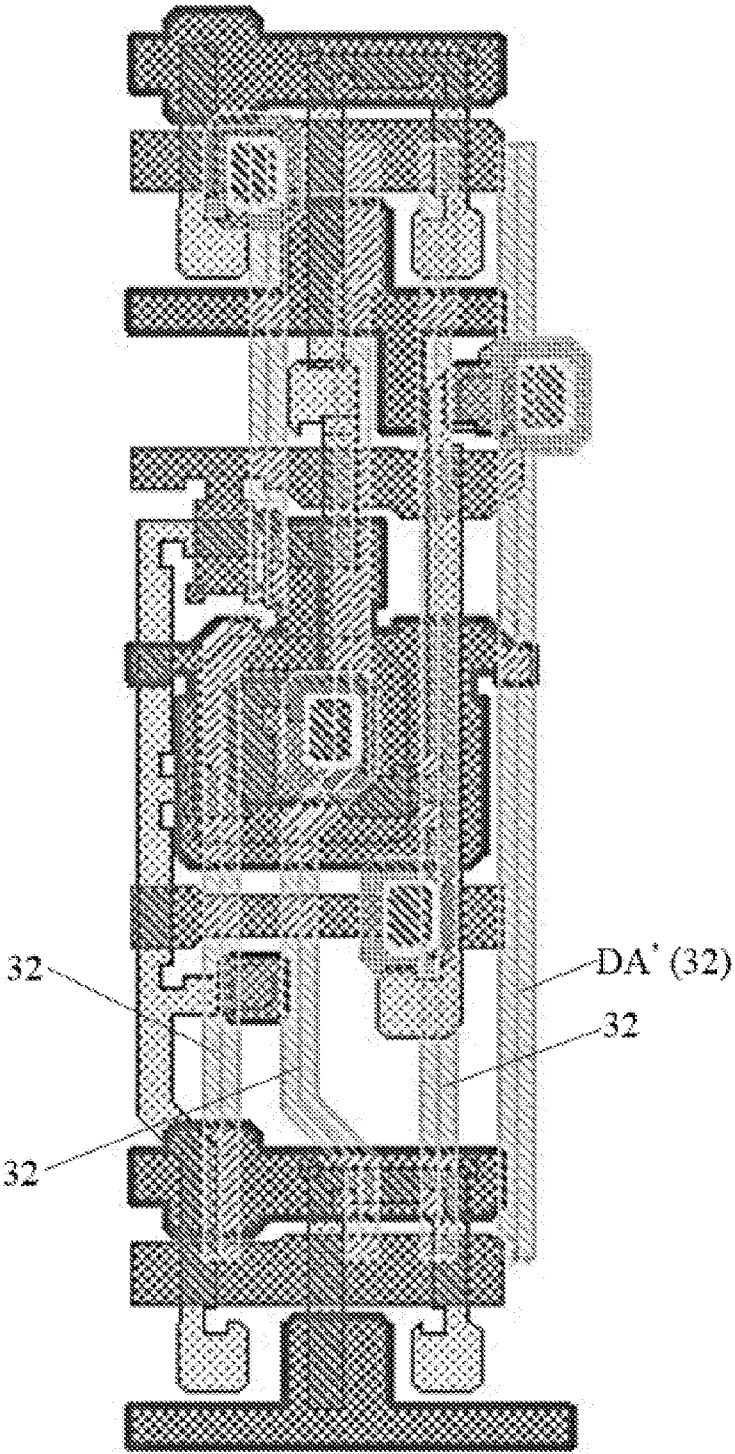


图 13

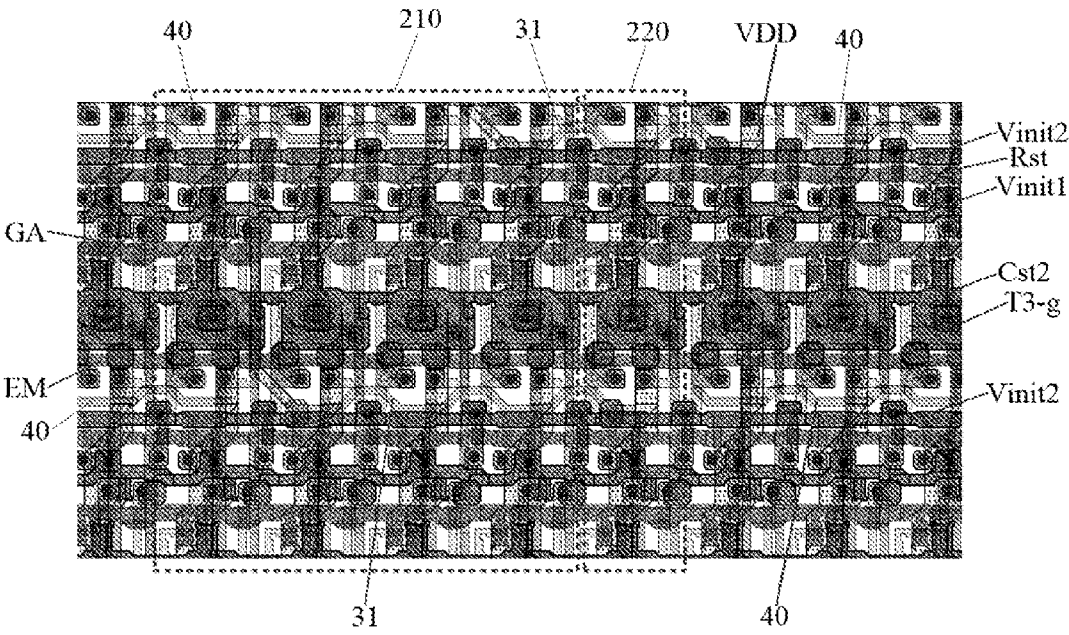


图 14

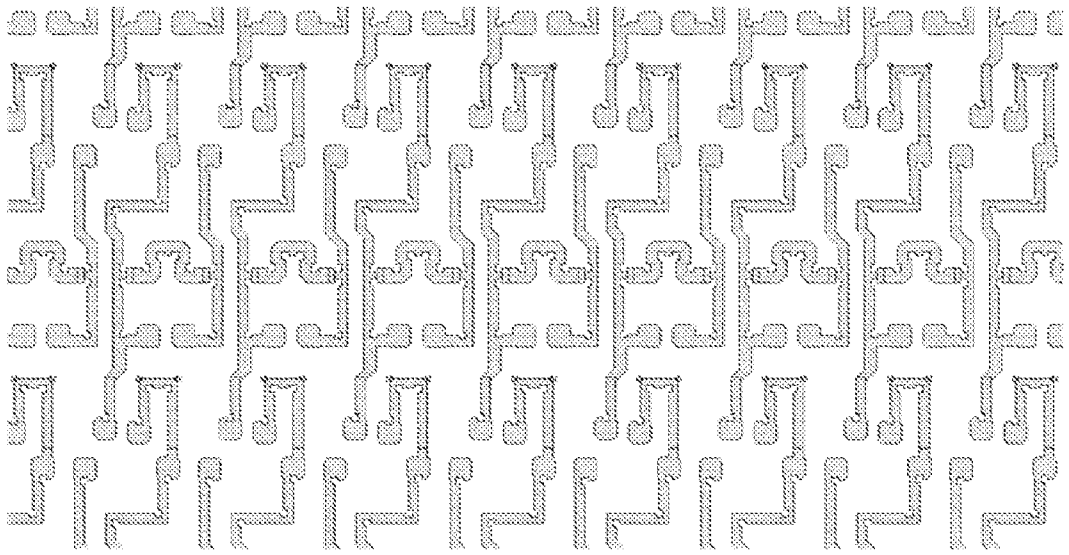


图 15

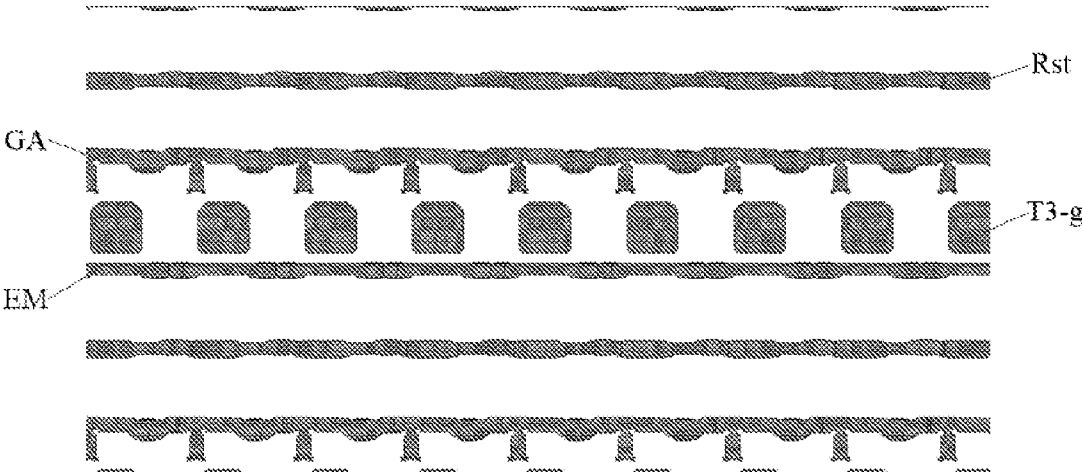


图 16

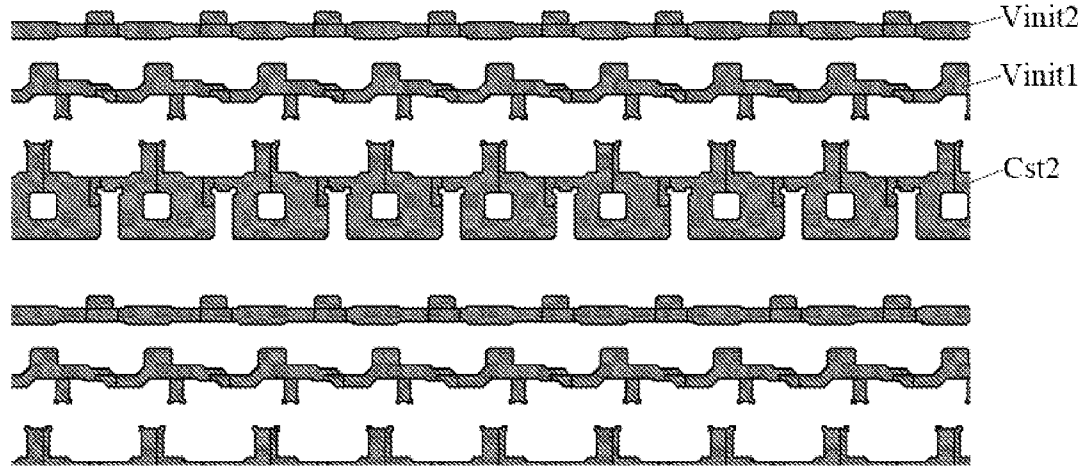


图 17

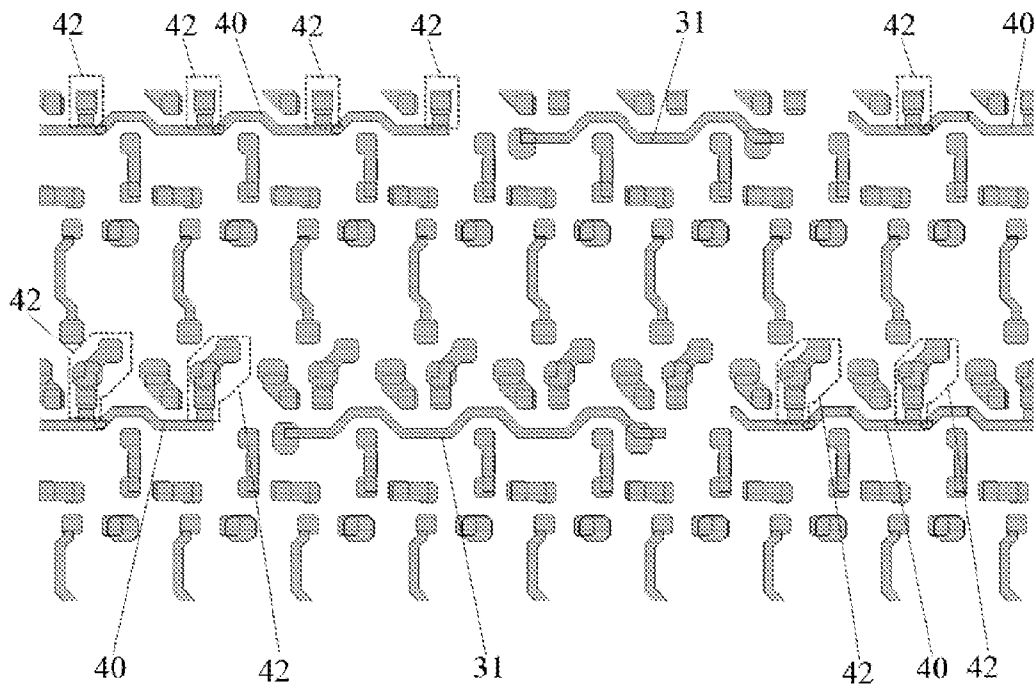


图 18

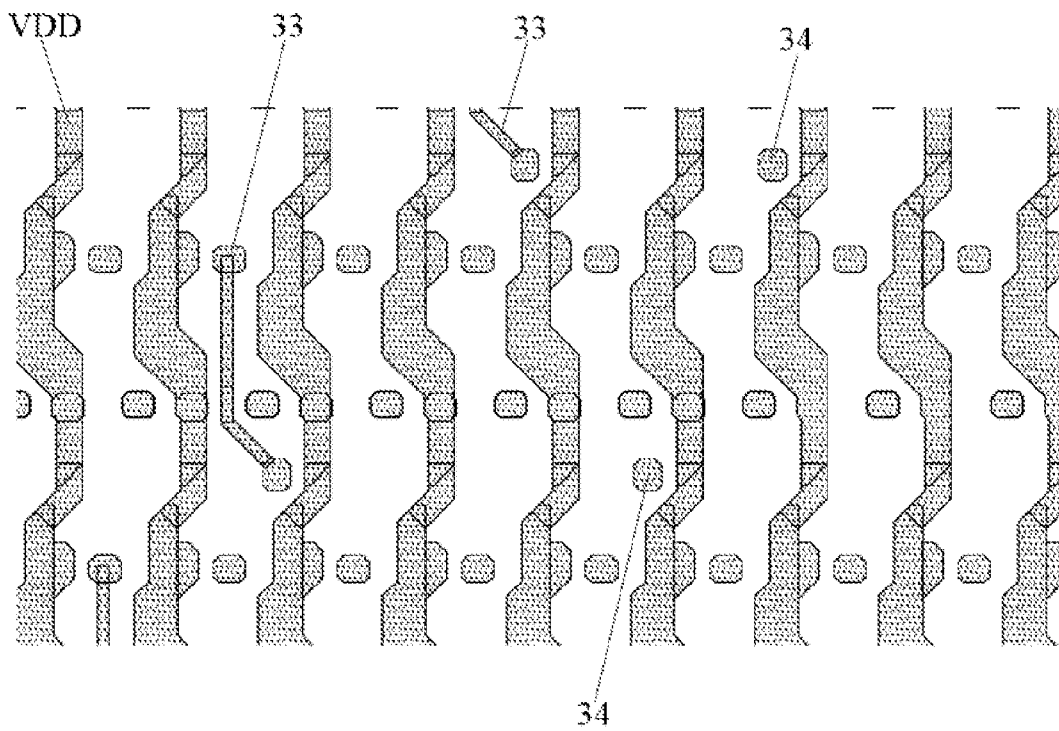


图 19

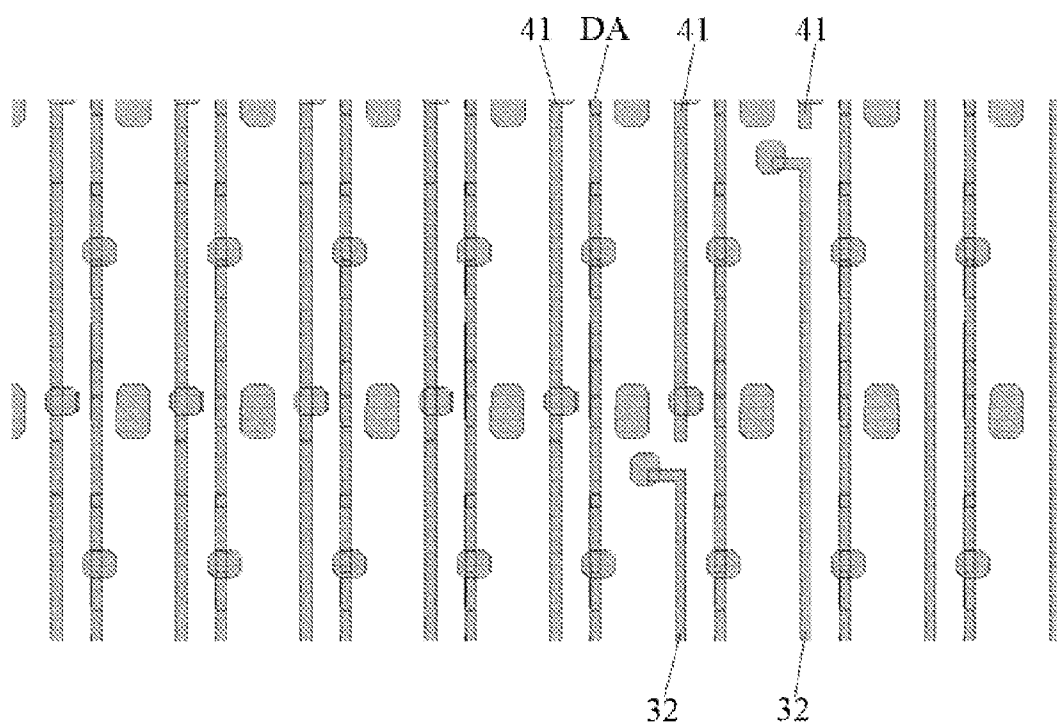


图 20

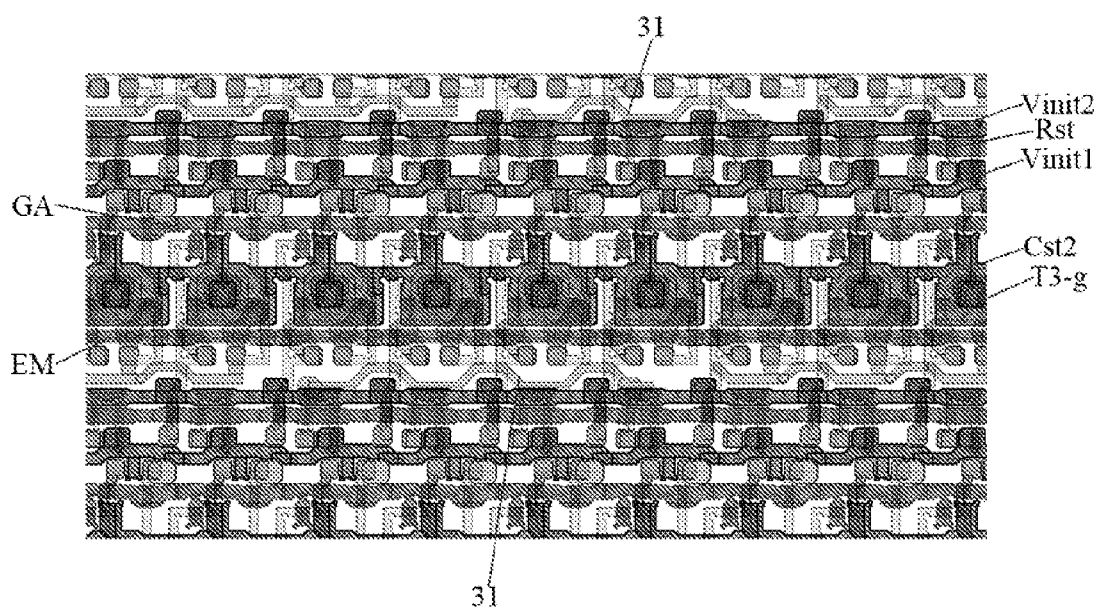


图 21

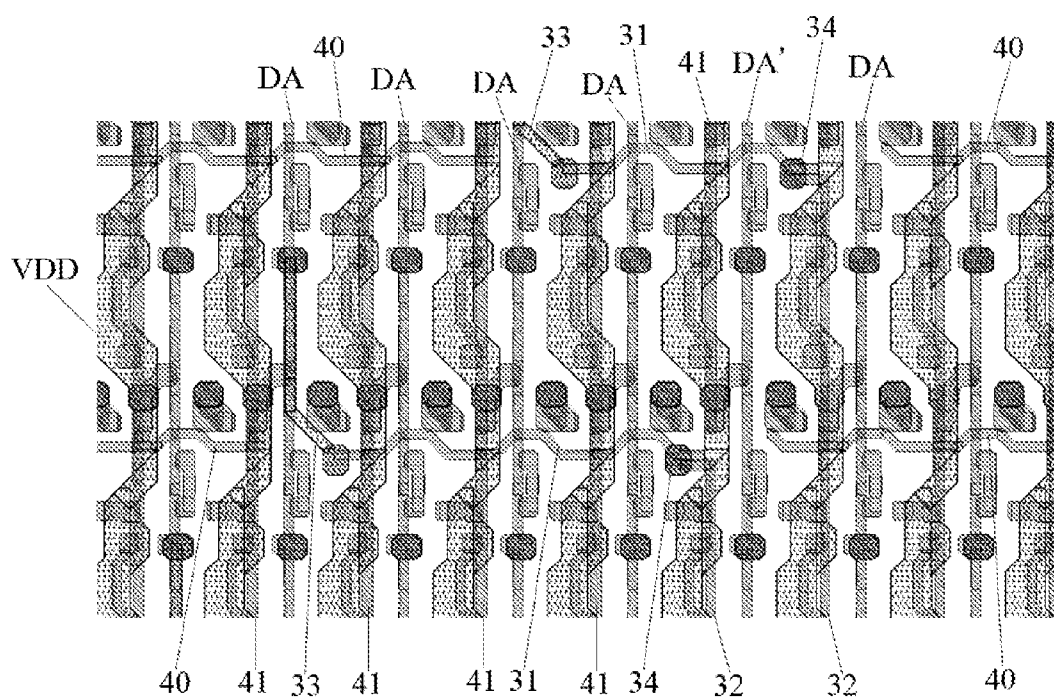


图 22

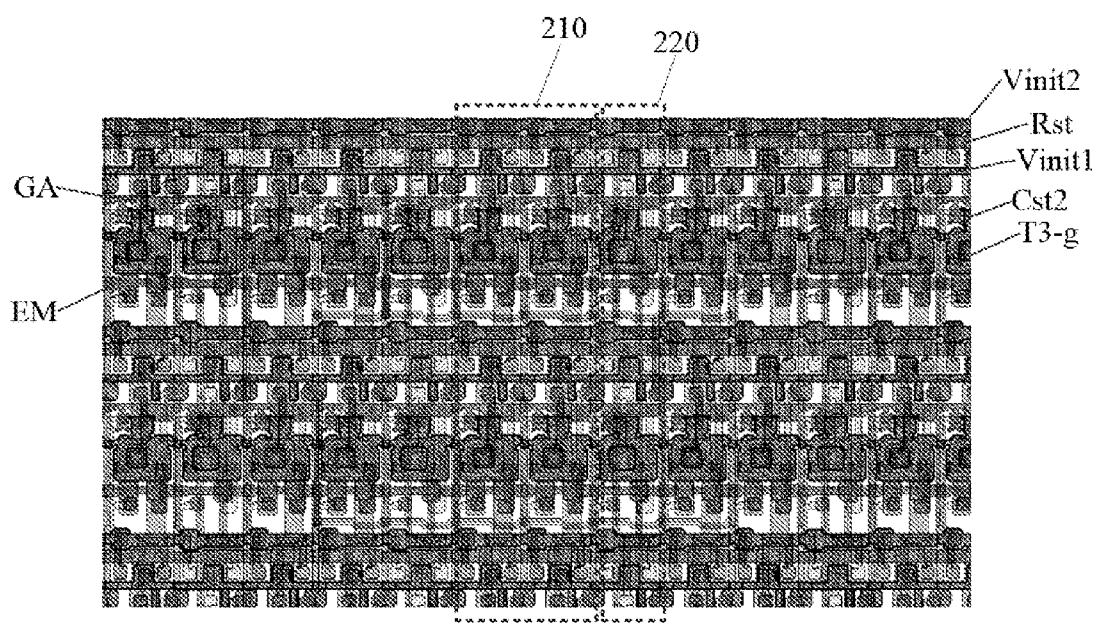


图 23

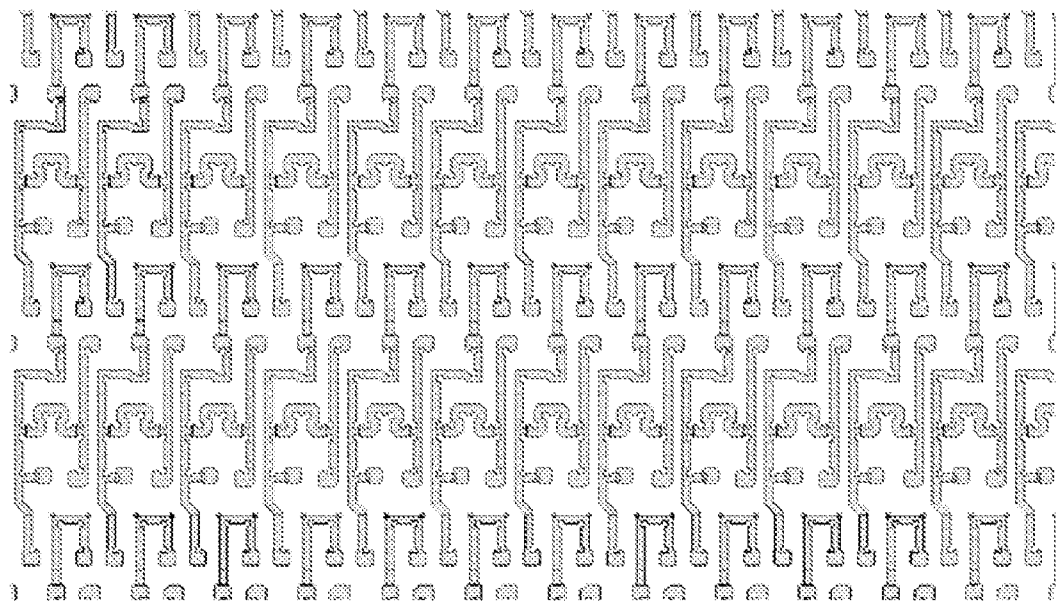


图 24

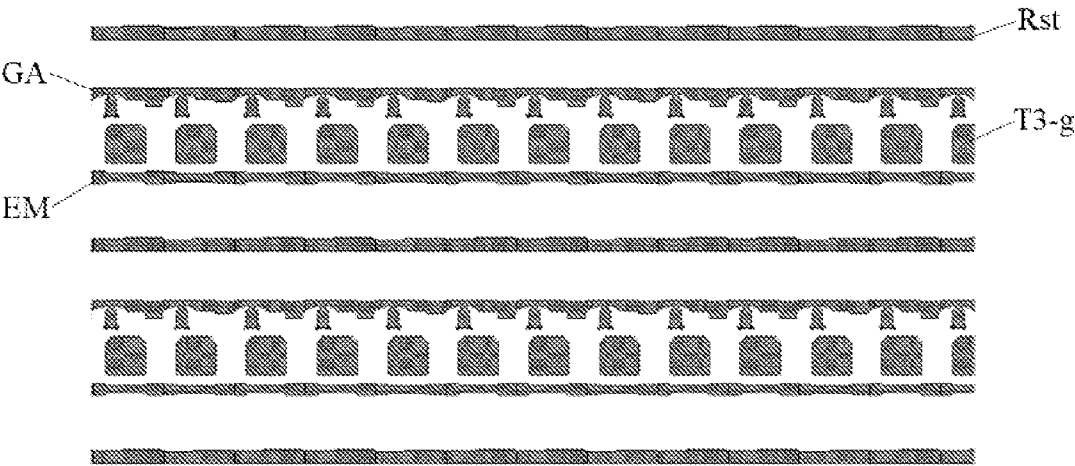


图 25

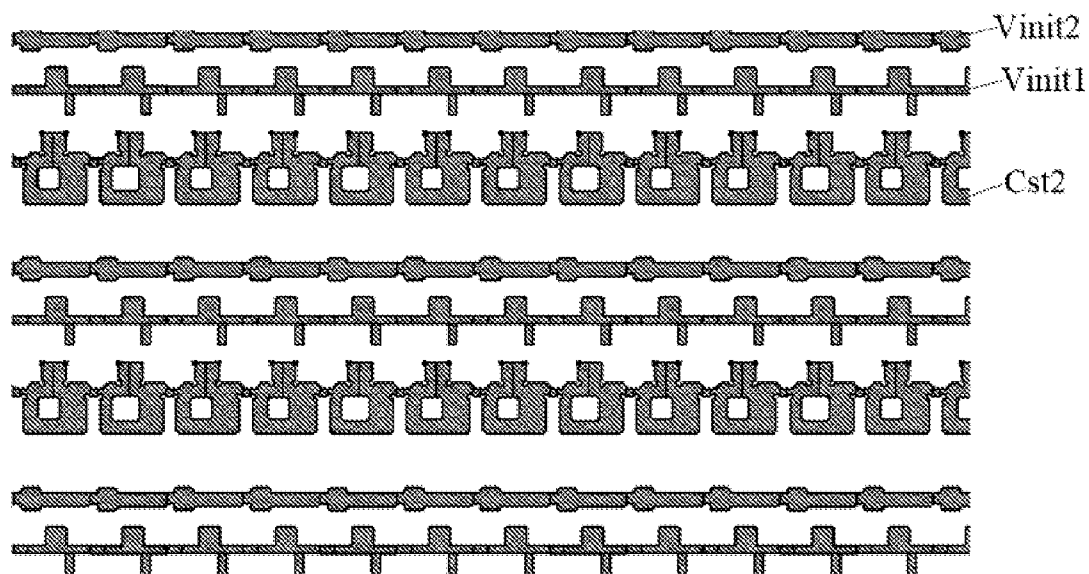


图 26

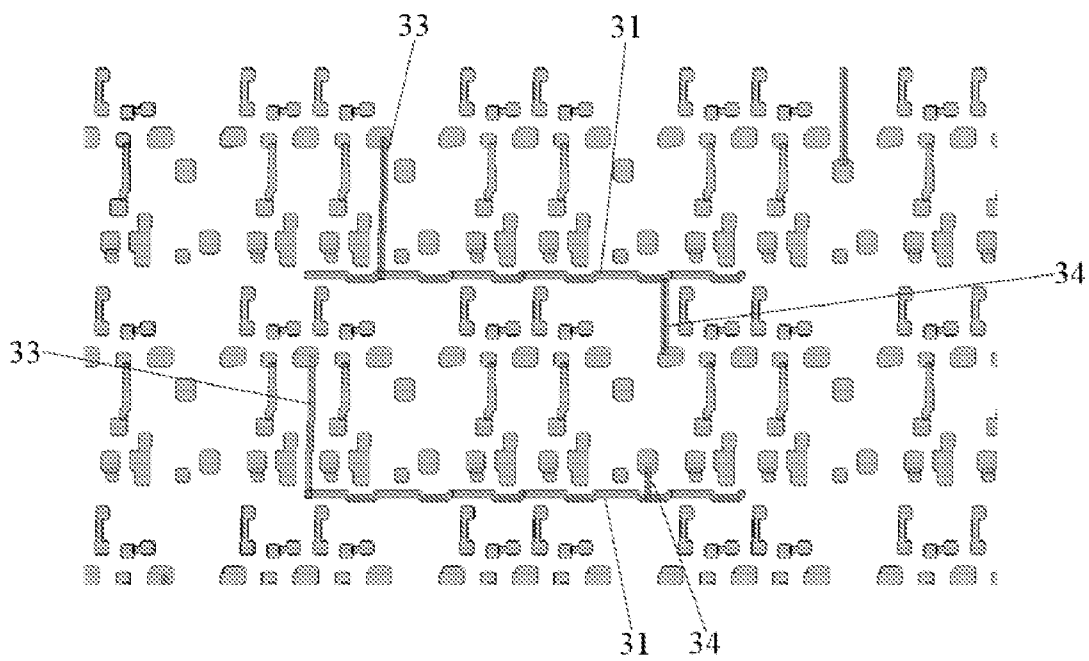


图 27

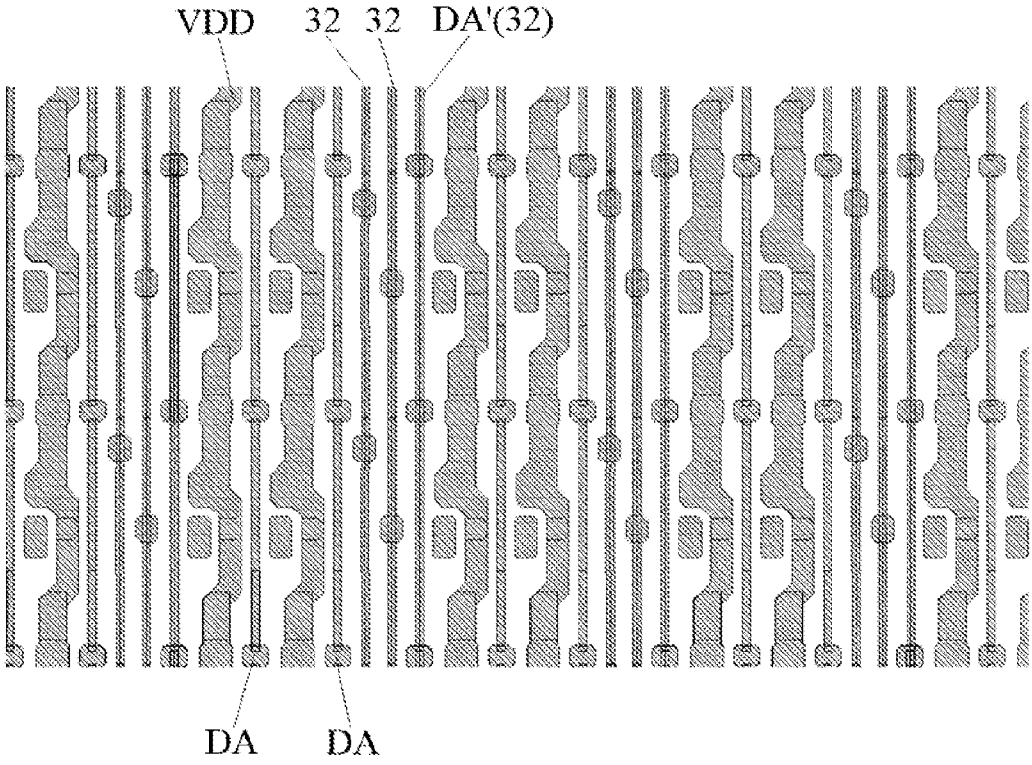


图 28

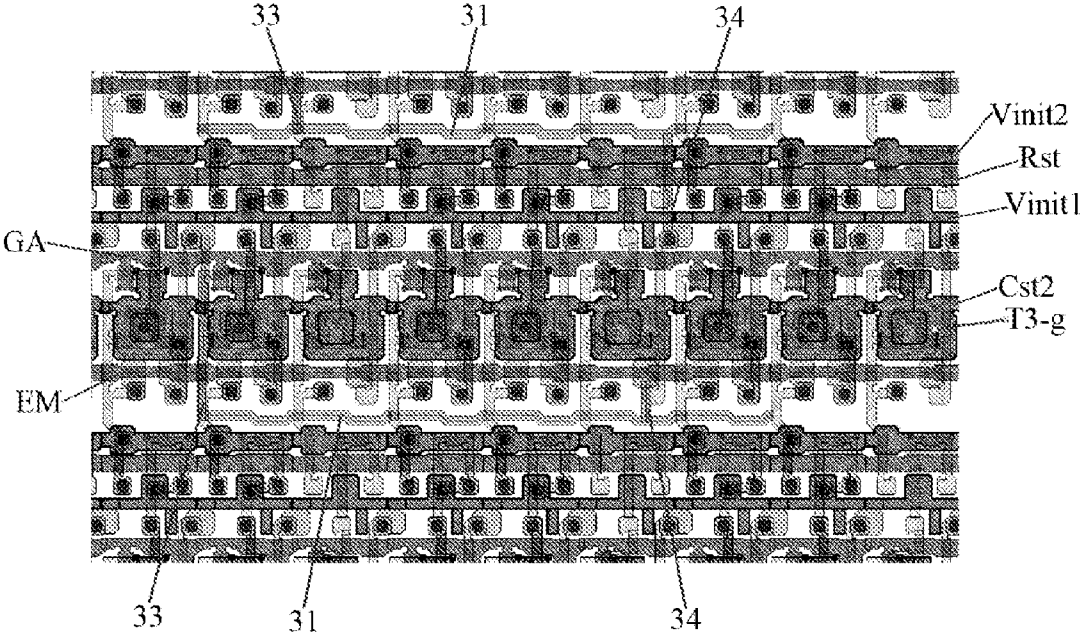


图 29

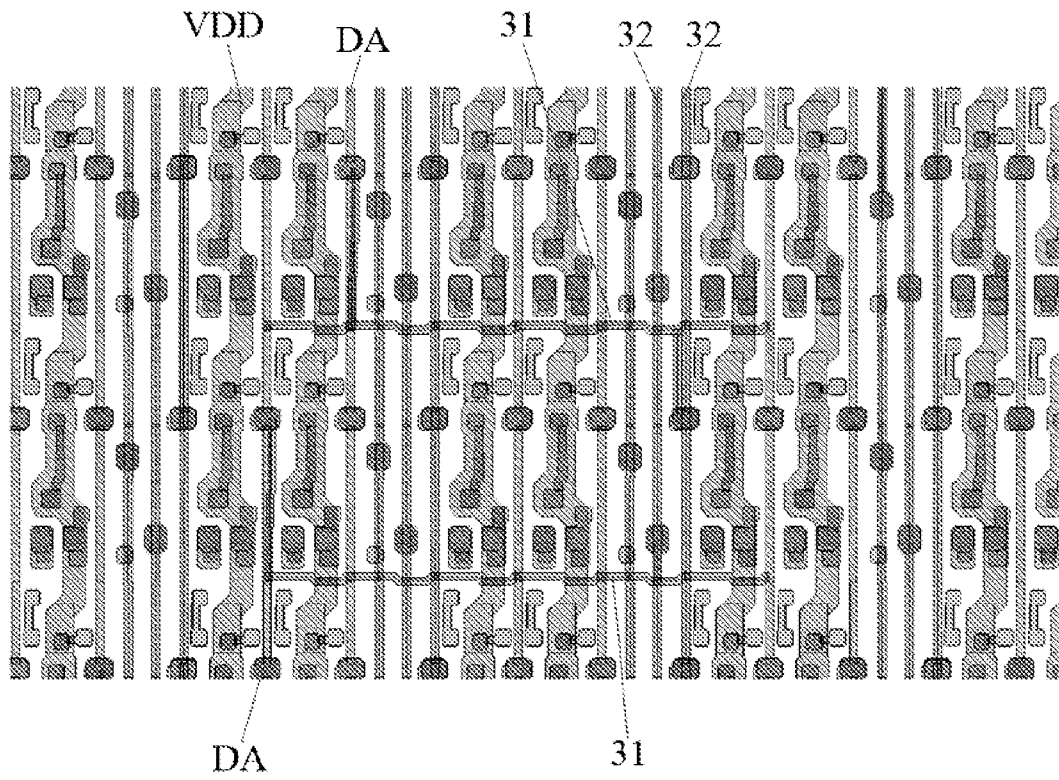


图 30

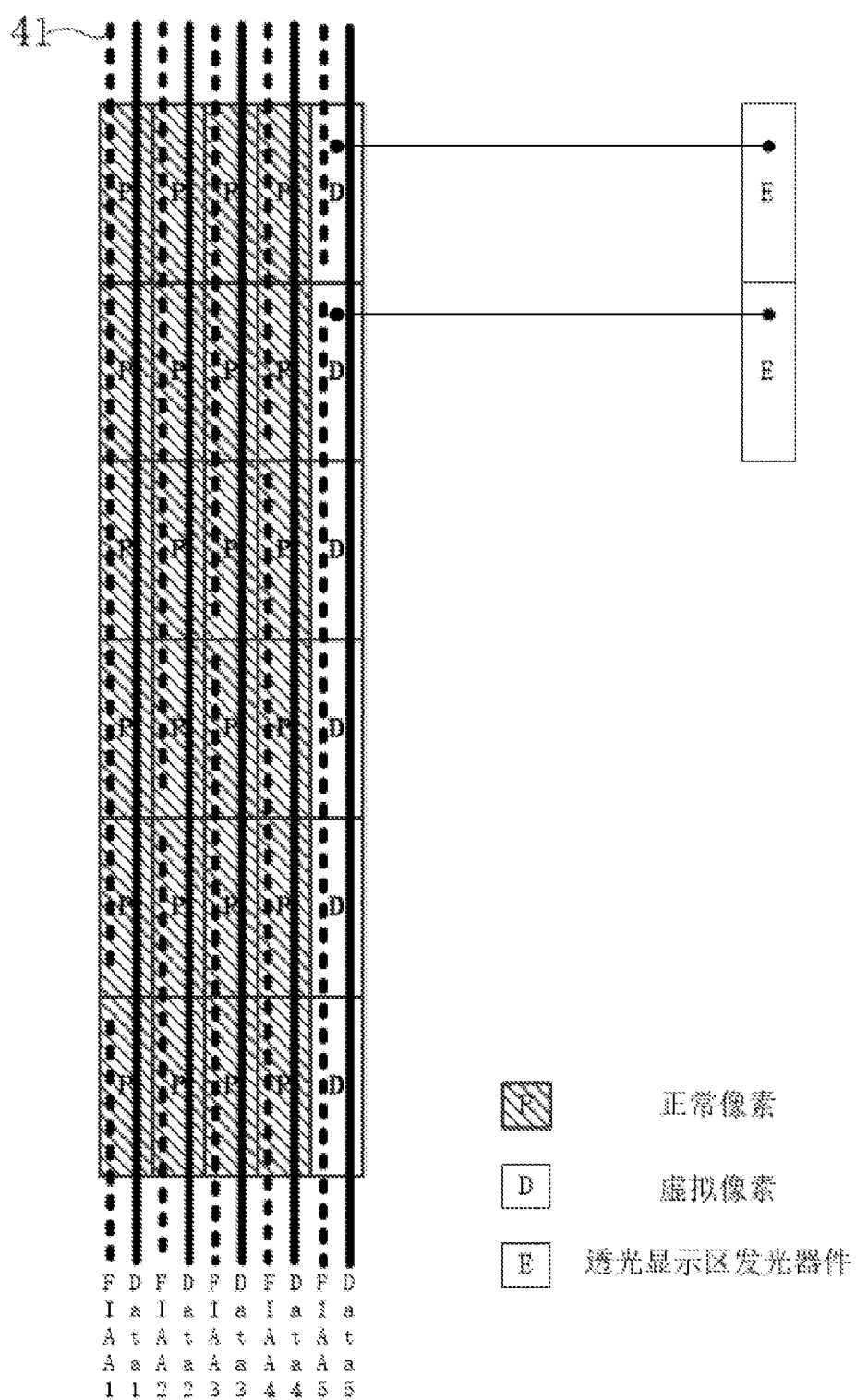


图 31

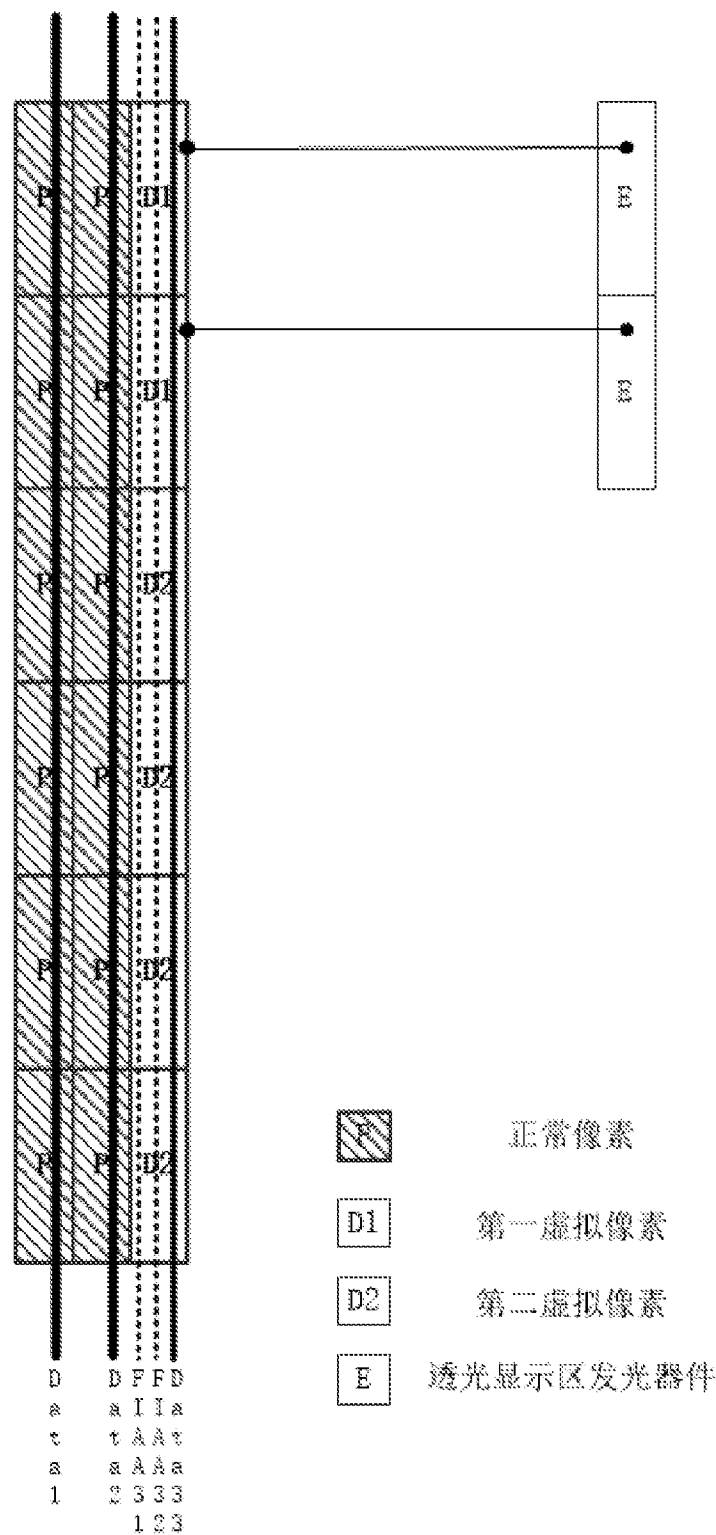


图 32

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/088425

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i; G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN; CNTXT; USTXT; WOTXT; EPTXT; CNKI: 透光, 透明, 光透, 像素, 画素, 象素, 显示, 显示区, 虚拟, 虚, 虚拟, 列, 线, display, panel, area, light, emitting, pixel, circuit?, connect+, line?, extend+, direction

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 113744649 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 December 2021 (2021-12-03) description, paragraphs [0003]-[0080], and figures 1a-5	1-10, 14-20
Y	CN 113964142 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 21 January 2022 (2022-01-21) description, paragraphs [0002]-[0075], and figures 1-10	1-10, 14-20
A	CN 112151592 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 29 December 2020 (2020-12-29) entire document	1-20
A	CN 114190108 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 15 March 2022 (2022-03-15) entire document	1-20
A	WO 2021258318 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 30 December 2021 (2021-12-30) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 October 2022

Date of mailing of the international search report

01 November 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/088425

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022041240 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 March 2022 (2022-03-03) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/088425

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113744649	A	03 December 2021	None			
CN	113964142	A	21 January 2022	None			
CN	112151592	A	29 December 2020	US	2022102421	A1	31 March 2022
CN	114190108	A	15 March 2022	WO	2022011582	A1	20 January 2022
WO	2021258318	A1	30 December 2021	US	2022045141	A1	10 February 2022
				WO	2021258318	A9	17 March 2022
				CN	114586163	A	03 June 2022
WO	2022041240	A1	03 March 2022	CN	114616668	A	10 June 2022

国际检索报告

国际申请号

PCT/CN2022/088425

A. 主题的分类 H01L 27/32(2006.01)i; G09G 3/20(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;VEN;CNTXT;USTXT;WOTXT;EPTXT;CNKI:透光, 透明, 光透, 像素, 画素, 象素, 显示, 显示区, 虚拟, 虚, 虚假, 列, 线, display, panel, area, light, emitting, pixel, circuit?, connect+, line?, extend+, direction				
C. 相关文件				
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求		
Y	CN 113744649 A (京东方科技集团股份有限公司 等) 2021年12月3日 (2021 - 12 - 03) 说明书第[0003]-[0080]段, 附图1a-5	1-10、14-20		
Y	CN 113964142 A (昆山国显光电有限公司) 2022年1月21日 (2022 - 01 - 21) 说明书第[0002]-[0075]段, 附图1-10	1-10、14-20		
A	CN 112151592 A (武汉天马微电子有限公司) 2020年12月29日 (2020 - 12 - 29) 全文	1-20		
A	CN 114190108 A (京东方科技集团股份有限公司 等) 2022年3月15日 (2022 - 03 - 15) 全文	1-20		
A	W0 2021258318 A1 (京东方科技集团股份有限公司 等) 2021年12月30日 (2021 - 12 - 30) 全文	1-20		
A	W0 2022041240 A1 (京东方科技集团股份有限公司 等) 2022年3月3日 (2022 - 03 - 03) 全文	1-20		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。				
<table><tr><td>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td><td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</td></tr></table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件			
国际检索实际完成的日期 2022年10月15日		国际检索报告邮寄日期 2022年11月1日		
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 桑青 电话号码 (86-512)88997289		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/088425

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113744649	A	2021年12月3日	无			
CN	113964142	A	2022年1月21日	无			
CN	112151592	A	2020年12月29日	US	2022102421	A1	2022年3月31日
CN	114190108	A	2022年3月15日	WO	2022011582	A1	2022年1月20日
WO	2021258318	A1	2021年12月30日	US	2022045141	A1	2022年2月10日
				WO	2021258318	A9	2022年3月17日
				CN	114586163	A	2022年6月3日
WO	2022041240	A1	2022年3月3日	CN	114616668	A	2022年6月10日