

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4315532号  
(P4315532)

(45) 発行日 平成21年8月19日(2009.8.19)

(24) 登録日 平成21年5月29日(2009.5.29)

(51) Int.Cl.		F I		
<b>HO 1 L</b>	<b>21/82</b>	<b>(2006.01)</b>	HO 1 L	21/82 W
<b>GO 6 F</b>	<b>17/50</b>	<b>(2006.01)</b>	HO 1 L	21/82 B
			GO 6 F	17/50 6 5 4 G
			GO 6 F	17/50 6 5 8 K
			GO 6 F	17/50 6 5 8 U

請求項の数 6 (全 16 頁)

(21) 出願番号	特願平11-221103	(73) 特許権者	503121103
(22) 出願日	平成11年8月4日(1999.8.4)		株式会社ルネサステクノロジ
(65) 公開番号	特開2001-44289(P2001-44289A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成13年2月16日(2001.2.16)	(74) 代理人	100064746
審査請求日	平成17年7月29日(2005.7.29)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 配線データ生成方法および当該方法により設計される大規模集積回路装置

(57) 【特許請求の範囲】

【請求項1】

階層レイアウトによってLSIを設計する際の、配線データの生成を行う配線データ生成方法であって、

ブロックレベル格子配線を生成するステップと、

ブロック内のレイアウトを実行するステップと、

LSIの、前記ブロックの領域以外においてLSIレベルの格子配線を生成するステップとを含み、

前記ブロックレベル格子配線を生成する前記ステップは、ブロック内部の格子配線を当該ブロックに対して適切な間隔で生成するステップを含み、

前記LSIレベルの格子配線を生成する前記ステップは、前記ブロックレベルの格子配線の各々を、前記ブロックレベルの格子配線にそれぞれ最も近い前記LSIレベルの格子配線に接続する接続配線を生成するステップを含む、配線データ生成方法。

【請求項2】

階層レイアウトによってLSIを設計する際の、配線データの生成を行う配線データ生成方法であって、

LSIレベルの格子配線を仮生成するステップと、

仮生成された前記LSIレベルの格子配線の各々について、配置されるブロックの領域内の部分との境界を規定するステップと、

前記境界の各々に、前記格子配線と交差する方向のタップ線を生成するステップと、

各前記ブロック内の格子配線が前記対応するタップ線と接続可能な範囲で各ブロックの移動を許容してブロックレイアウトを行うステップと、

L S I レベルの格子配線を生成するステップとを含む、配線データ生成方法。

【請求項 3】

階層レイアウトによって L S I を設計する際の、配線データの生成を行う配線データ生成方法であって、

L S I レベルの格子配線を仮生成するステップと、

仮生成された前記 L S I レベルの格子配線の各々について、配置されるブロックの領域内の部分との境界を規定するステップと、

各ブロックの移動を許容して、各前記境界で前記格子配線を切断してブロックレイアウトを行うステップと、

前記ブロックレイアウトを行うステップによって移動したブロック内の格子配線と、ブロック外の格子配線とを接続する配線を生成するステップと、

L S I レベルの格子配線を生成するステップとを含む、配線データ生成方法。

【請求項 4】

請求項 1 ~ 請求項 3 の配線データ生成方法のうちいずれか 2 つ以上を用いて配置したブロックと、L S I レベルでの格子配線とを含む、大規模集積回路装置。

【請求項 5】

前記格子配線はクロックラインを含む、請求項 4 に記載の大規模集積回路装置。

【請求項 6】

前記格子配線は電源ラインを含む、請求項 4 に記載の大規模集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、階層レイアウトに対応したクロックライン構成などの配線データ生成方法に関し、特に、設計要求に応じて、L S I (大規模集積回路) レベルでの柔軟なブロックの配置調整が可能な配線データ生成方法およびそうした方法により設計された大規模集積回路装置に関する。

【0002】

【従来の技術】

L S I 内に存在するすべての順序素子にクロックを正確に同時に供給することは困難であり、各部に供給されるクロックには時間差が生じる。この時間差をクロックスキューと呼ぶ。特に L S I が高密度化し回路が大規模化するにつれて、L S I 各部に与えられるクロックのスキューは極めて小さい値である必要があり、クロックスキューをどのようにして小さくするかが問題となっている。こうしたクロックスキューは主として設計段階で生ずるため、クロックを構成する際に高い精度のスキュー管理が要求される。

【0003】

図 17 を参照して、従来のスキュー管理手法では、L S I 221 の入力 C L K から L S I 221 に供給されるクロック信号は、L S I 221 に設けられたクロックバッファ 102 を通ってプリバッファ 103 に供給される。プリバッファ 103 はこのクロック信号を L S I 221 の全体に格子状に張り巡らされたクロックライン 224 に分配する。クロックライン 224 のたとえば格子点上などにクロックドライバ 227 などが多数準備されており、それらの出力同士は短絡されている。つまり、図 17 に示すように、ドライバの入力ライン 225 の格子と出力ライン 226 の格子とが存在する。順序素子 228 には、出力ライン 226 からクロックが供給される。

【0004】

実際の L S I では、格子状のクロックライン 224 を準備した後に順序素子 228 を配置、配線する。しかし、順序素子 228 が L S I 221 内に均一に分布することは極めて稀で、特定の格子内に偏在することが多い。この結果スキューが増大する。

【0005】

10

20

30

40

50

したがってLSI 221の全体での順序素子の配置結果から、クロックドライバ227の駆動の能力などを調節して、スキューの低減を図る。このためクロックドライバ227はクロックライン224内にその領域を確保しておかれるのが通常である。こうすることにより、他の配置配線結果を修正することなくクロックドライバ227の駆動能力調整が行える。

【0006】

この手法では、クロックドライバ227の出力が短絡されている。そのため仮に遅延の遅いドライバと速いドライバとが存在した場合、速いドライバが遅いドライバの出力にも信号供給をするというフィードバック系が存在する。また、最終のLSI自体の順序素子の配置からドライバの最適化を行ってスキュー調整が行われる。したがってこの手法では高いスキュー精度が得られる。

10

【0007】

一方、LSIが大規模化するといわゆる階層レイアウトが必要となってくる。階層レイアウトとは、LSIレイアウトを効率的に行うように導入された手法である。階層レイアウト手法では、LSIをいくつかのブロックに分けて、ブロック単位で最初にレイアウトを行い、そのレイアウトの完了したブロックを再度、最適に配置配線してLSI全体のレイアウトを行う。また、他のLSIで既にレイアウト済みの階層を再利用する場合もある。この場合も階層レイアウトが必要となる。

【0008】

図18を参照して、従来の階層レイアウト時のクロック構成手法は以下のとおりである。最初に、階層249a~249dのレイアウトから行われる。したがって、クロックもまずクロック250a~250dを構成する。ここで、各階層249a~249d内のクロックは、図17に示したような手法であらかじめ構成してもよいし、図18の階層249aに示されるようにツリー構造のドライバを用いてもよい。

20

【0009】

各階層のレイアウトが全て完成したら、LSI 241全体のレイアウトをブロックレイアウトを使用して行う。クロック構成では、クロックバッファ102を経由した信号に各ブロックのクロック入力を接続する。クロック入力の接続では、クロック250a~250dの遅延を補償して、クロック信号CLKで駆動されるすべての順序素子に低スキューでクロックを供給するために、クロックを分配するドライバ251a以外に、最も遅いクロックドライバに遅延をあわせる様にたとえば遅延素子を挿入する。図18に示す例では、最も遅いクロックドライバとしてクロックドライバ251bを想定して、遅延素子252a~252cを挿入している。

30

【0010】

【発明が解決しようとする課題】

このように階層レイアウトを行なった場合、スキューには以下の3種類がある。

【0011】

- (1) 各ブロック内で構成されたクロックのスキュー
- (2) クロックCLKから各ブロックへのクロック分配によるスキュー
- (3) クロック遅延の補償のための遅延素子に基づくスキュー

40

このようにスキューには3種類の発生原因があるため、スキューを低減することは本質的に非常に難しい。

【0012】

一方、LSI全体でクロックを構成する方法では、スキューの発生原因が、構成されたクロックのスキューのみとなり低スキューとなる。この手法を用いて階層レイアウトを行おうとすれば、あらかじめLSI全体に張られた格子状のクロック配線があるため、ブロックを配置する際に、ブロック内のクロック配線とLSIのクロック配線とが重なる位置にしかブロックを配置できないという制約が生じる。そのためこの手法でのレイアウトは困難である。

【0013】

50

たとえば、あるブロックが先にレイアウトを完了した後、次にレイアウトを完了した隣のブロックが、予定されていた大きさよりも大きくなってしまった場合、この大きくなってしまったブロックの配置位置を確保するために、先にレイアウトを完了したブロックを当初予定されていた配置位置から移動させなければならない場合がある。このような場合、LSIの全体に張られた格子状のクロック配線が移動できないため、ブロックは格子の目単位での移動しかできないことになる。その結果LSIレベルでの各ブロックの最適な配置調整が不可能となり、階層レイアウトの長所が失われてしまうという問題がある。

【0014】

それゆえにこの発明の目的は、階層レイアウトに対応した、低スキュークロックを構成する方法を提供することである。

10

【0015】

この発明の他の目的は、階層レイアウトに対応して、各ブロックをより柔軟に配置調整できる低スキュークロックを構成する方法を提供することである。

【0016】

この発明のさらに他の目的は、過去の資産を十分にいかしながら設計要求に怖じた配置配線を実現できる大規模集積回路装置を提供することである。

【0017】

【課題を解決するための手段】

請求項1に記載の発明にかかる配線データ生成方法は、階層レイアウトによってLSIを設計する際の、配線データの生成を行う配線データ生成方法であって、ブロックレベル格子配線を生成するステップと、ブロック内のレイアウトを実行するステップと、LSIの、ブロックの領域以外においてLSIレベルの格子配線を生成するステップとを含み、ブロックレベル格子配線を生成するステップは、ブロック内部の格子配線を当該ブロックに対して適切な間隔で生成するステップを含み、LSIレベルの格子配線を生成するステップは、ブロックレベルの格子配線の各々を、ブロックレベルの格子配線にそれぞれ最も近いLSIレベルの格子配線に接続する接続配線を生成するステップを含む。

20

【0018】

LSIレベルの格子配線がブロック内の格子配線とは別に生成されるので、ブロックを単位とした階層レイアウトを用いてLSIの配線データの生成を行うことができる。

【0022】

また、ブロック内の格子配線の各々を、LSIレベルの格子配線と接続することができる。LSIレベルの格子配線がブロック内のレイアウトに影響を与えない。

30

【0023】

請求項2に記載の発明にかかる配線データ生成方法は、階層レイアウトによってLSIを設計する際の、配線データの生成を行う配線データ生成方法であって、LSIレベルの格子配線を仮生成するステップと、仮生成されたLSIレベルの格子配線の各々について、配置されるブロックの領域内の部分との境界を規定するステップと、境界の各々に、格子配線と交差する方向のタップ線を生成するステップと、各ブロック内の格子配線が対応するタップ線と接続可能な範囲で各ブロックの移動を許容してブロックレイアウトを行うステップと、LSIレベルの格子配線を生成するステップとを含む。

40

【0024】

ブロックの境界部分においてLSIレベルの格子配線にタップ線を設けることにより、ブロックを移動させても、それがタップ線の長さの範囲内である限りブロック内の格子配線とLSIレベルの格子配線との接続を保つことができる。したがってブロックのレイアウトが柔軟に行える。

【0025】

請求項3に記載の発明にかかる配線データ生成方法は、階層レイアウトによってLSIを設計する際の、配線データの生成を行う配線データ生成方法であって、LSIレベルの格子配線を仮生成するステップと、仮生成されたLSIレベルの格子配線の各々について、配置されるブロックの領域内の部分との境界を規定するステップと、各ブロックの移動

50

を許容して、各境界で格子配線を切断してブロックレイアウトを行うステップと、ブロックレイアウトを行うステップによって移動したブロック内の格子配線と、ブロック外の格子配線とを接続する配線を生成するステップと、LSIレベルの格子配線を生成するステップとを含む。

【0026】

ブロックの境界部分においてLSIレベルの格子配線を切断することにより、ブロックを移動させることができる。移動後、ブロック内の格子配線と、LSIレベルの格子配線とを接続すれば、各ブロック内に必要な信号を供給できる。ブロックの移動量が大きくなっても格子配線同士の接続は容易であるため階層レイアウトが柔軟に行える。

【0027】

請求項4に記載の発明にかかる大規模集積回路装置は、請求項1～請求項3の配線データ生成方法のうちいずれか2つ以上を用いて配置したブロックと、LSIレベルでの格子配線とを含む。

【0028】

請求項1～請求項3に記載の配線データ生成方法のいずれかを自由に選択することができる。そのため、既にある他の大規模集積回路の設計においてどの手法が用いられていたかに関係なく、容易にそうした設計データを階層レイアウトに流用することができる。

【0029】

請求項5に記載の発明にかかる大規模集積回路装置は、請求項4に記載の発明の構成に加えて、格子配線はクロックラインを含む。

【0030】

請求項1～請求項3に記載の配線データ生成方法のいずれかを自由に選択することができる。そのため、既にある他の大規模集積回路の設計においてどの手法が用いられていたかに関係なく、容易にクロックラインに関する設計データを階層レイアウトに流用することができる。

【0031】

請求項6に記載の発明にかかる大規模集積回路装置は、請求項4に記載の発明の構成に加えて、格子配線は電源ラインを含む。

【0032】

請求項1～請求項3に記載の配線データ生成方法のいずれかを自由に選択することができる。そのため、既にある他の大規模集積回路の設計においてどの手法が用いられていたかに関係なく、容易に電源ラインに関する設計データを階層レイアウトに流用することができる。

【0033】

【発明の実施の形態】

[実施形態1]

図1を参照して、本発明の実施形態1にかかる配線データ生成装置は、コンピュータ本体1、グラフィックディスプレイ装置2、磁気テープ4が装着される磁気テープ装置3、キーボード5、マウス6、CD-ROM (Compact Disc-Read Only Memory) 8が装着されるCD-ROM装置7、および通信モデム9を含む。以下に述べる手法を実現するための配線データ生成プログラムは、磁気テープ4またはCD-ROM 8等の記憶媒体によって供給される。この配線データ生成プログラムはコンピュータ本体1によって実行され、操作者はグラフィックディスプレイ装置2を見ながらキーボード5またはマウス6を操作することによって配線データの生成を行う。また、配線データ生成プログラムおよび他のデータは他のコンピュータより通信回線を経由し、通信モデム9を介してコンピュータ本体1に供給されてもよい。

【0034】

図2は、本発明の配線データ生成装置の構成例を示すブロック図である。図1に示すコンピュータ本体1は、CPU (Central Processing Unit) 10、ROM (Read Only Memory) 11、RAM (Random Access Memory) 12およびハードディスク13を含む。CPU

10

20

30

40

50

10は、グラフィックディスプレイ装置2、磁気テープ装置3、キーボード5、マウス6、CD-ROM装置7、通信モデム9、ROM11、RAM12またはハードディスク13との間でデータを入出力しながら処理を行う。磁気テープ4またはCD-ROM8に記録された配線データ生成プログラムおよび他のデータは、CPU10により磁気テープ装置3またはCD-ROM装置7を介して一旦ハードディスク13に格納される。CPU10は、ハードディスク13から適宜以下に説明するような構成を有する配線データ生成プログラムをRAM12にロードして実行することによって、クロックスキューの低減されたクロックスキューの構成方法を用いてLSI配線データの生成を行う。

【0035】

なお、以下に述べるほかの実施形態2～実施形態6においても、装置の外観およびブロック構成は実施形態1の場合と同様である。したがって、実施形態2～実施形態6ではハードウェア構成についての詳細な説明は繰返さない。

10

【0036】

図3を参照して、実施形態1にかかるクロック構成方法は、ブロック単位で格子状のクロックラインを準備するステップ(S20)と、階層レイアウト(ブロックレイアウト)を行うステップ(S22)と、LSIレベルのレイアウトをしLSIレベルプリドライバを生成するステップ(S24)と、LSIレベルでのクロックラインを生成するステップ(S26)と、格子点ドライバの最適化を行うステップ(S28)とを含む。各ステップでの処理の内容について以下に説明する。

【0037】

20

まずS20では、たとえば従来のもと同様の手法によってブロック単位の格子状のクロックラインを準備する。この格子の目の大きさは任意でよい。ただし、実施形態1の装置ではこのとき、必ずブロックの最外周を取り囲むクロックラインを準備する。図4に、このステップで準備された各ブロック39a～39dを示す。各ブロック39a～39dはそれぞれ、クロックライン34a～34dを含む。これら各クロックライン34a～34dが、各ブロックの最外周を囲むクロックラインを含んでいることに注意されたい。

【0038】

次にS22で階層レイアウトを行う。クロックラインに直接関係するのはフリップフロップ(FF)であるので、クロックラインに対して具体的にはFFの配置と配線とを行い、FFのクロック入力端子をクロックライン34a～クロックライン34dに接続する。またこのときすべてのブロックでのすべての配置配線はそれぞれのブロックの最外周のクロックラインに囲まれた範囲内で行う。

30

【0039】

すべての階層レイアウトが完成すれば、S24でLSIレベルでのレイアウトが行われる。ここでは、階層単位でレイアウト配置した後、従来と同様の手法でクロック入力からクロックバッファおよびプリドライバを構成する。

【0040】

最後に、S26でLSIレベルで格子配線が行われる。ここでの配線手法がこの実施形態1での特色部分である。ここでは、こうして生成するクロックラインが、あらかじめ配置された各階層の最外周のクロックラインに対してその階層の外側から交差する時、その交点でクロックラインの生成を停止する。そして、該当する階層の対辺側の同じ位置からクロックラインの生成を再開する。こうして、階層内にはLSIレベルのクロックラインを生成しないようにする。またLSIレベルのクロックラインと各階層内の最外周のクロックラインの交点においては、それぞれ対応する信号を短絡する。このようにしてLSIレベルのクロックを構成すると、図5に示す構成が得られる。

40

【0041】

こうして構成されたクロック回路に対して、LSIレベルまたは各階層内に存在する格子点ドライバの駆動能力を最適化する(S28)が、このときの手法は従来と同様でよい。

【0042】

この方法によれば、LSIレベルのクロックライン34と各階層のクロックライン34a

50

~ 3 4 dとでLSI全体のクロックラインが構成されている。クロック構成の観点から見れば、これは従来のようにLSIレベルで一括して配置配線を行う場合と同様のクロック構成である。一方、この方法では従来の手法では困難であった階層レイアウトをも可能としている。すなわち、この方法によれば、従来のようにLSIレベルで一括して配置配線を行う場合と同様の優れたスキュー管理を、階層レイアウトで実現できる。

【0043】

クロックライン3 4 a ~ 3 4 dを階層単位で構成しているので、階層レイアウトが可能となる。さらにまたLSIレベルでのクロックライン3 4は、各階層のブロックの最外周で終端される。その結果、LSIレベルでのクロックラインが階層レイアウトに影響を与えることもない。

10

【0044】

階層単位で配置のシフトが発生した場合でも、LSIレベルでのクロックライン3 4は各階層のクロックライン3 4 a ~ 3 4 dの最外周までしかのびておらず、階層内のレイアウトとは無縁であるため、階層単位での配置に制約が課されることがなく、再度適切な位置に各ブロックの配置配線を行うことができる。

【0045】

以上のようにこの実施形態1によれば、階層レイアウトを行いながら、一括レイアウトと同様のスキュー管理を行うことができるという効果がある。

【0046】

なお、S2 4で生成されるLSIプリドライバとしてはたとえば、図6に示すようなツリー状のプリドライバを用いることもできるし、図7に示すように等長配線5 4 ~ 5 8によってツリー状のプリドライバ6 0 ~ 6 4をクロックバッファ5 2と接続したプリドライバ5 0を用いてもよい。各ツリー状のプリドライバ6 0 ~ 6 4は、たとえば各ブロック内の格子状のクロックライン6 6 ~ 7 0に接続される。

20

[実施形態2]

図8を参照して、この発明の実施形態2にかかるクロック構成方法は、LSIレベル格子配線の仮生成を行うステップS 8 0と、ブロックレベルの格子配線の切出し(詳細は後述)を行うステップS 8 2と、後述するようにLSIレベルのクロックラインと各ブロックのクロックラインとの境界部分にタップ配線(詳細は後述)を付加するステップS 8 4と、ブロックレイアウトを行うステップS 8 6と、LSIレベルのプリドライバを生成するステップS 8 8と、LSIレベルの格子配線を生成するステップS 9 0と、最終的に格子点ドライバを最適化するステップS 9 2とを含む。

30

【0047】

階層レイアウトでは、あらかじめLSIレベルでの各階層の大きさおよび配置位置などを考慮してからレイアウト作業を開始するのが通常である。この段階でまずS 8 0の処理を行う。

【0048】

S 8 0では、階層レイアウトを開始する前の段階での各階層の配置情報をもとにLSIレベルでの仮のクロックライン1 0 4を生成する。このLSIレベルでの仮のクロックライン1 0 4は従来と同様の手法で生成することができる。

40

【0049】

次にS 8 2において、こうして構成されたLSIレベルでの仮のクロックライン1 0 4のうち、各階層内を通過する部分を切出し削除する。さらに、S 8 4において、LSIレベルでの仮のクロックライン1 0 4の残った部分と各ブロック内部との間の境界に、LSIレベルでの仮のクロックライン1 0 4と交差する(実施形態2では直交する)方向にタップ配線1 1 3 a ~ 1 1 3 dを設ける。そしてブロック内のクロックライン1 0 4 aが各タップ配線1 1 3 a ~ 1 1 3 dと接続される。図9では左上のブロック1 0 9 aのみの例を示すが、他のブロック1 0 9 b ~ 1 0 9 dも同様である。

【0050】

以下は実施形態1の場合と同様である。次に、S 8 6でブロックレイアウトが行われる。

50

この処理では、各ブロック内で切出されたクロックラインをもとにブロック内のレイアウトを行う。次にLSIレベルでの各ブロックの最終の配置を行う。すなわち、LSIレベルプリドライバの生成が行われる(S88)。このときの各ブロックの配置は、必ずしも当初想定された配置と完全に一致する必要はない。タップ配線113a等が存在しているために、この範囲で各ブロックを左右上下に移動してもLSIレベルでの仮のクロックライン104と各ブロック内のクロックラインとの接続を確保することができる。

【0051】

さらに最終的なSLIレベル格子配線の生成が行われて(S90)、最後に全体的なクロックラインの配置配線に基づいて格子点ドライバの最適化が行われる(S92)。

【0052】

図10に、最終的に得られたLSIレイアウトを示す。この図10では、ブロック109aは当初の位置と同じ位置に、ブロック109bは左に、ブロック109cは下に、ブロック109dは右と左下に、それぞれシフトしている。

【0053】

以上のようにこの実施形態2によれば、階層レイアウト前にあらかじめ想定された各階層の大きさや配置位置を考慮して構成したLSIレベルのクロックラインを切出して使用する。そのため実施形態1で必要であったような、最外周のクロックラインなどを設ける必要はない。そのためクロックラインの総配線長を削減し消費電力を削減できるという効果がある。

【0054】

また、切出したクロックラインの境界にタップ配線を設けた。そのため、タップ配線長内で各ブロック配置の移動が可能となる。もちろん任意の位置にブロックを配置することはできないが、ブロックの位置をLSIレベルでの仮のクロックライン104の格子の目よりも小さな範囲で移動させることが可能となる。実際には、各階層の大きさや配置位置が階層レイアウトの前後で極端に変わることは少ないので、適切なタップ配線長を設定することで、実用的な範囲でのブロックの再配置が可能となる。なおタップ配線長をどのように定めるかは各LSIの設計要求によって異なるが、主として経験的に定められる。

[実施形態3]

実施形態2では、あらかじめタップ配線113aなどを設けておく。しかし、このようにタップ配線を用いなくとも階層レイアウトを可能とする方法がある。以下、そうした実施形態3について説明する。

【0055】

図11を参照して、実施形態3では、あらかじめ階層の境界において仮生成されていたLSIレベルでのクロックライン134をブロックの境界で切出して階層のレイアウトを行う。

【0056】

実施形態3のクロックラインの構成方法は、図8と比較して、S84が省略されていることと、S90とS92との間にブロック/LSI格子の接続配線を生成するステップS120を新たに含む点で異なる。以下では、実施形態2と異なる点のみ説明する。

【0057】

S80においては、あらかじめLSIレベルでのクロックライン134を生成する際に、階層の境界においてLSIレベルでのクロックライン134の生成を停止する。

【0058】

ステップS120では、図12を参照して、あらかじめ切出した階層部分のクロックライン134a~134dと、LSIレベルでのクロックライン134とを接続する。このときに階層の境界上で最短距離にあるもの同士を接続するクロックライン接続配線144a~144dを生成する。このようにして、各階層に対してクロックラインを構成していく。

【0059】

実施形態3によれば、たとえば仮生成の際に配置された階層の位置と、実際のLSIレベ

10

20

30

40

50

ルでのレイアウトとで階層の配置位置が変わらない階層（図12のブロック139a）では、実施形態2においては必ず生成されていたタップ配線のような不要な配線が生成されない。他のブロックでも、生成されるクロックライン接続配線の配線長を最小に抑えることができる。そのため消費電力の点でより有利である。またこの実施形態3では、ブロックの配置位置が当初の想定位置よりも極端に移動してしまった場合でも対応することができる。

#### [実施形態4]

実施形態3では、仮配線されたLSIレベルでのクロックライン134から切出したクロックラインを階層のクロックラインとして使用した。しかし、実施形態1で示したように、各階層毎にあらかじめクロックライン34a~34dを準備してもよい。実施形態4はそうした手法を用いる。

10

#### 【0060】

図13を参照して、この実施形態4のクロック構成手法は、図3に示される手法と比較して、図3のS28に替えて、ブロック/LSI格子の接続配線生成処理のステップS150と、格子点ドライバの最適化処理のステップS92とを含む点が異なる。以下では実施形態1と異なる点についてのみ説明する。

#### 【0061】

図14にこの実施形態4によって構成されたLSI161を示す。このLSI161では、LSIレベルでのクロックライン164の、各ブロック169a~169dの領域以外の部分と、各ブロック169a~169d内のクロックライン164a~164d（横方向）、181b、181c（縦方向）とが、クロックライン接続配線174a~クロックライン接続配線174dによって接続される。

20

#### 【0062】

この実施形態4では、LSIレベルでのクロックライン164と各階層のブロック169a~169dの縦横のクロックライン数は必ずしも一致する必要はない。例えばこれらを接続する際に、クロックラインの数の多い方を始点として、他方の最短のクロックラインへ接続するようにクロックラインの接続配線を生成することで、未接続のクロックラインがないようにする。

#### 【0063】

図14に示されるブロック169aでは、縦方向のクロックラインに関して、LSIレベルではクロックライン181aの1本のみであるのに対して、ブロック内ではクロックライン181b、181cの2本である。そこで、階層側を始点としてクロックライン接続配線クロックライン接続配線174a~174dを生成する。すなわち、クロックライン181bとクロックライン181aとがクロックライン接続配線174aにより接続され、クロックライン181cとクロックライン181aとがクロックライン接続配線174cにより接続される。

30

#### 【0064】

この実施形態4の方法によれば、LSIレベルと階層レベルでのクロック配線間隔が異なるものであっても扱える。そのため各階層ごとに最適なクロックライン幅を選択することができる。また同一の手法で他のLSIでレイアウト済みの階層を流用する場合、クロックライン間隔を合わせるために再度配置配線を行う必要がない。そのため実施形態4の方法によればレイアウトごと他のLSI設計を流用することが容易であるという長所がある。

40

#### [実施形態5]

以上の実施形態1から実施形態4の説明では、1つのLSIに1つの手法のみを用いる方法について説明した。しかし、互いに異なる手法を組み合わせることもできる。たとえば、上記した実施形態1から実施形態4の手法を全て合わせてクロック構成した例を図15に示す。図15では、実施形態1~実施形態4と同じ部品には同じ参照符号を付し、それらについての詳細な説明は繰返さない。

#### 【0065】

50

図15では、実施形態1の手法をブロック39aに、実施形態2の手法をブロック109bに、実施形態3の手法をブロック139cに、実施形態4の手法をブロック169dに、それぞれ適用している。

【0066】

このように各方法を混在して使用することで、各階層毎に最適なクロックライン構成の方法を採用することができる。その結果、LSI全体として最も効率的なクロックライン構成を行うことができる。また、他のLSIの階層レイアウトを流用する場合でも、手法が特定のものと一致している必要ないので、レイアウトの再利用範囲を広げることができる。

[実施形態6]

上記した実施形態1～実施形態5はいずれもクロックラインの構成方法に関していた。しかし、本願発明の配線生成方法はクロックラインのみに適用可能なわけではなく、階層レイアウトにおいてLSIレベルと各階層間を接続しながら回路全体にほぼ均等に配線を巡らす必要がある場合には同様に適用できる。

【0067】

その一例は、LSIレベルで性能管理を要求される配線として知られている電源/グランド配線がある。グランドラインも、一定の電位を回路に与えるという意味では電源ラインと同様であると考えられる。したがって電源ラインといえればグランドラインをも含むと考えてよい。電源/グランド配線は、LSIレベルで外部からの電源/グランドの供給箇所を複数個持ち、LSI内の全トランジスタに対して動作を保証できるだけの供給能力を持つ必要がある。このため、クロックと同様にLSIレベルでの均一な供給能力が要求される。

【0068】

上記した方法はいずれも、そのまま電源/グランド配線に適用することができる。図16に、実施形態1～実施形態4に記載した方法を全て適用して電源/グランド配線を行ったLSI201を示す。この例でも、実施形態5と同様、実施形態1～実施形態4と同じ部品には同じ参照符号を付した。このようにして電源/グランド配線を構成することで、階層レイアウトを行いつつ安定した供給能力を実現することができる。

【0069】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0070】

【発明の効果】

以上のように請求項1に記載の発明によれば、LSIレベルの格子配線を、ブロックを単位とした階層レイアウトを用いて、ブロック内の配線と別に行うことができる。そのため、階層レイアウトを用いながら、クロックスキューを低減させたり電源を安定に供給したりするための配線を行うことが可能となる。

また、ブロック内の格子配線の各々を、LSIレベルの格子配線と接続することができる。LSIレベルの格子配線がブロック内のレイアウトに影響を与えない。そのため階層レイアウトを十分に利用することができる。

【0073】

請求項2に記載の発明によれば、ブロックの境界部分においてLSIレベルの格子配線にタップ線を設けることにより、ブロックを移動させても、それがタップ線の長さの範囲内である限りブロック内の格子配線とLSIレベルの格子配線との接続を保つことができる。したがってブロックのレイアウトが柔軟に行え、階層レイアウトを十分に利用することができる。

【0074】

請求項3に記載の発明によれば、ブロックの移動量が大きくなっても格子配線同士の接

10

20

30

40

50

続は容易であるため階層レイアウトが柔軟に行える。そのため、階層レイアウトの利点を十分に活用することができる。

【0075】

請求項4に記載の発明によれば、既にある他の大規模集積回路の設計においてどの手法が用いられていたかに関係なく、容易にそうした設計データを階層レイアウトに流用することができる。その結果、過去の資産を生かしながら、階層レイアウトを用いて設計要求に応じた配置配線を行うことができる。

【0076】

請求項5に記載の発明によれば、既にある他の大規模集積回路の設計においてどの手法が用いられていたかに関係なく、容易にクロックラインに関する設計データを階層レイアウトに流用することができる。その結果、過去の資産を生かしながら、階層レイアウトを用いてクロックスキューに関する設計要求に応じた配置配線を行うことができる。

10

【0077】

請求項6に記載の発明によれば、既にある他の大規模集積回路の設計においてどの手法が用いられていたかに関係なく、容易に電源ラインに関する設計データを階層レイアウトに流用することができる。その結果、過去の資産を生かしながら、階層レイアウトを用いて電源ラインに関する設計要求に応じた配置配線を行うことができる。

【図面の簡単な説明】

【図1】 本願発明の実施の形態の装置の外観図である。

【図2】 本願発明の実施の形態の装置のハードウェアブロック図である。

20

【図3】 本願発明の実施形態1の装置の処理の流れを示すフローチャートである。

【図4】 実施形態1の処理対象となるブロックの例を示す平面図である。

【図5】 実施形態1の装置によるLSIレイアウト例を示す平面図である。

【図6】 ツリープリドライバの例を示す模式図である。

【図7】 等長配線によるプリドライバの配置を示す模式図である。

【図8】 実施形態2の装置の処理の流れを示すフローチャートである。

【図9】 実施形態2の装置によるLSIレイアウトの例を示す平面図である。

【図10】 実施形態2の装置によるLSIの最終レイアウトの例を示す平面図である。

【図11】 実施形態3の装置の処理の流れを示すフローチャートである。

【図12】 実施形態3の装置によるLSIレイアウトの例を示す平面図である。

30

【図13】 実施形態4の装置の処理の流れを示すフローチャートである。

【図14】 実施形態4の装置によるLSIレイアウトの例を示す平面図である。

【図15】 実施形態5の装置によるLSIレイアウトの例を示す平面図である。

【図16】 実施形態6の装置によるLSIレイアウトの例を示す平面図である。

【図17】 従来技術におけるクロック構成手法を示す、LSIの平面図である。

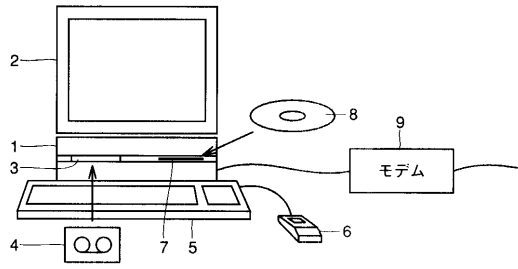
【図18】 従来技術におけるクロックスキューの低減の一手法を示す、LSIの平面図である。

【符号の説明】

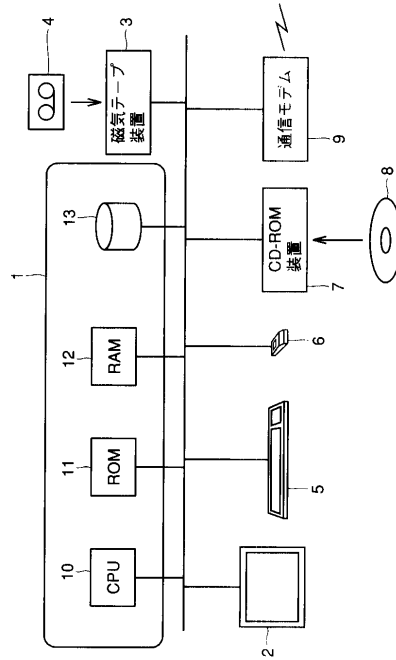
31, 101, 131, 161, 181, 201, 221 LSI、32 クロックバッファ、33a, b プリバッファ、34a~d, 104a~d, 134a~d, 174a~d クロックライン、39a~d, 109a~d, 139a~d, 169a~d ブロック。

40

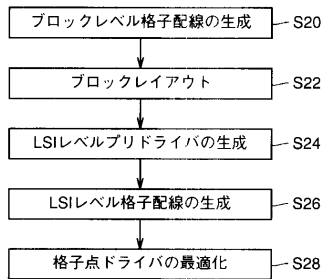
【図1】



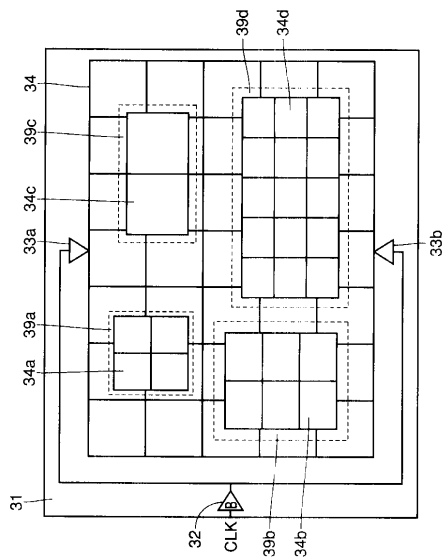
【図2】



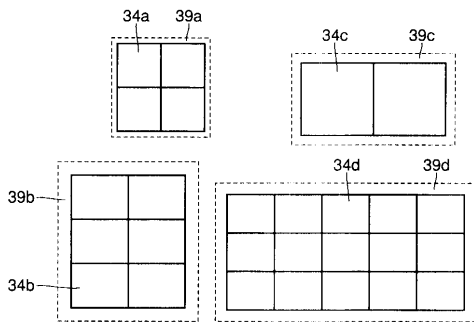
【図3】



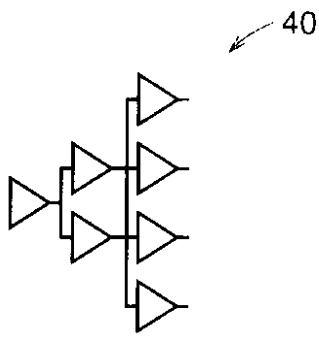
【図5】



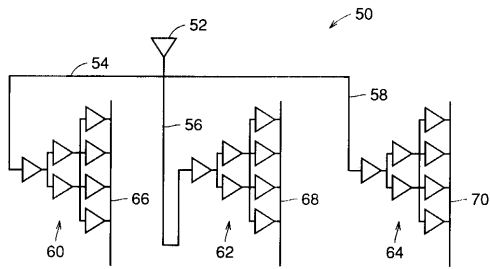
【図4】



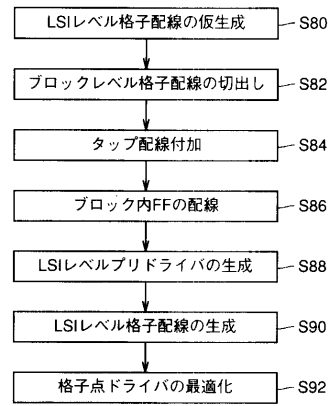
【図6】



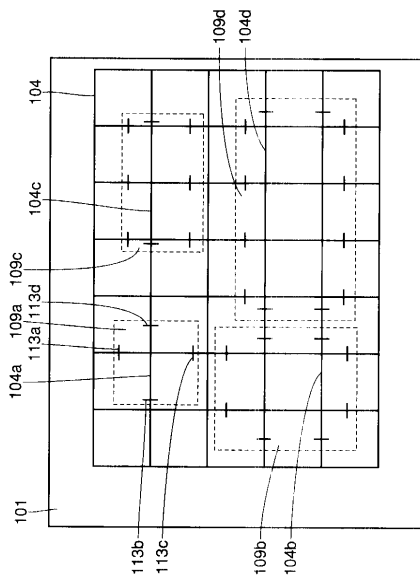
【図7】



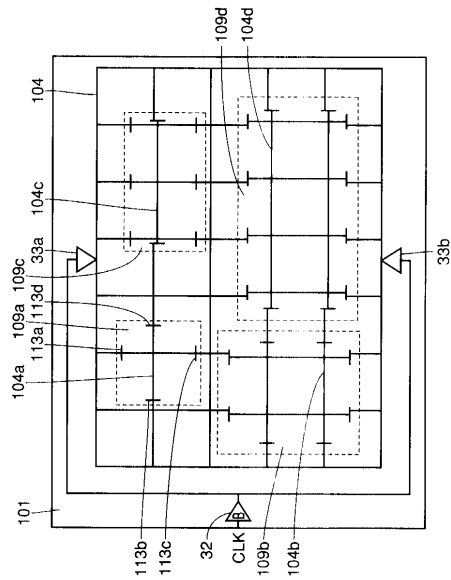
【図8】



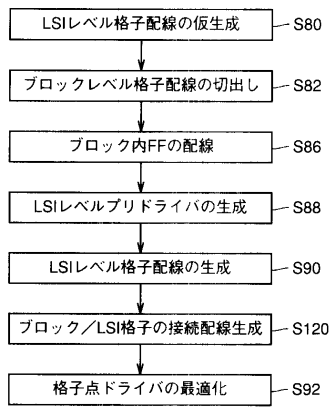
【図9】



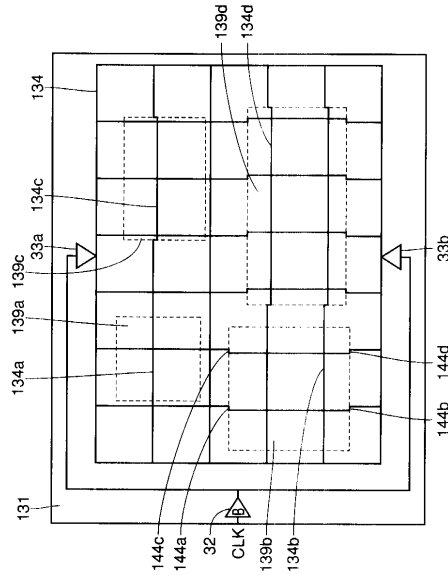
【図10】



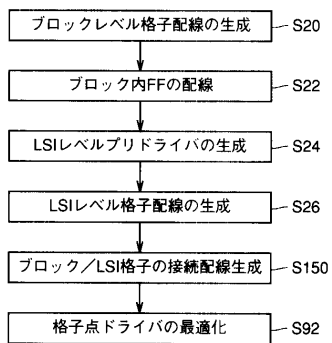
【図 1 1】



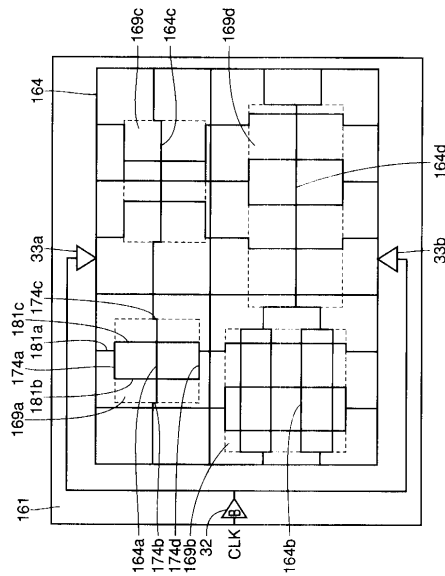
【図 1 2】



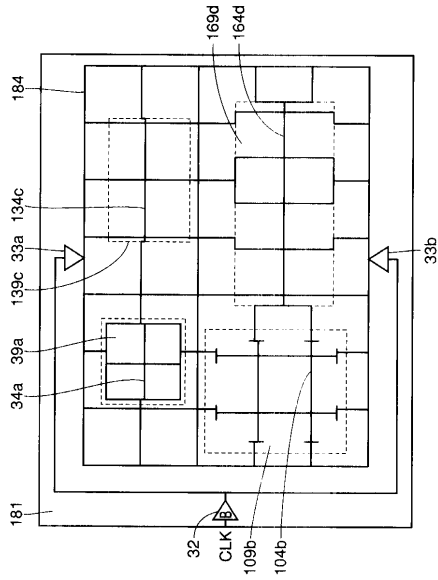
【図 1 3】



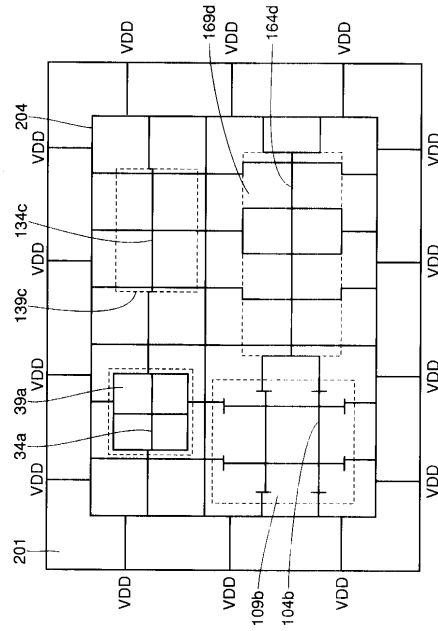
【図 1 4】



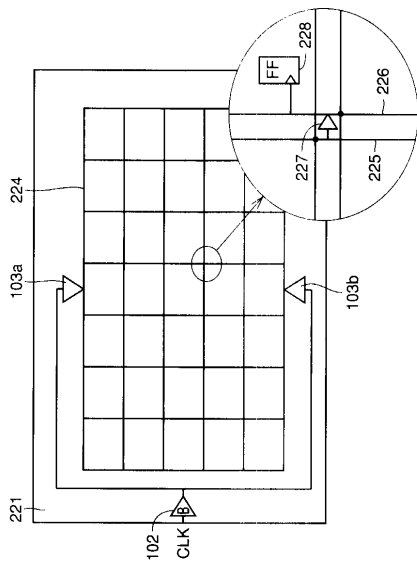
【 15 】



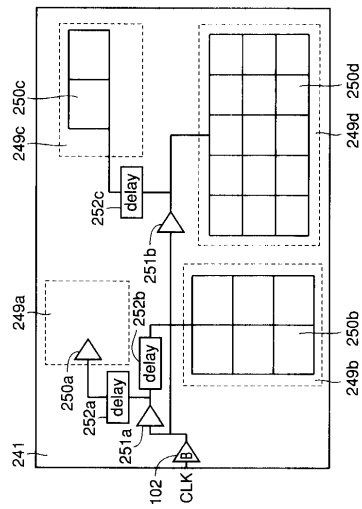
【 16 】



【 17 】



【 18 】



---

フロントページの続き

(72)発明者 古茂田 道夫  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 池淵 立

(56)参考文献 特開平02-086145(JP,A)  
特開昭63-107316(JP,A)  
特開平07-288283(JP,A)  
特開2000-021992(JP,A)  
特開2000-035832(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82  
H01L 21/822  
H01L 27/04  
G06F 17/50