

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/02 (2006.01)

H01L 29/786 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410089826.6

[45] 授权公告日 2009年4月29日

[11] 授权公告号 CN 100483713C

[22] 申请日 2004.11.1

[21] 申请号 200410089826.6

[30] 优先权

[32] 2003.10.31 [33] JP [31] 373775/03

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 黑川义元

[56] 参考文献

US6519745B1 2003.2.11

CN1438571A 2003.8.27

JP2003-99489A 2003.4.4

审查员 孟超

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张雪梅 张志醒

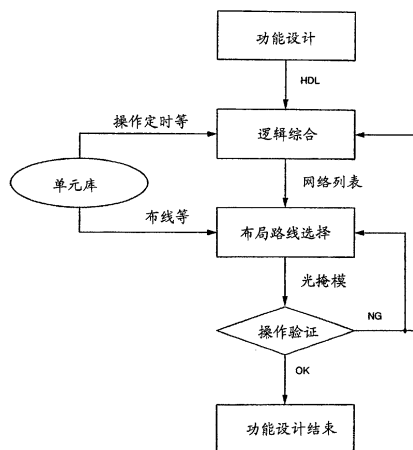
权利要求书 8 页 说明书 29 页 附图 10 页

[54] 发明名称

半导体器件和显示器件

[57] 摘要

本发明通过减少功能电路设计中重复逻辑综合和布局路线选择的所需的时间提供一种低成本和的高性能的功能电路。由输出侧上的逻辑电路和输入侧上的逻辑电路来构成用于逻辑综合和布局路线选择的标准单元，并且使该输出侧上的逻辑电路的驱动能力变大，同时使该输入侧上的逻辑电路的栅极输入容量变小。通过这样来形成标准单元，就可以相对地增加在功能电路的延迟时间中该栅极延迟所占的比。因此，即使没有预先高精度地估测布局路线选择后的布线电容，只要可以高精度地估测每个标准单元的栅极延迟，就可以在该逻辑综合中高精度地获得工作频率。即提高了逻辑综合结果的可靠性，因此不需要重复逻辑综合和自动布局路线选择，这可以缩短设计周期。



1、 一种半导体器件，包括一功能电路，该功能电路包括一标准单元，该标准单元包括：

输入侧逻辑电路；以及

输出侧逻辑电路，

其中该输入侧逻辑电路和该输出侧逻辑电路中的每一个逻辑电路包括一包含门电路和时序电路中的任何一种的电路，

其中该输入侧逻辑电路的输入电容比该输出侧逻辑电路的输入电容更小，并且

其中该输出侧逻辑电路的驱动能力比该输入侧逻辑电路的驱动能力更大。

2、 根据权利要求1的半导体器件，

其中该门电路是非门电路、或门电路、与门电路、或非门电路、与非门电路、异或门电路、异或非门电路中的任何一种电路。

3、 根据权利要求1的半导体器件，

其中该时序电路是触发器电路或锁存器电路。

4、 根据权利要求1的半导体器件，

其中该输入侧逻辑电路包括其沟道宽度为 10 μm 或更小的薄膜晶体管。

5、 根据权利要求1的半导体器件，

其中该输出侧逻辑电路包括其沟道宽度为 5 μm 或更大的薄膜晶体管。

6、 根据权利要求1的半导体器件，

其中该功能电路包括中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一种。

7、 根据权利要求1的半导体器件，

其中该门电路和该时序电路中的任何一个电路包括薄膜晶体管。

8、 根据权利要求1的半导体器件，

其中该半导体器件应用于选自由摄像机、数字照相机、护目镜型显示器、导航系统、声音再现装置、膝上型电脑、游戏机、便携式信息终端以及提供有记录介质的图像再现设备组成的组中的一种中。

9、 一种半导体器件，包括一功能电路，该功能电路包括一标准

单元，该标准单元包括：

输入侧逻辑电路；以及

输出侧逻辑电路，

其中该输入侧逻辑电路和该输出侧逻辑电路中的每一个逻辑电路包括多个包含门电路和时序电路中的任何一种的电路，

其中该输入侧逻辑电路的输入电容比该输出侧逻辑电路的输入电容更小，并且

其中该输出侧逻辑电路的驱动能力比该输入侧逻辑电路的驱动能力更大。

10、根据权利要求9的半导体器件，

其中该门电路是非门电路、或门电路、与门电路、或非门电路、与非门电路、异或门电路、异或非门电路中的任何一种电路。

11、根据权利要求9的半导体器件，

其中该时序电路是触发器电路或锁存器电路。

12、根据权利要求9的半导体器件，

其中该输入侧逻辑电路包括其沟道宽度为 10 μm 或更小的薄膜晶体管。

13、根据权利要求9的半导体器件，

其中该输出侧逻辑电路包括其沟道宽度为 5 μm 或更大的薄膜晶体管。

14、根据权利要求9的半导体器件，

其中该功能电路包括中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一种。

15、根据权利要求9的半导体器件，

其中该门电路和该时序电路中的任何一个电路包括薄膜晶体管。

16、根据权利要求9的半导体器件，

其中该半导体器件应用于选自由摄像机、数字照相机、护目镜型显示器、导航系统、声音再现装置、膝上型电脑、游戏机、便携式信息终端以及提供有记录介质的图像再现设备组成的组中的一种中。

17、一种半导体器件，包括一功能电路，该功能电路包括多个标准单元，该标准单元包括：

输入侧逻辑电路；以及

输出侧逻辑电路，

其中该输入侧逻辑电路和该输出侧逻辑电路中的每一个逻辑电路包括一包含门电路和时序电路中的任何一种的电路，

其中该输入侧逻辑电路的输入电容比该输出侧逻辑电路的输入电容更小，并且

其中该输出侧逻辑电路的驱动能力比该输入侧逻辑电路的驱动能力更大。

18、根据权利要求 17 的半导体器件，

其中该门电路是非门电路、或门电路、与门电路、或非门电路、与非门电路、异或门电路、异或非门电路中的任何一种电路。

19、根据权利要求 17 的半导体器件，

其中该时序电路是触发器电路或锁存器电路。

20、根据权利要求 17 的半导体器件，

其中该输入侧逻辑电路包括其沟道宽度为 10 μm 或更小的薄膜晶体管。

21、根据权利要求 17 的半导体器件，

其中该输出侧逻辑电路包括其沟道宽度为 5 μm 或更大的薄膜晶体管。

22、根据权利要求 17 的半导体器件，

其中该功能电路包括中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一种。

23、根据权利要求 17 的半导体器件，

其中该门电路和该时序电路中的任何一个电路包括薄膜晶体管。

24、根据权利要求 17 的半导体器件，

其中该半导体器件应用于选自由摄像机、数字照相机、护目镜型显示器、导航系统、声音再现装置、膝上型电脑、游戏机、便携式信息终端以及提供有记录介质的图像再现设备组成的组中的一种中。

25、一种半导体器件，包括一功能电路，该功能电路包括多个标准单元，该标准单元包括：

输入侧逻辑电路；以及

输出侧逻辑电路，

其中该输入侧逻辑电路和该输出侧逻辑电路中的每一个逻辑电路

包括多个包含门电路和时序电路中的任何一种的电路，

其中该输入侧逻辑电路的输入电容比该输出侧逻辑电路的输入电容更小，并且

其中该输出侧逻辑电路的驱动能力比该输入侧逻辑电路的驱动能力更大。

26、根据权利要求 25 的半导体器件，

其中该门电路是非门电路、或门电路、与门电路、或非门电路、与非门电路、异或门电路、异或非门电路中的任何一种电路。

27、根据权利要求 25 的半导体器件，

其中该时序电路是触发器电路或锁存器电路。

28、根据权利要求 25 的半导体器件，

其中该输入侧逻辑电路包括其沟道宽度为 10 μm 或更小的薄膜晶体管。

29、根据权利要求 25 的半导体器件，

其中该输出侧逻辑电路包括其沟道宽度为 5 μm 或更大的薄膜晶体管。

30、根据权利要求 25 的半导体器件，

其中该功能电路包括中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一种。

31、根据权利要求 25 的半导体器件，

其中该门电路和该时序电路中的任何一个电路包括薄膜晶体管。

32、根据权利要求 25 的半导体器件，

其中该半导体器件应用于选自由摄像机、数字照相机、护目镜型显示器、导航系统、声音再现装置、膝上型电脑、游戏机、便携式信息终端以及提供有记录介质的图像再现设备组成的组中的一种中。

33、一种显示器件，包括一功能电路，该功能电路包括一标准单元，该标准单元包括：

输入侧逻辑电路；以及

输出侧逻辑电路，

其中该输入侧逻辑电路和该输出侧逻辑电路中的每一个逻辑电路包括一包含门电路和时序电路中的任何一种的电路，

其中该输入侧逻辑电路的输入电容比该输出侧逻辑电路的输入电

容更小，并且

其中该输出侧逻辑电路的驱动能力比该输入侧逻辑电路的驱动能力更大。

34、根据权利要求 33 的显示器件，

其中该门电路是非门电路、或门电路、与门电路、或非门电路、与非门电路、异或门电路、异或非门电路中的任何一种电路。

35、根据权利要求 33 的显示器件，

其中该时序电路是触发器电路或锁存器电路。

36、根据权利要求 33 的显示器件，

其中该输入侧逻辑电路包括其沟道宽度为 10 μm 或更小的薄膜晶体管。

37、根据权利要求 33 的显示器件，

其中该输出侧逻辑电路包括其沟道宽度为 5 μm 或更大的薄膜晶体管。

38、根据权利要求 33 的显示器件，

其中该功能电路包括中央处理单元、存储器件、静态存储器、动态存储器和非易失性存储器中的至少一种。

39、根据权利要求 33 的显示器件，

其中该门电路和该时序电路中的任何一个电路包括薄膜晶体管。

40、根据权利要求 33 的显示器件，

其中该显示器件应用于选自由摄像机、数字照相机、护目镜型显示器、导航系统、声音再现装置、膝上型电脑、游戏机、便携式信息终端以及提供有记录介质的图像再现设备组成的组中的一种中。

41、一种显示器件，包括一功能电路，该功能电路包括一标准单元，该标准单元包括：

输入侧逻辑电路；以及

输出侧逻辑电路，

其中该输入侧逻辑电路和该输出侧逻辑电路中的每一个逻辑电路包括多个包含门电路和时序电路中的任何一种的电路，

其中该输入侧逻辑电路的输入电容比该输出侧逻辑电路的输入电容更小，并且

其中该输出侧逻辑电路的驱动能力比该输入侧逻辑电路的驱动能

力更大。

42、根据权利要求 41 的显示器件，

其中该门电路是非门电路、或门电路、与门电路、或非门电路、与非门电路、异或门电路、异或非门电路中的任何一种电路。

43、根据权利要求 41 的显示器件，

其中该时序电路是触发器电路或锁存器电路。

44、根据权利要求 41 的显示器件，

其中该输入侧逻辑电路包括其沟道宽度为 10 μm 或更小的薄膜晶体管。

45、根据权利要求 41 的显示器件，

其中该输出侧逻辑电路包括其沟道宽度为 5 μm 或更大的薄膜晶体管。

46、根据权利要求 41 的显示器件，

其中该功能电路包括中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一种。

47、根据权利要求 41 的显示器件，

其中该门电路和该时序电路中的任何一个电路包括薄膜晶体管。

48、根据权利要求 41 的显示器件，

其中该显示器件应用于选自由摄像机、数字照相机、护目镜型显示器、导航系统、声音再现装置、膝上型电脑、游戏机、便携式信息终端以及提供有记录介质的图像再现设备组成的组中的一种中。

49、一种显示器件，包括一种功能电路，该功能电路包括多个标准单元，该标准单元包括：

输入侧逻辑电路；以及

输出侧逻辑电路，

其中该输入侧逻辑电路和该输出侧逻辑电路中的每一个逻辑电路包括一包含门电路和时序电路中的任何一种的电路，

其中该输入侧逻辑电路的输入电容比该输出侧逻辑电路的输入电容更小，并且

其中该输出侧逻辑电路的驱动能力比该输入侧逻辑电路的驱动能力更大。

50、根据权利要求 49 的显示器件，

其中该门电路是非门电路、或门电路、与门电路、或非门电路、与非门电路、异或门电路、异或非门电路中的任何一种电路。

51、根据权利要求 49 的显示器件，

其中该时序电路是触发器电路或锁存器电路。

52、根据权利要求 49 的显示器件，

其中该输入侧逻辑电路包括其沟道宽度为 10 μm 或更小的薄膜晶体管。

53、根据权利要求 49 的显示器件，

其中该输出侧逻辑电路包括其沟道宽度为 5 μm 或更大的薄膜晶体管。

54、根据权利要求 49 的显示器件，

其中该功能电路包括中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一种。

55、根据权利要求 49 的显示器件，

其中该门电路和该时序电路中的任何一个电路包括薄膜晶体管。

56、根据权利要求 49 的显示器件，

其中该显示器件应用于选自摄像机、数字照相机、护目镜型显示器、导航系统、声音再现装置、膝上型电脑、游戏机、便携式信息终端以及提供有记录介质的图像再现设备组成的组中的一种中。

57、一种显示器件，包括一功能电路，该功能电路包括多个标准单元，该标准单元包括：

输入侧逻辑电路；以及

输出侧逻辑电路，

其中该输入侧逻辑电路和该输出侧逻辑电路中的每一个逻辑电路包括多个包含门电路和时序电路中的任何一种的电路，

其中该输入侧逻辑电路的输入电容比该输出侧逻辑电路的输入电容更小，并且

其中该输出侧逻辑电路的驱动能力比该输入侧逻辑电路的驱动能力更大。

58、根据权利要求 57 的显示器件，

其中该门电路是非门电路、或门电路、与门电路、或非门电路、与非门电路、异或门电路、异或非门电路中的任何一种电路。

- 59、根据权利要求 57 的显示器件，
其中该时序电路是触发器电路或锁存器电路。
- 60、根据权利要求 57 的显示器件，
其中该输入侧逻辑电路包括其沟道宽度为 10 μm 或更小的薄膜晶体管。
- 61、根据权利要求 57 的显示器件，
其中该输出侧逻辑电路包括其沟道宽度为 5 μm 或更大的薄膜晶体管。
- 62、根据权利要求 57 的显示器件，
其中该功能电路包括中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一种。
- 63、根据权利要求 57 的显示器件，
其中该门电路和该时序电路中的任何一个电路包括薄膜晶体管。
- 64、根据权利要求 57 的显示器件，
其中该显示器件应用于选自由摄像机、数字照相机、护目镜型显示器、导航系统、声音再现装置、膝上型电脑、游戏机、便携式信息终端以及提供有记录介质的图像再现设备组成的组中的一种中。

半导体器件和显示器件

技术领域

本发明涉及一种具有功能电路的半导体器件。具体地，本发明涉及一种重量轻、薄、高性能且低成本的半导体器件。此外，本发明涉及一种具有在同一衬底上的功能电路的显示器件，具体地涉及一种重量轻、薄、高性能且低成本的显示器件。

背景技术

近年来，有关采用多晶硅薄膜作为有源层的薄膜晶体管（此后，称为 TFT）的技术开发已经取得了快速进展。例如，正在积极研究并开发具有其开关元件由 TFT 形成的像素部分的显示器件和具有用于驱动像素的由 TFT 形成的电路的有源矩阵显示器件。这种显示器件具有低成本、薄设计、重量轻、高分辨率、低功耗等主要优点。

此外，随着 TFT 的功能变得更高，就推进了用于形成由 TFT 构成的功能电路并在与显示器件相同的衬底上装配该功能电路的研究和开发。在功能电路中包含中央处理单元（CPU）、图像处理单元、存储器等，如上所述，其需要被形成而不用损害采用 TFT 的显示器件的优点。

发明内容

通过阅读以下结合附图的详细说明，本发明的这些和其它目的、特征和优点将会变得更加明显。

在设计功能电路中，例如，如图 1 中所示，进行处理例如功能设计、逻辑综合、自动布局路线选择（此后，称为布局路线选择）。

在功能设计中，以硬件描述语言（此后，称为 HDL）描述了功能电路的操作。通过适当地进行模拟，确认获得了功能电路所期望的功能。

在逻辑综合中，通过采用逻辑综合工具，将以上描述的以 HDL 描述的操作转置为实际的电子电路。按照通常称为网络列表（net list）的形式，获得此电子电路。网络列表是在电子电路中包含的标准单元的输入端子或输出端子的连接数据。应当注意，标准单元是当进行逻辑综合和布局路线选择时采用的并且具有基本电子电路的预定功能的

电子电路元件。

在布局路线选择中，基于网络列表来形成光掩模。首先，临时性设置在网络列表中包含的标准单元，并根据网络列表依次连接每个标准单元的输入端子和输出端子。通过连接所有的端子，完成光掩模。通常通过采用自动布局路线选择的工具来进行上述的系列操作。

当进行逻辑综合时，临时性确定每条布线的电容，逻辑综合工具选择具有对应于电容的驱动能力的标准单元，并且优化网络列表，以满足预定的需要例如操作速度和功耗。

通过在布局路线选择之后提取每条布线的电容，再次估测操作速度。在该操作验证中不满足预定技术要求的情况下，将再次进行布局路线选择或逻辑综合。在再次进行逻辑综合的情况下，将采用布局路线选择之后的电容来代替每条布线的临时性电容。只要仍不能获得预定的需要就将再次重复这些步骤。大量的重复，就增加了设计周期，且不能低成本地提供功能电路。

通过估测在第一逻辑综合中临时性电容较大，就可以对布局路线选择之后的电容提供裕量。然而，当增加其通常不需要的缓冲器等时，就增大了电路规模。此外，同样地，通过均匀地增大标准单元，就可能增加驱动能力。然而，随着电路规模增大输入电容增加，由此就导致了消耗更大的功率。

根据上述问题，提出了本发明，并且本发明提供一种通过减少在设计功能电路中重复逻辑综合和布局路线选择所需的时间而实现的低成本和高性能的功能电路。通过采用这种功能电路，提供了一种低成本和高性能的半导体器件。借助在同一衬底上装配的这种功能电路，可以提供了一种低成本、薄、重量轻、高分辨率和低功耗的显示器件。

存在具有一种包含这种功能的标准单元，当确定输入信号时，就确定了输出信号，例如，相对于输入信号的非(此后，称为 NOT)、或(OR)、与(AND)、或非(NOR)、与非(NAND)、异或(XOR)、异或非(XNOR)。在本说明书中，这些标准单元称为门单元，每个门单元称为 NOT 单元、OR 单元、AND 单元、NOR 单元、NAND 单元、XOR 单元、XNOR 单元等。

此外，也存在这种标准单元，以便具有根据输入信号的历史(history)而获得输出的功能，例如触发器(FF)和锁存器(LAT)。在本说明书中，这些标准单元称为时序单元，每种时序单元称为 FF 单

元、LAT单元等。

通常，标准单元由具有基本电流电路的功能的较小的电路元件形成。在本说明书中，具有当输入信号确定时确定输出信号的功能的电路元件例如 NOT、OR、AND、NOR、NAND、XOR 和 XNOR 称为门电路，每种门电路称为 NOT 门电路、OR 门电路、AND 门电路、NOR 门电路、NAND 门电路、XOR 门电路和 XNOR 门电路等。类似地，作为 FF 和 LAT 的这种电路元件称为时序电路，该 FF 和 LAT 具有基于操作的历史来输出不同信号的功能，每种时序电路称为 FF 电路和 LAT 电路。门电路和时序电路总称为逻辑电路。

门单元由至少一个门电路形成，并且是除了时序电路之外的标准单元。而且，时序单元由至少一个时序电路形成，并且除了门电路或包含至少一个门电路的标准单元。

在称为单元库的数据库中，登记有诸如每个标准单元的功能、电路结构、操作定时、输出驱动能力、面积、布局的数据。在逻辑综合中，利用例如功能、操作定时等的的数据，来通过从单元库中适当地选择最佳的标准单元来产生网络列表，以满足给定的限制条件，例如操作速度、面积、功耗等。此外，在布局路线选择中，使用布局的数据等。

功能电路的操作速度与 FF 单元之间的最大延迟时间的倒数成比例。这里，延迟时间是在 FF 单元之间的逻辑电路中包含的每个标准单元的布线延迟和门延迟的总计值。注意，难于完全分开门延迟和布线延迟。然而，在本说明书中为了简便，将门延迟假定为在假设连接到每个标准单元的输出端子的电容为零的情况下，从输入信号变化到输出信号变化占用的响应时间。布线延迟是在假设适合的电流电容器连接到每个标准单元的输出端子的情况下，从输入信号变化到输出信号变化占用的响应时间中减去门延迟的时间。

通过模拟就可以详细地估测标准单元的门延迟。另一方面，由标准单元的输出驱动能力和连接到输出端子的布线的电容来确定布线延迟。因此，不确定布线的电容，就不能确定布线延迟。注意，在将适合的电子电容器连接到标准单元的输出端子的情况下，相对于输入信号变化的输出信号变化的延迟时间，即门延迟时间和布线延迟之和通常作为操作定时数据登记在单元库中。

根据本发明，用作逻辑综合和布局路线选择的标准单元由在输入侧

上的逻辑电路和在输出侧上的逻辑电路形成，由此增加了在输出侧上的逻辑电路的输出驱动能力，并降低了在输入侧上的逻辑电路的门输入电容。

通过以此方式来形成标准单元，就能够相对地增加在功能电路的延迟时间中的标准单元的门延迟所占用的比。因此，即使当不能预先精确估测布局路线选择之后的布线电容，也能通过高精度地估测每个标准单元中的门延迟，在逻辑综合中高精度地获得操作频率。即，提高逻辑综合结果的可靠性，因此，就不需要重复逻辑综合和自动布局路线选择，这缩短了设计周期。

如上所述，能够提供一种低成本和高性能的功能电路。此外，通过在同一衬底上装配这种功能电路，就能够提供低成本、薄、重量轻、高分辨率和低功耗的显示器件。

本发明提供一种包括由薄膜晶体管形成的功能电路的半导体器件。功能电路由至少一个标准单元形成，该标准单元由在输入侧上的逻辑电路和在输出侧上的逻辑电路形成。在输入侧上的逻辑电路和在输出侧上的逻辑电路中的每一个逻辑电路由至少一个门电路或时序电路形成。

而且，本发明提供一种包括由薄膜晶体管形成的功能电路的半导体器件。功能电路由至少一个标准单元形成，标准单元由在输入侧上的逻辑电路和在输出侧上的逻辑电路形成。在输入侧上的逻辑电路和在输出侧上的逻辑电路中的每一个逻辑电路由多个门电路或时序电路形成。

而且，本发明提供一种包括由薄膜晶体管形成的功能电路的半导体器件。功能电路由多个标准单元形成，该标准单元由在输入侧上的逻辑电路和在输出侧上的逻辑电路形成。在输入侧上的逻辑电路和在输出侧上的逻辑电路中的每一个逻辑电路由至少一个门电路或时序电路形成。

而且，本发明提供一种包括由薄膜晶体管形成的功能电路的半导体器件。功能电路由多个标准单元形成，该标准单元由在输入侧上的逻辑电路和在输出侧上的逻辑电路形成。在输入侧上的逻辑电路和在输出侧上的逻辑电路中的每一个逻辑电路由多个门电路或时序电路形成。

在上述结构中，门电路可以是 NOT 门电路、OR 门电路、AND 门电路、NOR 门电路、NAND 门电路、XOR 门电路和 XNOR 门电路的任何一种。

在上述结构中，时序电路可以是 FF 电路或 LAT 电路。

而且，在上述结构中，在输入侧上的逻辑电路可以由至少一个其沟道宽度为 10 μm 或更小的薄膜晶体管形成。

而且，在上述结构中，在输出侧上的逻辑电路可以由至少一个其沟道宽度为 5 μm 或更大的薄膜晶体管形成。

而且，在上述结构中，功能电路可以由中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一个形成。

而且，在上述结构中，可以采用在具有绝缘表面的衬底上形成的半导体薄膜来作为薄膜晶体管的有源层。

而且，在上述结构中，具有绝缘表面的衬底可以是玻璃衬底、石英衬底、塑料衬底和 SOI 衬底中的任何一种。

而且，本发明提供一种包括由在同一衬底上的薄膜晶体管形成的功能电路的显示器件。功能电路由至少一个标准单元形成，该标准单元由在输入侧上的逻辑电路和在输出侧上的逻辑电路形成。在输入侧上的逻辑电路和在输出侧上的逻辑电路的每一个逻辑电路由至少一个门电路或时序电路形成。

而且，本发明提供一种包括由在同一衬底上的薄膜晶体管形成的功能电路的显示器件。功能电路由至少一个标准单元形成，该标准单元由在输入侧上的逻辑电路和在输出侧上的逻辑电路形成。在输入侧上的逻辑电路和在输出侧上的逻辑电路的每一个逻辑电路由多个门电路或时序电路中的至少一个形成。

而且，本发明提供一种包括由在同一衬底上的薄膜晶体管形成的功能电路的显示器件。功能电路由多个标准单元形成，该标准单元由在输入侧上的逻辑电路和在输出侧上的逻辑电路形成。在输入侧上的逻辑电路和在输出侧上的逻辑电路的每一个逻辑电路由至少一个门电路或时序电路形成。

而且，本发明提供一种包括由在同一衬底上的薄膜晶体管形成的功能电路的显示器件。功能电路由多个标准单元形成，该标准单元由在输入侧上的逻辑电路和在输出侧上的逻辑电路形成。在输入侧上的逻辑电路和在输出侧上的逻辑电路的每一个逻辑电路由多个门电路或时

序电路的中至少一个形成。

在上述结构中，门电路可以是 NOT 门电路、OR 门电路、AND 门电路、NOR 门电路、NAND 门电路、XOR 门电路和 XNOR 门电路中的任何一种。

而且，在上述结构中，时序电路 (sequential circuit) 可以是 FF 电路或 LAT 电路。

而且，在上述结构中，在输入侧上的逻辑电路可以由至少一个其沟道宽度为 10 μm 或更小的薄膜晶体管形成。

而且，在上述结构中，在输出侧上的逻辑电路可以由至少一个其沟道宽度为 5 μm 或更大的薄膜晶体管形成。

而且，在上述结构中，功能电路可以由中央处理单元、存储器装置、静态存储器、动态存储器和非易失性存储器中的至少一个形成。

而且，在上述结构中，可以采用在具有绝缘表面的衬底上形成的半导体薄膜来作为薄膜晶体管的薄膜晶体管的有源层。

而且，在上述结构中，具有绝缘表面的衬底可以是玻璃衬底、石英衬底、塑料衬底和 SOI 衬底中的任何一种。

而且，在上述结构中，显示器件可以是液晶显示器件。

而且，在上述结构中，显示器件可以是采用自发光元件的显示器件。

而且，在电子装置中组合具有上述结构的半导体器件或显示器件是有效的。

根据本发明，即使在逻辑综合时不能估测自动布局路线选择的布线电容，也可高精度地估测操作频率。即，提高了逻辑综合结果的可靠性，因此，就不需要重复逻辑综合和自动布局路线选择，这可以缩短设计周期。

如上所述，能够提供具有低成本和高性能的功能电路的半导体器件。而且，通过在同一衬底上装配这种功能电路，能够提供低成本、薄、重量轻、高分辨率和低功耗的显示器件。

附图说明

图 1 是设计流程的一个例子。

图 2A-2D 是在本发明的标准单元的电路信号水平中的电路实例。

图 3A-3D 是本发明的标准单元的 TFT 水平的电路实例。

图 4 是本发明的显示器件的顶视图。

图 5 是本发明的显示器件的顶视图。

图 6A-6H 是示出了在本发明的显示器件中的 TFT 的制造方法图。

图 7A-7C 是示出了本发明的液晶显示器的制造方法图。

图 8A-8D 是示出了本发明的 OLED 的制造方法图。

图 9 是示出了采用本发明的显示器件的显示系统图。

图 10A-10G 是采用本发明的半导体器件和显示器件的电子设备图。

具体实施方式

实施模式

在本实施模式中，将参照图 2A-2D 和图 3A-3D 来说明形成在由本发明提供的半导体器件和显示器件中的功能电路的标准单元。这里，将 NOR 单元和 NAND 单元作为标准单元的例子。

首先，说明不采用本发明的电路结构。图 2A 和 2B 示出了其中每个 NOR 单元和 NAND 单元都由一个 NOR 门电路和一个 NAND 门电路构成的实例。这里，NOR 单元具有输入端子 211 和 212、输出端子 213 和 NOR 门电路 214。此外，NAND 单元具有输入端子 221 和 222、输出端子 223 和 NAND 门电路 224。

而且，图 3A 和 3B 示出了由 TFT 构成的 CMOS 电路，每个 CMOS 电路与图 2A 和 2B 相对应。注意，在图 2A 和 2B 以及图 3A 和 3B 中，用相同的数字表示相同的部分。这里，示出了 N 沟道 TFT 311、312、321 和 322 和 P 沟道 TFT 313、314、323 和 324。

在本实施模式下，另一方面，NOR 单元和 NAND 单元每个都具有图 2C 和 2D 中所示的电路结构。这里，NOR 单元具有输入端子 231 和 232、输出端子 233、NOT 门电路 234 和 235、NAND 门电路 236 和 NOT 门电路 237。NAND 单元具有输入端子 241 和 242、输出端子 243、NOT 门电路 244 和 245、NOR 门电路 246 和 NOT 门电路 247。

图 3C 和 3D 示出了 TFT 层次的 CMOS 电路，每个 CMOS 电路与图 2C 和 2D 相对应。注意，在图 2C 和 2D 以及图 3C 和 3D 中，用相同的数字表示相同的部分。这里，示出了 N 沟道 TFT 330、332、334、335、338、340、342、344、345 和 348 以及 P 沟道 TFT 331、333、336、337、339、341、343、346、347 和 349。

在图 2C 和 3C 中，在 NOR 单元的输入侧上的逻辑电路 238 由 NOT 门电路 234 和 235 以及 NAND 门电路 236 构成。此外，在输出侧上的逻辑电路 239 由 NOT 门电路 237 构成。类似地，在图 2D 和 3D 中，在 NAND 单元的输入侧上的逻辑电路 248 由 NOT 门电路 244 和 245 以及 NOR 门电路 246 构成。此外，在输出侧上的逻辑电路 249 由 NOT 门电路 247 构成。

在图 2C 和 3C 中，在输出侧上的逻辑电路 239 的 NOT 门电路 237 具有较大的驱动能力。特别地，增加了图 3C 中的 N 沟道 TFT 338 和 P 沟道 TFT 339 的沟道宽度。类似地，在图 2D 和 3D 中，在输出侧上的逻辑电路 249 的 NOT 门电路 247 具有较大的驱动能力。特别地，增加了图 3D 中的 N 沟道 TFT 348 和 P 沟道 TFT 349 的沟道宽度。这里，考虑到在相对于布线电容模拟的自动布局路线选择之后布线电容的裕量，优选沟道宽度足够长。

而且，在图 2C 和 3C 中，在输入侧上的逻辑电路 238 的 NOT 门电路 234 和 235 具有较小的输入电容。特别地，减少了 N 沟道 TFT 330 和 332 以及 P 沟道 TFT 331 和 333 的沟道宽度。类似地，在图 2D 和 3D 中，在输入侧上的逻辑电路 248 的 NOT 门电路 244 和 245 具有该输入电容。特别地，减少了 N 沟道 TFT 340 和 342 以及 P 沟道 TFT 341 和 343 的沟道宽度。注意，适当优化 TFT 的沟道宽度和布局尺寸，以致减少布局面积并使标准单元的门延迟变得尽可能小。

通过形成如上所述的标准单元，就能够相对地增加在功能电路的延迟时间中标准单元中的门延迟占用的比。可以通过模拟以高精度地估测标准单元中的门延迟，并且该门延迟不受布局路线选择结果的影响。另一方面，尽管布线延迟的作用相对小，但布线延迟受布局路线选择的影响。因此，即使在布局路线选择之后的布线电容变得比第一次的估测值更大，也希望布局路线选择之后的操作速度和在逻辑综合时的估测值之间的差值变小。

在仅仅增加标准单元的驱动能力的情况下，TFT 的沟道宽度可以增加，如图 3A 和 3B 中所示的结构。在此情况下，与图 3C 和 3D 中所示的 TFT 结构相比，TFT 的总数就非常少。而且，还可以降低标准单元中的门延迟。此外，相对地增加功能电路的延迟时间中的门延迟的比例，因此，希望在布局路线选择之后的操作速度和在逻辑综合时的估测值

之间的差值变小。

然而，根据布局面积和低功耗，很可能本发明的电路结构会更加优越。例如，在图 3A 的 TFT 结构中，假设 N 沟道 TFT 311 和 312 的沟道宽度和 P 沟道 TFT 313 和 314 的沟道宽度为 $10\ \mu\text{m}$ 、 $10\ \mu\text{m}$ 、 $40\ \mu\text{m}$ 和 $40\ \mu\text{m}$ 。另一方面，在与图 3C 的 TFT 结构实现类似的输出驱动能力的情况下，N 沟道 TFT 338 的沟道宽度和 P 沟道 TFT 339 的沟道宽度为 $10\ \mu\text{m}$ 和 $20\ \mu\text{m}$ 。此外，至于其它 TFT，例如，假定 N 沟道 TFT 330、332、334 和 335 以及 P 沟道 TFT 331、333、336 和 337 的沟道宽度为 $2\ \mu\text{m}$ 、 $2\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 和 $5\ \mu\text{m}$ 。

在此情况下，在图 3C 的情况下，每个 TFT 的总尺寸为 $62\ \mu\text{m}$ ，同时在图 3A 的情况下为 $100\ \mu\text{m}$ 。因此，在图 3C 的情况下，很可能减少布局面积。此外，在图 3C 中，用于在电路工作时释放每个 TFT 的栅极电容所需的电流损耗变小。因此，很可能降低总体的电流损耗。此外，在图 3C 的情况下，就能显著地减少标准单元的输入电容。

为了增加标准单元的输出驱动能力，例如，由多个 NOT 门电路形成输出侧上的逻辑电路 239 也是有效的。在此情况下，就能够由其沟道宽度较小的 TFT 来形成输入侧上的逻辑电路，由此可进一步减少标准单元的输入电容。而且，就能够进一步降低门延迟和布局面积。

然而，实际上，主要根据具体的电路结构、掩模的设计规则、TFT 特性等来降低布局面积或电流损耗。因此，由结合本与实施模式类似的电路结构的标准单元和根据设计制约的不同电路结构的标准单元来形成功能电路也是有效的。

注意，本发明点是减少标准单元的输入电容，同时增加驱动能力，因此输入侧上的逻辑电路和输出侧上的逻辑电路的划分就不十分重要。例如，在图 2C 中，NOR 单元的输入侧上的逻辑电路 238 可以由 NOT 门电路 234 和 235 构成，并且输出侧上的逻辑电路 239 可以由 NAND 门电路 236 和 NOT 门电路 237 构成。类似地，在图 2D 中，NAND 单元的输入侧上的逻辑电路 248 可以由 NOT 门电路 244 和 245 构成，且输出侧上的逻辑电路 249 可以由 NOR 门电路 246 和 NOT 门电路 247 构成。

注意，在本实施模式下，NOR 单元和 NAND 单元作为标准单元的一个例子，其输入侧上的逻辑电路和输出侧上的逻辑电路每个都由门电路构成，然而，可以类似地构成其它门单元，例如 NOT 单元、OR 单元、

AND 单元、XOR 单元和 XNOR 单元。即，输入侧上的逻辑电路和输出侧上的逻辑电路每个都可以由一门电路构成。

此外，类似地，可以通过对输入侧上的逻辑电路和输出侧上的逻辑电路中的至少一个逻辑电路提供时序电路来形成时序单元例如 FF 单元和 LAT 单元。

如上所述，通过形成被划分为输入侧上的逻辑电路和输出侧上的逻辑电路的标准单元，甚至在由布线电容模型估测的精度不好时，也能在逻辑综合时高精度地估测功能电路的操作速度。即，提高了逻辑综合的可靠性，因此，就不需要重复逻辑综合和自动布局路线选择，这可以缩短设计周期。因此，就可以提供具有低成本和高性能的功能电路的半导体器件。而且，通过在同一衬底上装配这种功能电路，就能够提供低成本、薄、重量轻、高分辨率和低功耗的显示器件。

实施例 1

在本实施例中，作为本发明的显示器件的一个例子，说明包括由在同一衬底上装配由 CPU、SRAM 等构成的功能电路的显示器件。

图 4 是本实施例的显示器件的顶视图。在图 4 中，显示器件包括显示器部分 551 和通过采用在具有绝缘表面的衬底 500 上形成的 TFT 而形成的功能电路 552。显示器部分 551 包括像素部分 501、扫描驱动电路 502 和信号驱动电路 503。此外，功能电路 552 包括 CPU 507 和 SRAM（存储器电路）504。像素部分 501 在显示器部分 551 显示图像。此外，通过扫描驱动电路 502 和信号驱动电路 503 来控制到像素部分 501 的每个像素的图像信号的输入。SRAM 504 由以矩阵排列的多个存储器单元（未示出）构成。每个存储器单元包括这样的功能以便存储输入到 CPU 507 或从 CPU 507 中输出的信号。而且，CPU 507 包括这样的功能以便将控制信号输出到扫描驱动电路 502 和信号驱动电路 503。

功能电路 552 可以包括 GPU（图形处理单元）567。图 5 示出了这种结构。注意，通过采用相同的数字来描述与图 5 中相同的部分，并在此省略其说明。将从衬底 500 的外部输入的信号转换为由 GPU 567 输入到显示器部分 551 的信号。

在图 4 和 5 中，可以采用液晶显示器件或采用自发光元件的显示器件来作为显示器部分 551。

在设计功能电路 552 时，需要以尽可能短的周期来实现小面积、低功耗和高操作速度。因此，在本实施例中说明的方法是有效的。因此，可以缩短功能电路 552 的设计周期，并可以提供低成本和高性能的功能电路。此外，通过在同一衬底上装配这种功能电路，就能够提供低成本、薄、重量轻、高分辨率和低功耗的显示器件。

实施例 2

在本实施例中，将参照图 6A-6H 来说明在实施例 1 中说明的显示器件中的 TFT 的制造方法的一个例子，该显示器包括在同一衬底上的功能电路。注意，在功能电路部分中的 TFT 的制造方法可适用于作为本发明提供的半导体器件的制造方法。

在图 6A 中，对于衬底 100，采用在其表面上形成绝缘膜的石英衬底、硅衬底、金属衬底或不锈钢衬底。可选择地，还可以采用可以承受本制造工艺的处理温度的耐热塑料衬底。在本实施例中，使用由例如硼硅酸钡玻璃和硼硅酸铝玻璃的玻璃形成的衬底 101。

随后，在衬底 101 上，形成由绝缘膜例如氧化硅膜、氮化硅膜和氮氧化硅膜形成的基底膜（未示出）。基底膜可以具有可以层叠单一绝缘膜或两层绝缘膜或多层绝缘膜的结构。

作为基底膜的第一层，形成通过等离子体 CVD、利用 SiH_4 、 NH_3 和 N_2O 作为反应气体形成的 10-200 nm（优选 50-100 nm）厚度的硅的氮化物氧化物膜。在本实施例中，形成 50 nm 厚度的硅的氮化物氧化物膜。随后，作为基底膜的第二层，通过等离子体 CVD，利用 SiH_4 和 N_2O 作为反应气体形成的 50-200 nm（优选 100-150 nm）厚度的氮氧化硅膜。在本实施例中，形成 100 nm 厚度的氮氧化硅膜。

随后，在基底膜上形成半导体膜。通过公知的方法（溅射、LPCVD、等离子体 CVD 等），形成 25-80 nm（优选 30-60 nm）厚度的半导体膜。接着，通过公知的结晶化方法（激光结晶化方法、采用 RTA 或电炉退火的热结晶化方法、采用促进结晶的金属元素的热结晶化方法等），结晶半导体膜。注意，还可以组合采用促进结晶的金属元素的热结晶化方法和激光结晶化方法。例如，在采用促进结晶的金属元素的热结晶化方法之后，还可以进行激光结晶化方法。

然后，将获得的结晶半导体膜构图为所需的形状，以便形成半导体层（半导体有源层）102a-102d。注意，作为半导体层，可以采用例如

非晶半导体膜、微晶半导体膜、结晶半导体膜和具有非晶结构例如非晶硅锗膜的化合物半导体膜。

在本实施例中，通过等离子体 CVD，形成 55 nm 厚度的非晶硅膜。然后，在非晶硅膜上保持含有镍的溶液，其被脱氢，然后热结晶，从而形成结晶硅膜。此后，通过光刻进行构图，形成岛形半导体层 102a-102d。

注意，当通过激光结晶化方法来形成结晶半导体膜时，优选采用其产生连续振荡或脉冲振荡的气体激光器或固体激光器来作为激光器。作为前一种气体激光器，可以采用准分子激光器、YAG 激光器、YVO₄ 激光器、YLF 激光器、YA10₃ 激光器、玻璃激光器、红宝石激光器、Ti:蓝宝石激光器等。此外，作为后一种固体激光器，可以采用利用掺杂有 Cr、Nd、Er、Ho、Ce、Co、Ti 或 Tm 的晶体例如 YAG、YVO₄、YLF 或 YA10₃ 的激光器。注意，为了在结晶化的非晶半导体膜中获得具有大晶粒尺寸的晶体，优选采用能够产生连续振荡波的固体激光器，并应用基波的二次谐波至四次谐波。典型地，应用 Nd: YVO₄ 激光器（基波 1064 nm）的二次谐波（532 nm）或三次谐波（355 nm）。

同样，当采用上述激光器时，优选通过光学系统线性聚集从激光振荡器中发射的激光束并将其辐照到半导体膜。适当设置结晶化条件。当采用准分子激光器时，优选脉冲振荡频率设置为 300 Hz 且激光能量密度设置为 100-700 mJ/cm²（典型地，200-300 mJ/cm²）。此外，当采用 YAG 激光器时，优选使用二次谐波，脉冲振荡频率设置为 1-300 Hz 且激光能量密度设置为 300-1000 mJ/cm²（典型地，350-500 mJ/cm²）。

然而，在本实施例中，采用用于促进结晶化的金属元素来晶化非晶硅膜以使金属元素保留在结晶硅膜中。因此，在晶体硅膜上形成 50-100 nm 厚度的非晶硅膜，进行热处理（热退火，采用 RTA 方法或电炉退火炉等），以便将金属元素扩散进入非晶硅膜中，在热处理之后，通过腐蚀去除非晶硅膜。结果，就能够减少或去除在非晶硅膜中含有的金属元素。

注意，在形成岛形半导体层 102a-102d 之后，可以用痕量杂质元素（硼或磷）进行掺杂。因此，同样通过将痕量杂质元素添加到将作为沟道区的区域，就可以控制 TFT 的阈值。

接着，形成覆盖半导体层 102a-102d 的栅绝缘膜 103。栅绝缘膜 103

通过等离子体 CVD 或溅射、由含有硅的绝缘膜形成为 40-150 nm 厚度。在本实施例中，通过等离子体 CVD 形成氮氧化硅膜来作为 115 nm 厚度的栅绝缘膜 103。当然，栅绝缘膜 103 不限于氮氧化硅膜。可以采用单层或叠层结构的含有硅的其它绝缘膜。注意，当采用氧化硅膜作为栅绝缘膜 103 时，用混合的 TEOS（四乙氧基原硅酸酯）和 O_2 来实施等离子体 CVD，反应压力设置为 40 Pa，衬底温度设置为 300-400°C。然后，例如，在高频（13.56 MHz）和 0.5-0.8 W/cm² 的功率密度下产生放电，以形成氧化硅膜。此后，当对通过上述步骤形成的氧化硅膜在 400-500°C 下进行热退火时，就能够获得具有优选特性的栅绝缘膜 103。

随后，用氮化钽（TaN）来形成 20-100 nm 厚度的第一导电层 104a，并且用钨（W）来形成具有 100-400 nm 厚度的第二导电层 104b。由此，形成了具有两层叠置结构的第一布线层。在本实施例中，形成层叠的由 TaN 膜形成的 30 nm 厚度的第一导电层 104a 和由 W 膜形成的 370 nm 厚度的第二导电层 104b。

在本实施例中，通过溅射、采用 Ta 靶、在含有氮气的气氛下形成作为第一导电层 104a 的 TaN 膜。而且，通过溅射、采用 W 靶形成作为第二导电层 104b 的 W 膜。除此之外，还可以通过热 CVD、采用六氟化钨（WF₆）来形成。无论哪种情况，需要作为栅电极使用的电阻要低。优选 W 膜的电阻率为 20 $\mu\Omega$ cm 或更小。

应当注意，第一导电层 104a 由 TaN 形成、第二导电层 104b 由 W 形成，但不特别限制用于形成第一导电层 104a 和第二导电层 104b 的材料。第一导电层 104a 和第二导电层 104b 可以由选自 Ta、W、Ti、Mo、Al、Cu、Cr 和 Nd 的元素或具有上述元素作为主要成分的合金材料或化合物材料来形成。而且，还可以由其中掺杂有杂质元素例如磷的多晶硅膜代表的半导体膜或 Ag-Pd-Cu 合金来形成。

注意，由第一导电层 104a 和第二导电层 104b 形成的导电膜对应于在实施模式中说明的第一布线层。

接着，形成光刻胶 105 来作为薄膜。作为形成光刻胶 105 的方法，可以采用涂覆方法。应当注意，对于涂覆方法，可以采用旋涂机或辊涂机。对于光刻胶 105，正型或负型的光刻胶的任何一种都可以被采用，根据曝光时采用的光源来进行选择。

随后，如图 6B 中所示，通过光刻胶 105 曝光（第一曝光）形成光

刻胶掩模 108、109 和 185，为了制造栅极布线，进行第一腐蚀处理（第一布线层腐蚀 1）。在本实施例中，采用 ICP（感应耦合等离子体）腐蚀方法来作为第一腐蚀处理的腐蚀工艺，对于腐蚀气体，混合 CF_4 和 Cl_2 ，在 1 Pa 压力下通过将 500 W 的 RF 功率（13.56 MHz）提供到线圈型电极产生等离子体来腐蚀。也在衬底侧（样品台）上提供 100 W 的 RF 功率（13.56 MHz），以便充分地施加负的自偏电压。在混合 CF_4 和 Cl_2 的情况下，就以相似程度腐蚀 W 膜和 Ta 膜。

然而，在半导体层 102c 和 102d 上形成的第一导电层 104a 和第二导电层 104b 的一些部分就不会被腐蚀，原因是这些部分被光刻胶掩模 185 覆盖。

在上述腐蚀条件下，通过适当地构形光刻胶掩模，通过施加到衬底侧的偏压的影响，就以锥形形状制造出第一导电层 106a、107a 和第二导电层 106b、107b 的边缘部分。这里，具有锥形形状的部分（锥形部分）的角度（锥形角）就限定为在衬底 101 的表面（水平表面）和锥形部分的倾斜部分之间形成的角度。通过适当选择腐蚀条件，第一导电层和第二导电层的锥形部分的角度就可以制造为 $15-45^\circ$ 范围的角度。为了在栅绝缘膜 103 上腐蚀而不留残留物，优选增加大约 10-20% 比例的腐蚀时间。由于相对于 W 膜，氮氧化硅膜的选择比为 2-4（典型为 3）的范围，其中已经暴露氮氧化硅膜的表面将通过过腐蚀处理腐蚀掉大约 20-50 nm。因此，通过第一腐蚀处理，就形成了由第一导电层和第二导电层组成的第一形状的导电层 106 和 107（第一导电层 106a、107a 和第二导电层 106b、107b）。此时，在栅绝缘膜 103 中，将曝光区腐蚀掉大约 20-50 nm，并形成减薄的区域。

然后，通过第一掺杂处理（掺杂 1），添加赋予 N 型导电性的杂质元素。至于掺杂方法，可以通过离子掺杂方法或离子注入方法来进行。至于离子掺杂方法的条件，剂量设置为从 1×10^{13} - 5×10^{14} 原子/ cm^2 的范围，并且加速电压设置为 60-100 kV 的范围。作为赋予 N 型导电性的杂质元素，可以采用属于第 15 族的元素，典型为磷（P）或砷（As）。这里，采用磷（P）。在此情况下，对于赋予 N 型杂质的杂质元素，通过使用第一形状（第一导电层 106a、107a 和第二导电层 106b、107b）的导电层 106 和 107 作为掩模、以自对准方式形成第一杂质区 110a、110b、111a 和 111b。以 1×10^{20} - 1×10^{21} 原子/ cm^3 的浓度范围赋予 N 型

杂质的杂质元素添加到第一杂质区 110a、110b、111a 和 111b。

接着,如图 6C 中所示,用未去除的光刻胶掩模来进行第二腐蚀处理(第一布线层腐蚀 2)。采用 CF_4 、 Cl_2 和 O_2 作为腐蚀气体,选择性腐蚀 W 膜。由此,形成第二形状的导电层 412 和 413(第一导电层 412a、413a 和第二导电层 412b 和 413b)。此时,在栅绝缘膜 103 中,进一步腐蚀暴露的区域大约 20-50 nm,并使其变得更薄。

然后,进行第二掺杂处理(掺杂 2)。在此情况下,比第一掺杂处理的剂量相比,减小剂量,并在高加速电压的条件下,掺杂赋予 N 型导电性的杂质元素。例如,在设置为 70-120 kV 的加速电压的条件下,剂量为 1×10^{13} 原子/cm²,在形成于图 2B 的岛形半导体层上的第一杂质区 110a、110b、111a 和 111b 之内,形成新的杂质区。采用第二导电层 412b 和 413b 作为掩模,用杂质元素进行掺杂,以使杂质元素也被添加到低于第一导电层 412a 和 413a 的下层区域的半导体层。由此,形成第二杂质区 416a、416b、418a 和 418b。添加到这些第二杂质区 416a、416b、418a 和 418b 的磷(P)浓度为具有根据第一导电层 412a 和 413a 的锥形部分的膜厚度的缓的浓度梯度。注意,尽管从第一导电层 412a 和 413a 的锥形部分的边缘部分向与第一导电层 412a 和 413a 的锥形部分重叠的半导体层之中杂质浓度轻微减低,但浓度大致相同。

如图 6D 中所示,进行第三腐蚀处理(第一布线层腐蚀 3)。通过采用 CHF_3 的腐蚀气体的反应离子腐蚀方法(RIE 方法)来进行该第三腐蚀处理。部分腐蚀第一导电层 412a 和 413a 的锥形部分,并通过第三腐蚀处理减少其中第一导电层与该半导体层重叠的区域。形成第三形状的导电层 112 和 113(第一导电层 112a 和 113a 以及第二导电层 112b 和 113b)。此时,栅绝缘膜 103 的暴露的区域通过腐蚀减薄大约 20-50 nm。通过第三腐蚀处理,在第二杂质区 416a、416b、418a 和 418b 中,形成与第一导电层 112a 和 113a 重叠的第二杂质区 117a、117b、119a 和 119b 以及在第一杂质区和第二杂质区之间的第三杂质区 116a、116b、118a 和 118b。

随后,如图 6E 中所示,在去除光刻胶掩模 108、109 和 185 之后,形成新的光刻胶 186 作为薄膜。作为光刻胶 186 的膜形成方法,可以采用涂覆方法。应当注意,对于涂覆方法,可以采用旋涂机或辊涂机。

至于光刻胶 186, 根据曝光时使用的光源, 可以采用并选择正型和负型任何一种光刻胶。应当注意, 用于光刻胶 186 的材料可以与第一曝光时使用的光刻胶 105 的材料相同, 或者可以不同于光刻胶 105 的材料。

随后, 对光刻胶 186 进行曝光 (第二曝光), 由此形成光刻胶掩模 123、124 和 187 (图 4F)。应当注意, 在第二曝光中使用的曝光方法可以与第一曝光中的曝光方法相同, 或者可以不同于第一曝光中的曝光方法。然后, 进行第四腐蚀处理 (第一布线层腐蚀 4)。因此, 形成每层具有大致垂直边缘部分的第四形状的导电层 121 和 122 (第一导电层 121a 和 122a 以及第二导电层 121b 和 122b)。应当注意, 由于用光刻胶掩模 187 覆盖了在半导体层 102a 和 102b 之上形成的第三形状的导电层 112 和 113 的一部分 (第一导电层 112a 和 113a 以及第二导电层 112b 和 113b), 因此就不会腐蚀这些部分。

随后, 进行第三掺杂处理 (掺杂 3)。在第三掺杂处理中, 掺杂赋予 N 型导电性的杂质元素。可以通过离子掺杂方法或离子注入方法进行掺杂方法。作为离子掺杂方法的条件, 剂量设置为从 1×10^{13} – 5×10^{14} 原子/cm² 的范围, 并且加速电压设置为从 60–100 kV 的范围。作为赋予 N 型导电性的杂质元素, 采用属于第 15 族的元素, 典型为磷 (P) 或砷 (As)。在本实施例中, 采用磷 (P)。在此情况下, 通过使用光刻胶掩模 123、124 和 187 作为用于添加赋予 N 型导电性的杂质元素的掩模, 形成第四杂质区 125a、125b、126a 和 126b。以从 1×10^{20} – 1×10^{21} 原子/cm³ 的浓度范围, 将赋予 N 型导电性的杂质元素添加到第四杂质区 125a、125b、126a 和 126b。应当注意, 由于用光刻胶掩模 187 覆盖半导体层 102a 和 102b, 因此第三掺杂处理没有添加杂质元素。

在本实施例中, 将杂质元素添加到第四杂质区 125a、125b、126a 和 126b 的条件 (第三掺杂处理) 与将杂质元素提供到第一杂质区 110a、110b、111a 和 111b (第一掺杂处理) 的条件相同。然而, 不限于此条件。该条件可以在第一掺杂处理和第三掺杂处理中有所不同。

随后, 如图 6G 中所示, 在去除光刻胶掩模 187、123 和 124 之后, 形成新的光刻胶 127 和 128, 并进行第四掺杂处理 (掺杂 4)。在第四掺杂处理中, 添加赋予 p 型导电性的杂质元素。至于掺杂方法, 可以采用离子掺杂方法或离子注入方法。在用于形成 P 沟道型 TFT 的岛形半导体层 102b 和 102d 中, 形成对其添加 P 型杂质元素的第四杂质区

190a、190b、191a、191b、129a 和 129b。此时，通过使用第三形状的导电层 113b 和第四形状的导电层 122 作为杂质元素的掩模，以自对准方式形成该杂质区。应当注意，用光刻胶掩模 127 和 128 完全覆盖用于形成 P 沟道型 TFT 的岛形半导体层 102b 和 102d。

通过实施第一掺杂处理、第二掺杂处理和第三掺杂处理，以各自不同的浓度将磷 (P) 添加到第四杂质区 190a、190b、191a、191b、129a 和 129b 中。然而，通过离子掺杂方法、采用乙硼烷 (B_2H_6)，将赋予 p 型导电性的杂质元素添加到任一区域。此时，添加它以使在第四杂质区 190a、190b、191a 和 191b 中的赋予 p 型导电性的杂质元素的浓度处于从 2×10^{20} – 2×10^{21} 原子/cm² 的范围。因此，毫无疑问，第四杂质区 190a、190b、191a 和 191b 就作为 P 沟道型 TFT 的源区和漏区。而且，毫无疑问，第四杂质区 129a 和 129b 就作为 P 沟道型 TFT 的 Lov 区。

利用上述工艺，就在各半导体层 102a–102d 中形成了杂质区。与岛形半导体层重叠的第三形状的导电层 112 和 113 以及第四形状的导电层 121 和 122 就作为栅极布线。

因此，如图 6H 中所示，就形成了 N 沟道型 TFT 71、P 沟道型 TFT 72、N 沟道型 TFT 73 和 P 沟道型 TFT 74。

N 沟道型 TFT 71 包括：沟道区 192，对应于源区和漏区的高浓度杂质区 110a 和 110b，与栅极布线重叠的低浓度杂质区 (Lov 区) 117a 和 117b，不与栅极布线重叠的低浓度杂质区 (Loff 区) 116a 和 116b。另一方面，P 沟道型 TFT 72 包括：沟道区 193，对应于源区和漏区的高浓度杂质区 190a 和 190b 以及与栅极布线重叠的低浓度杂质区 (Lov 区) 129a 和 129b。应当注意，此结构形成为不具有 Loff 区。N 沟道型 TFT 71 和 P 沟道型 TFT 72 的栅极布线具有锥形形状的边缘部分。因此，这些 TFT 在形状上就不适合于制造更小的栅极布线。然而，由于在栅极布线制造步骤中可以自对准方式就可以形成 Lov 区和 Loff 区，因此就可以减少制造 TFT 的步骤数量。因此，就能够形成具有高耐压的 TFT，同时减少了步骤数量。

而且，N 沟道型 TFT 73 包括：沟道区 194 以及对应于源区和漏区的高浓度杂质区 125a 和 125b。而且，P 沟道型 TFT 74 包括：沟道区 195 以及对应于源区和漏区的高浓度杂质区 191a 和 191b。以信号漏极结构形成 N 沟道型 TFT 73 和 P 沟道型 TFT 74。在制造具有 Lov 区和 Loff

区的 TFT 的 N 沟道型 TFT 73 和 P 沟道型 TFT 74 的情况下, 就存在需要新的掩模且会增加步骤数量的问题。然而, 由于在垂直方向上腐蚀栅极布线的边缘部分, 因此就进行了精制。

例如, N 沟道型 TFT 71 和 P 沟道型 TFT 72 可以适合于应用到其中需要耐压的电路例如显示器部分, 同时 N 沟道型 TFT 73 和 P 沟道型 TFT 74 可以适合于应用到其中需要精制的电路例如功能电路部分。

应当注意, 在进行第一曝光步骤中使用的曝光方法和在进行第二曝光步骤中使用的曝光方法可以相同或彼此不同。这里, 通常地, 用作曝光的辐射能量光源的波长越短, 曝光时的分辨率就越高。因此, 例如, 在 N 沟道型 TFT 73 和 P 沟道型 TFT 74 需要比 N 沟道型 TFT 71 和 P 沟道型 TFT 72 更加精制的条件下, 在进行第二曝光步骤中使用的光的波长就比在第一曝光中使用的光的波长更短。

而且, 在进行第一曝光步骤中使用的曝光设备和在进行第二曝光步骤中使用的曝光设备可以相同或彼此不同。

例如, 在 N 沟道型 TFT 73 和 P 沟道型 TFT 74 需要比 N 沟道型 TFT 71 和 P 沟道型 TFT 72 更加精制的条件下, 在进行第一曝光的步骤中采用 MPA 来进行该曝光, 并且在进行第二曝光的步骤中使用步进机来进行该曝光。这里, 通常, 在 MPA 的情况下, 由于每次进行大面积曝光, 在半导体器件的生产率上就有利。另一方面, 在步进机的情况下, 通过光学系统投影标度线上的图形并操纵和停止 (步进并重复) 在衬底侧上的工作台, 对光刻胶曝光图形。与 MPA 相比较, 尽管不能每次进行大面积曝光, 但能够提高线和间隔 (L&S) 的分辨率 (此后, 分辨率指 L&S 的分辨率)。

而且, 作为另一个例子, 在 N 沟道型 TFT 73 和 P 沟道型 TFT 74 需要比 N 沟道型 TFT 71 和 P 沟道型 TFT 72 更加精制的条件下, 在进行第一曝光的步骤中, 当通过光学系统在光刻胶上投影标度线上的图形时, 采用其缩减比例小的步进机, 并且, 在进行第二曝光的步骤中, 当通过光学系统在光刻胶上投影标度线上的图形时, 采用此时其缩减比例大的步进机。应当注意, 步进机的缩减比例是表示当在光刻胶上投影标度线上的图形时通过使它为 $1/N$ 倍的 N 值 (N 是整数)。这里, 通常地, 在当通过光学系统在光刻胶上投影标度线上的图形时其缩减比例大的步进机的情况下, 其中一次曝光的面积就窄, 但分辨率高。

另一方面，在当通过光学系统在光刻胶上投影标度线上的图形时其缩减比例小的步进机的情况下，其中一次曝光的面积就宽，但分辨率低。

如上所述，通过改变在进行第一曝光和第二曝光的步骤中曝光方法，就可以制造出具有高生产率的半导体器件和具有优良特性的 TFT。应当注意，在进行第一曝光和第二曝光的步骤中使用的曝光方法（指曝光条件和曝光设备）不限于上述方法。可以任意地采用公知的曝光方法。而且，通过分别使用多种曝光方法，也可以进行第一曝光和第二曝光的步骤。

应当注意，尽管在本实施例中已经说明了制造单栅极型 TFT 的步骤，但也适合于具有超过两个栅极的双栅极结构或多栅极结构。

应当注意，在本实施例中，说明了栅极型 TFT 及制造顶栅极型 TFT 的步骤。然而，本实施例中描述的方法同样适用于双栅极型 TFT。应当注意，双栅极型 TFT 是一种具有在沟道区之上通过绝缘膜叠加的栅极布线和在沟道区之下通过绝缘膜叠加的栅极布线的 TFT。

而且，当使用本实施例中描述的方法时，可以增加除了 TFT 之外的由第一布线层形成的元件的电极、布线等的形状的自由度。

实施例 3

在本实施例中，说明一种制造液晶显示器件的例子，如实施例 1 中描述的显示器件的一个例子，其中在同一衬底上装配有功能电路。应当注意，在此采用的显示器部分和功能电路以及 TFT 的结构与实施例 1 和 2 相同。

图 7A-7C 示出了本实施例的显示器件的剖面图。示出 N 沟道型 TFT 361 以代表构成像素部分的像素 TFT。而且，示出 N 沟道型 TFT 362 和 P 沟道型 TFT 363 以代表构成像素驱动电路的各元件。示出 N 沟道型 TFT 364 和 P 沟道型 TFT 365 以代表构成功能电路部分的各元件。N 沟道型 TFT 361 和 362、P 沟道型 TFT 363、N 沟道型 TFT 364 和 P 沟道型 TFT 365 的制造方法在此不进行说明，原因是它们与在实施例 1 中参照图 6A-6H 中所述的制造方法相同。

如图 7A 中所示，形成第一层间绝缘膜 6036。第一层间绝缘膜 6036 由通过使用等离子体 CVD 或溅射的 100-200 nm 厚度的含有硅的绝缘膜形成。在本实施例中，通过等离子体 CVD，形成 100 nm 厚度的氮氧化

硅膜。不必说，第一层间绝缘膜 6036 不限于氮氧化硅膜，可以采用单层结构或叠层结构的含有其它硅的绝缘膜。

通过热处理，进行半导体层的重结晶和添加到半导体层的杂质元素的活化。通过采用电炉退火的热退火，进行该热处理。对于热退火，在含有 1 ppm 或更少、优选 0.1 ppm 或更少的氧的氮气气氛中、在 400-700°C 的温度范围内进行该热处理，在本实施例中，在 410°C 下进行 1 小时的热处理。应当注意，除了热退火可以采用激光退火或快速热退火 (RTA)。可以在形成第一层间绝缘膜 6036 之前进行热处理。然而，在本实施例中，在 N 沟道型 TFT 361 和 362、P 沟道型 TFT 363、N 沟道型 TFT 364 和 P 沟道型 TFT 365 的栅极布线对热敏感的情况下，优选在形成第一层间绝缘膜 6036 (含有硅作为其主要成分的绝缘膜，例如氮化硅膜) 之后实施热处理，以便保护布线等。

如上所述，当在形成第一层间绝缘膜 6036 (含有硅作为其主要成分的绝缘膜，例如氮化硅膜) 之后实施热处理时，也可以与活化同时进行半导体层的氢化。在氢化步骤中，由在第一层间绝缘膜 6036 中含有的氢来中断半导体层的悬挂键。应当注意，可以实施用于氢化的热处理以及用于活化工艺的热处理。

随后，如图 7B 中所示，在第一层间绝缘膜 6036 上形成第二层间绝缘膜 6037。可以采用无机绝缘膜来作为第二层间绝缘膜 6037。例如，可以采用通过 CVD 形成的氧化硅膜、通过 SOG (旋涂玻璃) 涂覆的氧化硅膜等。此外，作为第二层间绝缘膜 6037，可以采用有机绝缘膜。例如，可以采用聚酰亚胺、聚酰胺、BCB (苯并环丁烯)、丙烯酸 (纤维) (acrylic) 等形成的膜。此外，也可以采用丙烯酸膜和氮氧化硅膜的叠层结构。同样，可以采用丙烯 (acryl) 膜和通过溅射形成的氮化硅膜或氮氧化硅膜的叠层结构。在本实施例中，形成 1.6 μm 厚度的丙烯酸纤维膜。第二层间绝缘膜 6037 可以减少因各 TFT (N 沟道型 TFT 361 和 362、P 沟道型 TFT 363、N 沟道型 TFT 364 和 P 沟道型 TFT 365) 造成的凹陷和凸起并提供水平度。具体地，提供第二层间绝缘膜 6037 主要用于获得水平度，由此优选水平度优异的膜。

接着，通过采用干法腐蚀或湿法腐蚀，腐蚀第二层间绝缘膜 6037、第一层间绝缘膜 6036 和栅绝缘膜 203，由此形成到达 N 沟道型 TFT 361 和 362、P 沟道型 TFT 363、N 沟道型 TFT 364 和 P 沟道型 TFT 365 的

每个源区和漏区的接触孔。随后，形成电连接到每个 TFT 的源区和漏区的布线 6040-6046 和像素电极 6039。应当注意，在本实施例中，通过连续溅射、形成 50 nm 厚度的 Ti 膜和 500 nm 厚度的 Al 和 Ti 的合金膜的叠层膜，并通过以所需形状构图该叠层膜，形成布线 6040-6046 和像素电极 6039。不必说，本发明不限于两层结构，但单层结构或三层或多层的叠层结构也适用。此外，布线的材料不限于 Al 和 Ti，可以采用其它导电层。例如，通过构图叠层膜来形成各布线，在叠层膜中在 TaN 膜上形成 Al 膜或 Cu 膜并进一步在其上形成 Ti 膜。无论如何，优选采用反射特性优异的材料。

随后，如图 7C 中所示，在至少含有像素电极 6039 的部分之上形成对准膜 6047，并实施摩擦。应当注意，在本实施例中，在形成对准膜 6047 之前，通过构图有机树脂膜例如丙烯酸树脂膜，在所需的位置处形成用于保持衬底间隔的柱状衬垫 6048。此外，代替柱状衬垫，可以在衬底的表面之上分布球形衬垫。

随后，制备反衬底 7000。在反衬底 7000 之上，形成着色层（滤色器）7001-7003 和整平膜 7004。此时，第一着色层 7001 与第二着色层 7002 重叠，以形成遮光部分，并且第二着色层 7002 与第三着色层 7003 部分重叠，以形成遮光部分。此外，第一着色层 7001 与第三着色层 7003 可部分重叠，以形成遮光部分。以此方式，像素之间的间隙就通过遮光部分遮蔽光而不用形成新的遮光层，该遮光部分包括着色层的层叠。因此，就能够减少步骤数量。

然后，至少在整平膜 7004 对应于像素部分的部分之上，形成由透明导电膜形成的反电极 7005，并且在反衬底 7005 的衬底的整个表面之上形成取向膜 7006。然后，实施摩擦。

然后，通过密封材料 7007，将其上形成有像素部分、驱动电路部分和 CPU 部分的衬底 201 与反衬底 7000 彼此粘结。密封材料 7007 混合有填料（未示出），并且衬底 201 和反衬底 7000 粘结，同时通过填料和柱形衬垫 6048 保持一致的间隔。此后，在两个衬底 201 和 7000 之间注入液晶材料 7008，并用密封剂（未示出）完全密封。可以采用公知的液晶材料来作为液晶材料 7008。由此，就完成了液晶显示器件。

此外，将偏振器和 FPC（未示出）粘结到液晶显示器件。通过采用 FPC，就使从在衬底 201 之上形成的各元件或电路引出的端子连接到外

部信号端子，由此就完成了产品。

应当注意，在本实施例中，例示了反射式液晶显示器件，其中像素电极 6039 由反射特性优异的金属膜形成且反电极 7005 由透光的材料形成，但本发明不限于此。例如，本发明可以应用于透射型液晶显示器件，其中像素电极 6039 由透光的材料形成且反电极 7005 由具有反射特性的材料形成。而且，本发明还可以应用于半透射型液晶显示器件。

本实施例可以与实施模式和实施例 1 和 2 的任何一个任意地组合而实现。

实施例 4

在本实施例中，示出了制造其中在每个像素中设置有发光元件的 OLED 显示器件的一个例子，如其中在同一衬底上装配有功能电路的实施例 1 的显示器件的例子。应当注意，显示器部分和功能电路的结构和用于各电路的各 TFT 与实施例 1 和 2 中的结构类似。

发光元件具有阳极、阴极和在阳极和阴极之间夹有有机化合物层的一种结构。当在阳极和阴极之间施加电压时，发光元件发光。可以以叠层结构来形成有机化合物层。典型地，空穴输运层/发光层/电子输运层的叠层结构是公知的。除此之外，可以采用其中以此顺序在阳极上叠置空穴注入层/空穴输运层/发光层/电子输运层的结构或其中以此顺序在阳极上叠置空穴注入层/空穴输运层/发光层/电子输运层/电子注入层的结构。可以将荧光色素等掺杂到发光层中。在发光元件的阴极和阳极之间设置的所有层统统称为有机化合物层。因此，空穴注入层、空穴输运层、发光层、电子输运层、电子注入层等都包含在有机化合物层中。当从一对电极（阳极和阴极）将预定电压施加到上述结构的有机化合物层时，通过发光层中的载流子复合而发光。应当注意，发光元件可以是利用单重态激子（荧光）发射光的元件和从三重态激子（磷光）发射光的元件之一。由于 OLED 显示器件具有优点，以致它有优异的响应性、低电压下工作并具有宽视角等，因此它作为下一代平板显示器就引起了足够的重视。

在图 8A-8D 中，示出了通过采用本发明而形成的半导体器件的剖面图。至于构成像素部分的 TFT，示出了串联连接到发光元件的 TFT 代表

性地示出为 N 沟道型 TFT 361。而且，作为构成像素驱动电路的元件，典型地示出了 N 沟道型 TFT 362 和 P 沟道型 TFT 363。作为构成 CPU 部分的元件，典型地示出了 N 沟道型 TFT 364 和 P 沟道型 TFT 365。由于制造 N 沟道型 TFT 361 和 362、P 沟道型 TFT 363、N 沟道型 TFT 364 和 P 沟道型 TFT 365 的制造方法与在实施例 2 中的图 6A-6H 中所示的制造方法类似，在此省略其说明。

根据实施例 2，制造半导体器件直到图 8A 的状态。在图 8B 中，形成第一层间绝缘膜 5036。该第一层间绝缘膜 5036 由通过等离子体 CVD 或溅射的、100-200 nm 厚度的含有硅的绝缘膜形成。在本实施例中，通过等离子体 CVD 形成 100 nm 厚度的氮氧化硅膜。不必说，第一层间绝缘膜 5036 不限于氮氧化硅膜，可以采用含有硅的另一种绝缘膜作为单层结构或叠层结构。随后，通过热处理，进行半导体层的重结晶和添加到半导体层的杂质元素的活化。通过采用电炉退火的热退火，进行该热处理。对于热退火，在含有 1 ppm 或更少、优选 0.1 ppm 或更少的氧的氮气气氛中、在 400-700°C 的温度范围内进行该热处理，在本实施例中，在 410°C 下进行 1 小时的热处理。应当注意，除了热退火之外，可以采用激光退火或快速热退火 (RTA)。此外，可以在形成第一层间绝缘膜 5036 之前，进行热处理。然而，在本实施例中，在 N 沟道型 TFT 361 和 362、P 沟道型 TFT 363、N 沟道型 TFT 364 和 P 沟道型 TFT 365 的栅电极对热敏感的情况下，优选在形成第一层间绝缘膜 5036 (含有硅作为其主要成分的绝缘膜，例如氮化硅膜) 之后实施热处理，以便保护布线等。

如上所述，当在形成第一层间绝缘膜 5036 (含有硅作为其主要成分的绝缘膜，例如氮化硅膜) 之后实施热处理时，也可以与活化同时进行半导体层的氢化。在氢化步骤中，由在第一层间绝缘膜 5036 中含有的氢来端接半导体层的悬挂键。应当注意，除了用于活化工艺的热处理之外，可以实施用于氢化的热处理。这里，氢化半导体层与第一层间绝缘膜 5036 的存在无关。作为用于氢化的其它方法，可以采用使用等离子体激发的氢的方法 (等离子体氢化) 或使用在含有 3-100% 的氢的气氛中、在 300-450°C 的温度范围内进行 1-12 小时热处理的方法。

随后，在第一层间绝缘膜 5036 上形成第二层间绝缘膜 5037。可以采用无机绝缘膜来作为第二层间绝缘膜 5037。例如，可以采用通过 CVD

形成的氧化硅膜、通过 SOG (旋涂玻璃) 涂覆的氧化硅膜等。此外, 作为第二层间绝缘膜 5037, 可以采用有机绝缘膜。例如, 可以采用聚酰亚胺、聚酰胺、BCB (苯并环丁烯)、丙烯酸等形成的膜。或者, 也可以采用丙烯酸纤维膜和氮氧化硅膜的叠层结构。同样, 可以采用丙烯酸 (acryl) 膜和通过溅射形成的氮化硅膜或硅的氮化物氧化物膜的叠层结构。在本实施例中, 形成 1.6 μm 厚度的丙烯酸纤维膜。第二层间绝缘膜 5037 可以减少因在衬底 201 之上形成的各 TFT 造成的不平整并提供水平度。具体地, 提供第二层间绝缘膜 5037 主要用于获得水平度, 由此优选水平度优异的膜。

接着, 通过采用干法腐蚀或湿法腐蚀, 腐蚀第二层间绝缘膜 5037、第一层间绝缘膜 5036 和栅绝缘膜 203, 由此形成到达 N 沟道型 TFT 361 和 362、P 沟道型 TFT 363、N 沟道型 TFT 364 和 P 沟道型 TFT 365 的每个源区和漏区的接触孔。

随后, 形成由透明导电膜组成的像素电极 5038。对于透明导电膜, 可以采用氧化铟和氧化锡的化合物 (ITO)、添加有氧化硅的氧化铟和氧化锡的化合物 (ITSO)、氧化铟和氧化锌的化合物、氧化锌、氧化锡、氧化铟等。可选择地, 可以采用将镓添加到上述透明导电膜的物质。像素电极 5038 对应于发光元件的阳极。在本实施例中, 形成 110 nm 厚度的 ITSO, 并进行构图, 以形成像素电极 5038。

随后, 形成分别电连接到每一个 TFT (N 沟道型 TFT 361 和 362、P 沟道型 TFT 363、N 沟道型 TFT 364 和 P 沟道型 TFT 365) 的源区和漏区的布线 5039-5046。应当注意, 在本实施例中, 通过连续溅射形成 100 nm 厚度的 Ti 膜、350 nm 厚度的 Al 膜和 100 nm 厚度的 Ti 膜的叠层膜, 并通过以所需形状构图该叠层膜, 形成布线 5039-5046。不必说, 本发明不限于三层结构, 而单层结构或两层结构或四层或更多层的叠层结构也适用。此外, 布线的材料不限于 Al 和 Ti, 可以采用另一导电膜。例如, 通过构图叠层膜来形成各布线, 在叠层膜中在 TaN 膜上形成 Al 膜或 Cu 膜并进一步在其上形成 Ti 膜。以此方式, 通过布线 5039, 像素部分的 N 沟道型 TFT 361 的源区或漏区之一就电连接到像素电极 5038。这里, 通过叠加像素电极 5038 的一部分和布线 5039 的一部分, 在布线 5039 和像素电极 5038 之间形成电连线。

随后, 如图 8D 中所示, 形成第三层间绝缘膜 5047。对于第三层间

绝缘膜 5047, 可以采用无机和有机绝缘膜。作为无机绝缘膜, 可以采用通过 CVD 方法形成的氧化硅膜和通过 SOG (旋涂玻璃) 涂覆的氧化硅膜、通过溅射形成的氮化硅膜或氮氧化硅膜, 等等。而且, 作为有机绝缘膜, 可以采用丙烯酸树脂膜等。除此之外, 具有硅氧烷键和具有在硅上附着的有机基团例如甲基和苯基的有机硅氧烷基绝缘膜。

在对应于第三层间绝缘膜 5047 的像素电极 5038 的位置处, 形成开口部分。第三层间绝缘膜 5047 作为堤坝 (bank)。此时, 当形成开口部分时, 通过采用湿法腐蚀, 就容易形成锥形形状的侧壁。当开口部分的侧壁不是足够平缓时, 由于步骤差异导致的有机化合物层的退化变成显著问题, 因此就需要非常小心。

随后, 为了对第三层间绝缘膜 5047 进行脱氢, 在 150-450°C、优选 250-350°C 的温度范围内、在减压下进行热处理。此后, 暴露于第三层间绝缘膜 5047 上的开口部分中的像素电极 5038 上形成有机化合物层 5048。可以采用公知的有机发光材料作为有机化合物层 5048。注意, 可以采用有机发光材料和无机发光材料, 或者可以采用无机发光材料来代替有机发光材料。

作为有机发光材料, 可以任意地采用低分子量的有机发光材料、高分子量的有机发光材料和中等分子量的有机发光材料。应当注意, 中等分子量的有机发光材料定义为其不具有升华特性且它的聚合度为大约 20 或更低的有机发光材料。

在本实施例中, 采用低分子量的有机发光材料通过气相淀积来形成有机化合物层 5048。具体地, 以叠层结构形成有机化合物层 5048, 其中提供 20 nm 厚度的酞菁铜 (CuPc) 作为空穴注入层, 并且其上提供 70 nm 厚度的三-8 羟基喹啉铝络合物 (Alq_3) 膜作为发光层。通过将荧光色素例如喹吡酮、二萘嵌苯和 DCM1 添加到 Alq_3 就可以控制发光颜色。

而且, 作为采用高分子量有机发光材料的一个例子, 可以形成具有叠层结构的有机化合物层 5048, 其中通过旋涂提供 20 nm 厚度的聚噻吩 (PEDOT) 膜作为空穴注入层, 并在其上形成大约 100 nm 厚度的对苯亚乙烯酯 (PPV) 作为发光层。应当注意, 当采用 p 共轭的高分子 PPV 时, 就可以选择发射红颜色到蓝颜色波长的光。而且, 对于电子输运层和电子注入层, 可以采用无机材料例如碳化硅。

应当注意，有机化合物层 5048 不限于具有其中明显地区分空穴注入层、空穴输运层、发光层、电子输运层和电子注入层等的叠层结构的有机化合物层。即，有机化合物层 5048 可以是一种具有组成空穴注入层、空穴输运层、发光层、电子输运层和电子注入层等的材料的混合层结构。例如，它可以是具有一种结构的有机化合物层 5048，在该结构中，在电子输运层和发光层之间形成组成电子输运层的材料（此后，描述为电子传输材料）和组成发光层的材料（此后，描述为发光材料）构成的混合层。

随后，在有机化合物层 5048 上提供由导电膜形成的反电极 5049。在本实施例的情况下，采用铝和锂的合金膜作为导电膜。应当注意，可以采用 Mg-Ag 膜（镁和银的合金膜）。在本实施例中，反电极 5049 对应于发光元件的阴极。作为阴极材料，可以任意地采用由属于元素周期表的第 1 族或第 2 族的元素组成的导电膜或添加有这些元素的导电膜。

当形成反电极 5049 的同时，就完成了发光元件。应当注意，发光元件指由像素电极（阳极）5038、有机化合物层 5048 和反电极（阴极）5049 形成的二极管。

提供钝化膜 5050 以便完全覆盖发光元件是有效的。作为钝化膜 5050，可以采用具有单层或叠层的含有碳膜、氮化硅膜或氮氧化硅膜的绝缘膜。优选采用覆盖性优异的膜作为钝化膜 5050，并且采用碳膜、特别是 DLC（类金刚石碳）膜是有效的。由于可在 100°C 或更低的温度范围内形成 DLC 膜，因此甚至在其耐热性低的有机化合物层的上部也容易形成 DLC 膜。而且，由于 DLC 膜具有高阻挡氧的效应，因此可以抑制有机化合物层 5048 的氧化。

应当注意，在形成第三层间绝缘膜 5047 之后，采用多室方法（或成行方法）的膜形成设备连续实施步骤直至形成钝化膜 5050 的步骤而不将发光元件暴露到外部空气是有效的。

应当注意，实际上，当完成图 8D 的状态时，优选其密封特性好且脱气少（叠层膜，紫外线固化树脂膜等）的保护膜或用具有半透明的密封部件进行封装，以使发光元件不被暴露到外部空气。此时，当将惰性气氛注入到密封部件的内部或内部设置吸湿材料（例如，氧化钡）时，就提高了发光元件的可靠性。

而且，当通过实施处理例如封装等来提高密封特性时，通过装配连接器（柔性印刷电路板：FPC），就完成一个产品，该连接器用于连接从衬底 201 之上形成的元件或电路引出的端子和外部信号端子。

本实施例可以任意地与实施模式以及实施例 1 和 2 进行组合而实现。

实施例 5

在本实施例中，将参照图 9 来说明通过使用本发明制造的显示系统的一个例子。

这里，显示系统包括其上形成显示器件和 CPU 部分的衬底、以及通过 FPC 外粘结的电路等。作为显示器件的一种制造方法，采用实施例 1-3 的那些制造方法。于 9 中示出了显示系统结构的一个例子。

在衬底 500 之上形成具有如图 4 和 5 中所示的结构的电路。这里，示出了采用具有图 5 中所示的结构的电路的一个例子。在显示系统 700 中，衬底 500 通过 FPC 710 电连接到电源电路 701、时钟振荡电路 702、VRAM 703、ROM 704 和 WRAM 705。这里，电源电路 701 是一种用于将提供在显示系统 700 中的电源转换为用于在衬底 500 上形成的电路的电源的电路。时钟振荡电路 702 是一种用于将控制信号例如时钟信号输入到衬底 500 上形成的电路的电路。VRAM 703 是一种用于以将被输入到 GPU567 的形式存储视频信号的电路。ROM 704 是一种用于存储用于控制 CPU 507 的数据和输入到显示系统 700 的视频信号的电路。WRAM 705 是其中 CPU 507 执行处理的工作区。

应当注意，由于在衬底 500 上提供的 SRAM 504 和通过 FPC 710 连接的 WRAM 705 两者都作为 CPU 507 的工作区，因此省略它们中的任何一个。例如，在来自 CPU 507 的访问非常多、但仅需要相对小的存储容量的情况下，就优选采用 SRAM 504。相反，在需要大量的存储容量但来自 CPU 507 的访问相对少的情况下，优选采用 WRAM 705。

实施例 6

在本实施例中，将参照图 10A-10G 来说明通过采用本发明制造的电子设备的例子。

使用本发明的电子设备的例子包括摄像机、数字照相机、护目镜型

显示器（头戴的显示器）、导航系统、声音再现装置（例如汽车音响系统和音频元件系统）、膝上型电脑、游戏机、便携式信息终端（例如移动计算机、移动电话、便携式游戏机和电子书）以及提供有记录介质的图像再现设备（具体地，其再现记录介质例如数字通用光盘（DVD）并提供有能够显示其图像的显示器的设备）。图 10A-10G 示出了它们的具体例子。

图 10A 说明了一种显示器件，其包括外壳 1401、支撑座 1402 和显示器部分 1403。本发明可以应用于构成显示器部分 1403 的显示器件。通过采用本发明，就能够实现一种小型、重量轻且高性能的显示器件。

图 10B 示出了一种摄像机，其包括主体 1411、显示部分 1412、音频输入部分 1413、操作开关 1414、电池 1415、图像接收部分 1416 等。本发明可以应用于构成显示器部分 1412 的显示器件。通过采用本发明，就能够实现一种小型、重量轻且高性能的摄像机。

图 10C 说明了一种膝上型个人计算机，其包括主体 1421、外壳 1422、显示器部分 1423、键盘 1424 等。本发明可以应用于构成显示器部分 1423 的显示器件。同样，本发明可以应用于半导体器件例如在主体 1421 中的 CPU 和存储器。通过采用本发明，就能够实现一种小型、重量轻且高性能的个人计算机。

图 10D 说明了一种便携式信息终端，其包括主体 1431、记录笔 1432、显示器部分 1433、操作按钮 1434、外部接口 1435 等。本发明可以应用于构成显示器部分 1431 的显示器件。同样，本发明可以应用于半导体器件例如在主体 1431 中的 CPU 和存储器。通过采用本发明，就能够实现一种小型、重量轻且高性能的便携式信息终端。

图 10E 说明了一种声音再现装置，特别是一种汽车音响系统，其包括主体 1441、显示器部分 1442、操作开关 1443 和 1444 等。本发明可以应用于构成显示器部分 1442 的显示器件。同样，本发明可以应用于半导体器件例如在主体 1441 中的 CPU 和存储器。此外，尽管在本实例中说明了汽车音响系统，但本发明也可以用于便携式音响系统或家用音响系统。通过采用本发明，就能够实现一种小型、重量轻且高性能的声音再现装置。

图 10F 说明了一种数字照相机，其包括主体 1451、显示器部分 (A) 1452、目镜部分 1453、操作开关 1454、显示器部分 (B) 1455、电池

1456 等。本发明可以应用于构成显示器部分 (A) 1452 和显示器部分 (B) 1455 的显示器件。同样, 本发明可以应用于半导体器件例如在主体 1451 中的 CPU 和存储器。通过采用本发明, 就能够实现一种小型、重量轻且高性能的数字照相机。

图 10G 说明了一种便携式电话, 其包括主体 1461、音频输出部分 1462、音频输入部分 1463、显示器部分 1464、操作开关 1465、天线 1466 等。本发明可以应用于构成显示器部分 1464 的显示器件。同样, 本发明可以应用于半导体器件例如在主体 1461 中的 CPU 和存储器。通过采用本发明, 就能够实现一种小型、重量轻且高性能的便携式电话。

不仅玻璃衬底而且耐热塑料衬底都可以用于上述每一种电子设备中采用的半导体器件和显示器件。因此, 就能够进一步实现减轻重量。

本发明不限于上述电子设备, 而是可以包括采用实施模式中展示的半导体器件和显示器件的各种电子设备。

本申请基于 2003 年 10 月 31 日在日本专利局申请的日本专利申请序列号 No. 2003-373775, 其内容在此引用作为参考。

虽然已经利用实例参照附图全面地说明了本发明, 但应当理解各种变化和修改对于本领域普通技术人员是显而易见的。因此, 除非这些改变和修改脱离了本发明的范围, 否则它们都应当被理解为本发明所包含的内容。

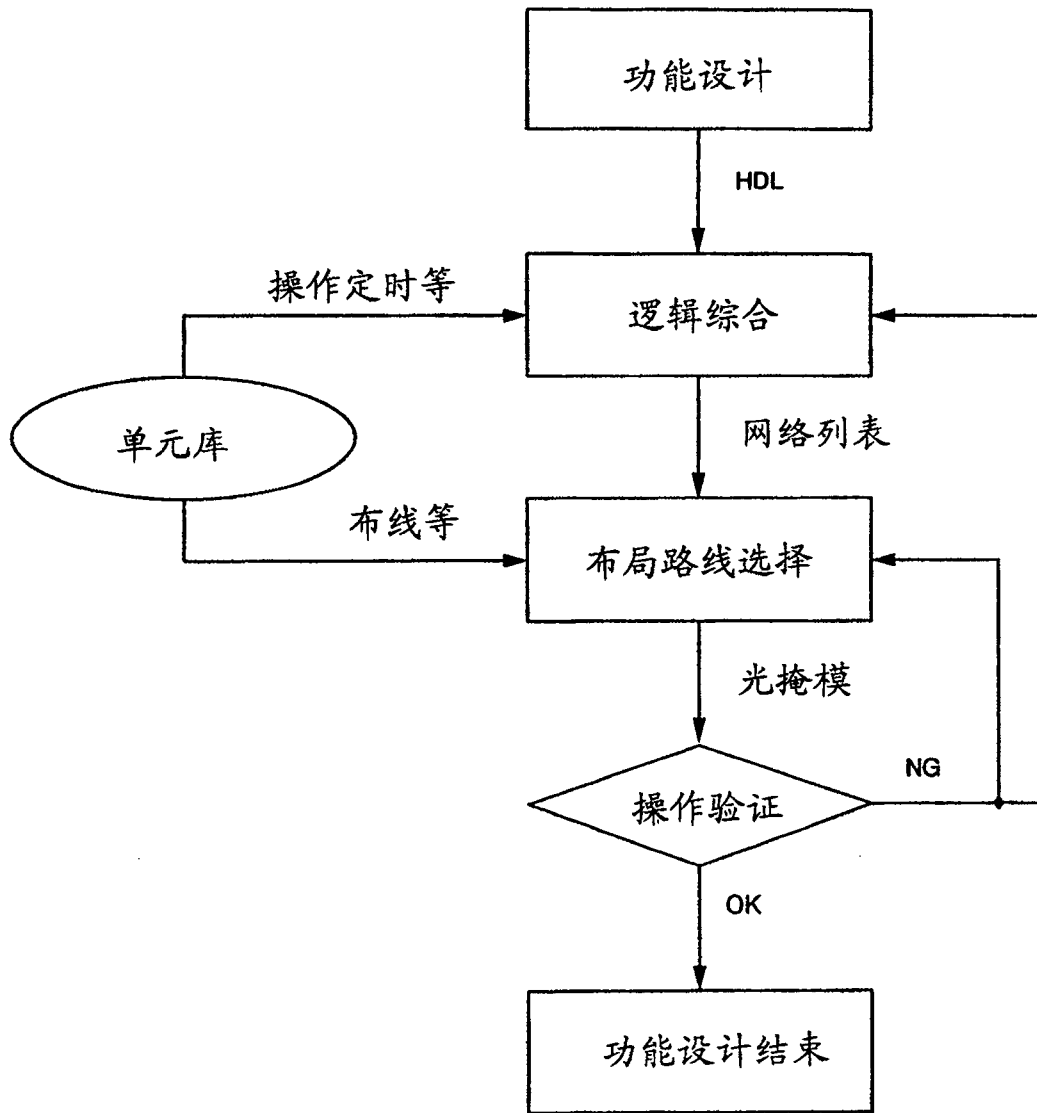


图 1

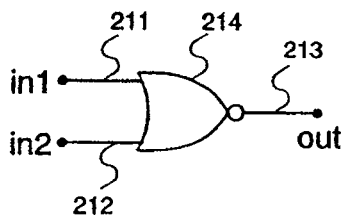


图 2A

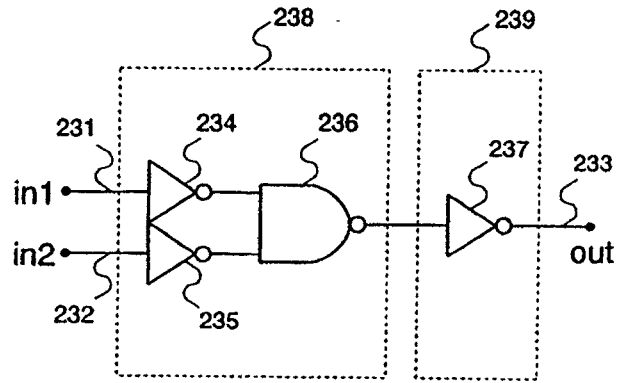


图 2C

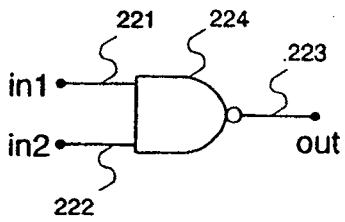


图 2B

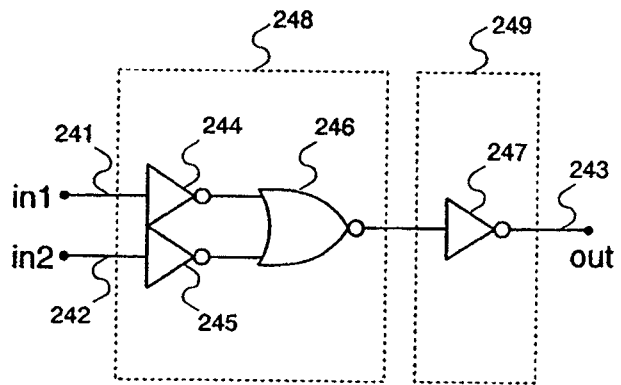


图 2D

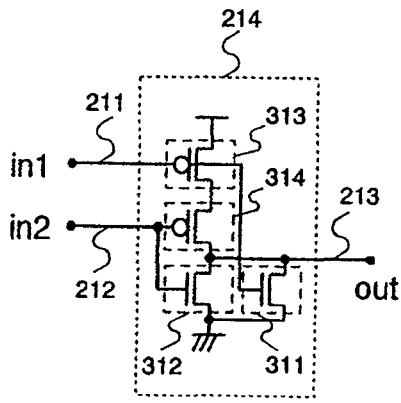


图 3A

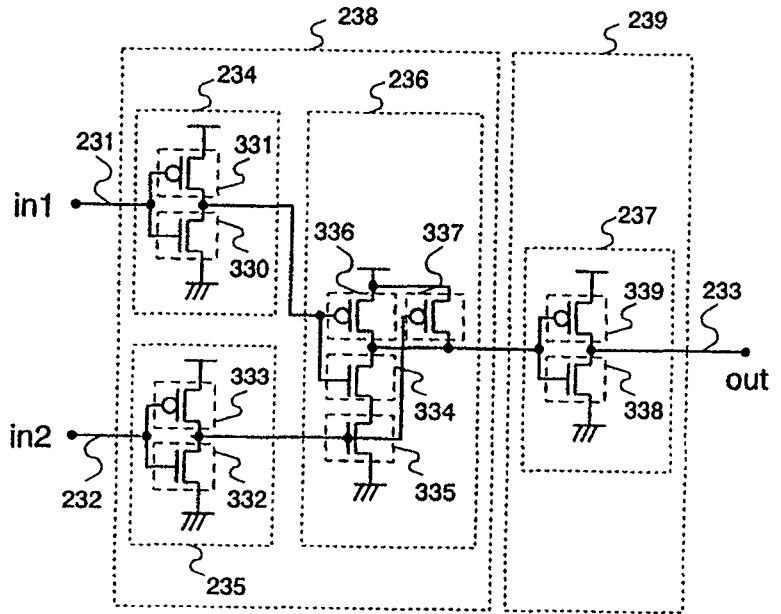


图 3C

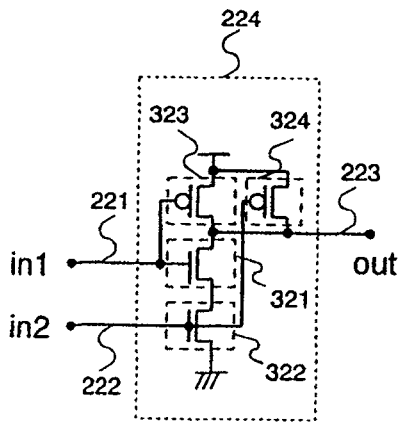


图 3B

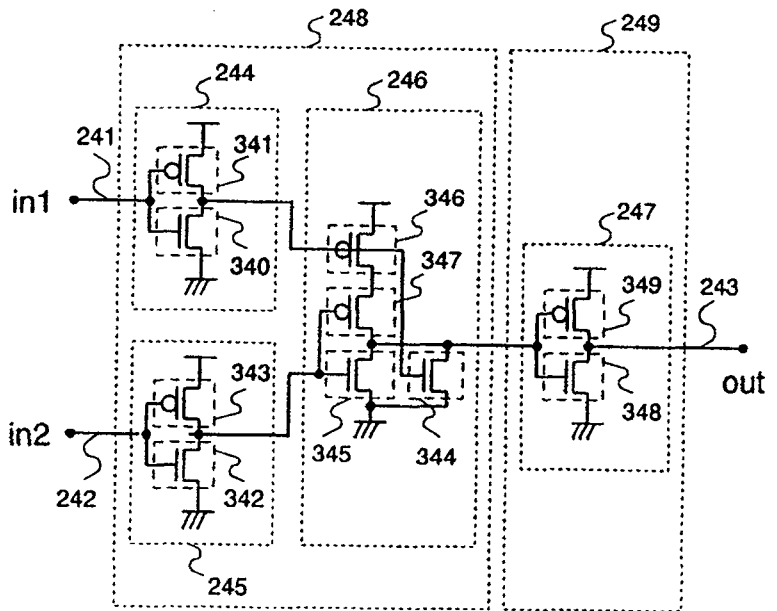


图 3D

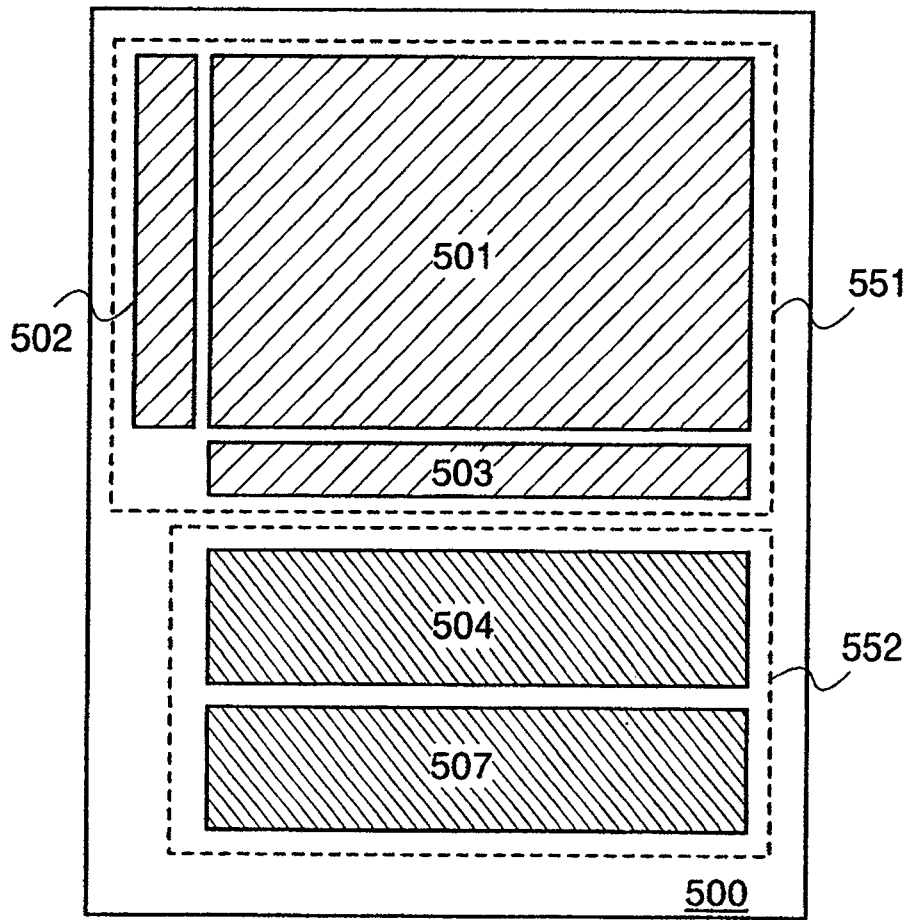


图 4

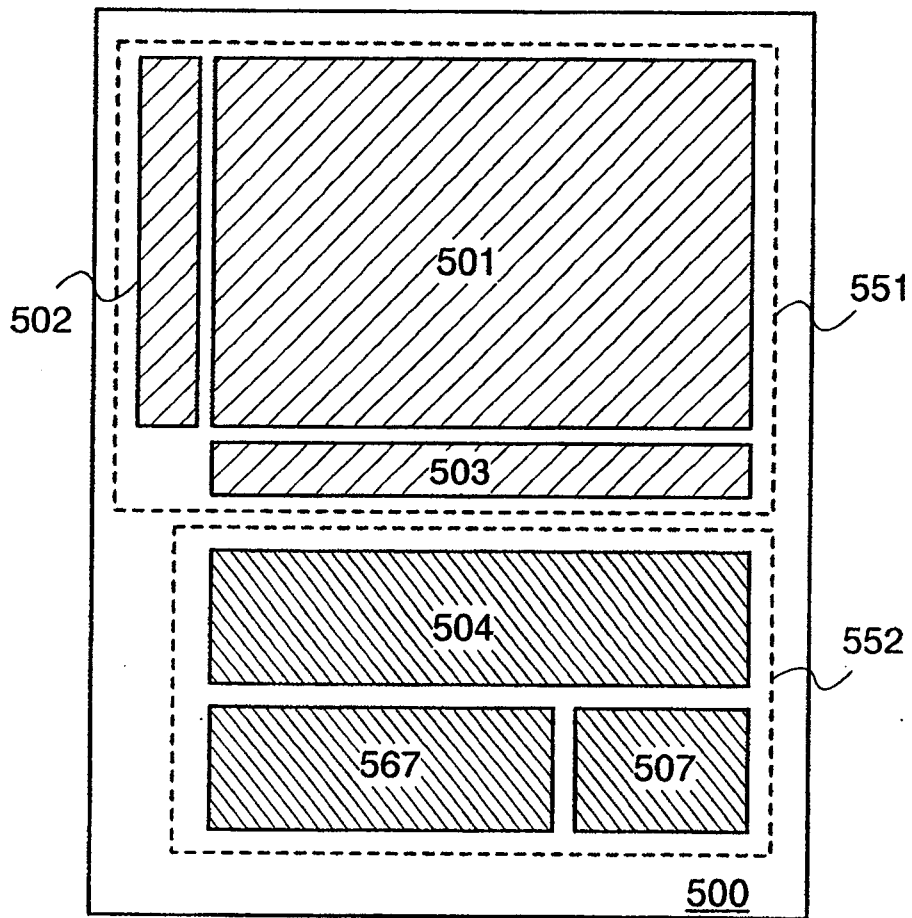
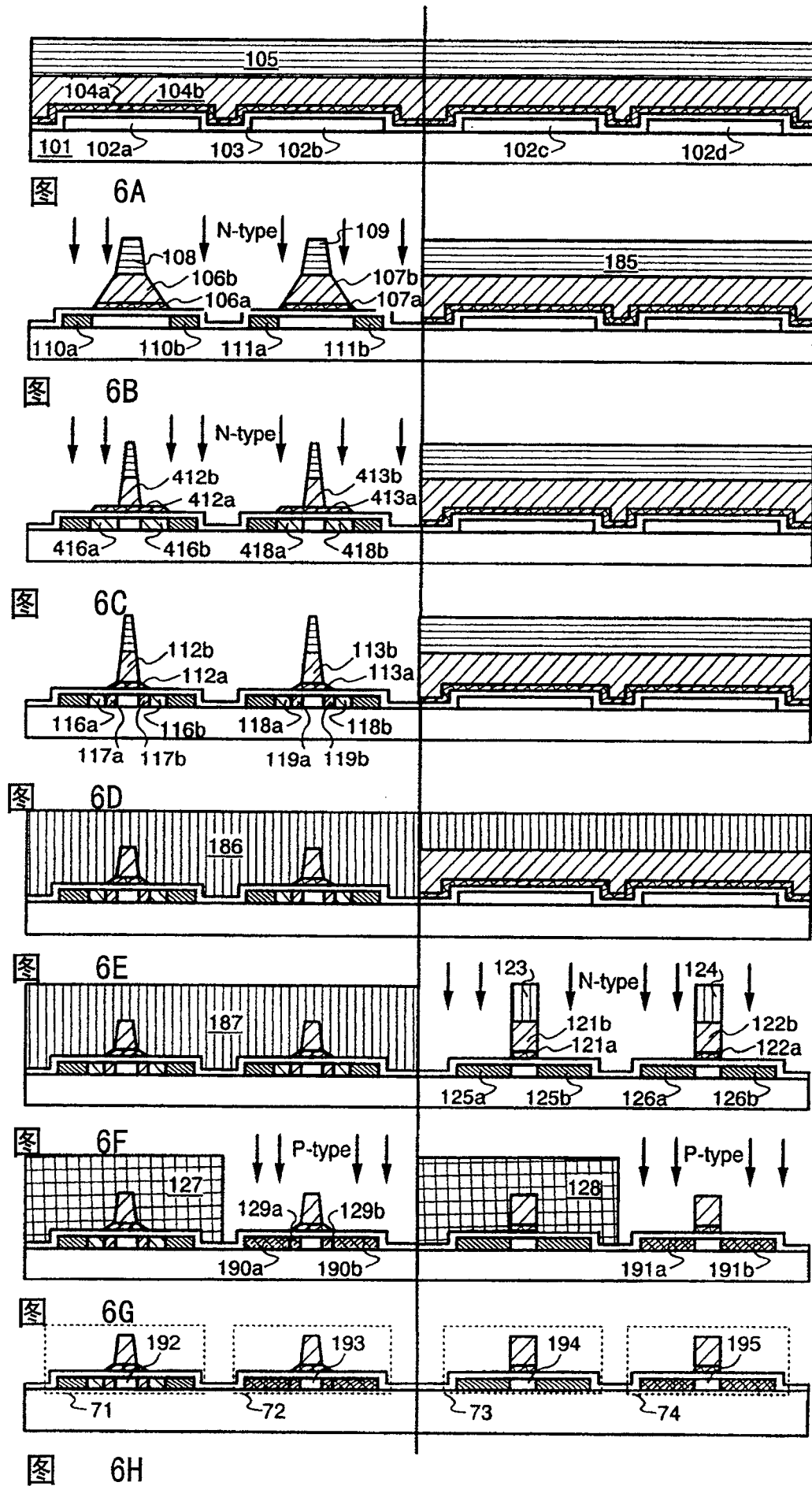
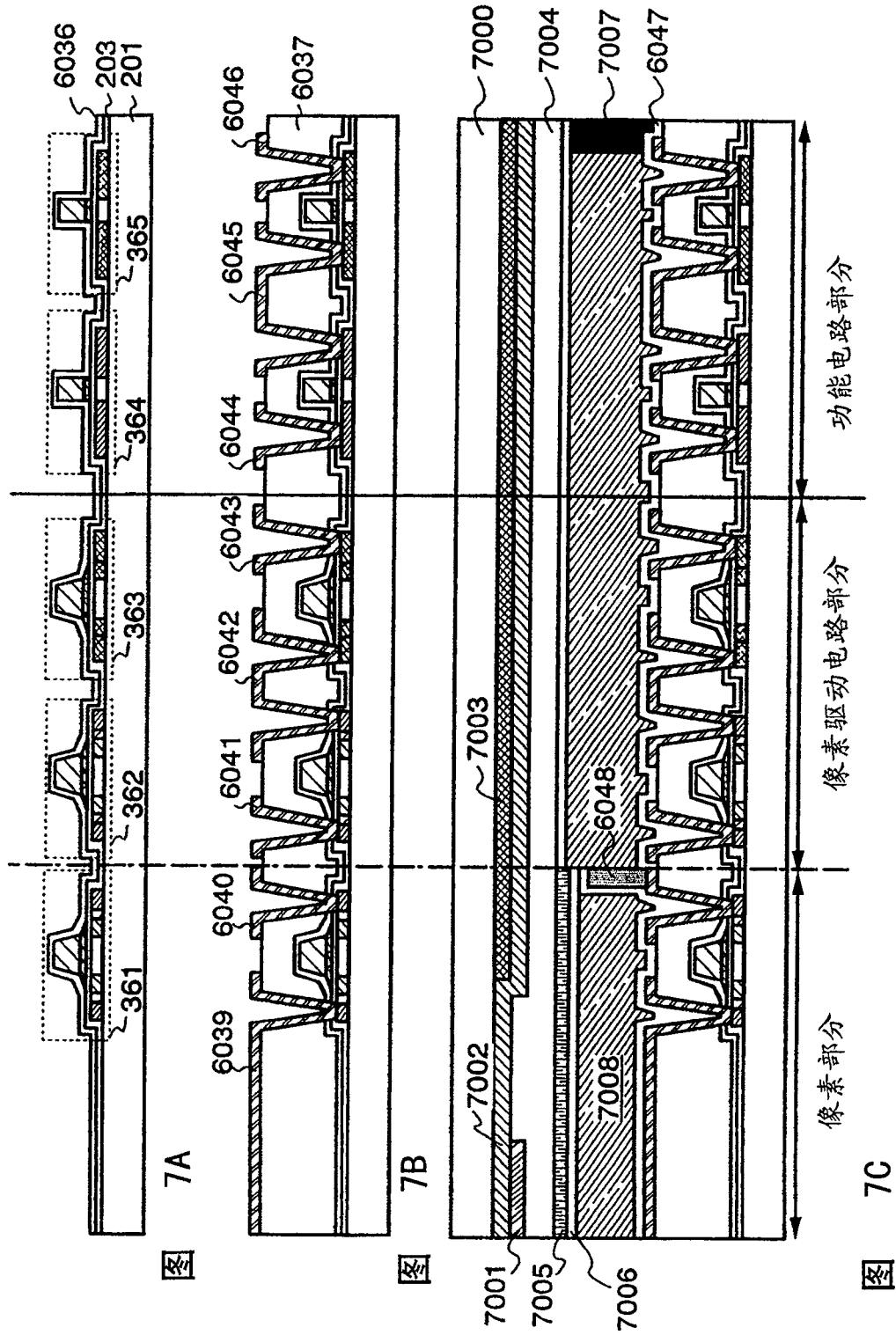
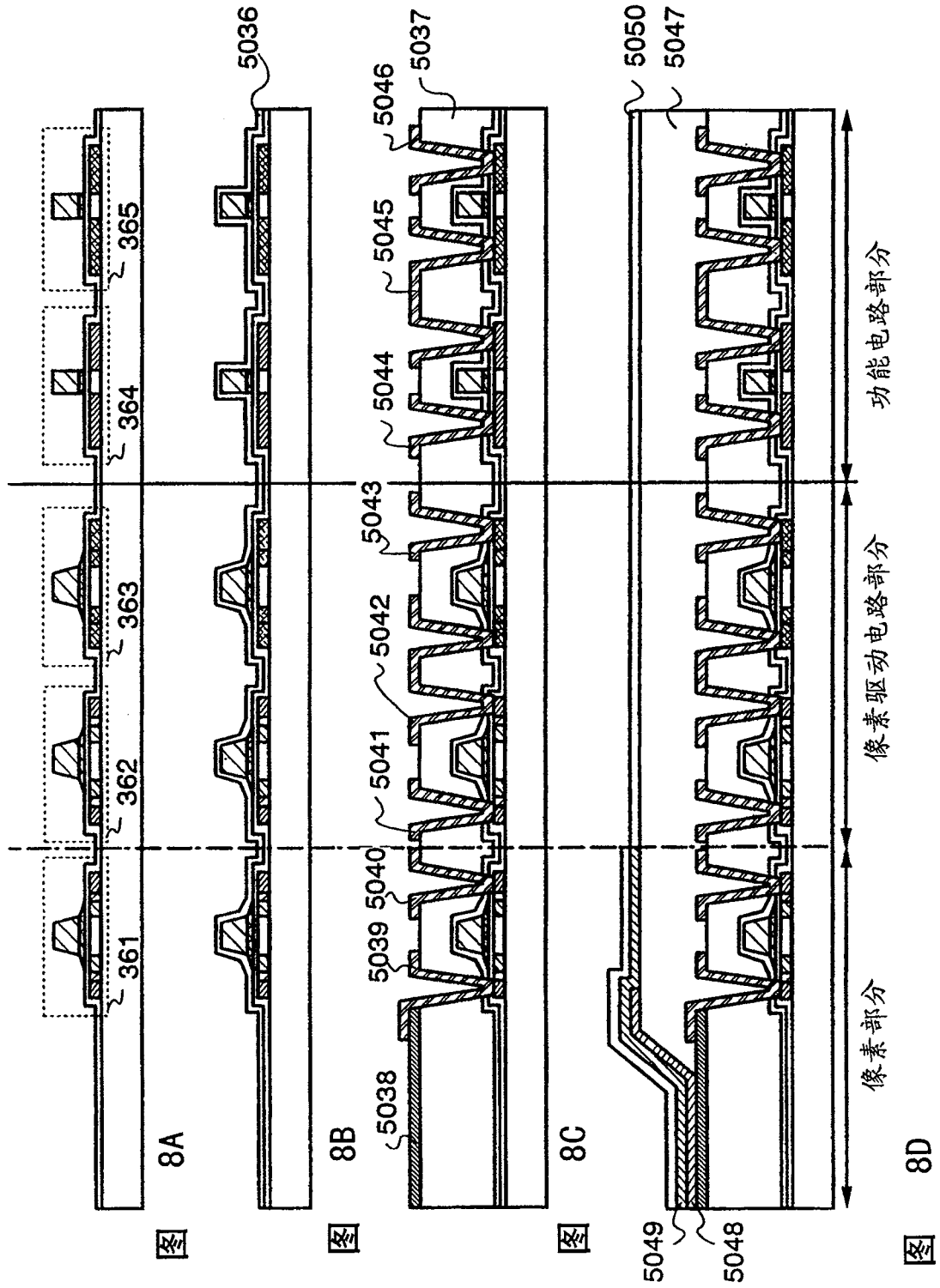


图 5







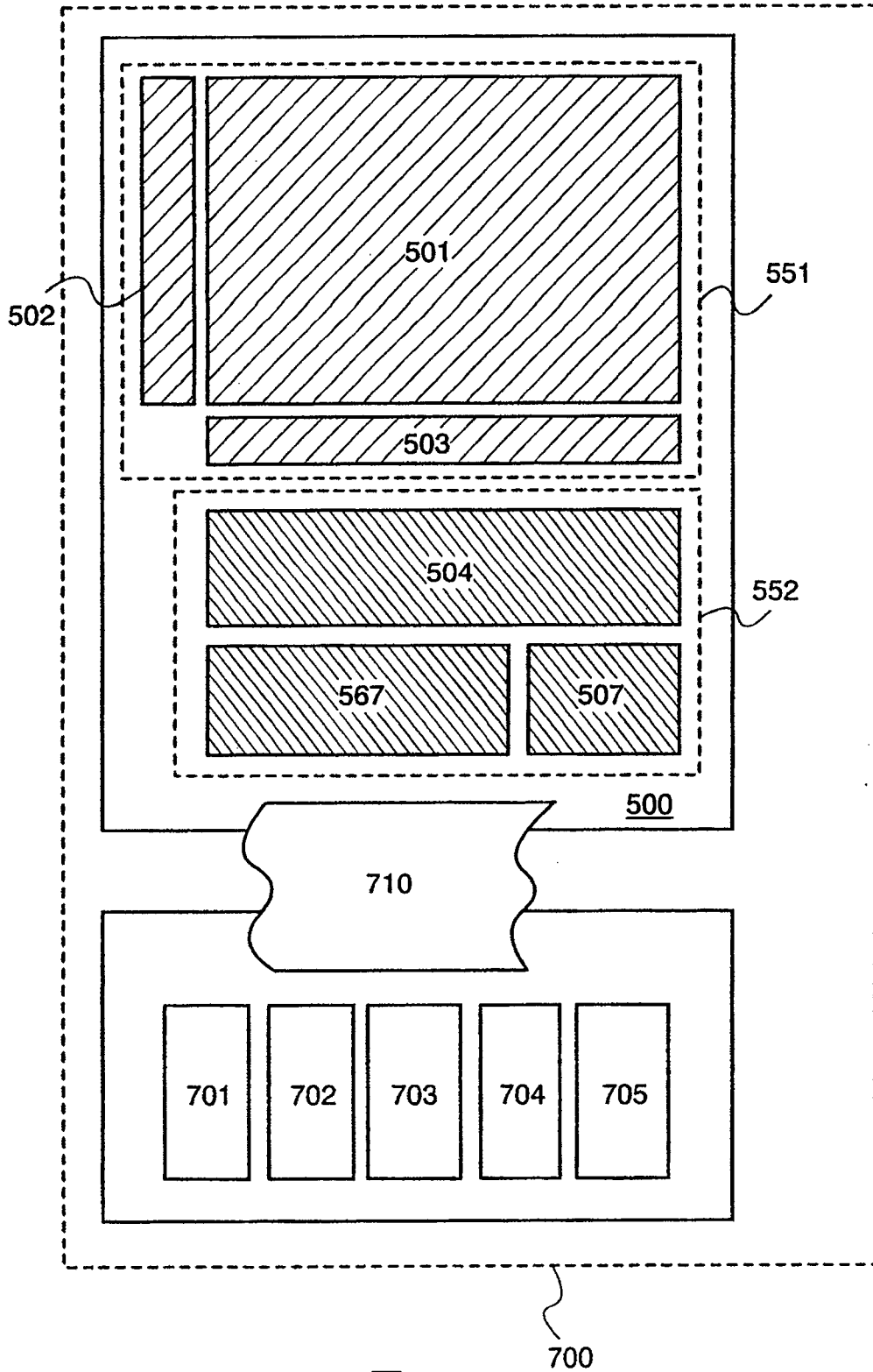


图 9

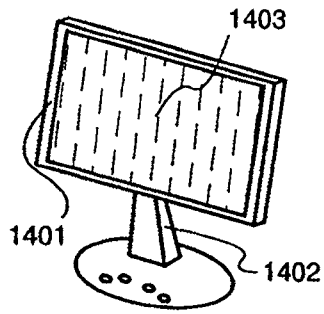


图 10A

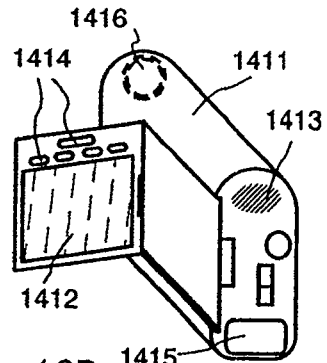


图 10B

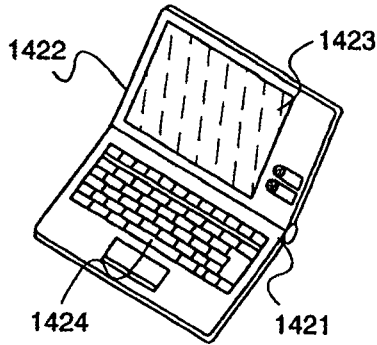


图 10C

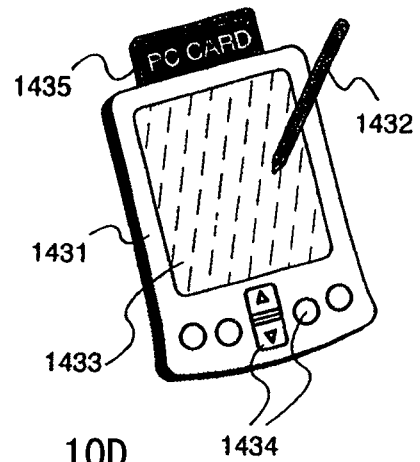


图 10D

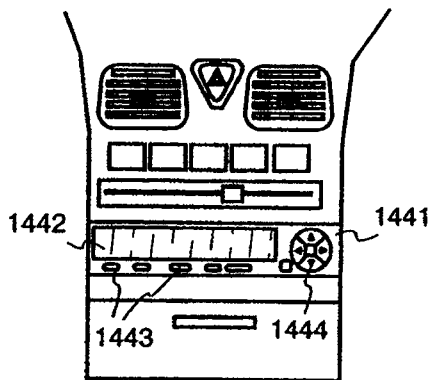


图 10E

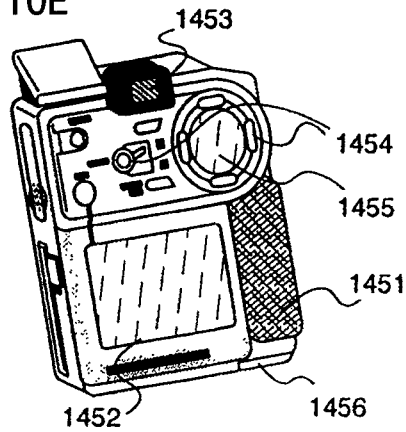


图 10F

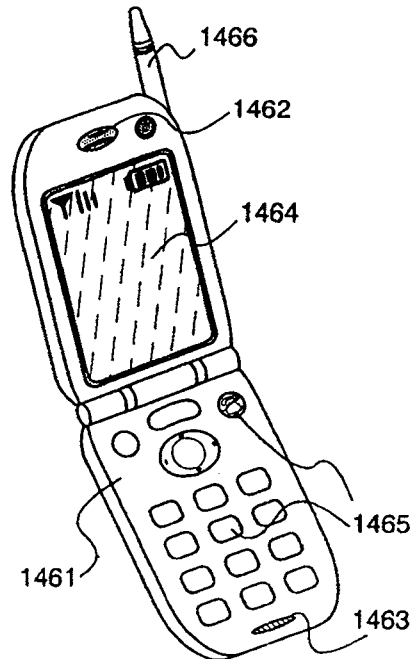


图 10G