(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 114784082 B
(45)授权公告日 2022.09.30

(21)申请号 202210670468.6

(22)申请日 2022.06.15

(65)同一申请的已公布的文献号
申请公布号 CN 114784082 A

(43)申请公布日 2022.07.22

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 成都京东方光电科技有限公司

(72)发明人 王梦奇 王世龙 于子阳 蒋志亮

(74)专利代理机构 北京安信方达知识产权代理有限公司 11262
专利代理师 曲鹏

(51)Int.Cl.
H01L 27/32(2006.01)
H01L 27/15(2006.01)

(56)对比文件
CN 113851490 A,2021.12.28
CN 114616613 A,2022.06.10
US 2020226983 A1,2020.07.16

审查员 刘希燕

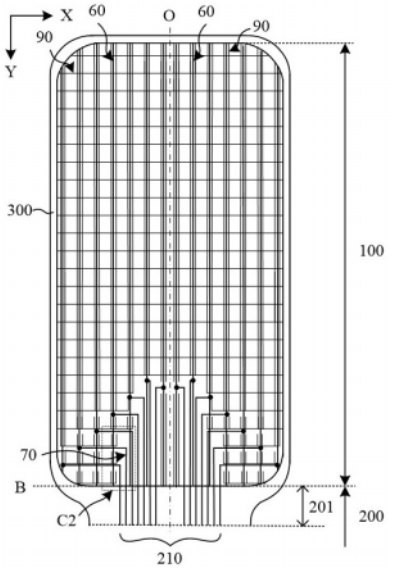
权利要求书4页 说明书37页 附图42页

(54)发明名称

显示基板和显示装置

(57)摘要

本公开提供了一种显示基板和显示装置。显示基板包括显示区域，显示区域包括设置在基底上的驱动电路层以及设置在驱动电路层远离基底一侧的发光结构层，驱动电路层包括多个电路单元、多条数据信号线、多条数据连接线、多条低压电源线和多条电源走线，发光结构层包括多个发光器件，电路单元包括像素驱动电路，数据信号线被配置为向像素驱动电路提供数据信号，低压电源线被配置为向发光器件持续提供低电源电压信号；数据连接线与数据信号线连接，电源走线与低压电源线连接。本公开通过在显示区域内设置低压电源线，可以有效降低低压电源信号的压降，实现低功耗，有效提升了显示均一性，提高了显示品质和显示质量。



CN 114784082 B

1.一种显示基板,其特征在于,包括显示区域,所述显示区域包括设置在基底上的驱动电路层以及设置在所述驱动电路层远离所述基底一侧的发光结构层,所述驱动电路层包括多个电路单元、多条数据信号线、多条数据连接线、多条低压电源线和多条电源走线,所述发光结构层包括多个发光器件,所述电路单元包括像素驱动电路,所述数据信号线被配置为向所述像素驱动电路提供数据信号,所述低压电源线被配置为向所述发光器件持续提供低电源电压信号;所述数据连接线与所述数据信号线连接,所述电源走线与所述低压电源线连接;所述数据连接线包括沿着第一方向延伸的第一连接线和沿着第二方向延伸的第二连接线,所述第一连接线与所述第二连接线连接,所述电源走线包括沿着第一方向延伸的第一电源走线和沿着第二方向延伸的第二电源走线,所述第一电源走线与所述第二电源走线连接,所述第一方向和所述第二方向交叉。

2.根据权利要求1所述的显示基板,其特征在于,在平行于所述基底的平面上,所述显示区域至少包括设置有所述第一连接线的第一区域,所述第一区域的至少一个电路单元中包括所述第一连接线、所述第一电源走线和所述第二电源走线,所述数据信号线和低压电源线的形状为沿着所述第二方向延伸的线形状,所述第一连接线与所述数据信号线连接,所述第二电源走线设置在所述低压电源线和所述数据信号线之间,所述第二电源走线与所述低压电源线连接。

3.根据权利要求2所述的显示基板,其特征在于,所述驱动电路层包括在基底上依次设置的多个导电层;所述第一连接线和所述第二连接线设置在相同的导电层中,所述第一连接线和所述数据信号线设置在不同的导电层中;所述第一区域的至少一个电路单元中,所述第一连接线通过第一连接孔与所述数据信号线连接。

4.根据权利要求2所述的显示基板,其特征在于,所述驱动电路层包括在基底上依次设置的多个导电层;所述第一电源走线和所述第二电源走线设置在相同的导电层中,所述第二电源走线和所述低压电源线设置在不同的导电层中;所述第一区域的至少一个电路单元中,所述第二电源走线通过第二连接孔与所述低压电源线连接。

5.根据权利要求2所述的显示基板,其特征在于,所述第一区域的至少一个电路单元中还包括电源连接电极,所述电源连接电极设置在所述第二电源走线远离所述数据信号线的一侧,且与所述第二电源走线连接,所述电源连接电极在基底上的正投影与所述低压电源线在基底上的正投影至少部分交叠,所述电源连接电极通过第二连接孔与所述低压电源线连接。

6.根据权利要求2所述的显示基板,其特征在于,所述第一区域中,所述第一方向相邻的电路单元中的第一连接线相互连接,所述第一方向相邻的电路单元中的第一电源走线相互连接。

7.根据权利要求2所述的显示基板,其特征在于,所述第一区域中,所述第二方向相邻的电路单元中的第二电源走线间隔设置,所述第一连接线设置在所述第二方向相邻的第二电源走线之间。

8.根据权利要求2所述的显示基板,其特征在于,所述第一区域的至少一个电路单元中还包括沿着所述第二方向延伸的第二补偿线,所述第二补偿线设置在所述第二电源走线远离所述数据信号线的一侧,所述第二补偿线与所述第一电源走线连接,所述第二方向相邻的电路单元中的第二补偿线间隔设置,所述第一连接线设置在所述第二方向相邻的第二补

偿线之间。

9.根据权利要求2所述的显示基板，其特征在于，在平行于所述基底的平面上，所述显示区域还包括设置有所述第二连接线的第二区域，所述第二区域的至少一个电路单元中包括所述第二连接线，所述第二方向相邻的电路单元中的第二连接线相互连接。

10.根据权利要求9所述的显示基板，其特征在于，所述第二区域的至少一个电路单元包括两条第二连接线，两条第二连接线包括第一侧连接线和第二侧连接线，所述第一侧连接线设置在所述低压电源线和所述数据信号线之间，所述第二侧连接线设置在所述低压电源线远离所述数据信号线的一侧。

11.根据权利要求10所述的显示基板，其特征在于，所述第二区域的至少一个电路单元还包括虚设连接电极，所述虚设连接电极设置在所述第二侧连接线靠近所述第一侧连接线的一侧，且与所述第二侧连接线连接，所述虚设连接电极在基底上的正投影与所述低压电源线在基底上的正投影至少部分交叠。

12.根据权利要求11所述的显示基板，其特征在于，至少一个包括所述第一区域的电路单元和所述第二区域的电路单元的单元列中，所述第一区域的第二电源走线和所述第二区域的第一侧连接线位于同一条沿着所述第二方向延伸的直线上，所述第一区域的第二补偿线和所述第二区域的第二侧连接线位于同一条沿着所述第二方向延伸的直线上，所述第一区域的电源连接电极和所述第二区域的虚设连接电极位于同一条沿着所述第二方向延伸的直线上；至少一个包括所述第一区域的电路单元和所述第二区域的电路单元的单元行中，所述第一区域的电源连接电极和所述第二区域的虚设连接电极位于同一条沿着所述第一方向延伸的直线上。

13.根据权利要求10所述的显示基板，其特征在于，所述第二区域的至少一个电路单元还包括至少两条沿着所述第一方向延伸的第一补偿线，至少两条第一补偿线包括至少一条第一侧补偿线和至少一条第二侧补偿线，所述第一侧补偿线的第一端与所述第一侧连接线连接，所述第一侧补偿线的第二端向着靠近所述第二侧连接线的方向延伸，所述第二侧补偿线的第一端与所述第二侧连接线连接，所述第二侧补偿线的第二端向着靠近所述第一侧连接线的方向延伸。

14.根据权利要求13所述的显示基板，其特征在于，至少一个包括所述第一区域的电路单元和所述第二区域的电路单元的单元行中，所述第一区域的第一电源走线和所述第二区域的第一侧补偿线位于同一条沿着所述第一方向延伸的直线上，所述第一区域的第一连接线和所述第二区域的第二侧补偿线位于同一条沿着所述第一方向延伸的直线上。

15.根据权利要求2所述的显示基板，其特征在于，在平行于所述基底的平面上，所述显示区域还包括与所述第一连接线和第二连接线在基底上的正投影不交叠的第三区域，所述第三区域的至少一个电路单元中包括所述第一电源走线和第二电源走线，所述第二电源走线通过第二连接孔与所述低压电源线连接。

16.根据权利要求15所述的显示基板，其特征在于，所述第三区域的至少一个电路单元中还包括电源连接电极，所述电源连接电极设置在所述第二电源走线远离所述数据信号线的一侧，且与所述第二电源走线连接，所述电源连接电极在基底上的正投影与所述低压电源线在基底上的正投影至少部分交叠，所述电源连接电极通过所述第二连接孔与所述低压电源线连接。

17.根据权利要求15所述的显示基板，其特征在于，所述第一方向相邻的电路单元中的第一电源走线相互连接，所述第二方向相邻的电路单元中的第二电源走线相互连接。

18.根据权利要求15所述的显示基板，其特征在于，所述第三区域的至少一个电路单元中还包括沿着所述第一方向延伸的第一补偿线和沿着所述第二方向延伸的第二补偿线，所述第一方向相邻的电路单元中的第一补偿线相互连接，所述第二方向相邻的电路单元中的第二补偿线相互连接，所述第一补偿线与所述第二电源走线连接，所述第二补偿线与所述第一电源走线连接，所述第一补偿线与所述第二补偿线连接。

19.根据权利要求18所述的显示基板，其特征在于，至少一个包括所述第一区域的电路单元和所述第三区域的电路单元的单元行中，所述第一区域的第一连接线和所述第三区域的第一补偿线位于同一条沿着所述第一方向延伸的直线上；至少一个包括所述第一区域的电路单元和所述第三区域的电路单元的单元列中，所述第一区域的第二补偿线和所述第三区域的第二补偿线位于同一条沿着所述第二方向延伸的直线上。

20.根据权利要求2所述的显示基板，其特征在于，在平行于所述基底的平面上，所述显示区域还包括：设置有所述第二连接线的第二区域，以及与所述第一连接线和第二连接线在基底上的正投影不交叠的第三区域；至少一个包括所述第一区域的电路单元、所述第二区域的电路单元和所述第三区域的电路单元的单元行中，所述第一区域的第一电源走线、所述第二区域的第一补偿线中第一侧补偿线和所述第三区域的第一电源走线位于同一条沿着所述第一方向延伸的直线上，所述第一区域的第一连接线、所述第二区域的第一补偿线中第二侧补偿线和所述第三区域的第一补偿线位于同一条沿着所述第一方向延伸的直线上，所述第一区域的电源连接电极、所述第二区域的虚设连接电极和所述第三区域的电源连接电极位于同一条沿着第一方向延伸的直线上；至少一个包括所述第一区域的电路单元、所述第二区域的电路单元和所述第三区域的电路单元的单元列中，所述第一区域的第二电源走线、所述第二区域的第二连接线中第一侧连接线和所述第三区域的第二电源走线位于同一条沿着所述第二方向延伸的直线上，所述第一区域的第二补偿线、所述第二区域的第二连接线中第二侧连接线和所述第三区域的第二补偿线位于同一条沿着所述第二方向延伸的直线上，所述第一区域的电源连接电极、所述第二区域的虚设连接电极和所述第三区域的电源连接电极位于同一条沿着所述第二方向延伸的直线上。

21.根据权利要求2所述的显示基板，其特征在于，所述显示基板还包括位于所述显示区域所述第二方向一侧的绑定区域，所述绑定区域至少包括绑定引线、第一电源连接线和第一电源引脚，所述第一电源连接线的第一端通过过孔与所述低压电源线连接，所述第一电源连接线的第二端向着远离所述显示区域的方向延伸后与所述第一电源引脚连接，所述第一电源引脚通过过孔与所述绑定引线连接。

22.根据权利要求2所述的显示基板，其特征在于，所述显示基板还包括位于所述显示区域所述第二方向的反方向一侧的上边框区，所述上边框区至少包括上边框引线、第二电源连接条、第二电源连接线和第二电源引脚，所述第二电源连接条的第一端通过过孔与所述低压电源线连接，所述第二电源连接条的第二端与所述第二电源连接线的第一端连接，所述第二电源连接线的第二端向着远离所述显示区域的方向延伸后与所述第二电源引脚连接，所述第二电源引脚通过过孔与所述上边框引线连接。

23.根据权利要求2所述的显示基板，其特征在于，所述显示基板还包括位于所述显示

区域所述第一方向一侧或者两侧的侧边框区，所述侧边框区至少包括侧边框引线、第三电源连接线和第三电源引脚，所述第三电源连接线的第一端通过过孔与所述电源走线连接，所述第三电源连接线的第二端向着远离所述显示区域的方向延伸后与所述第三电源引脚连接，所述第三电源引脚通过过孔与所述侧边框引线连接。

24.根据权利要求1至23任一项所述的显示基板，其特征在于，所述像素驱动电路至少包括存储电容和多个晶体管；在垂直于所述基底的平面上，所述驱动电路层包括在基底上依次设置的半导体层、第一导电层、第二导电层、第三导电层、第四导电层和第五导电层，所述半导体层至少包括多个晶体管的有源层，所述第一导电层至少包括多个晶体管的栅电极和存储电容的第一极板，所述第二导电层至少包括存储电容的第二极板，所述第三导电层至少包括多个晶体管的第一极和第二极，所述第四导电层至少包括所述数据信号线和所述低压电源线，所述第五导电层至少包括所述数据连接线和所述电源走线。

25.根据权利要求24所述的显示基板，其特征在于，所述第三导电层还包括第一电源线，所述第一电源线被配置为向所述像素驱动电路持续提供高电源电压信号，所述低压电源线在基底上的正投影与所述第一电源线在基底上的正投影至少部分交叠，且具有第一交叠面积，所述第一电源线在基底上的正投影具有第一面积，所述第一交叠面积大于0.8*第一面积。

26.根据权利要求24所述的显示基板，其特征在于，所述第二导电层还包括第二初始信号线，所述第二初始信号线被配置为向所述像素驱动电路提供第二初始信号，所述数据连接线中第一连接线在基底上的正投影与所述第二初始信号线在基底上的正投影至少部分交叠，且具有第二交叠面积，所述第一连接线在基底上的正投影具有第二面积，所述第二交叠面积大于0.8*第二面积。

27.一种显示装置，其特征在于，包括如权利要求1至26任一项所述的显示基板。

显示基板和显示装置

技术领域

[0001] 本文涉及但不限于显示技术领域,具体涉及一种显示基板和显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,简称OLED) 和量子点发光二极管(Quantum-dot Light Emitting Diodes,简称QLED)为主动发光显示器件,具有自发光、广视角、高对比度、低耗电、极高反应速度、轻薄、可弯曲和成本低等优点。随着显示技术的不断发展,以OLED或QLED为发光器件、由薄膜晶体管(Thin Film Transistor,简称TFT)进行信号控制的柔性显示装置(Flexible Display)已成为目前显示领域的主流产品。

发明内容

[0003] 以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

[0004] 一方面,本公开提供了一种显示基板,包括显示区域,所述显示区域包括设置在基底上的驱动电路层以及设置在所述驱动电路层远离所述基底一侧的发光结构层,所述驱动电路层包括多个电路单元、多条数据信号线、多条数据连接线、多条低压电源线和多条电源走线,所述发光结构层包括多个发光器件,所述电路单元包括像素驱动电路,所述数据信号线被配置为向所述像素驱动电路提供数据信号,所述低压电源线被配置为向所述发光器件持续提供低电源电压信号;所述数据连接线与所述数据信号线连接,所述电源走线与所述低压电源线连接。

[0005] 在示例性实施方式中,所述数据连接线包括沿着第一方向延伸的第一连接线和沿着第二方向延伸的第二连接线,所述第一连接线与所述第二连接线连接,所述电源走线包括沿着第一方向延伸的第一电源走线和沿着第二方向延伸的第二电源走线,所述第一电源走线与所述第二电源走线连接,所述第一方向和所述第二方向交叉;在平行于所述基底的平面上,所述显示区域至少包括设置有所述第一连接线的第一区域,所述第一区域的至少一个电路单元中包括所述第一连接线、所述第一电源走线和所述第二电源走线,所述数据信号线和低压电源线的形状为沿着所述第二方向延伸的线形状,所述第一连接线与所述数据信号线连接,所述第二电源走线设置在所述低压电源线和所述数据信号线之间,所述第二电源走线与所述低压电源线连接。

[0006] 在示例性实施方式中,所述驱动电路层包括在基底上依次设置的多个导电层;所述第一连接线和所述第二连接线设置在相同的导电层中,所述第一连接线和所述数据信号线设置在不同的导电层中;所述第一区域的至少一个电路单元中,所述第一连接线通过第一连接孔与所述数据信号线连接。

[0007] 在示例性实施方式中,所述驱动电路层包括在基底上依次设置的多个导电层;所述第一电源走线和所述第二电源走线设置在相同的导电层中,所述第二电源走线和所述低压电源线设置在不同的导电层中;所述第一区域的至少一个电路单元中,所述第二电源走

线通过第二连接孔与所述低压电源线连接。

[0008] 在示例性实施方式中，所述第一区域的至少一个电路单元中还包括电源连接电极，所述电源连接电极设置在所述第二电源走线远离所述数据信号线的一侧，且与所述第二电源走线连接，所述电源连接电极在基底上的正投影与所述低压电源线在基底上的正投影至少部分交叠，所述电源连接电极通过第二连接孔与所述低压电源线连接。

[0009] 在示例性实施方式中，所述第一方向相邻的电路单元中的第一连接线相互连接，所述第一方向相邻的电路单元中的第一电源走线相互连接。

[0010] 在示例性实施方式中，所述第一区域中，所述第二方向相邻的电路单元中的第二电源走线间隔设置，所述第一连接线设置在所述第二方向相邻的第二电源走线之间。

[0011] 在示例性实施方式中，所述第一区域的至少一个电路单元中还包括沿着所述第二方向延伸的第二补偿线，所述第二补偿线设置在所述第二电源走线远离所述数据信号线的一侧，所述第二补偿线与所述第一电源走线连接，所述第二方向相邻的电路单元中的第二补偿线间隔设置，所述第一连接线设置在所述第二方向相邻的第二补偿线之间。

[0012] 在示例性实施方式中，在平行于所述基底的平面上，所述显示区域还包括设置有所述第二连接线的第二区域，所述第二区域的至少一个电路单元中包括所述第二连接线，所述第二方向相邻的电路单元中的第二连接线相互连接。

[0013] 在示例性实施方式中，所述第二区域的至少一个电路单元包括两条第二连接线，两条第二连接线包括第一侧连接线和第二侧连接线，所述第一侧连接线设置在所述低压电源线和所述数据信号线之间，所述第二侧连接线设置在所述低压电源线远离所述数据信号线的一侧。

[0014] 在示例性实施方式中，所述第二区域的至少一个电路单元还包括虚设连接电极，所述虚设连接电极设置在所述第二侧连接线靠近所述第一侧连接线的一侧，且与所述第二侧连接线连接，所述虚设连接电极在基底上的正投影与所述低压电源线在基底上的正投影至少部分交叠。

[0015] 在示例性实施方式中，至少一个包括所述第一区域的电路单元和所述第二区域的电路单元的单元列中，所述第一区域的第二电源走线和所述第二区域的第一侧连接线位于同一条沿着所述第二方向延伸的直线上，所述第一区域的第二补偿线和所述第二区域的第二侧连接线位于同一条沿着所述第二方向延伸的直线上，所述第一区域的电源连接电极和所述第二区域的虚设连接电极位于同一条沿着所述第二方向延伸的直线上；至少一个包括所述第一区域的电路单元和所述第二区域的电路单元的单元行中，所述第一区域的电源连接电极和所述第二区域的虚设连接电极位于同一条沿着所述第一方向延伸的直线上。

[0016] 在示例性实施方式中，所述第二区域的至少一个电路单元还包括至少两条沿着所述第一方向延伸的第一补偿线，至少两条第一补偿线包括至少一条第一侧补偿线和至少一条第二侧补偿线，所述第一侧补偿线的第一端与所述第一侧连接线连接，所述第一侧补偿线的第二端向着靠近所述第二侧连接线的方向延伸，所述第二侧补偿线的第一端与所述第二侧连接线连接，所述第二侧补偿线的第二端向着靠近所述第一侧连接线的方向延伸。

[0017] 在示例性实施方式中，至少一个包括所述第一区域的电路单元和所述第二区域的电路单元的单元行中，所述第一区域的第一电源走线和所述第二区域的第一侧补偿线位于同一条沿着所述第一方向延伸的直线上，所述第一区域的第一连接线和所述第二区域的第

二侧补偿线位于同一条沿着所述第一方向延伸的直线上。

[0018] 在示例性实施方式中，在平行于所述基底的平面上，所述显示区域还包括与所述第一连接线和第二连接线在基底上的正投影不交叠的第三区域，所述第三区域的至少一个电路单元中包括所述第一电源走线和第二电源走线，所述第二电源走线通过第二连接孔与所述低压电源线连接。

[0019] 在示例性实施方式中，所述第二电源走线设置在所述低压电源线和所述数据信号线之间，所述第三区域的至少一个电路单元中还包括电源连接电极，所述电源连接电极设置在所述第二电源走线远离所述数据信号线的一侧，且与所述第二电源走线连接，所述电源连接电极在基底上的正投影与所述低压电源线在基底上的正投影至少部分交叠，所述电源连接电极通过所述第二连接孔与所述低压电源线连接。

[0020] 在示例性实施方式中，所述第一方向相邻的电路单元中的第一电源走线相互连接，所述第二方向相邻的电路单元中的第二电源走线相互连接。

[0021] 在示例性实施方式中，所述第三区域的至少一个电路单元中还包括沿着所述第一方向延伸的第一补偿线和沿着所述第二方向延伸的第二补偿线，所述第一方向相邻的电路单元中的第一补偿线相互连接，所述第二方向相邻的电路单元中的第二补偿线相互连接，所述第一补偿线与所述第二电源走线连接，所述第二补偿线与所述第一电源走线连接，所述第一补偿线与所述第二补偿线连接。

[0022] 在示例性实施方式中，至少一个包括所述第一区域的电路单元和所述第三区域的电路单元的单元行中，所述第一区域的第一连接线和所述第三区域的第一补偿线位于同一条沿着所述第一方向延伸的直线上；至少一个包括所述第一区域的电路单元和所述第三区域的电路单元的单元列中，所述第一区域的第二补偿线和所述第三区域的第二补偿线位于同一条沿着所述第二方向延伸的直线上。

[0023] 在示例性实施方式中，在平行于所述基底的平面上，所述显示区域还包括：设置有所述第二连接线的第二区域，以及与所述第一连接线和第二连接线在基底上的正投影不交叠的第三区域；至少一个包括所述第一区域的电路单元、所述第二区域的电路单元和所述第三区域的电路单元的单元行中，所述第一区域的第一电源走线、所述第二区域的第一补偿线中第一侧补偿线和所述第三区域的第一电源走线位于同一条沿着所述第一方向延伸的直线上，所述第一区域的第一连接线、所述第二区域的第一补偿线中第二侧补偿线和所述第三区域的第一补偿线位于同一条沿着所述第一方向延伸的直线上，所述第一区域的电源连接电极、所述第二区域的虚设连接电极和所述第三区域的电源连接电极位于同一条沿着第一方向延伸的直线上；至少一个包括所述第一区域的电路单元、所述第二区域的电路单元和所述第三区域的电路单元的单元列中，所述第一区域的第二电源走线、所述第二区域的第二连接线中第一侧连接线和所述第三区域的第二电源走线位于同一条沿着所述第二方向延伸的直线上，所述第一区域的第二补偿线、所述第二区域的第二连接线中第二侧连接线和所述第三区域的第二补偿线位于同一条沿着所述第二方向延伸的直线上，所述第一区域的电源连接电极、所述第二区域的虚设连接电极和所述第三区域的电源连接电极位于同一条沿着所述第二方向延伸的直线上。

[0024] 在示例性实施方式中，所述显示基板还包括位于所述显示区域所述第二方向一侧的绑定区域，所述绑定区域至少包括绑定引线、第一电源连接线和第一电源引脚，所述第一

电源连接线的第一端通过过孔与所述低压电源线连接，所述第二电源连接线的第二端向着远离所述显示区域的方向延伸后与所述第一电源引脚连接，所述第一电源引脚通过过孔与所述绑定引线连接。

[0025] 在示例性实施方式中，所述显示基板还包括位于所述显示区域所述第二方向的反方向一侧的上边框区，所述上边框区至少包括上边框引线、第二电源连接条、第二电源连接线和第二电源引脚，所述第二电源连接条的第一端通过过孔与所述低压电源线连接，所述第二电源连接条的第二端与所述第二电源连接线的第一端连接，所述第二电源连接线的第二端向着远离所述显示区域的方向延伸后与所述第二电源引脚连接，所述第二电源引脚通过过孔与所述上边框引线连接。

[0026] 在示例性实施方式中，所述显示基板还包括位于所述显示区域所述第一方向一侧或者两侧的侧边框区，所述侧边框区至少包括侧边框引线、第三电源连接线和第三电源引脚，所述第三电源连接线的第一端通过过孔与所述电源走线连接，所述第三电源连接线的第二端向着远离所述显示区域的方向延伸后与所述第三电源引脚连接，所述第三电源引脚通过过孔与所述侧边框引线连接。

[0027] 在示例性实施方式中，所述驱动电路层还包括多个电路单元，所述电路单元包括像素驱动电路，所述像素驱动电路至少包括存储电容和多个晶体管；在垂直于所述显示基板的平面上，所述驱动电路层包括在基底上依次设置的半导体层、第一导电层、第二导电层、第三导电层、第四导电层和第五导电层，所述半导体层至少包括多个晶体管的有源层，所述第一导电层至少包括多个晶体管的栅电极和存储电容的第一极板，所述第二导电层至少包括存储电容的第二极板，所述第三导电层至少包括多个晶体管的第一极和第二极，所述第四导电层至少包括所述数据信号线和所述低压电源线，所述第五导电层至少包括所述数据连接线和所述电源走线。

[0028] 在示例性实施方式中，所述第三导电层还包括第一电源线，所述第一电源线被配置为向所述像素驱动电路持续提供高电源电压信号，所述低压电源线在基底上的正投影与所述第一电源线在基底上的正投影至少部分交叠，且具有第一交叠面积，所述第一电源线在基底上的正投影具有第一面积，所述第一交叠面积大于0.8*第一面积。

[0029] 在示例性实施方式中，所述第二导电层还包括第二初始信号线，所述第二初始信号线被配置为向所述像素驱动电路提供第二初始信号，所述数据连接线中第一连接线在基底上的正投影与所述第二初始信号线在基底上的正投影至少部分交叠，且具有第二交叠面积，所述第一连接线在基底上的正投影具有第二面积，所述第二交叠面积大于0.8*第二面积。

[0030] 另一方面，本公开还提供了一种显示装置，包括前述的显示基板。

[0031] 在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

[0032] 附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

[0033] 图1为一种显示装置的结构示意图；

[0034] 图2为一种显示基板的结构示意图；

[0035] 图3为一种显示基板中显示区域的平面结构示意图；

[0036] 图4为一种显示基板中显示区域的剖面结构示意图；

[0037] 图5为一种像素驱动电路的等效电路示意图；

[0038] 图6为本公开示例性实施例一种显示基板的平面结构示意图；

[0039] 图7为本公开示例性实施例一种数据连接线的排布示意图；

[0040] 图8为本公开示例性实施例另一种显示基板的平面结构示意图；

[0041] 图9为图8中C2区域的放大图；

[0042] 图10为本公开示例性实施例一种显示区域的分区示意图；

[0043] 图11a为本公开示例性实施例第一区域的结构示意图；

[0044] 图11b为本公开示例性实施例第二区域的结构示意图；

[0045] 图11c为本公开示例性实施例第三区域的结构示意图；

[0046] 图12为本公开实施例形成半导体层图案后的示意图；

[0047] 图13a为本公开实施例形成第一导电层图案后的示意图；

[0048] 图13b为图13a中第一导电层的平面示意图；

[0049] 图14a为本公开实施例形成第二导电层图案后的示意图；

[0050] 图14b为图14a中第二导电层的平面示意图；

[0051] 图15为本公开实施例形成第四绝缘层图案后的示意图；

[0052] 图16a为本公开实施例形成第三导电层图案后的示意图；

[0053] 图16b为图16a中第三导电层的平面示意图；

[0054] 图17为本公开实施例形成第一平坦层图案后的示意图；

[0055] 图18a为本公开实施例图10中E0区域和E2区域形成第四导电层图案后的示意图；

[0056] 图18b为图18a中第四导电层的平面示意图；

[0057] 图18c为本公开实施例图10中E1区域形成第四导电层图案后的示意图；

[0058] 图18d为图18c中第四导电层的平面示意图；

[0059] 图19a为本公开实施例图10中E0区域形成第二平坦层图案后的示意图；

[0060] 图19b为本公开实施例图10中E1区域形成第二平坦层图案后的示意图；

[0061] 图19c为本公开实施例图10中E2区域形成第二平坦层图案后的示意图；

[0062] 图20a为本公开实施例图10中E0区域形成第五导电层图案后的示意图；

[0063] 图20b为图20a中第五导电层的平面示意图；

[0064] 图20c为本公开实施例图10中E1区域形成第五导电层图案后的示意图；

[0065] 图20d为图20c中第五导电层的平面示意图；

[0066] 图20e为本公开实施例图10中E2区域形成第五导电层图案后的示意图；

[0067] 图20f为图20e中第五导电层的平面示意图；

[0068] 图21a为本公开实施例图10中E0区域形成第三平坦层图案后的示意图；

[0069] 图21b为本公开实施例图10中E1区域形成第三平坦层图案后的示意图；

[0070] 图21c为本公开实施例图10中E2区域形成第三平坦层图案后的示意图；

[0071] 图22a为本公开实施例图10中E0区域形成阳极导电层图案后的示意图；

[0072] 图22b为本公开实施例图10中E1区域形成阳极导电层图案后的示意图；

[0073] 图22c为本公开实施例图10中E2区域形成阳极导电层图案后的示意图；

[0074] 图22d为图22a中阳极导电层的平面示意图；

[0075] 图23为本公开示例性实施例一种电源走线的平面结构示意图；

[0076] 图24为本公开示例性实施例一种电源走线与绑定引线连接的示意图；

[0077] 图25为本公开示例性实施例一种电源走线与上边框引线连接的示意图；

[0078] 图26为本公开示例性实施例一种电源走线与侧边框引线连接的示意图。

[0079] 附图标记说明：

[0080]

11—第一有源层；	12—第二有源层；	13—第三有源层；
14—第四有源层；	15—第五有源层；	16—第六有源层；
17—第七有源层；	21—第一扫描信号线；	21-1—栅极块；
22—第二扫描信号线；	23—发光控制线；	24—第一极板；
31—第一初始信号线；	32—第二初始信号线；	33—第二极板；
34—极板连接线；	35—屏蔽电极；	36—开口；
41—第一连接电极；	42—第二连接电极；	43—第三连接电极；
44—第四连接电极；	45—第五连接电极；	46—第一电源线；
47—初始连接线；	51—第一阳极连接电极；	53—第二阳极连接电极；
60—数据信号线；	61—数据连接电极；	70—数据连接线；
71—第一连接线；	72—第二连接线；	73—虚设连接电极；
80—第二电源线；	90—电源走线；	91—第一电源走线；
92—第二电源走线；	93—电源连接电极；	100—显示区域；
100A—第一区域；	100B—第二区域；	100C—第三区域；
101—基底；	102—驱动电路层；	103—发光结构层；
104—封装结构层；	110—第一补偿线；	120—第二补偿线；
200—绑定区域；	201—引线区；	210—引出线；
300—边框区域；	301—阳极；	302—像素定义层；
303—有机发光层；	304—阴极；	310—上边框区；
320—侧边框区；	401—第一封装层；	402—第二封装层；
403—第三封装层；	510—绑定引线；	511—第一电源连接线；
512—第一电源引脚；	520—上边框引线；	521—第二电源连接条；
522—第二电源连接线；	523—第二电源引脚；	530—侧边框引线；
531—第三电源连接线；	532—第三电源引脚。	

具体实施方式

[0081] 为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。注意，实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

[0082] 本公开中的附图比例可以作为实际工艺中的参考，但不限于此。例如：沟道的宽长

比、各个膜层的厚度和间距、各个信号线的宽度和间距，可以根据实际需要进行调整。显示基板中像素的个数和每个像素中子像素的个数也不是限定为图中所示的数量，本公开中所描述的附图仅是结构示意图，本公开的一个方式不局限于附图所示的形状或数值等。

[0083] 本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

[0084] 在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

[0085] 在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本公开中的具体含义。

[0086] 在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极(漏电极端子、漏区域或漏电极)与源电极(源电极端子、源区域或源电极)之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的区域。

[0087] 在本说明书中，第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换，“源端”和“漏端”可以互相调换。

[0088] 在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

[0089] 在本说明书中，“平行”是指两条直线形成的角度为-10°以上且10°以下的状态，因此，也包括该角度为-5°以上且5°以下的状态。另外，“垂直”是指两条直线形成的角度为80°以上且100°以下的状态，因此，也包括85°以上且95°以下的角度的状态。

[0090] 在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

[0091] 本说明书中三角形、矩形、梯形、五边形或六边形等并非严格意义上的，可以是近似三角形、矩形、梯形、五边形或六边形等，可以存在公差导致的一些小变形，可以存在导角、弧边以及变形等。

[0092] 本公开中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

[0093] 图1为一种显示装置的结构示意图。如图1所示，显示装置可以包括时序控制器、数据驱动器、扫描驱动器、发光驱动器和像素阵列，时序控制器分别与数据驱动器、扫描驱动器和发光驱动器连接，数据驱动器分别与多个数据信号线(D1到Dn)连接，扫描驱动器分别

与多个扫描信号线(S1到Sm)连接,发光驱动器分别与多个发光信号线(E1到Eo)连接。像素阵列可以包括多个子像素Pxij,i和j可以是自然数,至少一个子像素Pxij可以包括电路单元和与电路单元连接的发光器件,电路单元可以至少包括像素驱动电路,像素驱动电路分别与扫描信号线、发光信号线和数据信号线连接。在示例性实施方式中,时序控制器可以将适合于数据驱动器的规格的灰度值和控制信号提供到数据驱动器,可以将适合于扫描驱动器的规格的时钟信号、扫描起始信号等提供到扫描驱动器,可以将适合于发光驱动器的规格的时钟信号、发射停止信号等提供到发光驱动器。数据驱动器可以利用从时序控制器接收的灰度值和控制信号来产生将提供到数据信号线D1、D2、D3、……和Dn的数据电压。例如,数据驱动器可以利用时钟信号对灰度值进行采样,并且以像素行为单位将与灰度值对应的数据电压施加到数据信号线D1至Dn,n可以是自然数。扫描驱动器可以通过从时序控制器接收时钟信号、扫描起始信号等来产生将提供到扫描信号线S1、S2、S3、……和Sm的扫描信号。例如,扫描驱动器可以将具有导通电平脉冲的扫描信号顺序地提供到扫描信号线S1至Sm。例如,扫描驱动器可以被构造为移位寄存器的形式,并且可以以在时钟信号的控制下顺序地将以导通电平脉冲形式提供的扫描起始信号传输到下一级电路的方式产生扫描信号,m可以是自然数。发光驱动器可以通过从时序控制器接收时钟信号、发射停止信号等来产生将提供到发光信号线E1、E2、E3、……和Eo的发射信号。例如,发光驱动器可以将具有截止电平脉冲的发射信号顺序地提供到发光信号线E1至Eo。例如,发光驱动器可以被构造为移位寄存器的形式,并且可以以在时钟信号的控制下顺序地将以截止电平脉冲形式提供的发射停止信号传输到下一级电路的方式产生发射信号,o可以是自然数。

[0094] 图2为一种显示基板的结构示意图。如图2所示,显示基板可以包括显示区域100、位于显示区域100一侧的绑定区域200以及位于显示区域100其它侧的边框区域300。在示例性实施方式中,显示区域100可以是平坦的区域,包括组成像素阵列的多个子像素Pxij,多个子像素Pxij被配置为显示动态图片或静止图像,显示区域100可以称为有效区域(AA)。在示例性实施方式中,显示基板可以采用柔性基板,因而显示基板可以是可变形的,例如卷曲、弯曲、折叠或卷起。

[0095] 在示例性实施方式中,绑定区域200可以包括沿着远离显示区域方向依次设置的扇出区、弯折区、驱动芯片区和绑定引脚区,扇出区连接到显示区域100,至少包括数据扇出线,多条数据扇出线被配置为以扇出走线方式连接显示区域的数据信号线。弯折区连接到扇出区,可以包括设置有凹槽的复合绝缘层,被配置为使绑定区域弯折到显示区域的背面。驱动芯片区可以包括集成电路(Integrated Circuit,简称IC),集成电路被配置为与多条数据扇出线连接。绑定引脚区可以包括绑定焊盘(Bonding Pad),绑定焊盘被配置为与外部的柔性线路板(Flexible Printed Circuit,简称FPC)绑定连接。

[0096] 在示例性实施方式中,边框区域300可以包括沿着远离显示区域100的方向依次设置的电路区、电源线区、裂缝坝区和切割区。电路区连接到显示区域100,可以至少包括栅极驱动电路,栅极驱动电路与显示区域100中像素驱动电路的第一扫描线、第二扫描线和发光控制线连接。电源线区连接到电路区,可以至少包括边框电源引线,边框电源引线沿着平行于显示区域边缘的方向延伸,与显示区域100中的阴极连接。裂缝坝区连接到电源线区,可以至少包括在复合绝缘层上设置的多个裂缝。切割区连接到裂缝坝区,可以至少包括在复合绝缘层上设置的切割槽,切割槽被配置为在显示基板的所有膜层制备完成后,切割设备

分别沿着切割槽进行切割。

[0097] 在示例性实施方式中，绑定区域200中的扇出区和边框区域300中的电源线区可以设置有第一隔离坝和第二隔离坝，第一隔离坝和第二隔离坝可以沿着平行于显示区域边缘的方向延伸，形成环绕显示区域100的环形结构，显示区域边缘是显示区域绑定区域或者边框区域一侧的边缘。

[0098] 图3为一种显示基板中显示区域的平面结构示意图。如图3所示，显示基板可以包括以矩阵方式排布的多个像素单元P，至少一个像素单元P可以包括出射第一颜色光线的第一子像素P1、出射第二颜色光线的第二子像素P2和出射第三颜色光线的第三子像素P3和第四子像素P4。每个子像素可以均包括电路单元和发光器件，电路单元可以至少包括像素驱动电路，像素驱动电路分别与扫描信号线、数据信号线和发光信号线连接，像素驱动电路被配置为在扫描信号线和发光信号线的控制下，接收数据信号线传输的数据电压，向发光器件输出相应的电流。每个子像素中的发光器件分别与所在子像素的像素驱动电路连接，发光器件被配置为响应所在子像素的像素驱动电路输出的电流发出相应亮度的光。

[0099] 在示例性实施方式中，第一子像素P1可以是出射红色光线的红色子像素(R)，第二子像素P2可以是出射蓝色光线的蓝色子像素(B)，第三子像素P3和第四子像素P4可以是出射绿色光线的绿色子像素(G)。在示例性实施方式中，子像素的形状可以是矩形状、菱形、五边形或六边形，四个子像素可以采用钻石形(Diamond)方式排列，形成RGBG像素排布。在其它示例性实施例中，四个子像素可以采用水平并列、竖直并列或正方形等方式排列，本公开在此不做限定。

[0100] 在示例性实施方式中，像素单元可以包括三个子像素，三个子像素可以采用水平并列、竖直并列或品字等方式排列，本公开在此不做限定。

[0101] 图4为一种显示基板中显示区域的剖面结构示意图，示意了显示区域中四个子像素的结构。如图4所示，在垂直于显示基板的平面上，显示基板可以包括设置在基底101上的驱动电路层102、设置在驱动电路层102远离基底101一侧的发光结构层103以及设置在发光结构层103远离基底101一侧的封装结构层104。在一些可能的实现方式中，显示基板可以包括其它膜层，如触控结构层等，本公开在此不做限定。

[0102] 在示例性实施方式中，基底101可以是柔性基底，或者可以是刚性基底。每个子像素的驱动电路层102可以包括由多个晶体管和存储电容构成的像素驱动电路。每个子像素的发光结构层103可以至少包括阳极301、像素定义层302、有机发光层303和阴极304，阳极301与像素驱动电路连接，有机发光层303与阳极301连接，阴极304与有机发光层303连接，有机发光层303在阳极301和阴极304驱动下出射相应颜色的光线。封装结构层104可以包括叠设的第一封装层401、第二封装层402和第三封装层403，第一封装层401和第三封装层403可以采用无机材料，第二封装层402可以采用有机材料，第二封装层402设置在第一封装层401和第三封装层403之间，形成无机材料/有机材料/无机材料叠层结构，可以保证外界水汽无法进入发光结构层103。

[0103] 在示例性实施方式中，有机发光层可以包括发光层(EML)以及如下任意一层或多层：空穴注入层(HIL)、空穴传输层(HTL)、电子阻挡层(EBL)、空穴阻挡层(HBL)、电子传输层(ETL)和电子注入层(EIL)。在示例性实施方式中，所有子像素的空穴注入层、空穴传输层、电子阻挡层、空穴阻挡层、电子传输层和电子注入层中的一层或多层可以是各自连接在一

起的共通层，相邻子像素的发光层可以有少量的交叠，或者可以是相互隔离的。

[0104] 图5为一种像素驱动电路的等效电路示意图。在示例性实施方式中，像素驱动电路可以是3T1C、4T1C、5T1C、5T2C、6T1C、7T1C或8T1C结构。图5为一种像素驱动电路的等效电路示意图。如图5所示，像素驱动电路可以包括7个晶体管(第一晶体管T1到第七晶体管T7)和1个存储电容C，像素驱动电路分别与8个信号线(数据信号线D、第一扫描信号线S1、第二扫描信号线S2、发光信号线E、第一初始信号线INIT1、第二初始信号线INIT2、第一电源线VDD和第二电源线VSS)连接。

[0105] 在示例性实施方式中，像素驱动电路可以包括第一节点N1、第二节点N2和第三节点N3。其中，第一节点N1分别与第三晶体管T3的第一极、第四晶体管T4的第二极和第五晶体管T5的第二极连接，第二节点N2分别与第一晶体管的第二极、第二晶体管T2的第一极、第三晶体管T3的控制极和存储电容C的第二端连接，第三节点N3分别与第二晶体管T2的第二极、第三晶体管T3的第二极和第六晶体管T6的第一极连接。

[0106] 在示例性实施方式中，存储电容C的第一端与第一电源线VDD连接，存储电容C的第二端与第二节点N2连接，即存储电容C的第二端与第三晶体管T3的控制极连接。

[0107] 第一晶体管T1的控制极与第二扫描信号线S2连接，第一晶体管T1的第一极与第一初始信号线INIT1连接，第一晶体管的第二极与第二节点N2连接。当导通电平扫描信号施加到第二扫描信号线S2时，第一晶体管T1将第一初始电压传输到第三晶体管T3的控制极，以使第三晶体管T3的控制极的电荷量初始化。

[0108] 第二晶体管T2的控制极与第一扫描信号线S1连接，第二晶体管T2的第一极与第二节点N2连接，第二晶体管T2的第二极与第三节点N3连接。当导通电平扫描信号施加到第一扫描信号线S1时，第二晶体管T2使第三晶体管T3的控制极与第二极连接。

[0109] 第三晶体管T3的控制极与第二节点N2连接，即第三晶体管T3的控制极与存储电容C的第二端连接，第三晶体管T3的第一极与第一节点N1连接，第三晶体管T3的第二极与第三节点N3连接。第三晶体管T3可以称为驱动晶体管，第三晶体管T3根据其控制极与第一极之间的电位差来确定在第一电源线VDD与第二电源线VSS之间流动的驱动电流的量。

[0110] 第四晶体管T4的控制极与第一扫描信号线S1连接，第四晶体管T4的第一极与数据信号线D连接，第四晶体管T4的第二极与第一节点N1连接。第四晶体管T4可以称为开关晶体管、扫描晶体管等，当导通电平扫描信号施加到第一扫描信号线S1时，第四晶体管T4使数据信号线D的数据电压输入到像素驱动电路。

[0111] 第五晶体管T5的控制极与发光信号线E连接，第五晶体管T5的第一极与第一电源线VDD连接，第五晶体管T5的第二极与第一节点N1连接。第六晶体管T6的控制极与发光信号线E连接，第六晶体管T6的第一极与第三节点N3连接，第六晶体管T6的第二极与发光器件的第一极连接。第五晶体管T5和第六晶体管T6可以称为发光晶体管。当导通电平发光信号施加到发光信号线E时，第五晶体管T5和第六晶体管T6通过在第一电源线VDD与第二电源线VSS之间形成驱动电流路径而使发光器件发光。

[0112] 第七晶体管T7的控制极与第二扫描信号线S2连接，第七晶体管T7的第一极与第二初始信号线INIT2连接，第七晶体管T7的第二极与发光器件的第一极连接。当导通电平扫描信号施加到第二扫描信号线S2时，第七晶体管T7将第二初始电压传输到发光器件的第一极，以使发光器件的第一极中累积的电荷量初始化或释放发光器件的第一极中累积的电荷

量。

[0113] 在示例性实施方式中，发光器件可以是OLED，包括叠设的第一极(阳极)、有机发光层和第二极(阴极)，或者可以是QLED，包括叠设的第一极(阳极)、量子点发光层和第二极(阴极)。

[0114] 在示例性实施方式中，发光器件的第二极与第二电源线VSS连接，第二电源线VSS的信号为持续提供的低电平信号，第一电源线VDD的信号为持续提供的高电平信号。

[0115] 在示例性实施方式中，第一晶体管T1到第七晶体管T7可以是P型晶体管，或者可以是N型晶体管。像素驱动电路中采用相同类型的晶体管可以简化工艺流程，减少显示面板的工艺难度，提高产品的良率。在一些可能的实现方式中，第一晶体管T1到第七晶体管T7可以包括P型晶体管和N型晶体管。

[0116] 在示例性实施方式中，第一晶体管T1到第七晶体管T7可以采用低温多晶硅薄膜晶体管，或者可以采用氧化物薄膜晶体管，或者可以采用低温多晶硅薄膜晶体管和氧化物薄膜晶体管。低温多晶硅薄膜晶体管的有源层采用低温多晶硅(Low Temperature Poly-Silicon，简称LTPS)，氧化物薄膜晶体管的有源层采用氧化物半导体(Oxide)。低温多晶硅薄膜晶体管具有迁移率高、充电快等优点，氧化物薄膜晶体管具有漏电流低等优点，将低温多晶硅薄膜晶体管和氧化物薄膜晶体管集成在一个显示基板上，即LTPS+Oxide (简称LTPO)显示基板，可以利用两者的优势，可以实现低频驱动，可以降低功耗，可以提高显示品质。

[0117] 在示例性实施方式中，以第一晶体管T1到第七晶体管T7均为P型晶体管为例，像素驱动电路的工作过程可以包括：

[0118] 第一阶段A1，称为复位阶段，第二扫描信号线S2的信号为低电平信号，第一扫描信号线S1和发光信号线E的信号为高电平信号。第二扫描信号线S2的信号为低电平信号，使第一晶体管T1和第七晶体管T7导通。第一晶体管T1导通使得第一初始信号线INIT1的第一初始电压提供至第二节点N2，对存储电容C进行初始化，清除存储电容中原有数据电压。第七晶体管T7导通使得第二初始信号线INIT2的第二初始电压提供至OLED的第一极，对OLED的第一极进行初始化(复位)，清空其内部的预存电压，完成初始化，确保OLED不发光。第一扫描信号线S1和发光信号线E的信号为高电平信号，使第二晶体管T2、第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7断开。

[0119] 第二阶段A2、称为数据写入阶段或者阈值补偿阶段，第一扫描信号线S1的信号为低电平信号，第二扫描信号线S2和发光信号线E的信号为高电平信号，数据信号线D输出数据电压。此阶段由于存储电容C的第二端为低电平，因此第三晶体管T3导通。第一扫描信号线S1的信号为低电平信号使第二晶体管T2和第四晶体管T4导通。第二晶体管T2和第四晶体管T4导通使得数据信号线D输出的数据电压经过第一节点N1、导通的第三晶体管T3、第三节点N3、导通的第二晶体管T2提供至第二节点N2，并将数据信号线D输出的数据电压与第三晶体管T3的阈值电压之差充入存储电容C，存储电容C的第二端(第二节点N2)的电压为Vd-|Vth|，Vd为数据信号线D输出的数据电压，Vth为第三晶体管T3的阈值电压。第二扫描信号线S2的信号为高电平信号，使第一晶体管T1断开。发光信号线E的信号为高电平信号，使第五晶体管T5和第六晶体管T6断开。

[0120] 第三阶段A3、称为发光阶段，发光信号线E的信号为低电平信号，第一扫描信号线

S1和第二扫描信号线S2的信号为高电平信号。发光信号线E的信号为低电平信号，使第五晶体管T5和第六晶体管T6导通，第一电源线VDD输出的电源电压通过导通的第五晶体管T5、第三晶体管T3和第六晶体管T6向OLED的第一极提供驱动电压，驱动OLED发光。

[0121] 在像素驱动电路驱动过程中，流过第三晶体管T3(驱动晶体管)的驱动电流由其栅电极和第一极之间的电压差决定。由于第二节点N2的电压为Vdata-|Vth|，因而第三晶体管T3的驱动电流为：

[0122] $I=K*(Vgs-Vth)^2=K*[(Vdd-Vd+|Vth|)-Vth]^2=K*[(Vdd-Vd]^2$

[0123] 其中，I为流过第三晶体管T3的驱动电流，也就是驱动OLED的驱动电流，K为常数，Vgs为第三晶体管T3的栅电极和第一极之间的电压差，Vth为第三晶体管T3的阈值电压，Vd为数据信号线D输出的数据电压，Vdd为第一电源线VDD输出的电源电压。

[0124] 随着OLED显示技术的发展，消费者对显示产品显示效果的要求越来越高，极窄边框成为显示产品发展的新趋势，因此边框的窄化甚至无边框设计在OLED显示产品设计中越来越受到重视。一种显示基板中，绑定区域通常包括沿着远离显示区域的方向依次设置的扇出区、弯折区、驱动芯片区和绑定引脚区。由于绑定区域的宽度小于显示区域的宽度，绑定区域中集成电路和绑定焊盘的信号线需要通过扇出区以扇出(Fanout)走线方式才能引入到较宽的显示区域，显示区域与绑定区域的宽度差距越大，扇形区中斜向扇出线越多，驱动芯片区与显示区域之间的距离就越大，因而扇形区占用空间较大，导致下边框的窄化设计难度较大，下边框一直维持在2.0mm左右。另一种显示基板中，绑定区域和边框区域通常设置电源引线，电源引线被配置为传输低电压电源信号，为了减小低电压电源信号的压降，电源引线的宽度较大，导致显示装置的边框较宽。

[0125] 本公开示例性实施例提供了一种显示基板，采用数据连接线位于显示区域(Fanout in AA，简称FIAA)结构，多条数据连接线的一端与显示区域中的多条数据信号线对应连接，多条数据连接线的另一端延伸到绑定区域，与绑定区域的集成电路对应连接。由于绑定区域中不需要设置扇形状的斜线，因而缩减了扇出区的宽度，有效减小了下边框宽度。

[0126] 本公开示例性实施例提供了一种显示基板，包括显示区域，所述显示区域包括设置在基底上的驱动电路层以及设置在所述驱动电路层远离所述基底一侧的发光结构层，所述驱动电路层包括多个电路单元、多条数据信号线、多条数据连接线、多条低压电源线和多条电源走线，所述发光结构层包括多个发光器件，所述电路单元包括像素驱动电路，所述数据信号线被配置为向所述像素驱动电路提供数据信号，所述低压电源线被配置为向所述发光器件持续提供低电源电压信号；所述数据连接线与所述数据信号线连接，所述电源走线与所述低压电源线连接。

[0127] 在示例性实施方式中，所述数据连接线包括沿着第一方向延伸的第一连接线和沿着第二方向延伸的第二连接线，所述电源走线包括沿着第一方向延伸的第一电源走线和沿着第二方向延伸的第二电源走线，所述第一连接线与所述第二连接线连接，所述第一电源走线与所述第二电源走线连接，所述第一方向和所述第二方向交叉。

[0128] 在示例性实施方式中，在平行于所述基底的平面上，所述显示区域至少包括设置有所述第一连接线的第一区域，所述第一区域的至少一个电路单元中包括所述第一连接线、所述第一电源走线和所述第二电源走线，所述第一连接线与所述数据信号线连接，所述

第二电源走线与所述低压电源线连接。

[0129] 在示例性实施方式中，在平行于所述基底的平面上，所述显示区域还包括设置有所述第二连接线的第二区域，所述第二区域的至少一个电路单元中包括所述第二连接线，所述第二方向相邻的电路单元中的第二连接线相互连接。

[0130] 在示例性实施方式中，在平行于所述基底的平面上，所述显示区域还包括与所述第一连接线和第二连接线在基底上的正投影不交叠的第三区域，所述第三区域的至少一个电路单元中包括所述第一电源走线和第二电源走线，所述第二电源走线通过第二连接孔与所述低压电源线连接。

[0131] 本公开中，A沿着B方向延伸是指，A可以包括主要部分和与主要部分连接的次要部分，主要部分是线、线段或条形状体，主要部分沿着B方向伸展，且主要部分沿着B方向伸展的长度大于次要部分沿着其它方向伸展的长度。以下描述中所说的“A沿着B方向延伸”均是指“A的主体部分沿着B方向延伸”。在示例性实施方式中，第二方向Y可以是从显示区域指向绑定区域的方向，第二方向Y的反方向可以是从绑定区域指向显示区域的方向。

[0132] 图6为本公开示例性实施例一种显示基板的平面结构示意图。在垂直于显示基板的平面上，显示基板可以包括设置在基底上的驱动电路层、设置在驱动电路层远离基底一侧的发光结构层以及设置在发光结构层远离基底一侧的封装结构层。如图6所示，在平行于显示基板的平面上，显示基板可以至少包括显示区域100、位于显示区域100第二方向Y一侧的绑定区域200和位于显示区域100其它侧的边框区域300。在示例性实施方式中，显示区域100的驱动电路层可以包括构成多个单元行和多个单元列的多个电路单元，至少一个电路单元可以包括像素驱动电路，像素驱动电路被配置为向所连接的发光器件输出相应的电流。显示区域100的发光结构层可以包括构成像素阵列的多个子像素，至少一个子像素可以包括发光器件，发光器件与对应电路单元的像素驱动电路连接，发光器件被配置为响应所连接的像素驱动电路输出的电流发出相应亮度的光。

[0133] 在示例性实施方式中，显示区域100的驱动电路层还可以包括多条数据信号线60和多条数据连接线70，至少一条数据信号线60与一个单元列中的多个像素驱动电路连接，数据信号线60被配置为向所连接的像素驱动电路提供数据信号，至少一条数据连接线70与数据信号线60对应连接，数据连接线70被配置为使数据信号线60通过数据连接线70与绑定区域200中的引出线210对应连接。

[0134] 在示例性实施方式中，本公开中所说的子像素，是指按照发光器件划分的区域，本公开中所说的电路单元，是指按照像素驱动电路划分的区域。在示例性实施方式中，子像素在基底上正投影的位置与电路单元在基底上正投影的位置可以是对应的，或者，子像素在基底上正投影的位置与电路单元在基底上正投影的位置可以是不对应的。

[0135] 在示例性实施方式中，沿着第一方向X依次设置的多个电路单元可以称为单元行，沿着第二方向Y依次设置的多个电路单元可以称为单元列，多个单元行和多个单元列构成阵列排布的电路单元阵列，第一方向X与第二方向Y交叉。在示例性实施方式中，第二方向Y可以是数据信号线的延伸方向(竖直方向)，第一方向X可以与第二方向Y垂直(水平方向)。

[0136] 在示例性实施方式中，绑定区域200可以至少包括沿着远离显示区域方向依次设置的引线区201、弯折区和驱动芯片区，引线区201连接到显示区域100，弯折区连接到引线区201，驱动芯片区连接到弯折区。引线区201可以设置多条引出线210，多条引出线210可以

沿着第二方向Y延伸，多条引出线210的第一端与复合电路区的集成电路连接，多条引出线210的第二端跨过弯折区延伸到引线区201后与数据连接线70对应连接，使得集成电路通过引出线和数据连接线将数据信号施加到数据信号线。由于数据连接线设置在显示区域，因而可以有效减小引线区第二方向Y的长度，大大缩减下边框宽度，提高了屏占比，有利于实现全面屏显示。

[0137] 在示例性实施方式中，设置在显示区域100的多条数据信号线的形状可以是沿着第二方向Y延伸的线形状，设置在显示区域100的多条数据连接线70的形状可以是折线状，数据连接线70可以包括沿着第一方向X延伸的第一连接线和沿着第二方向Y延伸的第二连接线，多条第一连接线的第一端(数据连接线70的第一端)通过连接孔与多条数据信号线60对应连接，多条第一连接线的第二端沿着第一方向X或者第一方向X的反方向延伸后与第二连接线的第一端连接，多条第二连接线的第二端(条数据连接线70的第二端)向着绑定区域200的方向延伸并跨过显示区域边界B，与引线区201的多条引出线210对应连接。在示例性实施方式中，显示区域边界B可以是显示区域100和绑定区域200的交界处。

[0138] 在示例性实施方式中，数据连接线70与引出线210可以直接连接，或者可以通过过孔连接，本公开在此不做限定。

[0139] 在示例性实施方式中，多条第二连接线可以设置成与数据信号线60平行，多条第一连接线可以设置成与数据信号线60垂直。

[0140] 在示例性实施方式中，相邻第二连接线之间第一方向X的间距可以基本上相同，相邻第一连接线之间第二方向Y的间距可以基本上相同，本公开在此不做限定。

[0141] 在示例性实施方式中，显示区域100可以具有中心线O，显示区域100中的多条数据信号线60、多条数据连接线70和引线区201中的多条引出线210可以相对于中心线O对称设置，中心线O可以为平分显示区域100的多个单元列并沿着第二方向Y延伸的直线。

[0142] 图7为本公开示例性实施例一种数据连接线的排布示意图，为图6中C1区域的放大图，示意了7条数据信号线、7 条数据连接线和7条引出线的结构。图7所示，在示例性实施方式中，显示区域100的多条数据信号线可以包括第一数据信号线60-1至第七数据信号线60-7，显示区域100的多条数据连接线可以包括第一数据连接线70-1至第七数据连接线70-7，引线区201的多条引出线可以包括第一引出线210-1至第七引出线210-7。

[0143] 在示例性实施方式中，第一数据信号线60-1至第七数据信号线60-7、第一数据连接线70-1至第七数据连接线70-7以及第一引出线210-1至第七引出线210-7均可以沿着第一方向X顺序设置，第i数据连接线70-i的第一端在显示区域100通过连接孔与第i数据信号线60-i连接，第i数据连接线70-i的第二端延伸到引线区201后与第i引出线210-i连接，i=1至7。

[0144] 在示例性实施方式中，数据连接线70与数据信号线60对应连接的多个连接孔与显示区域边缘B的距离可以不同。例如，连接第一数据连接线70-1与第一数据信号线60-1的连接孔与显示区域边缘B的距离可以小于连接第二数据连接线70-2与第二数据信号线60-2的连接孔与显示区域边缘B的距离。又如，连接第二数据连接线70-2与第二数据信号线60-2的连接孔与显示区域边缘B的距离可以大于连接第三数据连接线70-3与第三数据信号线60-3的连接孔与显示区域边缘B的距离。

[0145] 图8为本公开示例性实施例另一种显示基板的平面结构示意图，图9为图8中C2区

域的放大图。显示区域100的驱动电路层可以包括组成电路单元阵列的多个电路单元、多条数据信号线60、多条数据连接线70和网状连通结构的电源走线90，多个电路单元、多条数据信号线60和多条数据连接线70的布局和结构与前述图6所示布局和结构基本上相同。

[0146] 在示例性实施方式中，数据连接线70可以包括沿着第一方向X延伸的第一连接线71和沿着第二方向Y延伸的第二连接线72，第一连接线71和第二连接线72构成折线状的数据连接线70。第一连接线71和第二连接线72可以设置在相同的导电层中，第一连接线71和数据信号线60可以设置在不同的导电层中，第一连接线71的第一端通过第一连接孔与数据信号线60连接，第一连接线71的第二端沿着第一方向X或者第一方向X的反方向延伸后，与第二连接线72的第一端直接连接，第二连接线72的第二端沿着第二方向Y向着引线区201的方向延伸后与引出线210连接。

[0147] 在示例性实施方式中，电源走线90可以包括多条沿着第一方向X延伸的第一电源走线91和多条沿着第二方向Y延伸的第二电源走线92，多条第一电源走线91可以沿着第二方向Y依次设置，多条第二电源走线92可以沿着第一方向X依次设置，第一电源走线91和第二电源走线92相互连接，构成网状连通结构的电源走线90，电源走线90被配置为与驱动电路层中的低压电源线连接，低压电源线被配置为向发光结构层中的多个发光器件持续提供低电源电压信号。

[0148] 在示例性实施方式中，第一电源走线91和第二电源走线92可以设置在相同的导电层中，第一电源走线91和低压电源线可以设置在不同的导电层中，第二电源走线可以通过第二连接孔与所述低压电源线连接，实现了网状连通结构的电源走线90与低压电源线的连接。

[0149] 图10为本公开示例性实施例一种显示区域的分区示意图。如图10所示，由于数据连接线设置在显示区域中的部分区域，且数据连接线包括沿着第一方向X延伸的第一连接线和沿着第二方向Y延伸的第二连接线，因而可以按照有无数据连接线以及数据连接线的延伸方向作为划分依据，将显示区域划分为第一区域100A、第二区域100B和第三区域100C，第一区域100A可以是设置有第一连接线71的区域(扇出线横向走线区域)，第二区域100B可以是设置有第二连接线72的区域(扇出线纵向走线区域)，第三区域100C可以是与第一连接线71和第二连接线72在基底上的正投影没有交叠的区域(正常区域)，即第三区域100C可以是没有设置第一连接线71和第二连接线72的区域。

[0150] 在示例性实施方式中，第一区域100A可以包括多个电路单元，第一连接线71在显示基板平面上的正投影与第一区域100A的多个电路单元中像素驱动电路在显示基板平面上的正投影至少部分交叠，第一区域100A的多个电路单元中像素驱动电路在显示基板平面上的正投影与第二连接线72在显示基板平面上的正投影没有重叠。

[0151] 在示例性实施方式中，第二区域100B可以包括多个电路单元，第二连接线72在显示基板平面上的正投影与第二区域100B的多个电路单元中像素驱动电路在显示基板平面上的正投影至少部分交叠，第二区域100B的多个电路单元中像素驱动电路在显示基板平面上的正投影与第一连接线71在显示基板平面上的正投影没有重叠。

[0152] 在示例性实施方式中，第三区域100C可以包括多个电路单元，第三区域100C的多个电路单元中像素驱动电路在显示基板平面上的正投影与第一连接线71和第二连接线72在显示基板平面上的正投影没有重叠。

[0153] 在示例性实施方式中，图10所示各个区域的划分仅仅是一种示例性说明。由于第一区域100A、第二区域100B和第三区域100C是按照有无数据连接线和数据连接线的延伸方向作为划分依据，因而三个区域的形状可以是规则的多边形，或者是不规则的多边形，显示区域可以划分出一个或多个第一区域100A、一个或多个第二区域100B以及一个或多个第三区域100C，本公开在此不做限定。

[0154] 图11a为本公开示例性实施例第一区域的结构示意图，第一区域可以包括多个电路单元。如图11a所示，第一区域中的至少一个电路单元可以包括数据信号线60、第一连接线71、第二电源线80、第一电源走线91、第二电源走线92、电源连接电极93和第二补偿线120。第一连接线71和第一电源走线91的形状可以为主体部分沿着第一方向X延伸的直线状，数据信号线60、第二电源线80、第二电源走线92和第二补偿线120的形状可以为主体部分沿着第二方向Y延伸的直线状，第二电源线80作为本公开的低压电源线，被配置为持续提供低电源电压信号(VSS)，数据信号线60被配置为提供数据信号。

[0155] 在示例性实施方式中，第一区域的至少一个电路单元中，数据信号线60和第二电源走线92可以设置在第二电源线80第一方向X的一侧，且第二电源走线92可以设置在第二电源线80和数据信号线60之间，第二补偿线120可以设置在第二电源线80远离数据信号线60的一侧，第一电源走线91可以设置在电路单元第二方向Y的一侧，第一连接线71可以设置在电路单元第二方向Y的反方向的一侧。

[0156] 在示例性实施方式中，第一连接线71和第二连接线72可以设置在相同的导电层中，第一连接线71和数据信号线60可以设置在不同的导电层中。

[0157] 在示例性实施方式中，第一区域的至少一个电路单元中，沿着第一方向X延伸的第一连接线71通过第一连接孔K1与沿着第二方向Y延伸的数据信号线60连接，实现了第一连接线71与数据信号线60的连接。

[0158] 在示例性实施方式中，第一区域中，第一连接线71可以在一个单元行的多个电路单元中连续设置，第一方向X上相邻的电路单元中的第一连接线71相互连接。

[0159] 在示例性实施方式中，第一电源走线91和第二电源走线92可以设置在相同的导电层中，第二电源走线92和第二电源线80可以设置在不同的导电层中。

[0160] 在示例性实施方式中，第一区域的至少一个电路单元中，沿着第二方向Y延伸的第二电源走线92通过第二连接孔K2与沿着第二方向Y延伸的第二电源线80连接，实现了第二电源走线92与第二电源线80的连接。

[0161] 在示例性实施方式中，第一区域的至少一个单元行中，沿着第一方向X延伸的第一电源走线91与多条沿着第二方向Y延伸的第二电源走线92直接连接，构成网状连通结构的电源走线。

[0162] 在示例性实施方式中，第一区域的至少一个电路单元中还可以包括电源连接电极93，电源连接电极93的形状可以为矩形状，电源连接电极93可以设置在第二电源走线92远离数据信号线60的一侧，且与第二电源走线92连接，电源连接电极93在基底上的正投影与第二电源线80在基底上的正投影至少部分交叠，电源连接电极93通过第二连接孔K2与第二电源线80连接，因而实现了网格状的电源引线与第二电源线80的连接。

[0163] 在示例性实施方式中，第一区域中，第一电源走线91可以在一个单元行的多个电路单元中连续设置，第一方向X上相邻的电路单元中的第一电源走线91相互连接。

[0164] 在示例性实施方式中，第一区域中，第二电源走线92可以在一个单元列的多个电路单元中间隔设置，即第二方向Y相邻的电路单元中的第二电源走线92间隔设置，以使第一连接线71设置在第二方向Y相邻的第二电源走线92之间，第一连接线71在基底上的正投影与第二电源走线92在基底的正投影不交叠。

[0165] 在示例性实施方式中，第一区域中，沿着第一方向X延伸的第一电源走线91与多条沿着第二方向Y延伸的第二补偿线120直接连接。

[0166] 在示例性实施方式中，第一区域中，第二补偿线120可以在一个单元列的多个电路单元中间隔设置，即第二方向Y相邻的电路单元中的第二补偿线120间隔设置，以使第一连接线71设置在第二方向Y相邻的第二补偿线120之间，第一连接线71在基底上的正投影与第二补偿线120在基底的正投影不交叠。

[0167] 图11b为本公开示例性实施例第二区域的结构示意图，第二区域可以包括多个电路单元。如图11b所示，第二区域中的至少一个电路单元可以包括数据信号线60、第二连接线72、第二电源线80和第一补偿线110。第一补偿线110的形状可以为主体部分沿着第一方向X延伸的直线状，数据信号线60、第二连接线72和第二电源线80的形状可以为主体部分沿着第二方向Y延伸的直线状，第二连接线72的第一端与位于引线区的引出线连接，第二连接线72的第二端与位于显示区域的第一连接线71连接，使相互连接的第一连接线71和第二连接线72构成折线状的数据连接线。

[0168] 在示例性实施方式中，第二区域的至少一个电路单元中可以设置有两条第二连接线72。两条第二连接线72可以包括第一侧连接线和第二侧连接线，第一侧连接线可以设置在第二电源线80和数据信号线60之间，第二侧连接线可以设置在第二电源线80远离数据信号线60的一侧。

[0169] 在示例性实施方式中，第二区域的至少一个电路单元中可以设置有至少两条第一补偿线110。至少两条第一补偿线110可以包括至少一条第一侧补偿线和至少一条第二侧补偿线，第一侧补偿线的第一端与第一侧连接线连接，第一侧补偿线的第二端向着靠近第二侧连接线的方向延伸，第二侧补偿线的第一端与第二侧连接线连接，第二侧补偿线的第二端向着靠近第一侧连接线的方向延伸，使得电路单元内的两条第一补偿线110构成叉指结构。

[0170] 在示例性实施方式中，第二区域的至少一个电路单元中还可以包括虚设连接电极73，虚设连接电极73的形状可以为矩形状，虚设连接电极73可以设置在第二连接线72远离数据信号线60的一侧，且与第二连接线72连接，虚设连接电极73在基底上的正投影与第二电源线80在基底上的正投影至少部分交叠。

[0171] 在示例性实施方式中，第二区域中，第二连接线72可以在一个单元列的多个电路单元中连续设置，第二方向Y上相邻的电路单元中的第二连接线72相互连接。

[0172] 在示例性实施方式中，第二区域中，第一补偿线110可以在一个单元行的多个电路单元中间隔设置。

[0173] 图11c为本公开示例性实施例第三区域的结构示意图，第三区域可以包括多个电路单元。如图11c所示，第三区域中的至少一个电路单元可以包括数据信号线60、第二电源线80、第一电源走线91、第二电源走线92、电源连接电极93、第一补偿线110和第二补偿线120。第一电源走线91和第一补偿线110的形状可以为主体部分沿着第一方向X延伸的直线

状，数据信号线60、第二电源线80、第二电源走线92和第二补偿线120的形状可以为主体部分沿着第二方向Y延伸的直线状。

[0174] 在示例性实施方式中，第三区域的至少一个电路单元中，数据信号线60可以设置在第二电源线80第一方向X的一侧，第二电源走线92可以设置在第二电源线80和数据信号线60之间，第二补偿线120可以设置在第二电源线80远离数据信号线60的一侧，第一电源走线91可以设置在电路单元第二方向Y的一侧，第一补偿线110可以设置在电路单元第二方向Y的反方向的一侧。

[0175] 在示例性实施方式中，第三区域的至少一个电路单元中，沿着第二方向Y延伸的第二电源走线92通过第二连接孔K2与沿着第二方向Y延伸的第二电源线80连接，实现了第二电源走线92与第二电源线80的连接。

[0176] 在示例性实施方式中，第一电源走线91和第二电源走线92可以设置在相同的导电层中，第三区域的至少一个单元行中，沿着第一方向X延伸的第一电源走线91与多条沿着第二方向Y延伸的第二电源走线92直接连接，构成网状连通结构的电源走线。

[0177] 在示例性实施方式中，第三区域中，第一电源走线91可以在一个单元行的多个电路单元中连续设置，第一方向X上相邻的电路单元中的第一电源走线91相互连接。

[0178] 在示例性实施方式中，第一区域中，第二电源走线92可以在一个单元列的多个电路单元中连续设置，第二方向Y相邻的电路单元中的第二电源走线92相互连接。

[0179] 在示例性实施方式中，第三区域的至少一个电路单元中还可以包括电源连接电极93，电源连接电极93的形状可以为矩形状，电源连接电极93可以设置在第二电源走线92远离数据信号线60的一侧，且与第二电源走线92连接，电源连接电极93在基底上的正投影与第二电源线80在基底上的正投影至少部分交叠，电源连接电极93通过第二连接孔K2与第二电源线80连接，因而实现了网格状的电源引线与第二电源线80的连接。

[0180] 在示例性实施方式中，第三区域中，第一补偿线110可以在一个单元行的多个电路单元中连续设置，第一方向X上相邻的电路单元中的第一补偿线110相互连接。

[0181] 在示例性实施方式中，第三区域中，第二补偿线120可以在一个单元列的多个电路单元中连续设置，第二方向Y上相邻的电路单元中的第二补偿线120相互连接。

[0182] 在示例性实施方式中，第一电源走线91、第二电源走线92、第一补偿线110和第二补偿线120可以设置在相同的导电层中。

[0183] 在示例性实施方式中，第三区域的至少一个单元行中，沿着第一方向X延伸的第一电源走线91与多条沿着第二方向Y延伸的第二补偿线120直接连接。

[0184] 在示例性实施方式中，第三区域的至少一个单元行中，沿着第二方向Y延伸的第二电源走线92与多条沿着第一方向X延伸的第一补偿线110直接连接。

[0185] 在示例性实施方式中，第三区域的至少一个电路单元中，沿着第一方向X延伸的第一电源走线91和第一补偿线110与沿着第二方向Y延伸的第二电源走线92和第二补偿线120相互连接，形成“井”字形结构。

[0186] 在示例性实施方式中，至少一个包括第一区域的电路单元、第二区域的电路单元和第三区域的电路单元的单元行中，第一区域的第一电源走线91、第二区域的第一补偿线110中第一侧补偿线和第三区域的第一电源走线91可以位于同一条沿着第一方向X延伸的直线上，第一区域的第一连接线71、第二区域的第一补偿线110中第二侧补偿线和第三区域

的第一补偿线110可以位于同一条沿着第一方向X延伸的直线上，第一区域的电源连接电极93、第二区域的虚设连接电极73和第三区域的电源连接电极93可以位于同一条沿着第一方向X延伸的直线上。至少一个包括第一区域的电路单元、第二区域的电路单元和第三区域的电路单元的单元列中，第一区域的第二电源走线92、第二区域的第二连接线72中第一侧连接线和第三区域的第二电源走线92可以位于同一条沿着第二方向Y延伸的直线上，第一区域的第二补偿线120、第二区域的第二连接线72中第二侧连接线和第三区域的第二补偿线120可以位于同一条沿着第二方向Y延伸的直线上，第一区域的电源连接电极93、第二区域的虚设连接电极73和第三区域的电源连接电极93可以位于同一条沿着第二方向延伸的直线上。因而，第一区域、第二区域和第三区域的走线呈现基本上相似的形貌，不仅可以提高制备工艺的均一性，而且使得不同区域在透射光及反射光下均能达到基本上相同的显示效果，有效避免了显示基板的外观不良，提高了显示品质和显示质量。

[0187] 在示例性实施方式中，在垂直于显示基板的平面上，所述驱动电路层包括在基底上依次设置的半导体层、第一导电层、第二导电层、第三导电层、第四导电层和第五导电层。所述半导体层至少包括多个晶体管的有源层，所述第一导电层至少包括多个晶体管的栅电极和存储电容的第一极板，所述第二导电层至少包括存储电容的第二极板，所述第三导电层至少包括多个晶体管的第一极和第二极，所述第四导电层至少包括数据信号线60和第二电源线80，所述第五导电层至少包括第一连接线71、第二连接线72、第一电源走线91和第二电源走线92，第一连接线71和第二连接线72为相互连接的一体结构，第一连接线71通过第一连接孔与数据信号线60连接，第一电源走线91和第二电源走线92为相互连接的一体结构，第二电源走线92通过第二连接孔与第二电源线80连接。

[0188] 在示例性实施方式中，驱动电路层还可以至少包括第一绝缘层、第二绝缘层、第三绝缘层、第四绝缘层、第一平坦层、第二平坦层和第三平坦层，第一绝缘层设置在基底与半导体层之间，第二绝缘层设置在半导体层和第一导电层之间，第三绝缘层设置在第一导电层与第二导电层之间，第四绝缘层设置在第二导电层与第三导电层之间，第一平坦层设置在第三导电层与第四导电层之间，第二平坦层设置在第四导电层与第五导电层之间，第三平坦层设置在第五导电层远离基底的一侧。

[0189] 下面通过显示基板的制备过程进行示例性说明。本公开所说的“图案化工艺”，对于金属材料、无机材料或透明导电材料，包括涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理，对于有机材料，包括涂覆有机材料、掩模曝光和显影等处理。沉积可以采用溅射、蒸镀、化学气相沉积中的任意一种或多种，涂覆可以采用喷涂、旋涂和喷墨打印中的任意一种或多种，刻蚀可以采用干刻和湿刻中的任意一种或多种，本公开不做限定。“薄膜”是指将某一种材料在基底上利用沉积、涂覆或其它工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需图案化工艺，则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”需图案化工艺，则在图案化工艺前称为“薄膜”，图案化工艺后称为“层”。经过图案化工艺后的“层”中包含至少一个“图案”。本公开所说的“A和B同层设置”是指，A和B通过同一次图案化工艺同时形成，膜层的“厚度”为膜层在垂直于显示基板方向上的尺寸。本公开示例性实施例中，“B的正投影位于A的正投影的范围之内”或者“A的正投影包含B的正投影”是指，B的正投影的边界落入A的正投影的边界范围内，或者A的正投影的边界与B的正投影的边界重叠。

[0190] 在示例性实施方式中,以八个电路单元(2个单元行4个单元列)为例,示基板的制备过程可以包括如下操作。

[0191] (1)形成半导体层图案。在示例性实施方式中,形成半导体层图案可以包括:在基底上依次沉积第一绝缘薄膜和半导体薄膜,通过图案化工艺对半导体薄膜进行图案化,形成覆盖基底的第一绝缘层,以及设置在第一绝缘层上的半导体层,如图12所示,图12为图10中E0区域的放大图。

[0192] 在示例性实施方式中,显示区域中每个电路单元的半导体层可以至少包括第一晶体管T1的第一有源层11至第七晶体管T7的第七有源层17,第一有源层11至第六有源层16为相互连接的一体结构,且每个单元列中相邻电路单元的第六有源层16和第七有源层17为相互连接的一体结构。例如,每个单元列中第M行电路单元的第六有源层16与第M+1行电路单元的第七有源层17相互连接。

[0193] 在示例性实施方式中,第M行电路单元中的第一有源层11、第二有源层12、第四有源层14和第七有源层17可以位于本电路单元的第三有源层13远离第M+1行电路单元的一侧,第一有源层11和第七有源层17可以位于第二有源层12和第四有源层14远离第三有源层13的一侧,第M行电路单元中的第五有源层15和第六有源层16可以位于第三有源层13靠近第M+1行电路单元的一侧。

[0194] 在示例性实施方式中,第一有源层11的形状可以呈“n”字形,第二有源层12、第五有源层15和第六有源层16的形状可以呈“L”字形,第三有源层13的形状可以呈“Ω”字形,第四有源层14和第七有源层17的形状可以呈“I”字形。

[0195] 在示例性实施方式中,每个晶体管的有源层可以包括第一区、第二区以及位于第一区和第二区之间的沟道区。

[0196] 第一有源层11的第一区11-1、第四有源层14的第一区14-1、第五有源层15的第一区15-1和第七有源层17的第一区17-1可以单独设置,第一有源层11的第二区11-2可以作为第二有源层12的第一区12-1(第二节点N2),第三有源层13的第一区13-1可以同时作为第四有源层14的第二区14-2和第五有源层15的第二区15-2(第一节点N1),第三有源层13的第二区13-2可以同时作为第二有源层12的第二区12-2和第六有源层16的第一区16-1(第三节点N3),第六有源层16的第二区12-2可以同时作为第七有源层17的第二区17-2。

[0197] 在示例性实施方式中,图10中E1区域和E2区域的半导体图案与E0区域的半导体图案基本上相同。

[0198] (2)形成第一导电层图案。在示例性实施方式中,形成第一导电层图案可以包括:在形成前述图案的基底上,依次沉积第二绝缘薄膜和第一导电薄膜,通过图案化工艺对第一导电薄膜进行图案化,形成覆盖半导体层图案的第二绝缘层,以及设置在第二绝缘层上的第一导电层图案,如图13a和图13b所示,图13a为图10中E0区域的放大图,图13b为图13a中第一导电层的平面示意图。在示例性实施方式中,第一导电层可以称为第一栅金属(GATE1)层。

[0199] 在示例性实施方式中,显示区域中每个电路单元的第一导电层图案至少包括:第一扫描信号线21、第二扫描信号线22、发光控制线23和存储电容的第一极板24。

[0200] 在示例性实施方式中,存储电容的第一极板24的形状可以为矩形状,矩形状的角部可以设置倒角,第一极板24在基底上的正投影与第三晶体管T3的第三有源层在基底上的

正投影存在重叠区域。在示例性实施方式中，第一极板24可以同时作为存储电容的一个极板和第三晶体管T3的栅电极。

[0201] 在示例性实施方式中，第一扫描信号线21、第二扫描信号线22和发光控制线23的形状可以为主体部分沿着第一方向X延伸的线形状。第M行电路单元中的第一扫描信号线21和第二扫描信号线22可以位于本电路单元的第一极板24远离第M+1行电路单元的一侧，第二扫描信号线22位于本电路单元的第一扫描信号线21远离第一极板24的一侧，发光控制线23可以位于本电路单元的第一极板24靠近第M+1行电路单元的一侧。

[0202] 在示例性实施方式中，第一扫描信号线21可以设置有向第二扫描信号线22一侧凸起的栅极块21-1，第一扫描信号线21和栅极块21-1与第二有源层相重叠的区域可以作为第二晶体管T2的栅电极，形成双栅结构的第二晶体管T2。

[0203] 在示例性实施方式中，第一扫描信号线21与第四有源层14相重叠的区域作为第四晶体管T4的栅电极。第二扫描信号线22与第一有源层相重叠的区域可以作为双栅结构的第一晶体管T1的栅电极，第二扫描信号线22与第七有源层17相重叠的区域作为第七晶体管T7的栅电极。发光控制线23与第五有源层15相重叠的区域作为第五晶体管T5的栅电极，发光控制线23与第六有源层16相重叠的区域作为第六晶体管T6的栅电极。

[0204] 在示例性实施方式中，图10中E1区域和E2区域的第一导电层图案与E0区域的第一导电层图案基本上相同。

[0205] 在示例性实施方式中，形成第一导电层图案后，可以利用第一导电层作为遮挡，对半导体层进行导体化处理，被第一导电层遮挡区域的半导体层形成第一晶体管T1至第七晶体管T7的沟道区域，未被第一导电层遮挡区域的半导体层被导体化，即第一有源层至第七有源层的第一区和第二区均被导体化。

[0206] (3)形成第二导电层图案。在示例性实施方式中，形成第二导电层图案可以包括：在形成前述图案的基底上，依次沉积第三绝缘薄膜和第二导电薄膜，采用图案化工艺对第二导电薄膜进行图案化，形成覆盖第一导电层的第三绝缘层，以及设置在第三绝缘层上的第二导电层图案，如图14a和图14b所示，图14a为图10中E0区域的放大图，图14b为图14a中第二导电层的平面示意图。在示例性实施方式中，第二导电层可以称为第二栅金属(GATE 2)层。

[0207] 在示例性实施方式中，显示区域中每个电路单元的第二导电层图案至少包括：第一初始信号线31、第二初始信号线32、第二极板33、极板连接线34和屏蔽电极35。

[0208] 在示例性实施方式中，第一初始信号线31和第二初始信号线32的形状可以为主体部分可以沿第一方向X延伸的线形状。第M行电路单元中的第一初始信号线31可以位于本电路单元的第二扫描信号线22远离第一扫描信号线21的一侧，第二初始信号线32可以位于本电路单元的第一扫描信号线21和第二扫描信号线22之间。

[0209] 在示例性实施方式中，第二极板33的轮廓形状可以为矩形状，矩形状的角部可以设置倒角，第二极板33在基底上的正投影与第一极板24在基底上的正投影存在重叠区域，第二极板33作为存储电容的另一个极板，位于本电路单元的第一扫描信号线21和发光控制线24之间，第一极板24和第二极板33构成像素驱动电路的存储电容。

[0210] 在示例性实施方式中，极板连接线34可以设置在第二极板33第一方向X或第一方向X的反方向的一侧，极板连接线34的第一端与本电路单元的第二极板33连接，极板连接线

34的第二端沿着第一方向X或者第一方向X的反方向延伸后，与相邻电路单元的第二极板33连接，使一单元行上相邻电路单元的第二极板33相互连接。在示例性实施方式中，通过极板连接线可以使一单元行中多个电路单元的第二极板形成相互连接的一体结构，一体结构的第二极板可以复用为电源信号连接线，保证一单元行中的多个第二极板具有相同的电位，有利于提高面板的均一性，避免显示基板的显示不良，保证显示基板的显示效果。

[0211] 在示例性实施方式中，第二极板33上设置有开口36，开口36可以位于第二极板33的中部。开口36可以为矩形，使第二极板33形成环形结构。开口36暴露出覆盖第一极板24的第三绝缘层，且第一极板24在基底上的正投影包含开口36在基底上的正投影。在示例性实施方式中，开口36被配置为容置后续形成的第一过孔，第一过孔位于开口36内并暴露出第一极板24，使后续形成的第一晶体管T1的第二极与第一极板24连接。

[0212] 在示例性实施方式中，屏蔽电极35可以位于本电路单元的第一扫描信号线21与第二初始信号线32之间，屏蔽电极35被配置为与后续形成的第一电源线连接。屏蔽电极35在基底上的正投影与第一有源层的第二区和第二有源层的第一区在基底上的正投影至少部分交叠，屏蔽电极35被配置为屏蔽数据电压跳变对关键节点的影响，避免数据电压跳变影响像素驱动电路的关键节点的电位，提高显示效果。

[0213] 在示例性实施方式中，图10中E1区域和E2区域的第二导电层图案与E0区域的第二导电层基本上相同。

[0214] (4)形成第四绝缘层图案。在示例性实施方式中，形成第四绝缘层图案可以包括：在形成前述图案的基底上，沉积第四绝缘薄膜，采用图案化工艺对第四绝缘薄膜进行图案化，形成覆盖第二导电层的第四绝缘层，每个电路单元中设置有多个过孔，如图15所示，图15为图10中E0区域的放大图。

[0215] 在示例性实施方式中，显示区域中每个电路单元的多个过孔至少包括：第一过孔V1、第二过孔V2、第三过孔V3、第四过孔V4、第五过孔V5、第六过孔V6、第七过孔V7、第八过孔V8、第九过孔V9、第十过孔V10和第十一过孔V11。

[0216] 在示例性实施方式中，第一过孔V1在基底上的正投影位于第二极板33的开口36在基底上的正投影的范围之内，第一过孔V1内的第四绝缘层和第三绝缘层被刻蚀掉，暴露出第一极板24的表面，第一过孔V1被配置为使后续形成的第一晶体管T1的第二极与通过该过孔与第一极板24连接。

[0217] 在示例性实施方式中，第二过孔V2在基底上的正投影位于第二极板33在基底上的正投影的范围之内，第二过孔V2内的第四绝缘层被刻蚀掉，暴露出第二极板33的表面，第二过孔V2被配置为使后续形成的第一电源线通过该过孔与第二极板33连接。在示例性实施方式中，作为电源过孔的第二过孔V2可以包括多个，多个第二过孔V2可以沿着第二方向Y依次排列，以增加第一电源线与第二极板33的连接可靠性。

[0218] 在示例性实施方式中，第三过孔V3在基底上的正投影位于第五有源层的第一区在基底上的正投影的范围之内，第三过孔V3内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第五有源层的第一区的表面，第三过孔V3被配置为使后续形成的第一电源线通过该过孔与第五有源层的第一区连接。

[0219] 在示例性实施方式中，第四过孔V4在基底上的正投影位于第六有源层的第二区(也是第七有源层的第二区)在基底上的正投影的范围之内，第四过孔V4内的第四绝缘层、

第三绝缘层和第二绝缘层被刻蚀掉，暴露出第六有源层的第二区的表面，第四过孔V4被配置为使后续形成的第六晶体管T6的第二极(也是第七晶体管T7的第二极)通过该过孔与第六有源层的第二区(也是第七有源层的第二区)连接。

[0220] 在示例性实施方式中，第五过孔V5在基底上的正投影位于第四有源层的第一区在基底上的正投影的范围之内，第五过孔V5内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第四有源层的第一区的表面，第五过孔V5被配置为使后续形成的第四晶体管T4的第一极通过该过孔与第四有源层的第一区连接。

[0221] 在示例性实施方式中，第六过孔V6在基底上的正投影位于第一有源层的第二区(也是第二有源层的第一区)在基底上的正投影的范围之内，第六过孔V6内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第一有源层的第二区的表面，第六过孔V6被配置为使后续形成的第一晶体管T1的第二极(也是第二晶体管T2的第一极)通过该过孔与第一有源层的第二区(也是第二有源层的第一区)连接。

[0222] 在示例性实施方式中，第七过孔V7在基底上的正投影位于第七有源层的第一区在基底上的正投影的范围之内，第七过孔V7内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第七有源层的第一区的表面，第七过孔V7被配置为使后续形成的第七晶体管T7的第一极通过该过孔与第七有源层的第一区连接。

[0223] 在示例性实施方式中，第八过孔V8在基底上的正投影位于第一有源层的第一区在基底上的正投影的范围之内，第八过孔V8内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第一有源层的第一区的表面，第八过孔V8被配置为使后续形成的第一晶体管T1的第一极通过该过孔与第一有源层的第一区连接。

[0224] 在示例性实施方式中，第九过孔V9在基底上的正投影位于第一初始信号线31在基底上的正投影的范围之内，第九过孔V9内的第四绝缘层被刻蚀掉，暴露出第一初始信号线31的表面，第九过孔V9被配置为使后续形成的第一晶体管T1的第一极通过该过孔与第一初始信号线31连接。

[0225] 在示例性实施方式中，第十过孔V10在基底上的正投影位于第二初始信号线32在基底上的正投影的范围之内，第十过孔V10内的第四绝缘层被刻蚀掉，暴露出第二初始信号线32的表面，第十过孔V10被配置为使后续形成的第七晶体管T7的第一极通过该过孔与第二初始信号线32连接。

[0226] 在示例性实施方式中，第十一过孔V11在基底上的正投影位于屏蔽电极35在基底上的正投影的范围之内，第十一过孔V11内的第四绝缘层被刻蚀掉，暴露出屏蔽电极35的表面，第十一过孔V11被配置为使后续形成的第一电源线通过该过孔与屏蔽电极35连接。

[0227] 在示例性实施方式中，图10中E1区域和E2区域的过孔图案与E0区域的过孔图案基本上相同。

[0228] (5)形成第三导电层图案。在示例性实施方式中，形成第三导电层可以包括：在形成前述图案的基底上，沉积第三导电薄膜，采用图案化工艺对第三导电薄膜进行图案化，形成设置在第四绝缘层上的第三导电层，如图16a和图16b所示，图16a为图10中E0区域的放大图，图16b为图16a中第三导电层的平面示意图。在示例性实施方式中，第三导电层可以称为第一源漏金属(SD1)层。

[0229] 在示例性实施方式中，显示区域中多个电路单元的第三导电层图案可以包括：第

一连接电极41、第二连接电极42、第三连接电极43、第四连接电极44、第五连接电极45、第一电源线46和初始连接线47。

[0230] 在示例性实施方式中，第一连接电极41的形状可以为沿着第二方向Y延伸的条形状，第一连接电极41的第一端通过第一过孔V1与第一极板24连接，第一连接电极41的第二端通过第六过孔V6与第一有源层的第二区(也是第二有源层的第一区)连接。在示例性实施方式中，第一连接电极41可以作为第一晶体管T1的第二极和第二晶体管T2的第一极，使第一极板24、第一晶体管T1的第二极和第二晶体管T2的第一极具有相同的电位(第二节点N2)。

[0231] 在示例性实施方式中，第二连接电极42的形状可以为矩形状，第四连接电极44通过第五过孔V5与第四有源层的第一区连接。在示例性实施方式中，第四连接电极44可以作为第四晶体管T4的第一极，第四连接电极44被配置为与后续形成的数据信号线连接。

[0232] 在示例性实施方式中，第三连接电极43的形状可以为矩形状，第三连接电极43通过第四过孔V4与第六有源层的第二区(也是第七有源层的第二区)连接。在示例性实施方式中，第三连接电极43可以作为第六晶体管T6的第二极和第七晶体管T7的第二极，使第六晶体管T6的第二极和第七晶体管T7的第二极具有相同的电位，第三连接电极43配置为与后续形成的第一阳极连接电极连接。

[0233] 在示例性实施方式中，第四连接电极44的形状可以为主体部分沿着第二方向Y延伸的条形状，第四连接电极44的第一端通过第七过孔V7与第七有源层的第一区连接，第四连接电极44的第二端通过第十过孔V10与第二初始信号线32连接。在示例性实施方式中，第四连接电极44可以作为第七晶体管T7的第一极，因而实现了第二初始信号线32将第二初始信号写入第七晶体管T7。

[0234] 在示例性实施方式中，第五连接电极45的形状可以为折线状，第五连接电极45的第一端通过第八过孔V8与第一有源层的第一区连接，第五连接电极45的第二端通过第九过孔V9与第一初始信号线31连接。第五连接电极45可以作为第一晶体管T1的第一极，因而实现了第一初始信号线31将第一初始信号写入第一晶体管T1的第一极。

[0235] 在示例性实施方式中，第一电源线46的形状可以为主体部分沿着第二方向Y延伸的线形状，第一电源线46一方面通过第二过孔V2与第二极板33连接，另一方面通过第三过孔V3与第五有源层连接，又一方面通过第十一过孔V11与屏蔽电极35连接，使得第五晶体管T5的第一极和第二极板33相同的电位，第一电源线46被配置为持续提供高电源电压信号(VDD)，可以称为高压电源线。由于屏蔽电极35与第一电源线46连接，且屏蔽电极35的至少部分区域位于第一连接电极41(作为第一晶体管T1的第二极和第二晶体管T2的第一极，即第二节点N2)与第二连接电极42(作为第四晶体管T4的第二极)之间，因而屏蔽电极35可以有效屏蔽数据电压跳变对像素驱动电路中关键节点的影响，避免了数据电压跳变影响像素驱动电路的关键节点的电位，提高了显示效果。

[0236] 在示例性实施方式中，每个电路单元的第一电源线46可以为非等宽度设计，采用非等宽度设计的第一电源线46不仅可以便于像素结构的布局，而且可以降低第一电源线与数据信号线之间的寄生电容。

[0237] 在示例性实施方式中，初始连接线47的形状可以为主体部分沿着第二方向Y延伸的折形状，设置在第一连接电极41远离第一电源线46的一侧，初始连接线47被配置为连接

第一初始信号线31或者第二初始信号线32,形成传输第一初始信号或者第二初始信号的网状连通结构。

[0238] 在示例性实施方式中,奇数列电路单元中的初始连接线47可以与第五连接电极45连接,偶数列电路单元中的初始连接线47可以与第四连接电极44连接,或者,奇数列电路单元中的初始连接线47可以与第四连接电极44连接,偶数列电路单元中的初始连接线47可以与第五连接电极45连接。

[0239] 在示例性实施方式中,第N列和第N+2列中的初始连接线47可以与该单元列中多个电路单元的第五连接电极45连接,由于第五连接电极45通过过孔与第一初始信号线31连接,因而实现了初始连接线47与第一初始信号线31的相互连接,沿着第一方向X延伸的多条第一初始信号线31和沿着第二方向Y延伸的多条初始连接线47形成网状连通结构的初始信号线,不仅可以有效降低第一初始信号线的电阻,减小第一初始信号的压降,而且可以有效提升显示基板中第一初始信号的均一性,有效提升显示均一性,提高了显示品质和显示质量。

[0240] 在示例性实施方式中,第N+1列和第N+3列中的初始连接线47可以与该单元列中多个电路单元的第四连接电极44连接,由于第四连接电极44通过过孔与第二初始信号线32连接,因而实现了初始连接线47与第二初始信号线32的相互连接,沿着第一方向X延伸的多条第二初始信号线32和沿着第二方向Y延伸的多条初始连接线47形成网状连通结构的初始信号线,不仅可以有效降低第二初始信号线的电阻,减小第二初始信号的压降,而且可以有效提升显示基板中第二初始信号的均一性,有效提升显示均一性,提高了显示品质和显示质量。

[0241] 本公开通过将传输第一初始信号的初始信号线形成网状结构,将传输第二初始信号的初始信号线形成网状结构,同时实现了传输第一初始信号的初始信号线和传输第二初始信号的初始信号线的网状布局,不仅有效降低了第一初始信号线和第二初始信号线的电阻,减小了第一初始电压和第二初始电压的压降,而且有效提升了显示基板中第一初始电压和第二初始电压的均一性,有效提升了显示均一性,提高了显示品质和显示质量。

[0242] 在一些可能的示例性实施方式中,可以按照奇数行和偶数行的方式设置初始连接线47分别与第一初始信号线31和第二初始信号线32连接。例如,奇数行电路单元中初始连接线47可以与第五连接电极45连接,偶数行电路单元中的初始连接线47可以与第四连接电极44连接,或者,奇数行电路单元中初始连接线47可以与第四连接电极44连接,偶数行电路单元中的初始连接线47可以与第五连接电极45连接,本公开在此不做限定。

[0243] 在示例性实施方式中,图10中E1区域和E2区域的第三导电层图案与E0区域的第三导电层图案基本上相同。

[0244] (6)形成第五绝缘层和第一平坦层图案。在示例性实施方式中,形成第五绝缘层和第一平坦层图案可以包括:在形成前述图案的基底上,先沉积第五绝缘薄膜,然后涂覆第一平坦薄膜,采用图案化工艺对第一平坦薄膜和第五绝缘薄膜进行图案化,形成覆盖第三导电层的第五绝缘层以及设置在第五绝缘层上的第一平坦层,第五绝缘层和第一平坦层上设置有多个过孔,如图17所示,图17为图10中E0区域的放大图。

[0245] 在示例性实施方式中,显示区域中多个电路单元的多个过孔至少包括第二十一过孔V21和第二十二过孔V22。

[0246] 在示例性实施方式中，第二十一过孔V21在基底上的正投影位于第二连接电极42在基底上的正投影的范围之内，第二十一过孔V21内的第一平坦层和第五绝缘层被去掉，暴露出第二连接电极42的表面，第二十一过孔V21被配置为使后续形成的数据信号线通过该过孔与第二连接电极42连接。

[0247] 在示例性实施方式中，第二十二过孔V22在基底上的正投影位于第三连接电极43在基底上的正投影的范围之内，第二十二过孔V22内的第一平坦层和第五绝缘层被去掉，暴露出第三连接电极43的表面，第二十二过孔V22被配置为使后续形成的第一阳极连接电极通过该过孔与第三连接电极43连接

[0248] 在示例性实施方式中，图10中E1区域和E2区域的过孔图案与E0区域的过孔图案基本上相同。

[0249] (7)形成第四导电层图案。在示例性实施方式中，形成第四导电层图案可以包括：在形成前述图案的基底上，沉积第四导电薄膜，采用图案化工艺对第四导电薄膜进行图案化，形成设置在第一平坦层上的第四导电层，如图18a至图18d所示，图18a为图10中E0区域和E2区域的放大图，图18b为图18a中第四导电层的平面示意图，图18c为图10中E1区域的放大图，图18d为图18c中第四导电层的平面示意图。在示例性实施方式中，第四导电层可以称为第二源漏金属(SD2)层。

[0250] 在示例性实施方式中，显示区域中多个电路单元的第四导电层图案均包括：第一阳极连接电极51、数据信号线60和第二电源线80。

[0251] 在示例性实施方式中，第一阳极连接电极51的形状可以为沿着第二方向Y延伸的条形状，第一阳极连接电极51通过第二十二过孔V22与第三连接电极43连接。在示例性实施方式中，第一阳极连接电极51被配置为与后续形成的第二阳极连接电极连接。为了适应与后续形成的阳极的连接，多个电路单元中第一阳极连接电极51的形状和位置可以不同。

[0252] 在示例性实施方式中，数据信号线60的形状可以为主体部分沿着第二方向Y延伸的直线状，数据信号线60通过第二十一过孔V21与第二连接电极42连接，由于第二连接电极42通过过孔与第四有源层的第一区连接，因而实现了数据信号线60将数据信号写入第四晶体管T4的第一极。

[0253] 在示例性实施方式中，第二电源线80的形状可以为主体部分沿着第二方向Y延伸的折线状，第二电源线80作为本公开的低压电源线，被配置为向后续形成的发光器件持续提供低电源电压信号(VSS)。

[0254] 在示例性实施方式中，第二电源线80在基底上的正投影与第一电源线46在基底上的正投影至少部分交叠。由于第一电源线46和第二电源线80均传输恒压信号，因而两者可以交叠设置，可以有效提高显示基板的透过率和空间利用率。

[0255] 在示例性实施方式中，第一电源线46在基底上正投影的区域具有第一面积，第二电源线80在基底上的正投影与第一电源线46在基底上的正投影交叠的区域具有第一交叠面积，第一交叠面积可以大于第一面积的80%。

[0256] 在示例性实施方式中，第一电源线46在基底上的正投影可以位于第二电源线80在基底上的正投影的范围之内。

[0257] 在示例性实施方式中，第一区域、第二区域和第三区域中第一阳极连接电极51、第二电源线80和数据信号线60的结构基本上相同。

[0258] 在示例性实施方式中，显示区域的第二区域(E2区域)和第三区域(E0区域)的第四导电层图案基本上相同，仅包括第一阳极连接电极51、数据信号线60和第二电源线80，而显示区域的第一区域(E1区域)中多个电路单元的第四导电层图案还可以包括数据连接电极61。

[0259] 在示例性实施方式中，数据连接电极61可以设置在第一区域的部分电路单元中，数据连接电极61的形状可以为矩形状，数据连接电极61与数据信号线60连接，数据连接电极61被配置为与后续形成的第一连接线连接。

[0260] (8)形成第二平坦层图案。在示例性实施方式中，形成第二平坦层图案可以包括：在形成前述图案的基底上，涂覆第二平坦薄膜，采用图案化工艺对第二平坦薄膜进行图案化，形成覆盖第四导电层的第二平坦层，第二平坦层上设置有多个过孔，如图19a至图19c所示，图19a为图10中E0区域的放大图，图19b为图10中E1区域的放大图，图19c为图10中E2区域的放大图。

[0261] 在示例性实施方式中，显示区域中多个电路单元均包括第三十一过孔V31。

[0262] 在示例性实施方式中，第三十一过孔V31在基底上的正投影位于第一阳极连接电极51在基底上的正投影的范围之内，第三十一过孔V31内的第二平坦层被去掉，暴露出第一阳极连接电极51的表面，第三十一过孔V31被配置为使后续形成的第二阳极连接电极通过该过孔与第一阳极连接电极51连接。为了适应与后续形成的阳极的连接，多个电路单元中第三十一过孔V31的位置可以不同。

[0263] 如图19a所示，在示例性实施方式中，显示区域的第三区域(E0区域)中多个电路单元还可以包括第三十二过孔V32。

[0264] 在示例性实施方式中，第三十二过孔V32在基底上的正投影位于第二电源线80在基底上的正投影的范围之内，第三十二过孔V32内的第二平坦层被去掉，暴露出第二电源线80的表面，第三十二过孔V32被配置为使后续形成的第二电源走线通过该过孔与第二电源线80连接。

[0265] 如图19b所示，在示例性实施方式中，显示区域的第一区域(E1区域)中多个电路单元还可以包括第三十二过孔V32和第三十三过孔V33。

[0266] 在示例性实施方式中，第一区域中第三十二过孔V32的结构与第三区域中第三十二过孔V32的结构基本上相同。

[0267] 在示例性实施方式中，第三十三过孔V33在基底上的正投影位于数据连接电极61在基底上的正投影的范围之内，第三十三过孔V33内的第二平坦层被去掉，暴露出数据连接电极61的表面，第三十三过孔V33被配置为使后续形成的第一连接线通过该过孔与数据连接电极61连接。

[0268] 如图19c所示，在示例性实施方式中，显示区域的第二区域(E2区域)中多个电路单元仅包括第三十一过孔V31。

[0269] (9)形成第五导电层图案。在示例性实施方式中，形成第五导电层图案可以包括：在形成前述图案的基底上，沉积第五导电薄膜，采用图案化工艺对第五导电薄膜进行图案化，形成设置在第二平坦层上的第五导电层，如图20a至图20f所示，图20a为图10中E0区域的放大图，图20b为图20a中第五导电层的平面示意图，图20c为图10中E1区域的放大图，图20d为图20c中第五导电层的平面示意图，图20e为图10中E2区域的放大图，图20f为图20e中

第五导电层的平面示意图。在示例性实施方式中，第五导电层可以称为第三源漏金属(SD3)层。

[0270] 在示例性实施方式中，显示区域中多个电路单元的第五导电层图案均包括第二阳极连接电极53。

[0271] 在示例性实施方式中，第二阳极连接电极53的形状可以为矩形状，第二阳极连接电极53通过第三十一过孔V31与第一阳极连接电极51连接。在示例性实施方式中，第二阳极连接电极53被配置为与后续形成的阳极连接。为了适应与后续形成的阳极的连接，多个电路单元中第二阳极连接电极53的形状和位置可以不同。

[0272] 如图20a和图20b所示，显示区域的第三区域(E0区域)中多个电路单元的第五导电层图案还包括：第一电源走线91、第二电源走线92、电源连接电极93、第一补偿线110和第二补偿线120。

[0273] 在示例性实施方式中，第一电源走线91的形状可以为主体部分沿着第一方向X延伸的直线状，第三区域中第一方向X相邻电路单元中的第一电源走线91为相互连接的一体结构。

[0274] 在示例性实施方式中，第一电源走线91在基底上的正投影与第一初始信号线31在基底上的正投影至少部分交叠，可以有效提高显示基板的透过率和空间利用率。

[0275] 在示例性实施方式中，第一电源走线91在基底上的正投影的区域具有第三面积，第一初始信号线31在基底上的正投影与第一初始信号线31在基底上的正投影交叠的区域具有第三交叠面积，第三交叠面积可以大于第三面积的80%。

[0276] 在示例性实施方式中，第二电源走线92的形状可以为主体部分沿着第二方向Y延伸的直线状，第三区域中第二方向Y相邻电路单元中的第二电源走线92为相互连接的一体结构。

[0277] 在示例性实施方式中，第二电源走线92在基底上的正投影与存储电容的第二极板33在基底上的正投影至少部分交叠。

[0278] 在示例性实施方式中，第三区域中多条第二电源走线92和多条第一电源走线91为相互连接的一体结构，构成网格状的电源引线。

[0279] 在示例性实施方式中，电源连接电极93的形状可以为矩形状，电源连接电极93可以设置在第二电源走线92远离数据信号线60的一侧(即靠近第二电源线80的一侧)，且与第二电源走线92连接，电源连接电极93在基底上的正投影与低压电源线52在基底上的正投影至少部分交叠，电源连接电极93通过第三十二过孔V32与第二电源线80连接，实现了网格状的电源引线与第二电源线80的连接。

[0280] 在示例性实施方式中，第一补偿线110的形状可以为主体部分沿着第一方向X延伸的直线状，第三区域中第一方向X相邻电路单元中的第一补偿线110为相互连接的一体结构。

[0281] 在示例性实施方式中，第一补偿线110在基底上的正投影与第二初始信号线32在基底上的正投影至少部分交叠，可以有效提高显示基板的透过率和空间利用率。

[0282] 在示例性实施方式中，第一补偿线110在基底上的正投影的区域具有第四面积，第一补偿线110在基底上的正投影与第二初始信号线32在基底上的正投影交叠的区域具有第四交叠面积，第四交叠面积可以大于第四面积的80%。

[0283] 在示例性实施方式中，第二补偿线120的形状可以为主体部分沿着第二方向Y延伸的直线状，第三区域中第二方向Y相邻电路单元中的第二补偿线120为相互连接的一体结构。

[0284] 在示例性实施方式中，第二补偿线120在基底上的正投影与初始连接线47在基底上的正投影至少部分交叠，可以有效提高显示基板的透过率和空间利用率。

[0285] 在示例性实施方式中，第二补偿线120在基底上的正投影的区域具有第五面积，第二补偿线120在基底上的正投影与初始连接线47在基底上的正投影交叠的区域具有第五交叠面积，第五交叠面积可以大于第五面积的80%。

[0286] 在示例性实施方式中，第三区域中多条第一补偿线110与多条第二补偿线120为相互连接的一体结构，构成网格状的补偿线，第一补偿线110和第二补偿线120被配置为使第三区域的第五导电层图案与第一区域和第二区域的第五导电层图案呈现相似的形貌，不仅可以提高制备工艺的均一性，而且使得不同区域在透射光及反射光下均能达到基本上相同的显示效果，有效避免了显示基板的外观不良，提高了显示品质和显示质量。

[0287] 在示例性实施方式中，多条第一补偿线110与多条第二电源走线92相互连接，多条第二补偿线120与多条第一电源走线91相互连接，因而实现了网格状的电源引线与网格状的补偿线的相互连接。

[0288] 在示例性实施方式中，在第三区域，至少一个电路单元中可以设置有至少一条第一电源走线91、至少一条第二电源走线92、至少一条第一补偿线110和至少一条第二补偿线120，第一电源走线91可以设置在电路单元第二方向Y的一侧，第一补偿线110可以设置在电路单元第二方向Y的反方向的一侧，第二电源走线92可以设置在第二电源线80第一方向X的一侧，第二补偿线120可以设置在第二电源线80第一方向X的反方向的一侧。

[0289] 在示例性实施方式中，第二补偿线120在基底上的正投影与虚设线在基底上的正投影至少部分交叠。

[0290] 如图20c和图20d所示，显示区域的第一区域(E1区域)中多个电路单元的第五导电层图案还包括：第一连接线71、第一电源走线91、第二电源走线92、电源连接电极93和第二补偿线120。

[0291] 在示例性实施方式中，第一连接线71的形状可以为主体部分沿着第一方向X延伸的直线状，第一连接线71通过第三十三过孔V33与数据连接电极61连接。由于数据连接电极61与数据信号线60连接，因而实现了第一连接线71与数据信号线60的连接。

[0292] 在示例性实施方式中，第一连接线71在基底上的正投影与第二初始信号线32在基底上的正投影至少部分交叠。由于第一连接线71位于第五导电层(SD3)，第二初始信号线32位于第二导电层(GATE 2)，两者之间设置有较厚的第一平坦层和第二平坦层，因而传输数据信号的第一连接线71与传输初始电压信号的第二初始信号线32之间不会发生串扰。通过将第一连接线71和第二初始信号线32交叠设置，可以有效提高显示基板的透过率和空间利用率。

[0293] 在示例性实施方式中，第一连接线71在基底上的正投影的区域具有第二交叠面积，第一连接线71在基底上的正投影与第二初始信号线32在基底上的正投影交叠的区域具有第二面积，第二交叠面积可以大于第二面积的80%。

[0294] 在示例性实施方式中，第一区域中第一方向X相邻电路单元中的第一连接线71为

相互连接的一体结构。

[0295] 在示例性实施方式中，至少一个包括第一区域的电路单元和第三区域的电路单元的单元行中，第一区域的第一连接线71和第三区域的第一补偿线110可以位于同一条沿着第一方向X延伸的直线上，使第一区域的走线与第三区域的走线呈现相似的形貌，不仅可以提高制备工艺的均一性，而且使得不同区域在透射光及反射光下均能达到基本上相同的显示效果，有效避免了显示基板的外观不良，提高了显示品质和显示质量。

[0296] 在示例性实施方式中，至少一个包括第一区域的电路单元和第三区域的电路单元的单元列中，第一区域的第一电源走线91和第三区域的第一电源走线91可以位于同一条沿着第二方向Y延伸的直线上，第一区域的电源连接电极93和第三区域的电源连接电极93可以位于同一条沿着第二方向Y延伸的直线上，第一区域中第一方向X相邻电路单元中的第一电源走线91为相互连接的一体结构，电源连接电极93通过第三十二过孔V32与第二电源线80连接。

[0297] 在示例性实施方式中，至少一个包括第一区域的电路单元和第三区域的电路单元的单元列中，第一区域的第二电源走线92和第三区域的第二电源走线92可以位于同一条沿着第二方向Y延伸的直线上，第一区域的第二补偿线120和第三区域的第二补偿线120可以位于同一条沿着第二方向Y延伸的直线上，所不同的是，第一区域中第二方向Y相邻的电路单元中的第二电源走线92和第二补偿线120是间断的，即第二方向Y相邻的电路单元中的第二电源走线92间隔设置，第二方向Y相邻的电路单元中的第二补偿线120间隔设置，以使第一连接线71设置在第二电源走线92和第二补偿线120的断口之间。

[0298] 如图20e和图20f所示，显示区域的第二区域(E2区域)中多个电路单元的第五导电层图案还包括：第二连接线72、虚设连接电极73和第一补偿线110。

[0299] 在示例性实施方式中，第二连接线72的形状可以为主体部分沿着第二方向Y延伸的直线状，第二连接线72的第一端与位于引线区的引出线连接，第二连接线72的第二端与位于显示区域的第一连接线71连接，使相互连接的第一连接线71和第二连接线72构成数据连接线。

[0300] 在示例性实施方式中，第二区域中第二方向Y相邻电路单元中的第二连接线72为相互连接的一体结构。

[0301] 在示例性实施方式中，至少一个包括第二区域的电路单元和第三区域的电路单元的单元列中，第二区域的第二连接线72中第一侧连接线和第三区域的第二电源走线92可以位于同一条沿着第二方向Y延伸的直线上，第二区域的第二连接线72中第二侧连接线和第三区域的第二补偿线120可以位于同一条沿着第二方向Y延伸的直线上，使第二区域的走线与第三区域的走线呈现相似的形貌，不仅可以提高制备工艺的均一性，而且使得不同区域在透射光及反射光下均能达到基本上相同的显示效果，有效避免了显示基板的外观不良，提高了显示品质和显示质量。

[0302] 在示例性实施方式中，虚设连接电极73的形状可以为矩形状，虚设连接电极73可以设置在第二连接线72远离数据信号线60的一侧(即靠近第二电源线80的一侧)，且与第二连接线72连接，虚设连接电极73在基底上的正投影与低压电源线52在基底上的正投影至少部分交叠。

[0303] 在示例性实施方式中，至少一个包括第二区域的电路单元和第三区域的电路单元

的单元行中，第二区域的虚设连接电极73和第三区域的电源连接电极93可以位于同一条沿着第一方向X延伸的直线上，至少一个包括第二区域的电路单元和第三区域的电路单元的单元列中，第二区域的虚设连接电极73和第三区域的电源连接电极93可以位于同一条沿着第二方向Y延伸的直线上，即虚设连接电极73在第二区域的电路单元中的位置和形状与电源连接电极93在第三区域的电路单元中的位置和形状基本上相同，所不同的是，虚设连接电极73没有通过过孔与与第二电源线80连接，虚设连接电极73被配置为使第二区域和第三区域的第五导电层图案呈现相似的形貌，不仅可以提高制备工艺的均一性，而且使得不同区域在透射光及反射光下均能达到基本上相同的显示效果，有效避免了显示基板的外观不良，提高了显示品质和显示质量。

[0304] 在示例性实施方式中，第一补偿线110的形状可以为主体部分沿着第一方向X延伸的直线段，第一补偿线110的第一端与第二连接线72连接，第一补偿线110的第二端沿着第一方向X或者第一方向X的反方向延伸。

[0305] 在示例性实施方式中，第二区域的至少一个电路单元中可以设置有至少两条第二连接线72和两条第一补偿线110。两条第二连接线72可以包括第一侧连接线和第二侧连接线，第一侧连接线可以设置在第二电源线80和数据信号线60之间，第二侧连接线可以设置在第二电源线80远离数据信号线60的一侧。至少两条第一补偿线110可以包括至少一条第一侧补偿线和至少一条第二侧补偿线，第一侧补偿线的第一端与第一侧连接线连接，第一侧补偿线的第二端向着靠近第二侧连接线的方向延伸，第二侧补偿线的第一端与第二侧连接线连接，第二侧补偿线的第二端向着靠近第一侧连接线的方向延伸，使得电路单元内的两条第一补偿线110构成叉指结构。

[0306] 在示例性实施方式中，至少一个包括第二区域的电路单元和第三区域的电路单元的单元行中，第二区域的第一侧补偿线和第三区域的第一电源走线91可以位于同一条沿着第一方向X延伸的直线上，所不同的是，第一侧补偿线在一个单元行的多个电路单元中间隔设置。

[0307] 在示例性实施方式中，至少一个包括第二区域的电路单元和第一区域的电路单元的单元行中，第二区域的第二侧补偿线和第一区域的第一连接线71可以位于同一条沿着第一方向X延伸的直线上，所不同的是，第二侧补偿线在一个单元行的多个电路单元中间隔设置。

[0308] 在示例性实施方式中，至少一个包括第一区域的电路单元、第二区域的电路单元和第三区域的电路单元的单元行中，第一区域的第一电源走线91、第二区域的第一补偿线110中第一侧补偿线和第三区域的第一电源走线91可以位于同一条沿着第一方向X延伸的直线上，第一区域的第一连接线71、第二区域的第一补偿线110中第二侧补偿线和第三区域的第一补偿线110可以位于同一条沿着第一方向X延伸的直线上，第一区域的电源连接电极93、第二区域的虚设连接电极73和第三区域的电源连接电极93可以位于同一条沿着第一方向X延伸的直线上。

[0309] 在示例性实施方式中，至少一个包括第一区域的电路单元、第二区域的电路单元和第三区域的电路单元的单元列中，第一区域的第二电源走线92、第二区域的第二连接线72中第一侧连接线和第三区域的第二电源走线92可以位于同一条沿着第二方向Y延伸的直线上，第一区域的第二补偿线120、第二区域的第二连接线72中第二侧连接线和第三区域的

第二补偿线120可以位于同一条沿着第二方向Y延伸的直线上，第一区域的电源连接电极93、第二区域的虚设连接电极73和第三区域的电源连接电极93可以位于同一条沿着第二方向Y延伸的直线上。

[0310] (10)形成第三平坦层图案。在示例性实施方式中，形成第三平坦层图案可以包括：在形成前述图案的基底上，涂覆第三平坦薄膜，采用图案化工艺对第三平坦薄膜进行图案化，形成覆盖第五导电层的第三平坦层，第三平坦层上设置有多个过孔，如图21a至图21c所示，图21a为图10中E0区域的放大图，图21b为图10中E1区域的放大图，图21c为图10中E2区域的放大图。

[0311] 在示例性实施方式中，显示区域中每个电路单元的过孔至少包括第四十一过孔V41。在示例性实施方式中，第四十一过孔V41在基底上的正投影位于第二阳极连接电极53在基底上的正投影的范围之内，第四十一过孔V41内的第三平坦层被去掉，暴露出第二阳极连接电极53的表面，第四十一过孔V41被配置为使后续形成的阳极通过该过孔与第二阳极连接电极53连接。为了适应与后续形成的阳极的连接，多个电路单元中第四十一过孔V41的位置可以不同。

[0312] 在示例性实施方式中，第一区域、第二区域和第三区域的过孔图案基本上相同。

[0313] 至此，在基底上制备完成驱动电路层。在平行于显示基板的平面上，驱动电路层可以包括多个电路单元，每个电路单元可以包括像素驱动电路，以及与像素驱动电路连接的第一扫描信号线、第二扫描信号线、发光控制线、数据信号线、第一电源线、第二电源线、第一初始信号线和第二初始信号线。在垂直于显示基板的平面上，驱动电路层可以包括在基底上依次叠设的第一绝缘层、半导体层、第二绝缘层、第一导电层、第三绝缘层、第二导电层、第四绝缘层、第三导电层、第五绝缘层、第一平坦层、第四导电层、第二平坦层、第五导电层和第三平坦层。

[0314] 在示例性实施方式中，基底可以是柔性基底，或者可以是刚性基底。刚性衬底可以为但不限于玻璃、石英中的一种或多种，柔性衬底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。在示例性实施方式中，柔性基底可以包括叠设的第一柔性材料层、第一无机材料层、半导体层、第二柔性材料层和第二无机材料层，第一柔性材料层和第二柔性材料层的材料可以采用聚酰亚胺(PI)、聚对苯二甲酸乙二酯(PET)或经表面处理的聚合物软膜等材料，第一无机材料层和第二无机材料层的材料可以采用氮化硅(SiNx)或氧化硅(SiOx)等，用于提高基底的抗水氧能力，半导体层的材料可以采用非晶硅(a-si)。

[0315] 在示例性实施方式中，第一导电层、第二导电层、第三导电层、第四导电层和第五导电层可以采用金属材料，如银(Ag)、铜(Cu)、铝(Al)和钼(Mo)中的任意一种或多种，或上述金属的合金材料，如铝钕合金(AlNd)或钼铌合金(MoNb)，可以是单层结构，或者多层复合结构，如Mo/Cu/Mo等。第一绝缘层、第二绝缘层、第三绝缘层、第四绝缘层和第五绝缘层可以采用硅氧化物(SiOx)、硅氮化物(SiNx)和氮氧化硅(SiON)中的任意一种或多种，可以是单层、多层或复合层。第一绝缘层可以称为缓冲(Buffer)层，第二绝缘层和第三绝缘层可以称为栅绝缘(GI)层，第四绝缘层可以称为层间绝缘(ILD)层，第五绝缘层可以称为钝化(PVX)层。第一平坦层、第二平坦层和第三平坦层可以采用有机材料，如树脂等。半导体层可以采

用非晶态氧化铟镓锌材料(a-IGZO)、氮氧化锌(ZnON)、氧化铟锌锡(IZTO)、非晶硅(a-Si)、多晶硅(p-Si)、六噻吩或聚噻吩等材料,即本公开适用于基于氧化物(Oxide)技术、硅技术或有机物技术制造的晶体管。

[0316] 在示例性实施方式中,制备完成驱动电路层后,在驱动电路层上制备发光结构层,发光结构层的制备过程可以包括如下操作。

[0317] (11)形成阳极导电层图案。在示例性实施方式中,形成阳极导电层图案可以包括:在形成前述图案的基底上,沉积阳极导电薄膜,采用图案化工艺对阳极导电薄膜进行图案化,形成设置在第三平坦层上的阳极导电层图案,如图22a至图22d所示,图22a为图10中E0区域的放大图,图22b为图10中E1区域的放大图,图22c为图10中E2区域的放大图,图22d为图22a中阳极导电层的平面示意图。

[0318] 在示例性实施方式中,阳极导电层采用单层结构,如氧化铟锡ITO或氧化铟锌IZO,或者可以采用多层复合结构,如ITO/Ag/ITO等。

[0319] 在示例性实施方式中,阳极导电层图案可以包括红色发光器件的第一阳极301R、蓝色发光器件的第二阳极301B、第一绿色发光器件的第三阳极301G1和第二绿色发光器件的第四阳极301G2,第一阳极301R所在区域可以形成出射红色光线的红色子像素R,第二阳极301B所在区域可以形成出射蓝色光线的蓝色子像素B,第三阳极301G1所在区域可以形成出射绿色光线的第一绿色子像素G1,第四阳极301G2所在区域可以形成出射绿色光线的第二绿色子像素G2。

[0320] 在示例性实施方式中,第一阳极301A和第二阳极301B可以沿着第二方向Y依次设置,第三阳极301C和第四阳极301D可以沿着第二方向Y依次设置,第三阳极301C和第四阳极301D可以设置在第一阳极301A和第二阳极301B第一方向X的一侧。或者,第一阳极301A和第二阳极301B可以沿着第一方向X依次设置,第三阳极301C和第四阳极301D可以沿着第一方向X依次设置,第三阳极301C和第四阳极301D可以设置在第一阳极301A和第二阳极301B第二方向Y的一侧。

[0321] 在示例性实施方式中,第一阳极301R、第二阳极301B、第三阳极301G1和第四阳极301G2可以分别通过第四十一过孔V41与对应电路单元中的第二阳极连接电极53连接。由于每个的阳极通过一个电路单元中的第二阳极连接电极、第一阳极连接电极和第三连接电极与第六有源层的第二区(也是第七有源层的第二区)连接,因而一个像素单元中的四个阳极分别与四个电路单元的像素驱动电路对应连接,实现了像素驱动电路可以驱动发光器件发光。

[0322] 在示例性实施方式中,分别与第M行第N列电路单元和第M+1行第N+2列电路单元中像素驱动电路连接的两个第二阳极301B的形状和位置相同,分别与第M行第N+2列电路单元和第M+1行第N列电路单元中像素驱动电路连接的两个第一阳极301R的形状和位置相同,分别与第M行第N+1列电路单元和第M+1行第N+3列电路单元中像素驱动电路连接的两个第四阳极301G2的形状和位置相同。分别与第M行第N+3列电路单元和第M+1行第N+1列电路单元中像素驱动电路连接的两个第三阳极301G1的形状和位置相同。

[0323] 在示例性实施方式中,一个像素单元中四个子像素的阳极形状和面积可以相同,或者可以不同,一个像素单元的四个子像素与一个电路单元组中的四个电路单元的位置关系可以相同,或者可以不同,不同像素单元中的第一阳极301R、第二阳极301B、第三阳极

301G1和第四阳极301G2的形状和位置可以相同，或者可以不同，本公开在此不做限定。

[0324] 在示例性实施方式中，第一阳极301A、第二阳极301B、第三阳极301C和第四阳极301D中的至少一个可以包括相互连接的主体部和连接部，主体部的形状可以为矩形状，矩形状的角部可以设置圆弧状的倒角，连接部的形状可以为沿着远离主体部方向延伸的条形状，连接部通过第四十一过孔V41与第二阳极连接电极53连接。

[0325] 如图22a所示，在第三区域，第一阳极301A和第二阳极301B的主体部在基底上的正投影与一条第一电源走线91和一条第一补偿线110在基底上的正投影至少部分交叠，第一阳极301A和第二阳极301B的主体部在基底上的正投影与一条第二电源走线92和两条第二补偿线120在基底上的正投影至少部分交叠，第三阳极301C和第四阳极301D的主体部在基底上的正投影与一条第二电源走线92在基底上的正投影至少部分交叠。

[0326] 如图22b所示，在第一区域，第一阳极301A和第二阳极301B的主体部在基底上的正投影与一条第一电源走线91和一条第一连接线71在基底上的正投影至少部分交叠，第一阳极301A和第二阳极301B的主体部在基底上的正投影与一条第二电源走线92和两条第二补偿线120在基底上的正投影至少部分交叠，第三阳极301C和第四阳极301D的主体部在基底上的正投影与一条第二电源走线92在基底上的正投影至少部分交叠。

[0327] 如图22c所示，在第二区域，第一阳极301A和第二阳极301B的主体部在基底上的正投影与两条第一补偿线110在基底上的正投影至少部分交叠，第一阳极301A和第二阳极301B的主体部在基底上的正投影与三条第二连接线72在基底上的正投影至少部分交叠，第三阳极301C和第四阳极301D的主体部在基底上的正投影与一条第二连接线72在基底上的正投影至少部分交叠。

[0328] 在示例性实施方式中，比较第一区域、第二区域和第三区域中第一阳极301A和第二阳极301B在基底上的正投影可以看出，第一阳极301A和第二阳极301B的主体部均与两条横向线(沿着第一方向X延伸的直线)有交叠，第一阳极301A和第二阳极301B的主体部均与三条竖向线(沿着第二方向Y延伸的直线)有交叠，因而三个区域中第一阳极301A和第二阳极301B的主体部下方SD3层的横向金属线和纵向金属线基本上相同，可以保证三个区域中第一阳极301A和第二阳极301B的平坦性，可以保证三个区域中红色发光器件和蓝色发光器件的发光性能基本上相同。

[0329] 在示例性实施方式中，比较第一区域、第二区域和第三区域中第三阳极301C和第四阳极301D在基底上的正投影可以看出，

[0330] 第三阳极301C和第四阳极301D的主体部在基底上的正投影均与一条竖向线有交叠，而与横向线没有交叠，因而三个区域中第三阳极301C和第四阳极301D的主体部下方SD3层的横向金属线和纵向金属线基本上相同，可以保证三个区域中第三阳极301C和第四阳极301D的平坦性，可以保证三个区域中第一绿色发光器件和第二绿色发光器件的发光性能基本上相同。

[0331] 在示例性实施方式中，后续制备流程可以包括：先形成像素定义层图案，然后采用蒸镀或喷墨打印工艺形成有机发光层，然后在有机发光层上形成阴极，然后形成封装结构层，封装结构层可以包括叠设的第一封装层、第二封装层和第三封装层，第一封装层和第三封装层可以采用无机材料，第二封装层可以采用有机材料，第二封装层设置在第一封装层和第三封装层之间，可以保证外界水汽无法进入发光结构层。

[0332] 图23为本公开示例性实施例一种电源走线的平面结构示意图。如图23所示，显示基板可以包括显示区域100、位于显示区域100第二方向Y一侧的绑定区域200以及位于显示区域100其它侧的边框区域300，边框区域300可以包括位于显示区域100第二方向Y的反方向(远离绑定区域200)一侧的上边框区310和位于显示区域100第一方向X一侧或者两侧的侧边框区320。显示区域100设置有网状连通结构的电源走线90，绑定区域200设置有绑定引线510，上边框区310设置有上边框引线520，侧边框区320设置有侧边框引线530，电源走线90分别与绑定引线510、上边框引线520和侧边框引线530连接。

[0333] 在示例性实施方式中，绑定区域200的绑定引线510、上边框区310的上边框引线520和侧边框区320的侧边框引线530可以为相互连接的一体结构。

[0334] 在示例性实施方式中，显示区域100的电源走线90可以包括多条沿着第一方向X延伸的第一电源走线91和多条沿着第二方向Y延伸的第二电源走线92。多条第一电源走线91可以沿着第二方向Y依次设置，第一方向X的一端或两端延伸到侧边框区320后与侧边框引线530连接，多条第二电源走线92可以沿着第一方向X依次设置，第二方向Y的一端延伸到绑定区域200后与绑定引线510连接，第二方向Y的反方向的一端延伸到上边框区310与上边框引线520连接。

[0335] 图24为本公开示例性实施例一种电源走线与绑定引线连接的示意图，为图23中D1区域的放大区。如图24所示，绑定区域200可以至少包括绑定引线510、第一电源连接线511和第一电源引脚512。

[0336] 在示例性实施方式中，绑定引线510可以设置在第四导电(SD2)层中，绑定引线510的形状可以为沿着第一方向X延伸的条形状，绑定引线510被配置为与绑定引脚中的电源焊盘连接。

[0337] 在示例性实施方式中，第一电源连接线511和第一电源引脚512可以设置在第五导电(SD3)层中，第一电源连接线511的第一端通过第二平坦层上开设的过孔与延伸到绑定区域200的第二电源线80连接，第二电源连接线511的第二端向着远离显示区域的方向延伸后与第一电源引脚512直接连接，第一电源引脚512通过多个第二平坦层上开设的过孔与绑定引线510连接。

[0338] 在示例性实施方式中，第一电源连接线511的形状可以为沿着第二方向Y延伸的条形状，第一电源引脚512可以通过多个第一电源连接线511与第二电源线80连接。

[0339] 在示例性实施方式中，第一电源引脚512的形状可以为沿着第一方向X延伸的条形状，使位于第四导电层中的绑定引线510和位于第五导电层中的第一电源引脚512形成双层电源走线，最大限度地降低电源信号的压降，实现低功耗。本公开通过将显示区域的电源走线与绑定区域的绑定引线连接，可以大幅度减小绑定引线的宽度，大大缩减了绑定区域的宽度，有利于实现全面屏显示。

[0340] 在示例性实施方式中，第一电源连接线511和第一电源引脚512可以为相互连接的一体结构。

[0341] 图25为本公开示例性实施例一种电源走线与上边框引线连接的示意图，为图23中D2区域的放大区。如图25所示，上边框区310可以至少包括上边框引线520、第二电源连接条521、第二电源连接线522和第二电源引脚523。

[0342] 在示例性实施方式中，边框引线520可以设置在第四导电(SD2)层中，上边框引线

520的形状可以为沿着第一方向X延伸的条形状，上边框引线520被配置为通过侧边框区的侧边框引线与绑定区域中的绑定引线连接。

[0343] 在示例性实施方式中，第二电源连接条521、第二电源连接线522和第二电源引脚523可以设置在第五导电(SD3)层中，第二电源连接条521的第一端通过第二平坦层上开设的过孔与延伸到上边框区310的第二电源线80连接，第二电源连接条521的第二端与第二电源连接线522的第一端连接，第二电源连接线522的第二端向着远离显示区域的方向延伸后与第二电源引脚523连接，第二电源引脚523通过多个第二平坦层上开设的过孔与上边框引线520连接。本公开通过将显示区域的电源走线与上边框区域的上边框引线连接，可以大幅度减小上边框引线的宽度，大大缩减了上边框区域的宽度，有利于实现全面屏显示。

[0344] 在示例性实施方式中，第二电源连接条521的形状可以为沿着第一方向X延伸的条形状，第二电源连接线522的形状可以为沿着第二方向Y延伸的条形状，第二电源引脚523的形状可以为矩形状，第二电源连接条521可以通过多个第二电源连接线522和多个第二电源引脚523与上边框引线520连接。

[0345] 在示例性实施方式中，第二电源连接条521、第二电源连接线522和第二电源引脚523可以为相互连接的一体结构。

[0346] 图26为本公开示例性实施例一种电源走线与侧边框引线连接的示意图，为图23中D3区域的放大区。如图26所示，侧边框区域320可以至少包括侧边框引线530、第三电源连接线531和第三电源引脚532。

[0347] 在示例性实施方式中，侧边框引线530可以设置在第四导电(SD2)层中，侧边框引线530的形状可以为沿着第二方向Y延伸的条形状，侧边框引线530被配置为与绑定区域中的绑定引线510连接。

[0348] 在示例性实施方式中，第三电源连接线531和第三电源引脚532可以设置在第五导电(SD3)层中，第三电源连接线531的第一端通过第二平坦层上开设的过孔与显示区域100中的电源走线90连接，第三电源连接线531的第二端向着远离显示区域的方向延伸后与第三电源引脚532直接连接，第三电源引脚532通过多个第二平坦层上开设的过孔与侧边框引线530连接。本公开通过将显示区域的电源走线与侧边框区域的侧边框引线连接，可以大幅度减小侧边框引线的宽度，大大缩减了侧边框区域的宽度，有利于实现全面屏显示。

[0349] 在示例性实施方式中，第三电源连接线531的形状可以为沿着第一方向X延伸的折线状，第三电源引脚532的形状可以为沿着第二方向Y延伸的条形状，电源走线90可以通过多个第三电源连接线531和第三电源引脚532与侧边框引线530连接。

[0350] 在示例性实施方式中，第三电源连接线531和第三电源引脚532可以为相互连接的一体结构。

[0351] 从以上描述的显示基板的结构以及制备过程可以看出，本公开通过在显示区域内设置数据连接线，使得绑定区域的引出线通过数据连接线与数据信号线连接，使得引线区中不需要设置扇形状的斜线，有效减小了引线区的长度，大大缩减了下边框宽度，提高了屏占比，有利于实现全面屏显示。

[0352] 一种显示基板中，显示区域包括设置有数据连接线的走线区域和没有设置数据连接线的正常区域，由于在外部光线照射下走线区域的数据连接线具有较高的反射能力，而正常区域其它金属线的反射能力较弱，因而正常区域的外观和走线区域的外观存在明显的

不同，导致显示基板存在外观不良的问题，尤其是息屏或低灰阶显示时，外观不良更加明显。本公开示例性实施例通过在第一区域设置第二补偿线，在第二区域设置第一补偿线，在第三区域设置第一补偿线和第二补偿线，不仅可以使得不同区域具有基本上相同的结构，不同区域在透射光及反射光下均能达到基本上相同的显示效果，有效避免了显示基板的外观不良，而且使得三个区域中阳极下方的横向金属线和纵向金属线基本相同，可以保证三个区域中阳极的平坦性基本一致，保证发光器件的发光性能基本上相同，避免大视角色偏，提高了显示品质和显示质量。

[0353] 本公开通过在显示区域内设置第一电源走线和第二电源走线，第一电源走线和第二电源走线构成网状连通结构的电源走线，实现了VSS in pixel的结构，不仅可以有效降低电源走线的电阻，有效降低低压电源信号的压降，实现低功耗，而且可以有效提升显示基板中电源信号的均一性，有效提升了显示均一性，提高了显示品质和显示质量。本公开通过将电源走线与绑定区域和边框区域的电源引线连接，可以大幅度减小电源引线的宽度，大大缩减了边框宽度，有利于实现全面屏显示。本公开的制备工艺可以很好地与现有制备工艺兼容，工艺实现简单，易于实施，生产效率高，生产成本低，良品率高。

[0354] 本公开前述所示结构及其制备过程仅仅是一种示例性说明，在示例性实施方式中，可以根据实际需要变更相应结构以及增加或减少构图工艺，本公开在此不做限定。

[0355] 本公开前述所示结构及其制备过程仅仅是一种示例性说明，在示例性实施方式中，可以根据实际需要变更相应结构以及增加或减少构图工艺，本公开在此不做限定。

[0356] 在示例性实施方式中，本公开显示基板可以应用于具有像素驱动电路的显示装置中，如OLED、量子点显示(QLED)、发光二极管显示(Micro LED 或Mini LED)或量子点发光二极管显示(QDLED)等，本公开在此不做限定。

[0357] 本公开还提供一种显示装置，显示装置包括前述的显示基板。显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件，本发明实施例并不以此为限。

[0358] 虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本发明。任何所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

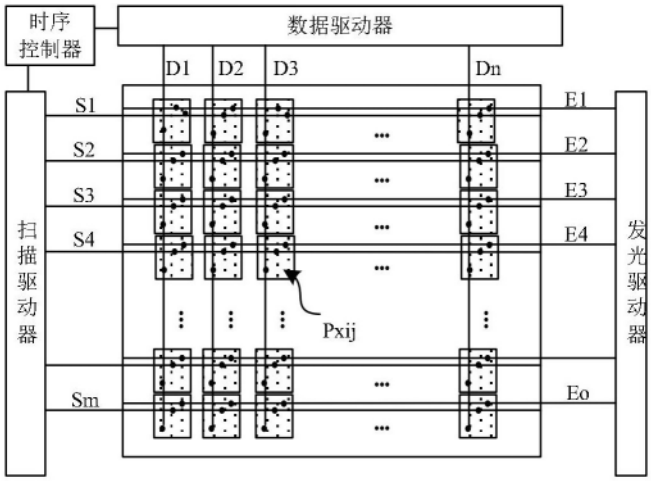

时序控制器
数据驱动器
D1
D2
D3
Dn
S1
S2
S3
S4
Sm
E1
E2
E3
E4
Eo
扫描驱动器
发光驱动器
Pxij

图1

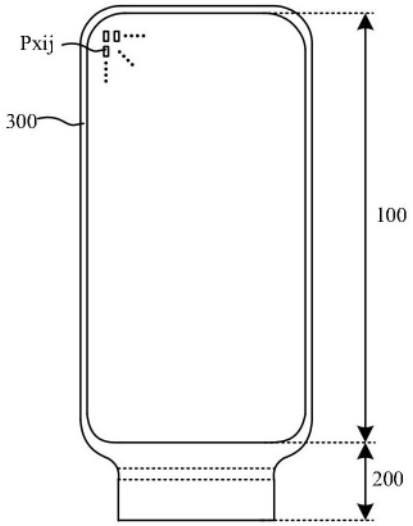

Pxij
300
100
200

图2

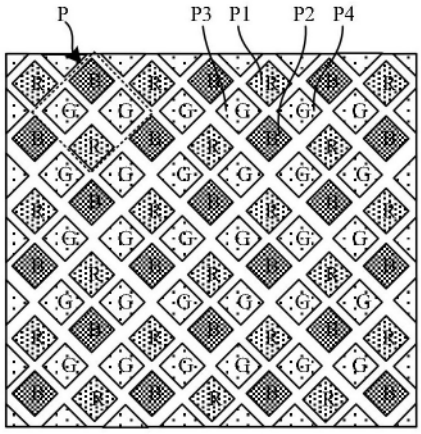

P
P3
P1
P2
P4

图3

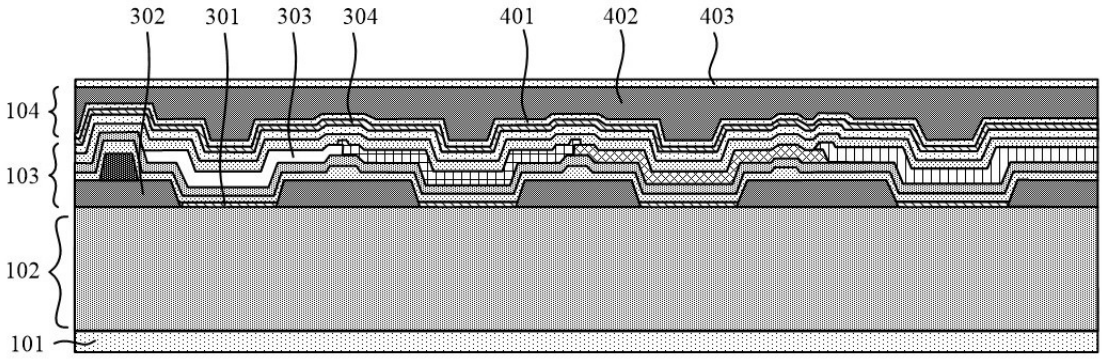

302
301
303
304
401
402
403
104
103
102
101

图4

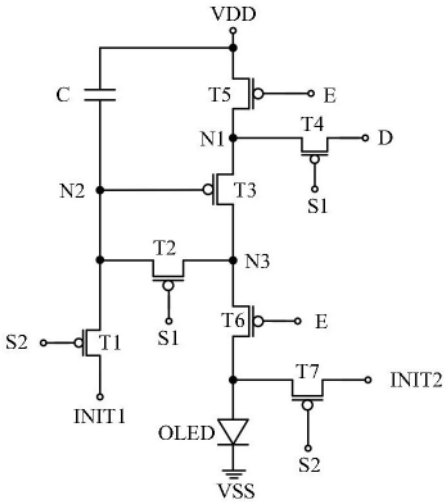

VDD
C
T5
E
N1
T4
D
N2
T3
S1
T2
N3
T6
E
S2
T1
S1
T7
INIT2
INIT1
OLED
S2
VSS

图5

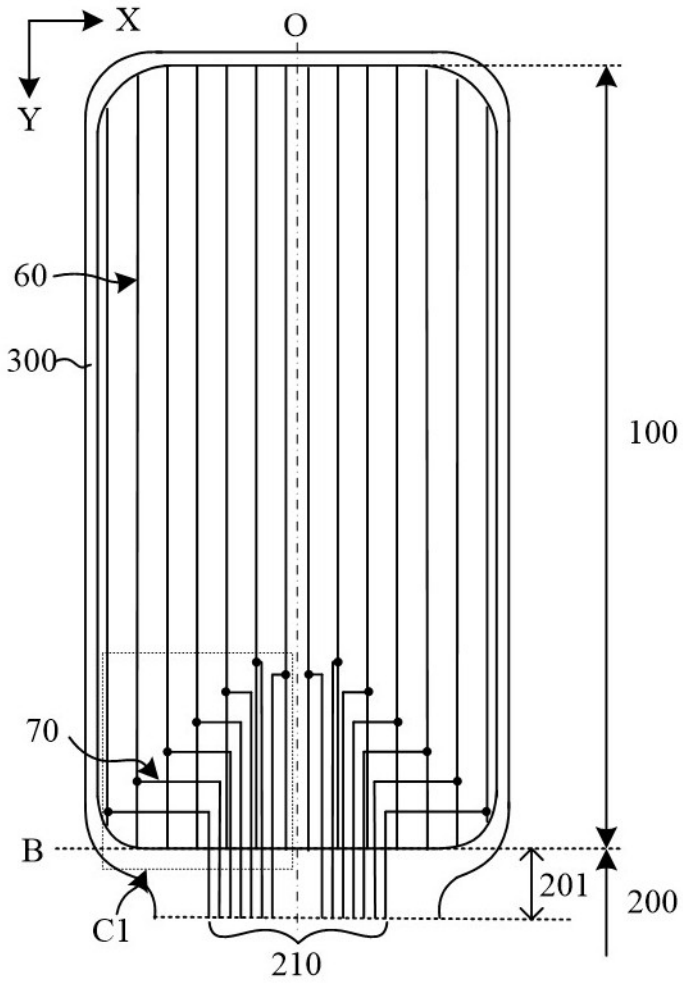


图6

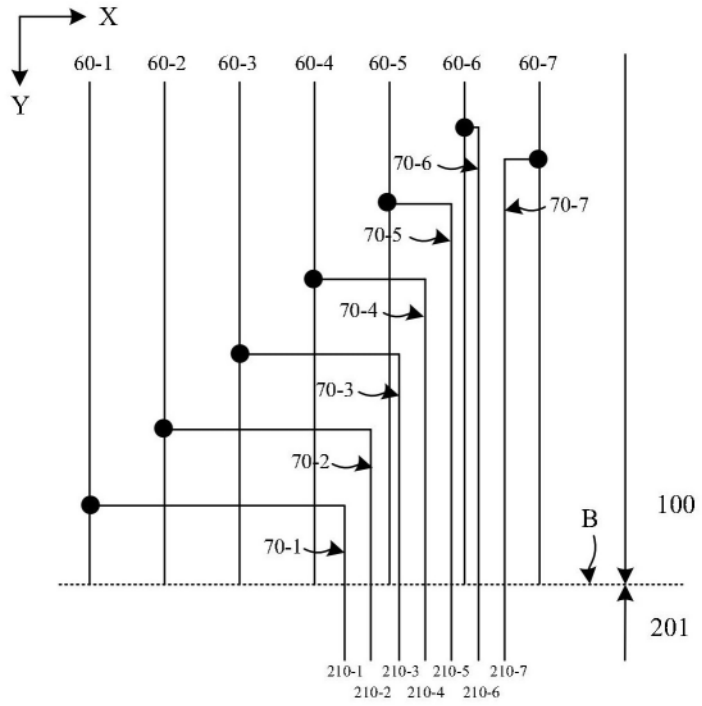

X
Y
60-1
60-2
60-3
60-4
60-5
60-6
60-7
70-6
70-7
70-5
70-4
70-3
70-2
70-1
B
100
201
210-1
210-2
210-3
210-4
210-5
210-6
210-7

图7

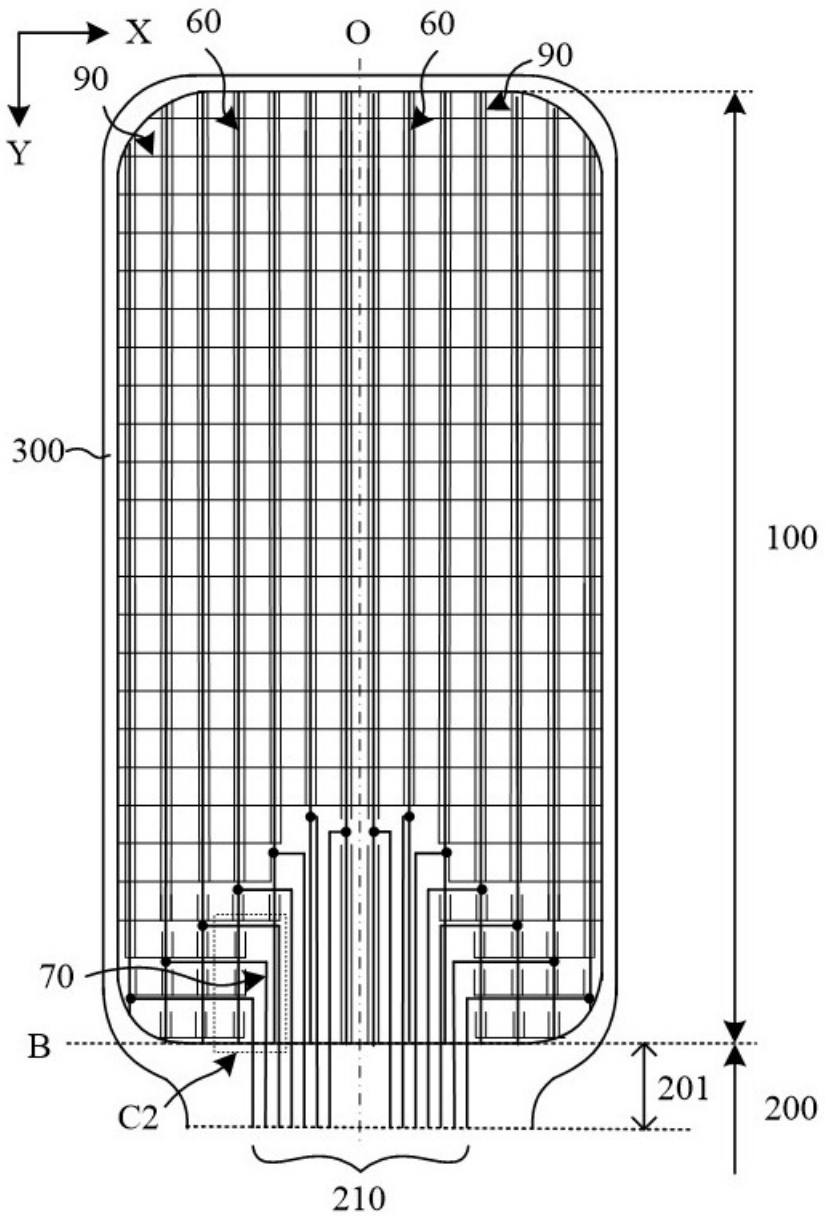


图8

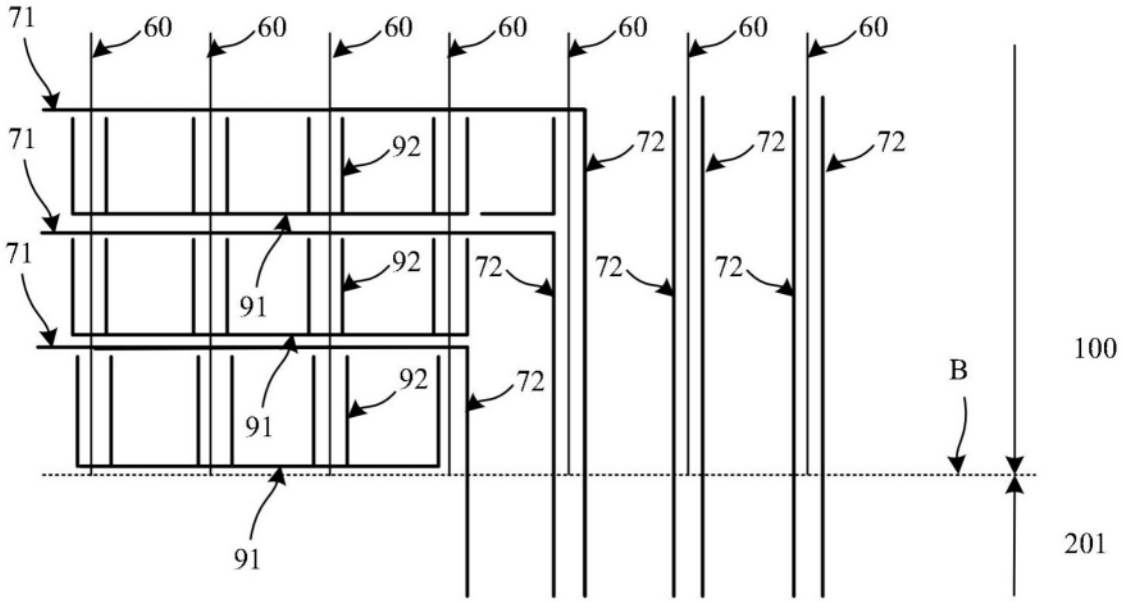

71
60
60
60
60
60
60
60
71
92
72
72
72
71
92
72
72
72
91
71
92
72
91
B
100
92
72
91
201

图9

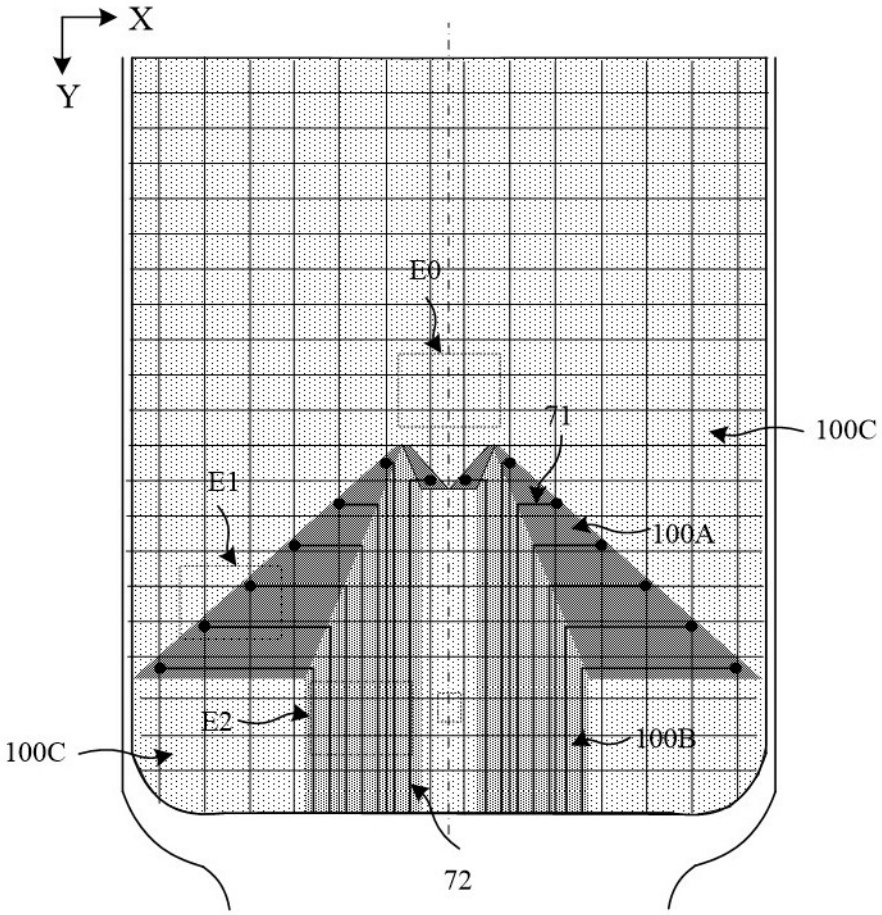

X
Y
E0
71
100C
E1
100A
E2
100C
100B
72

图10

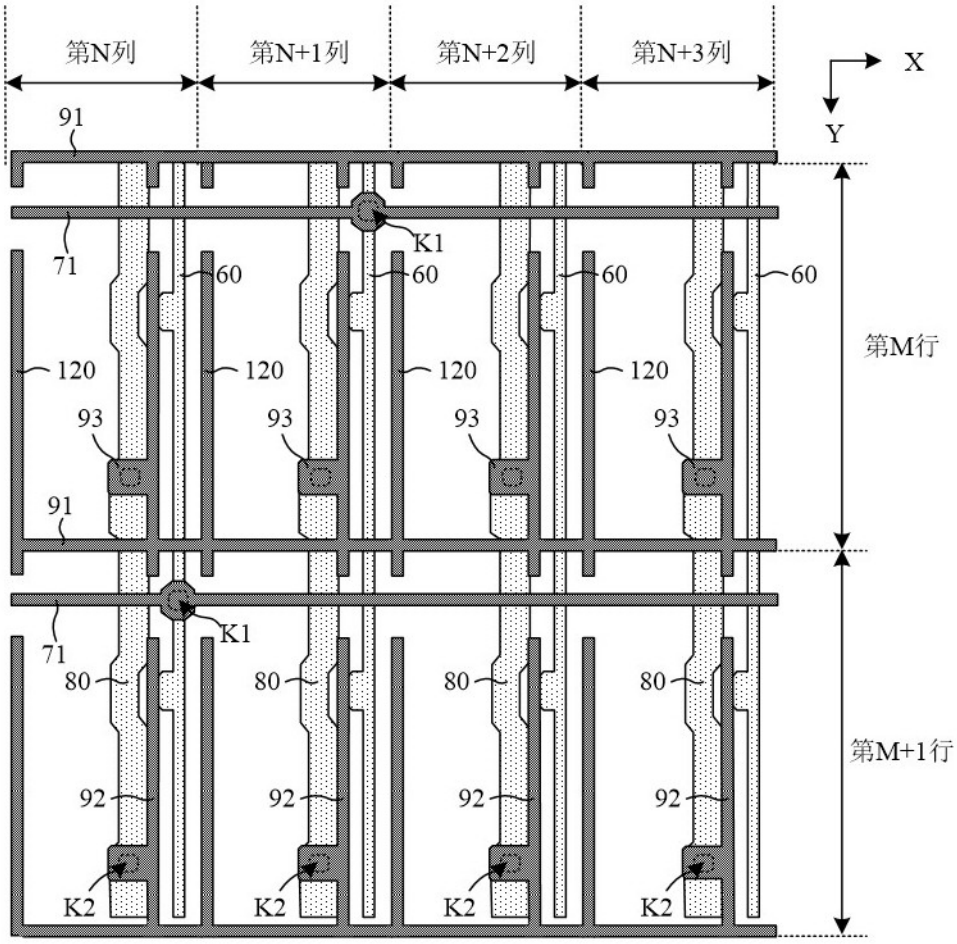


图11a

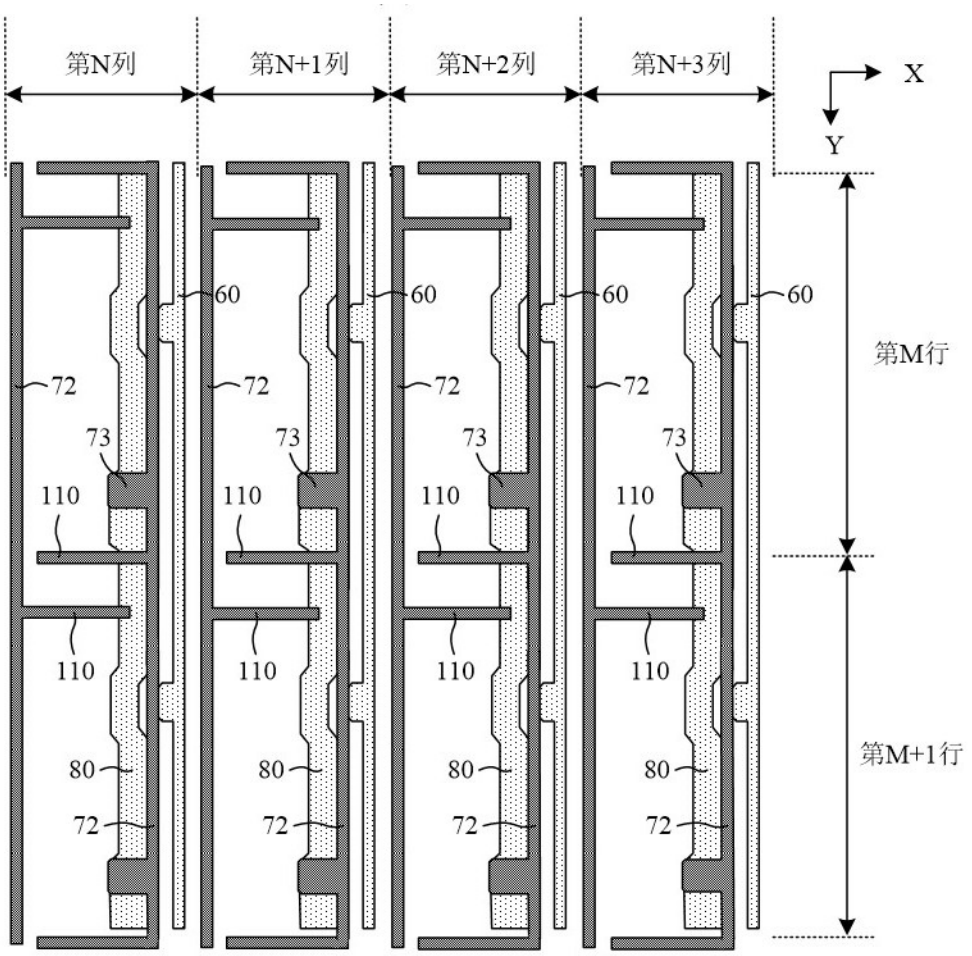


图11b

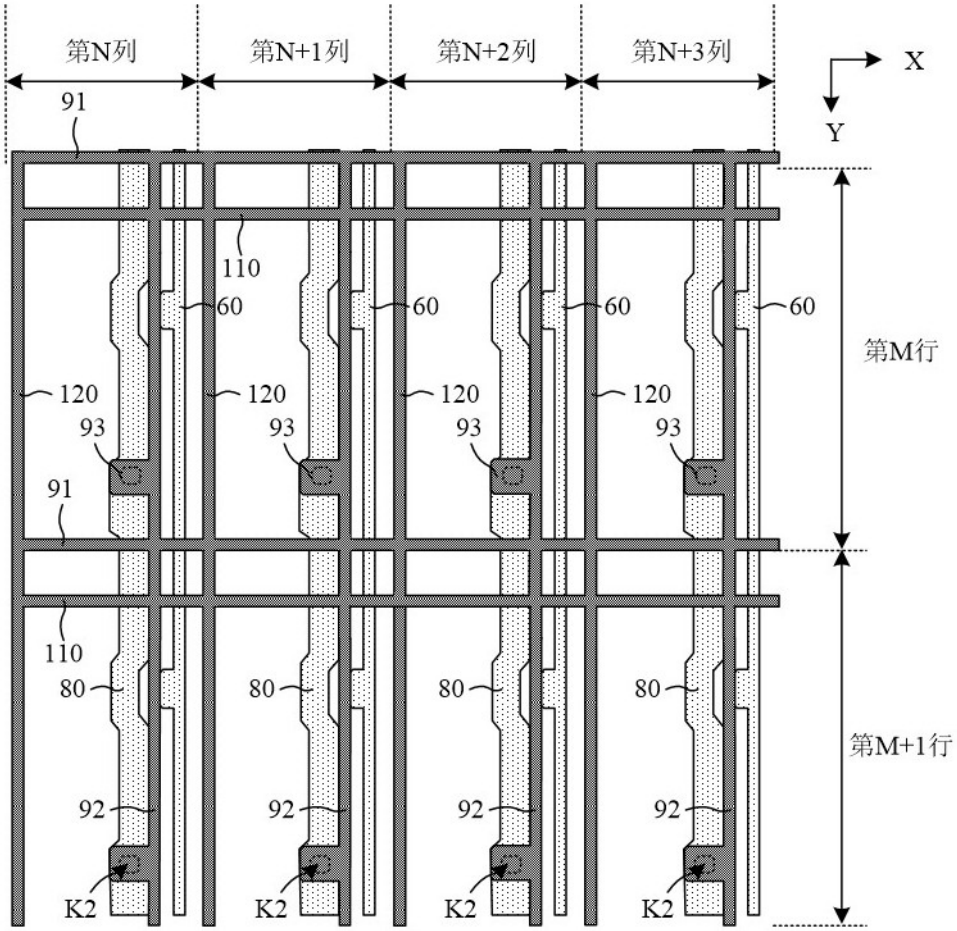


图11c

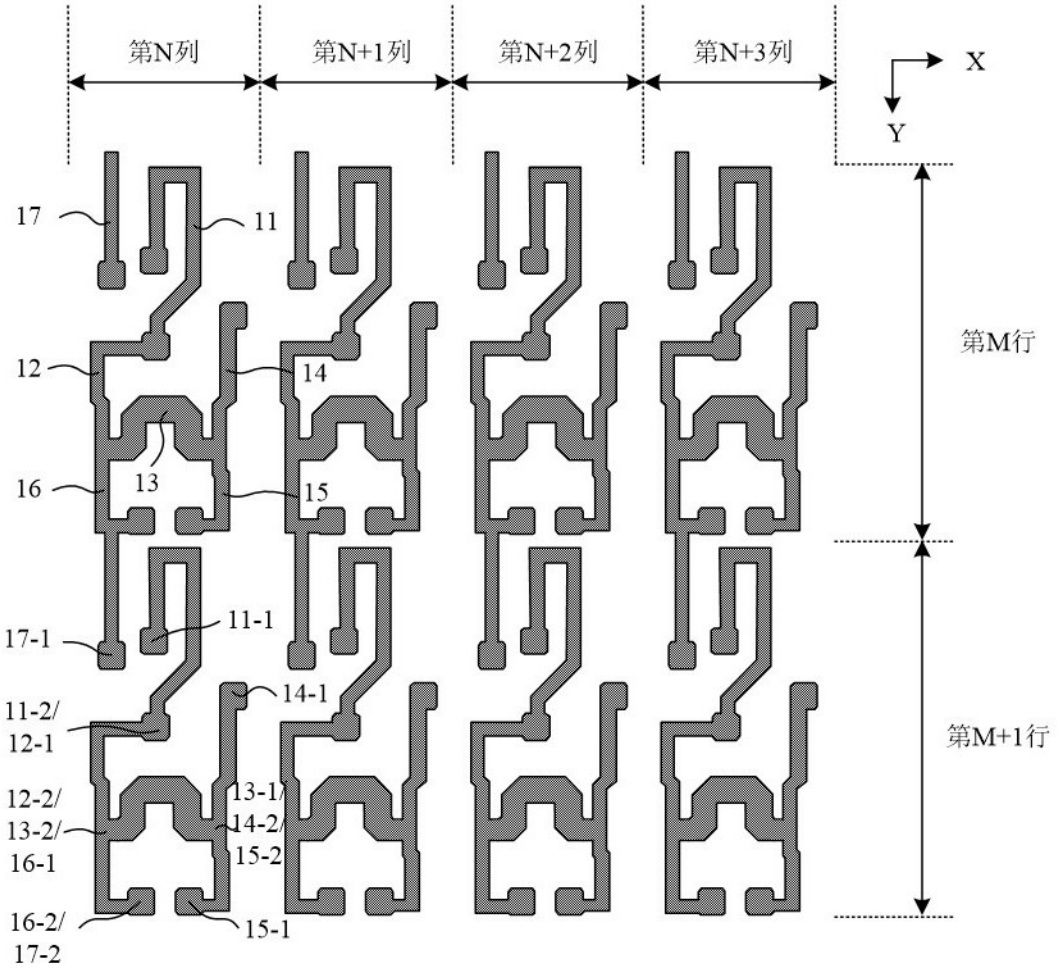

第N列
第N+1列
第N+2列
第N+3列
X
Y
第M行
第M+1行
17
11
12
14
16
13
15
17-1
11-1
14-1
11-2/
12-1
12-2/
13-2/
16-1
13-1/
14-2/
15-2
16-2/
17-2
15-1

图12

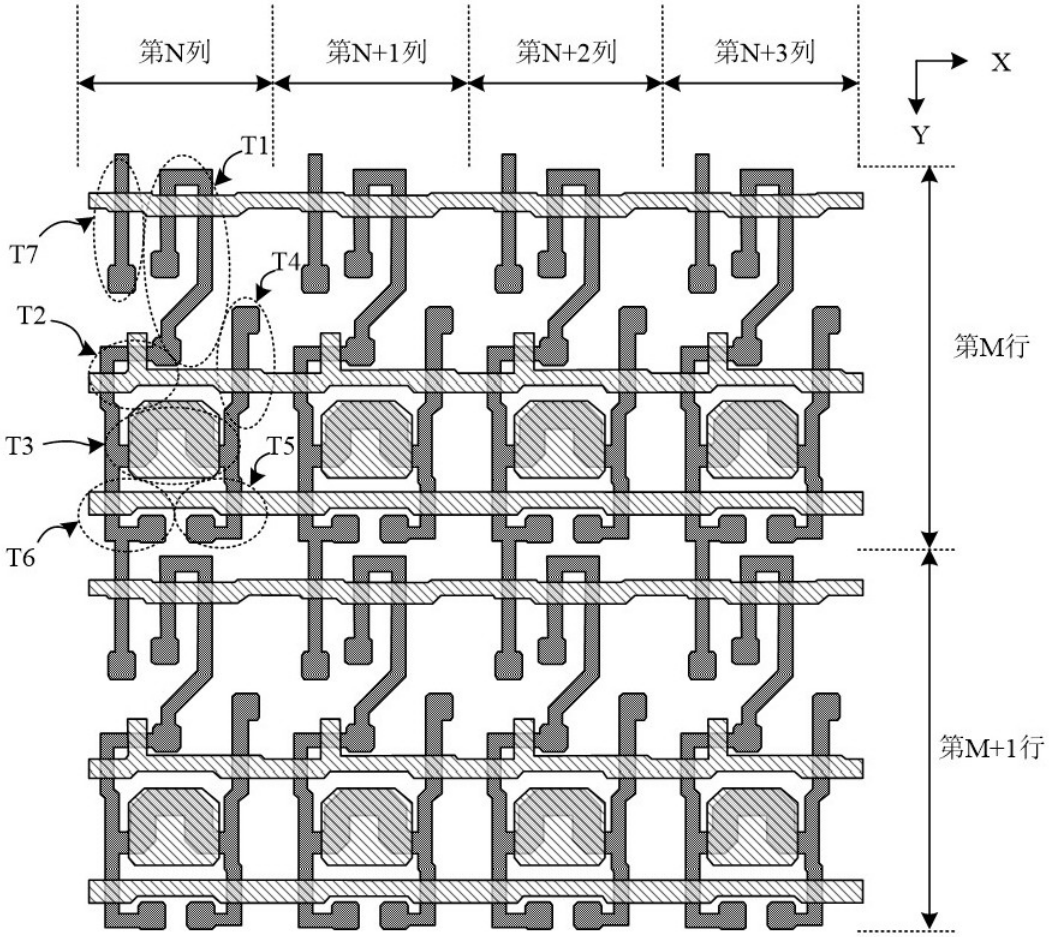


图13a

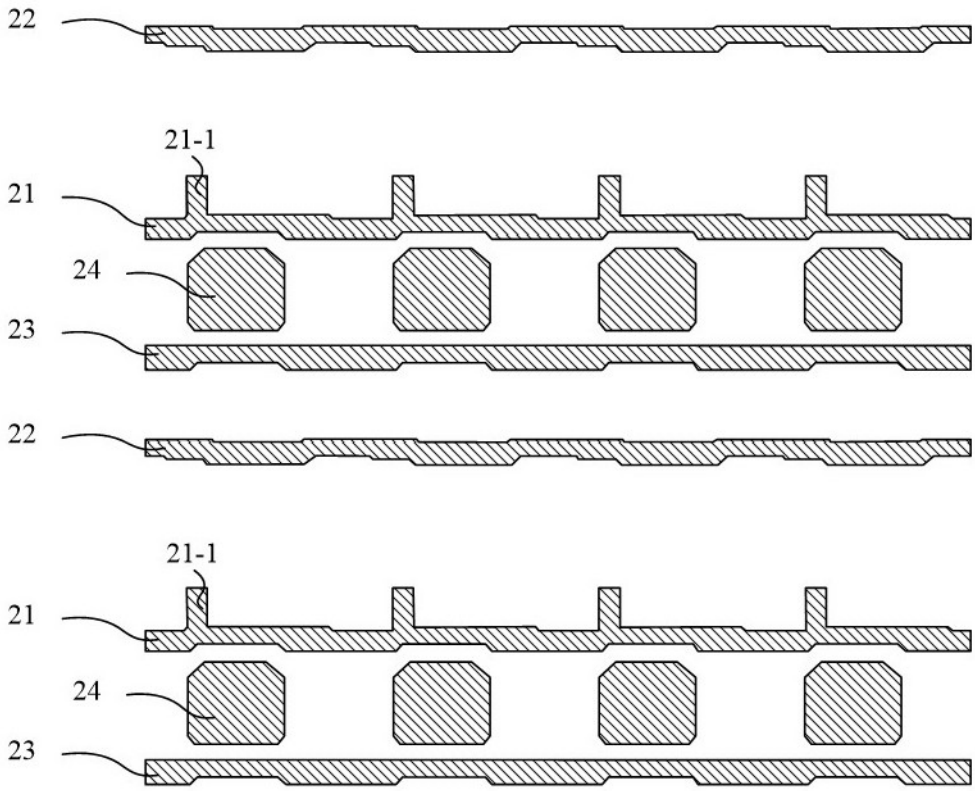


图13b

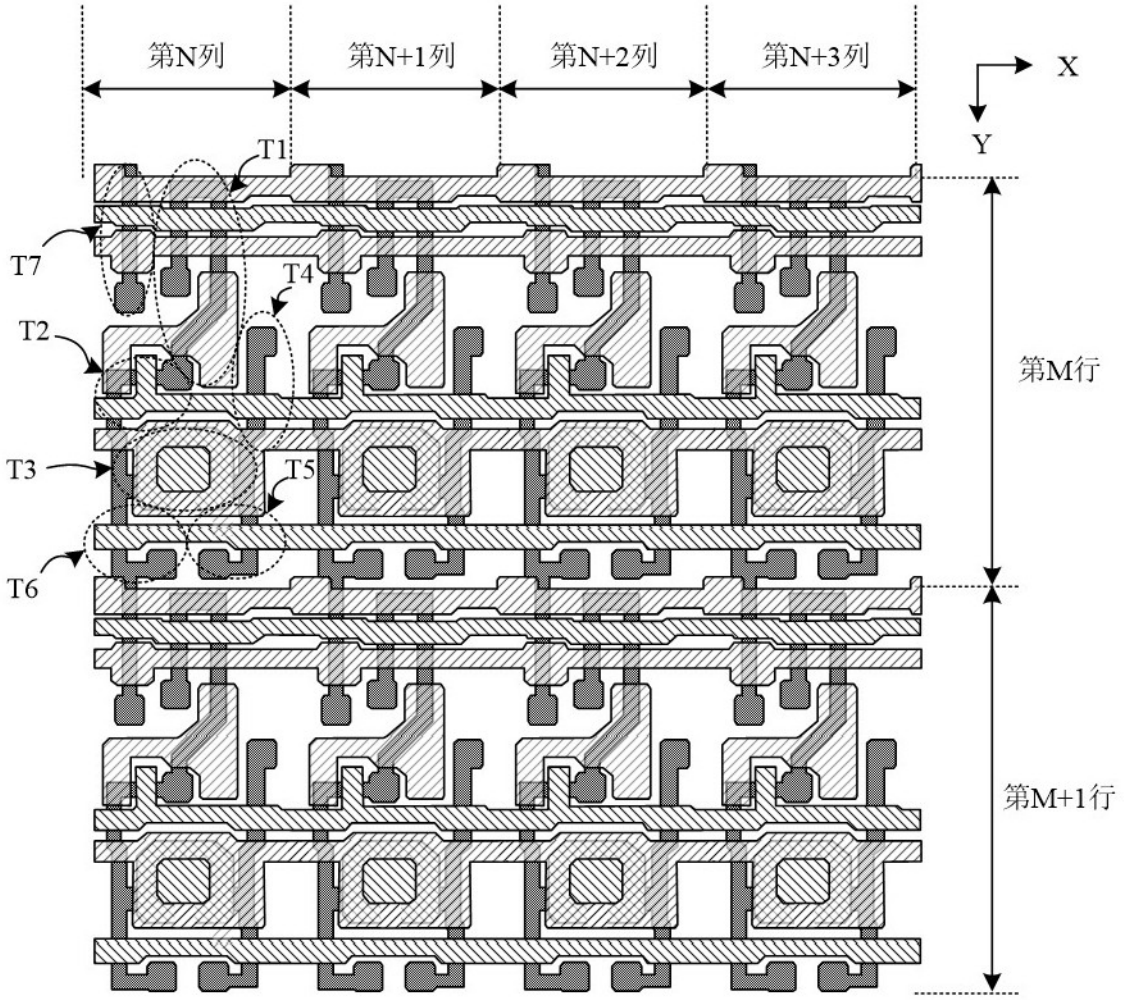


图14a

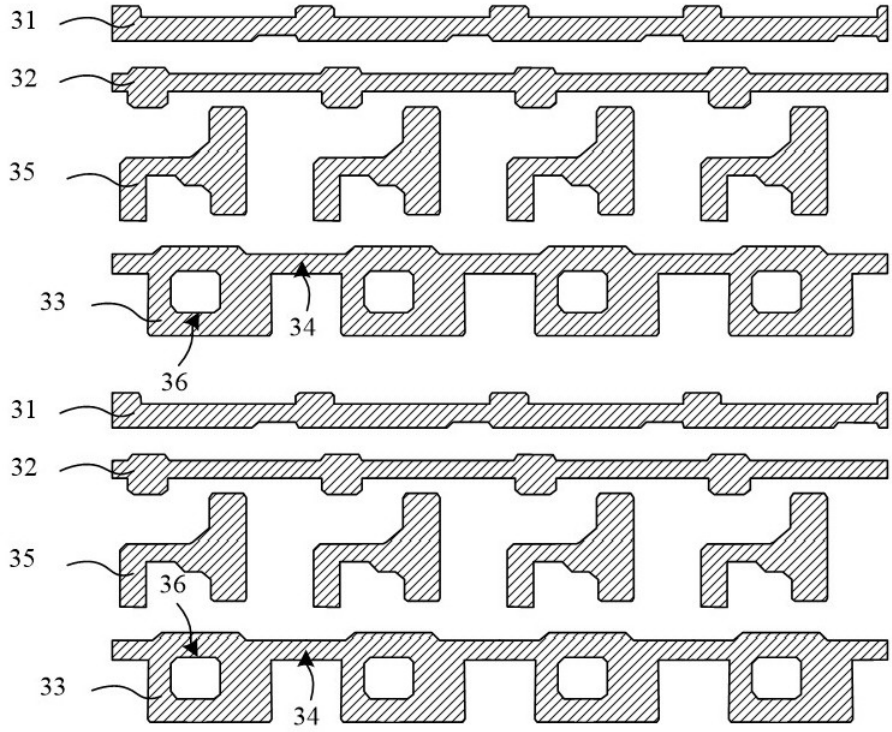


图14b

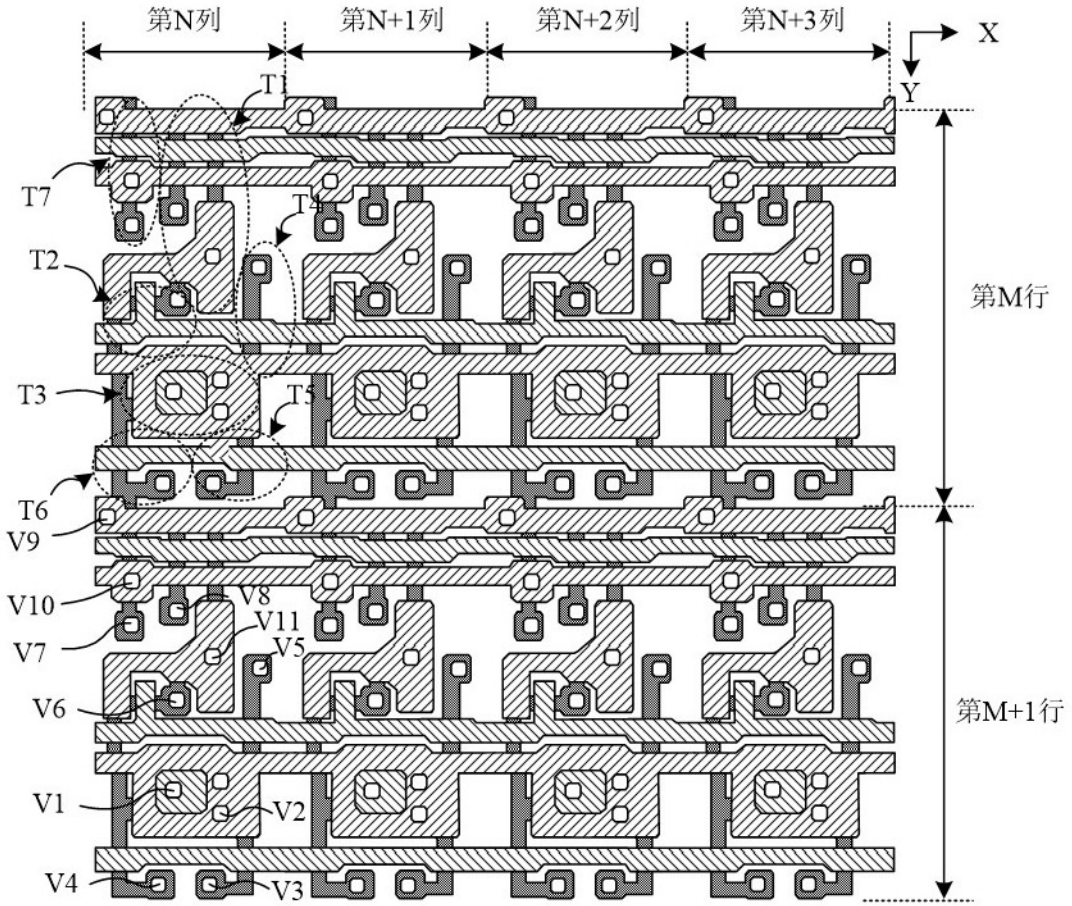

第N列
第N+1列
第N+2列
第N+3列
X
Y
T1
T7
T4
T2
第M行
T3
T5
T6
V9
V10
V8
V11
V7
V5
V6
第M+1行
V1
V2
V4
V3

图15

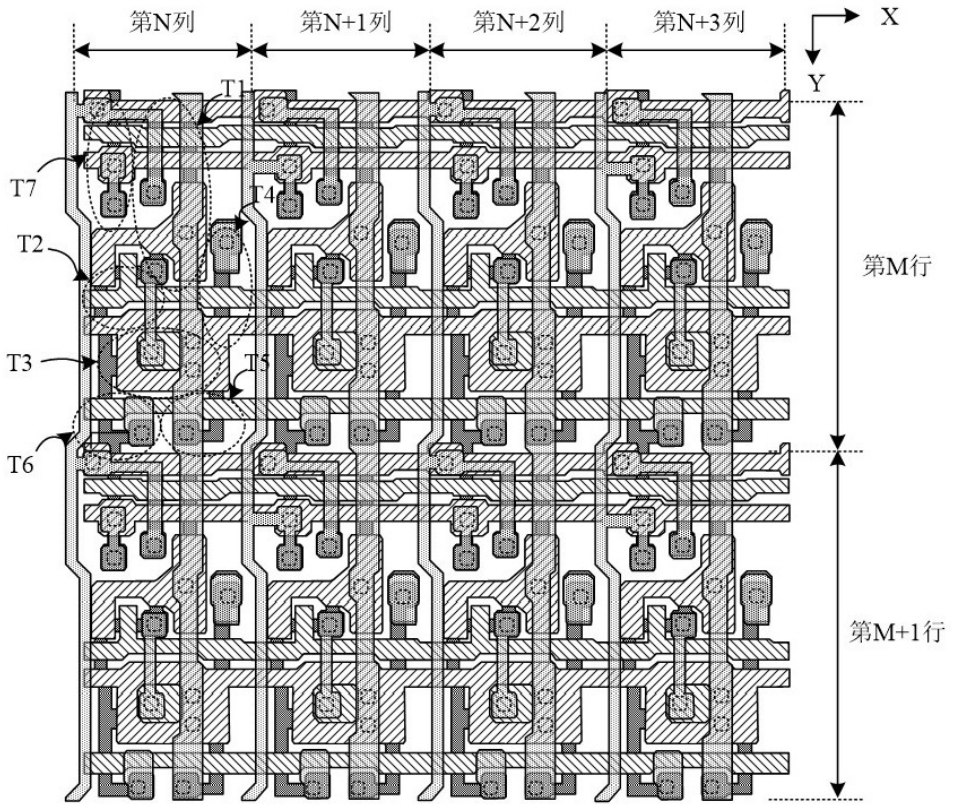


图16a

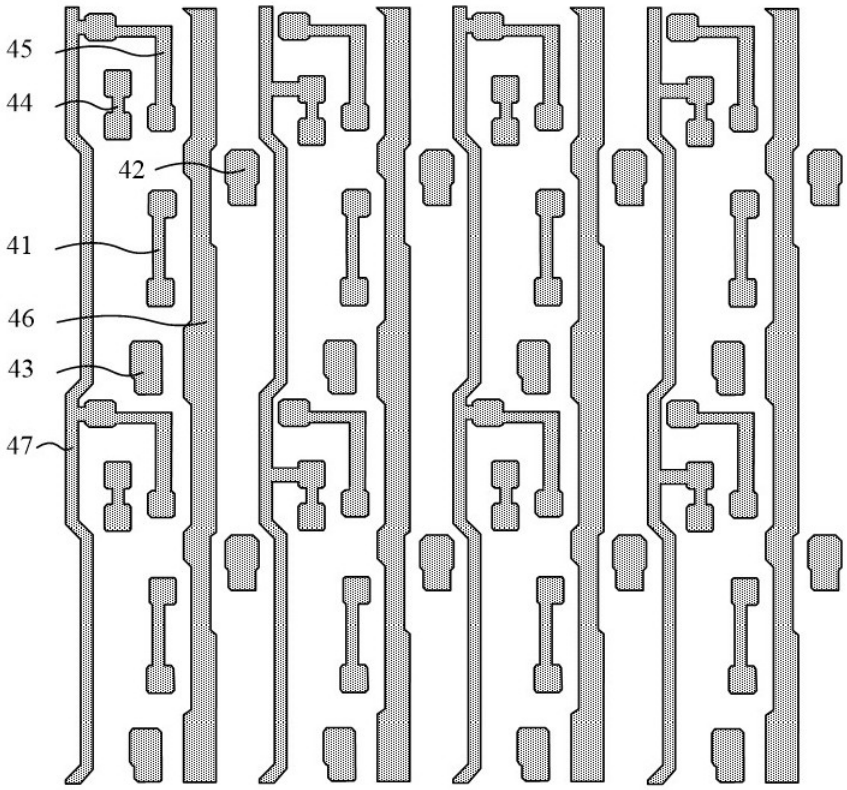


图16b

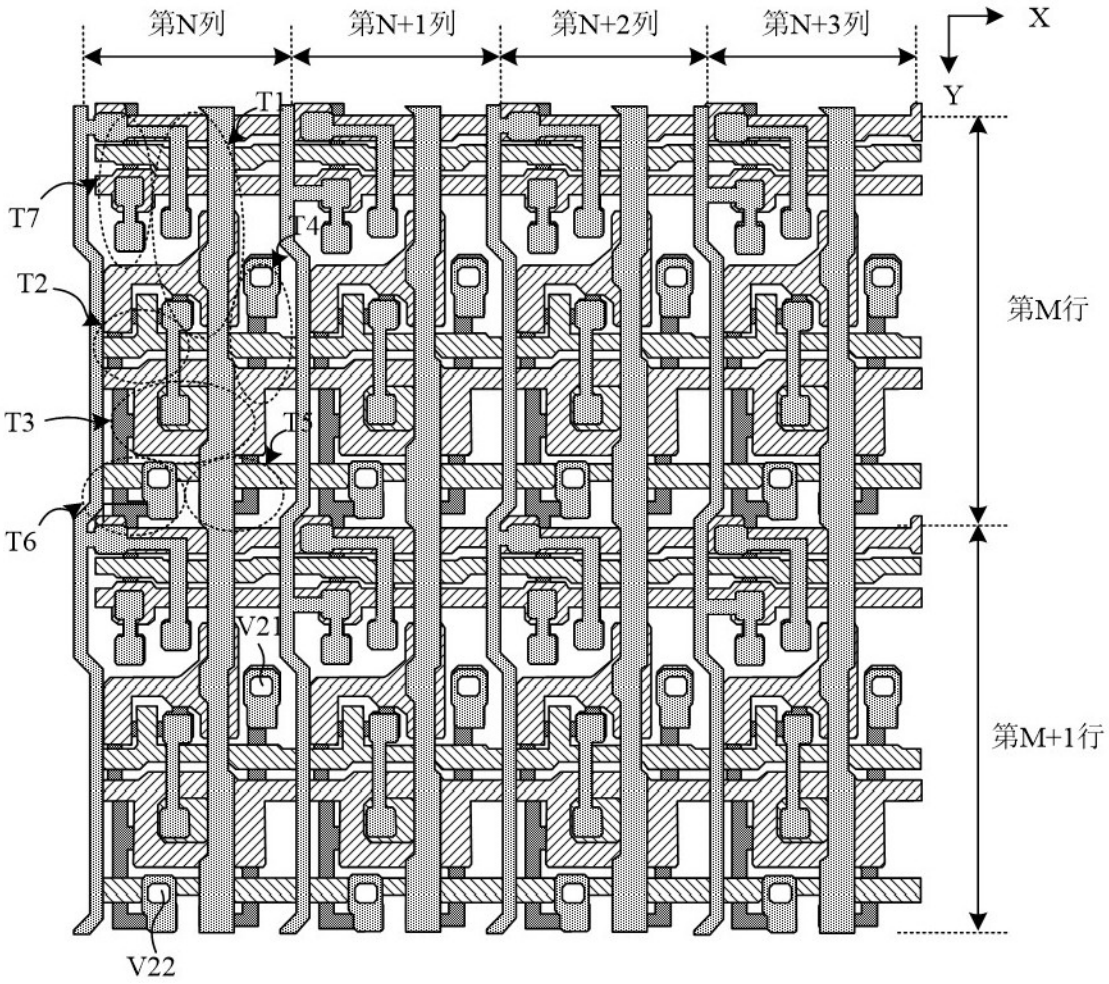


图17

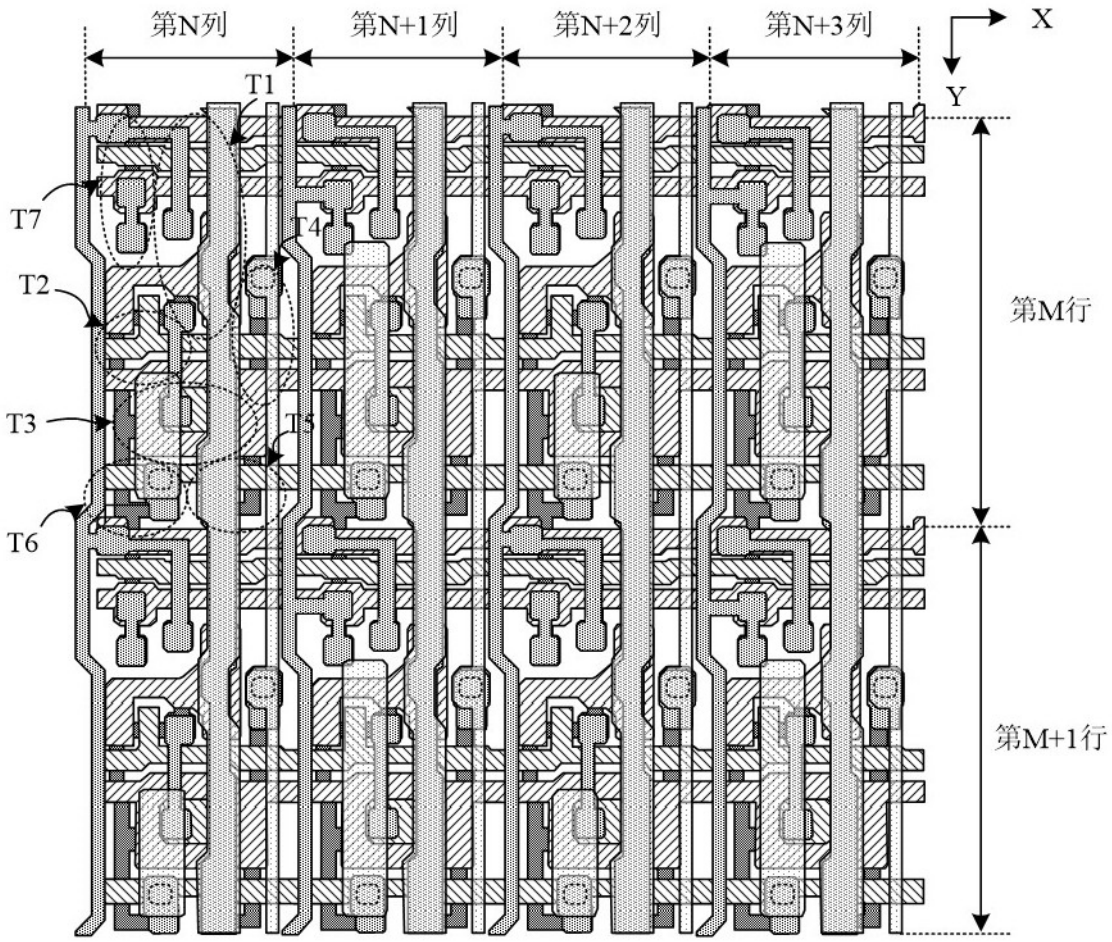


图18a

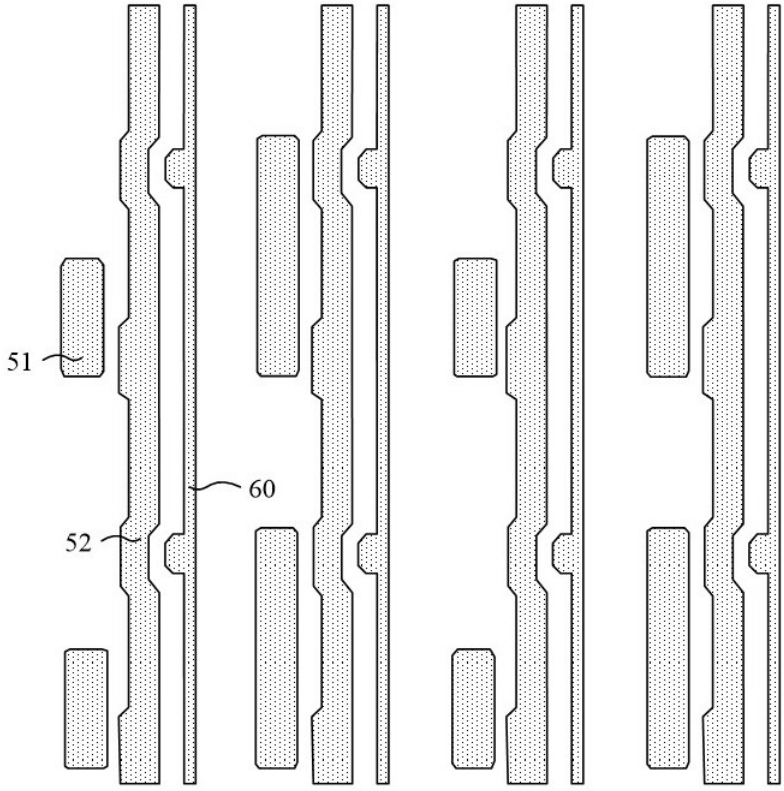


图18b

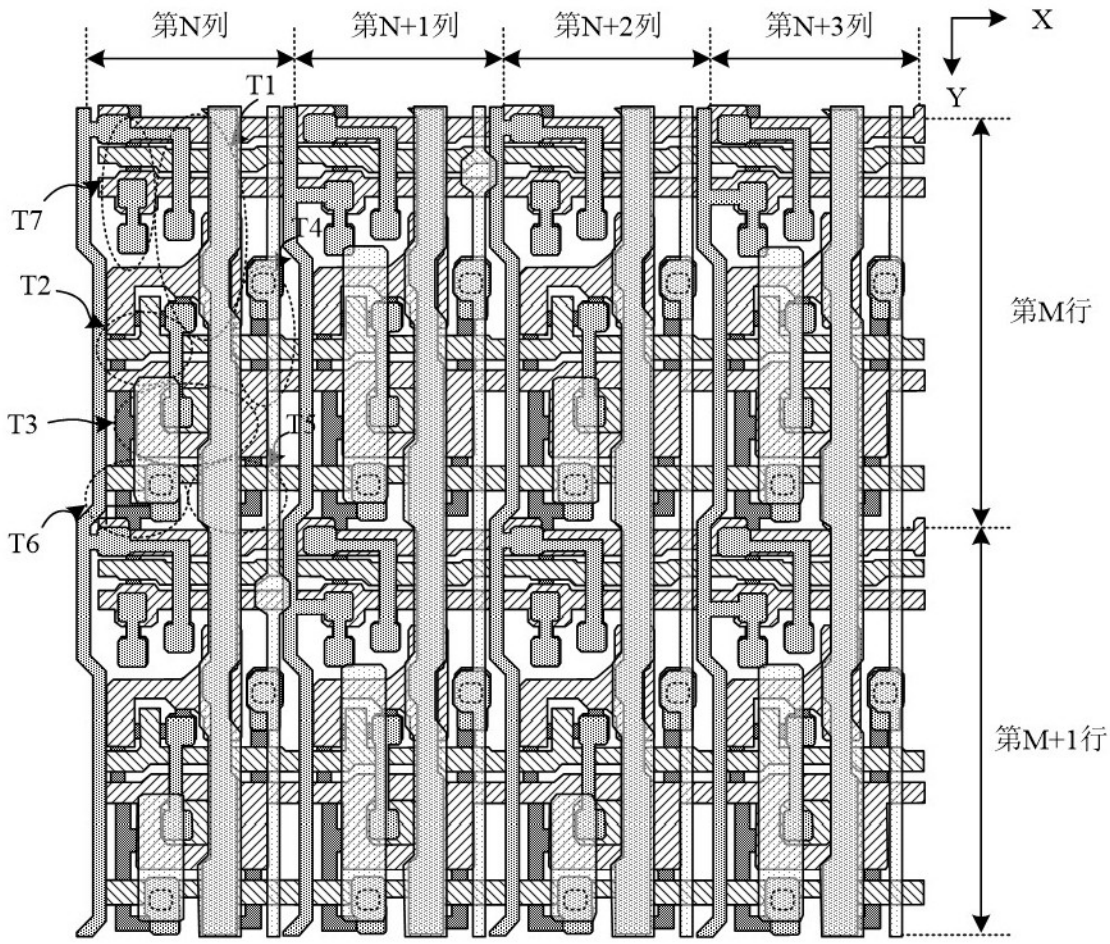


图18c

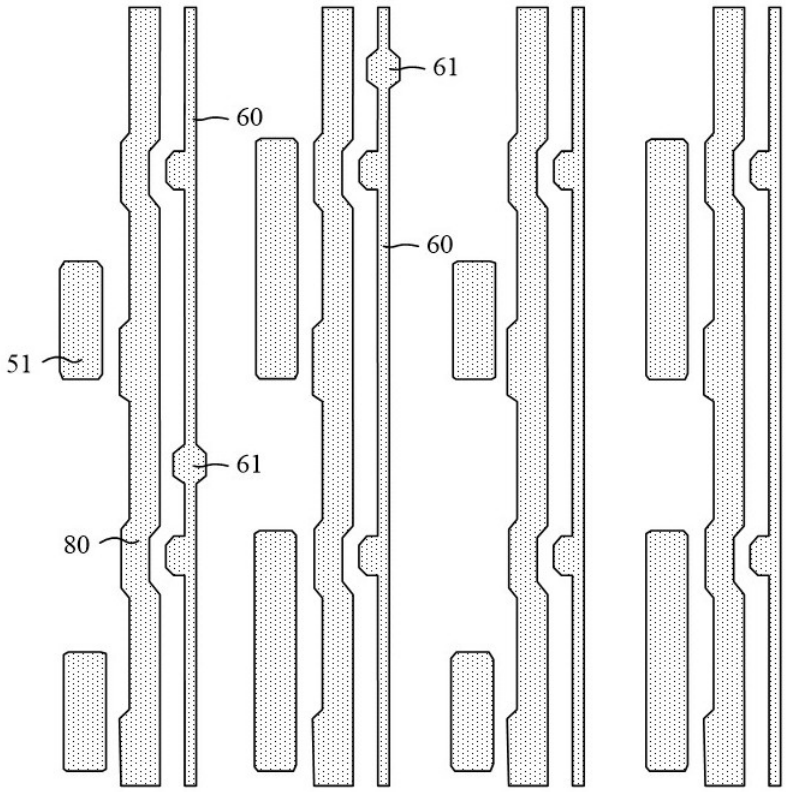


图18d

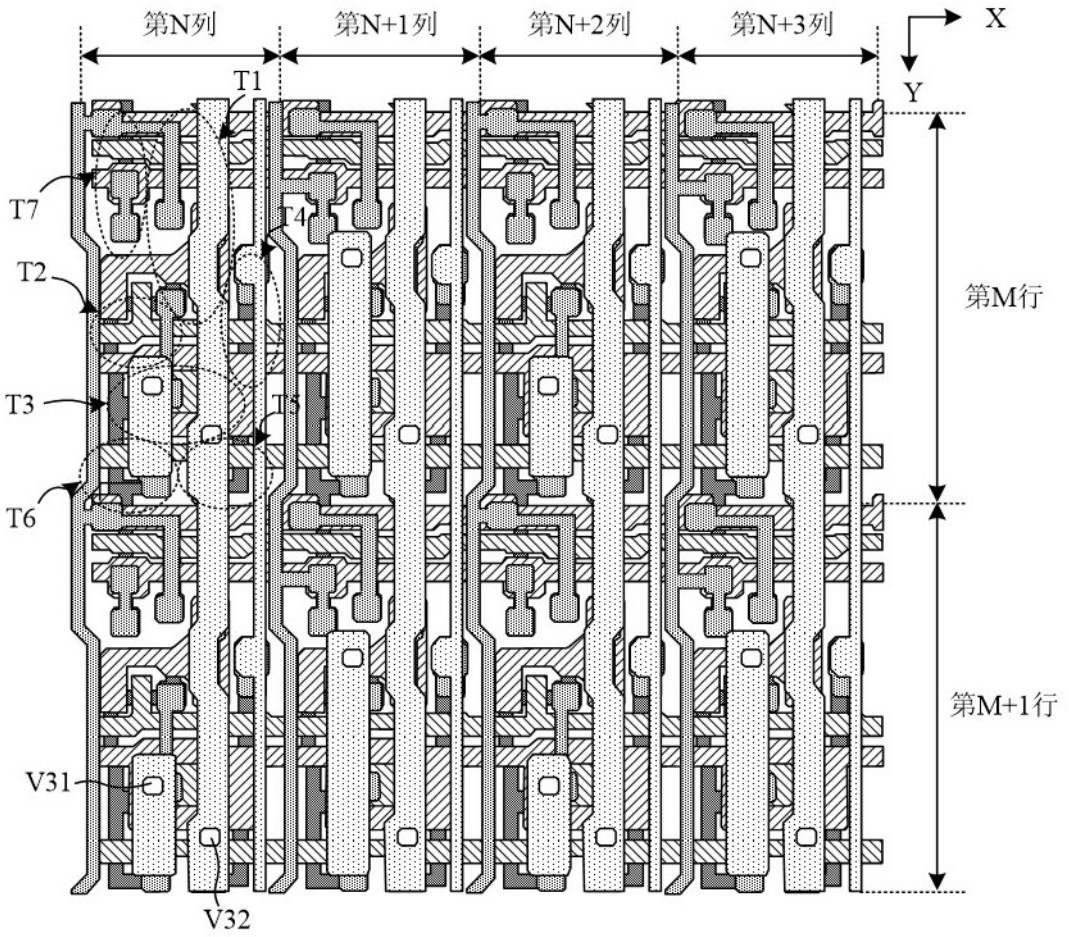


图19a

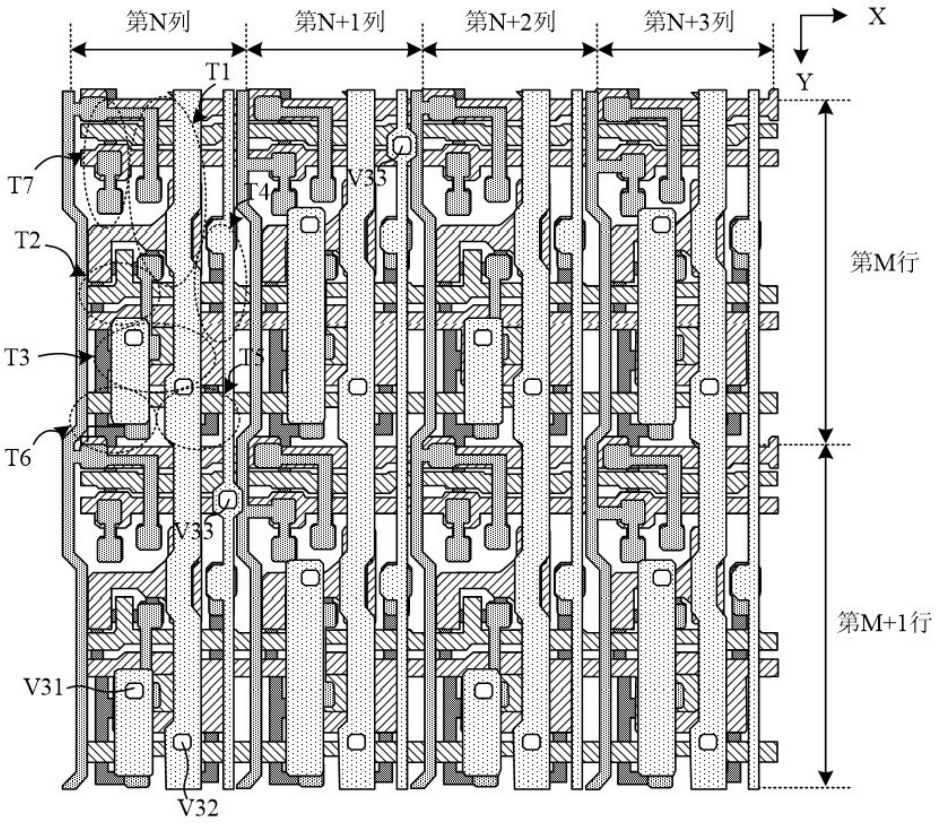

第N列
第N+1列
第N+2列
第N+3列
X
Y
T1
T7
T4
V33
T2
第M行
T3
T5
T6
V33
第M+1行
V31
V32

图19b

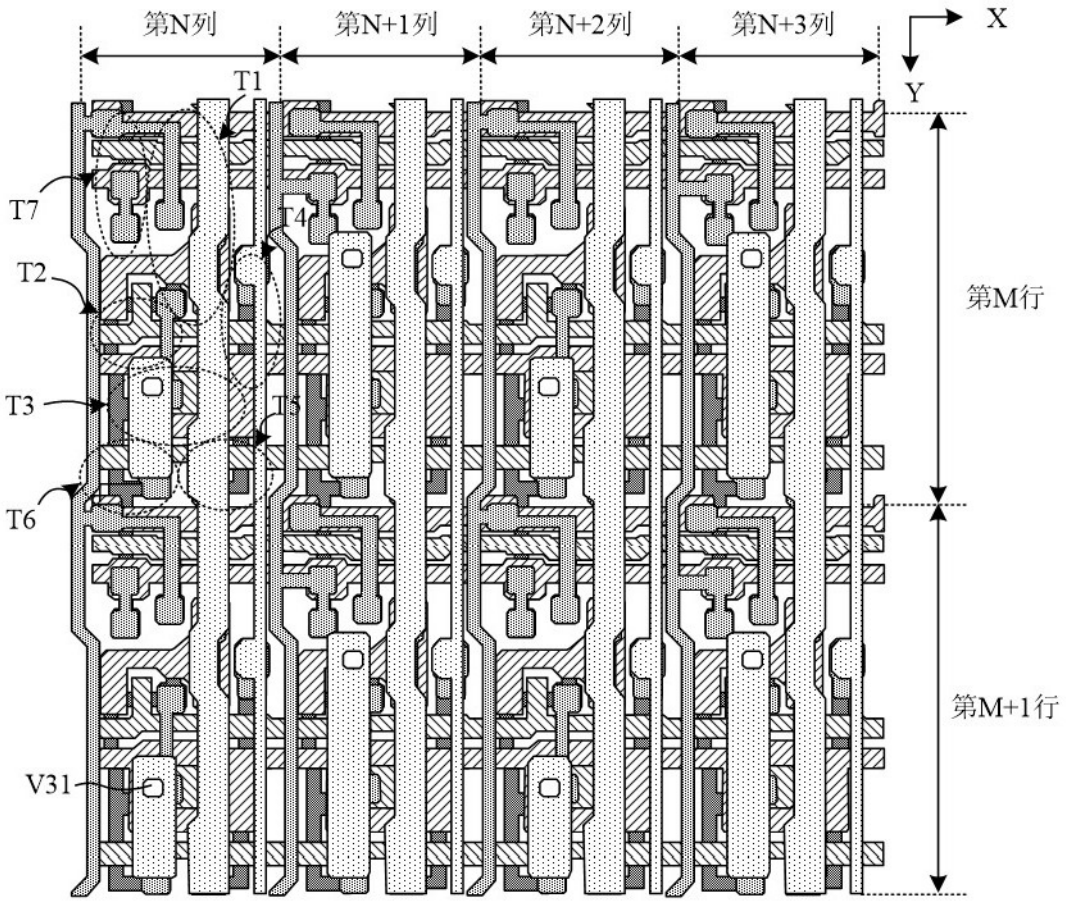


图19c

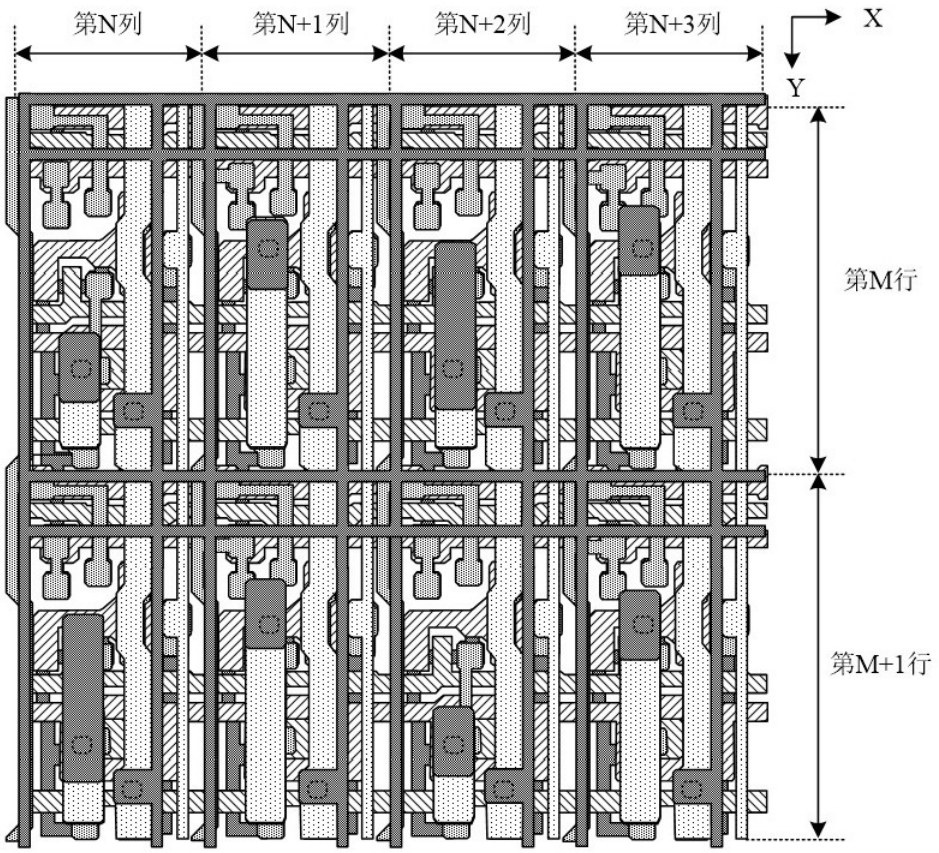


图20a

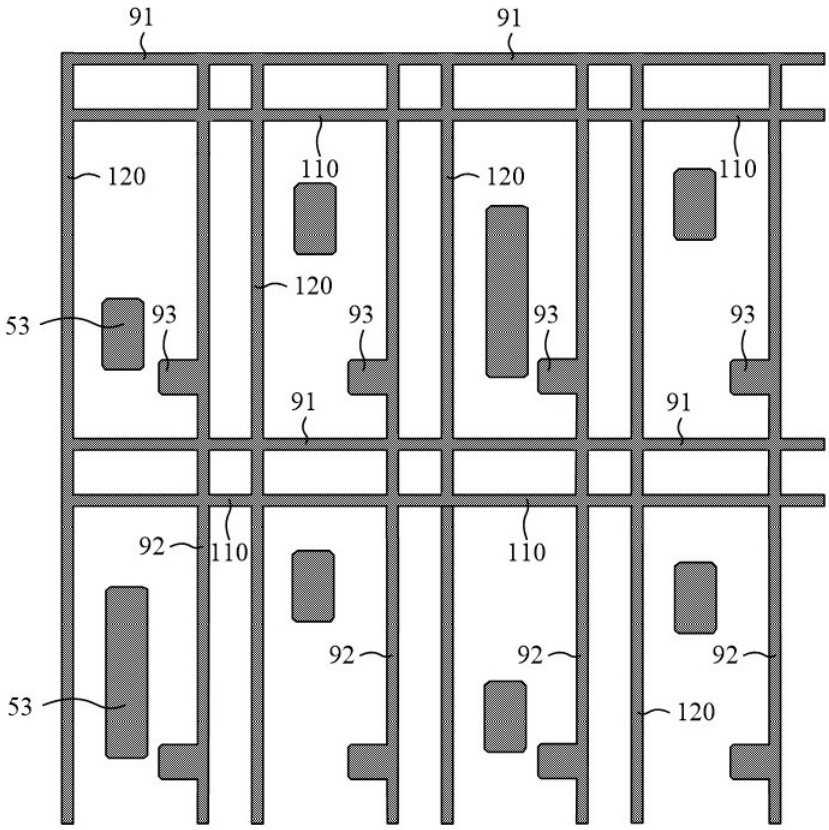

91
91
120
110
120
110
120
53
93
93
93
93
91
91
92
110
110
92
92
92
53
120

图20b

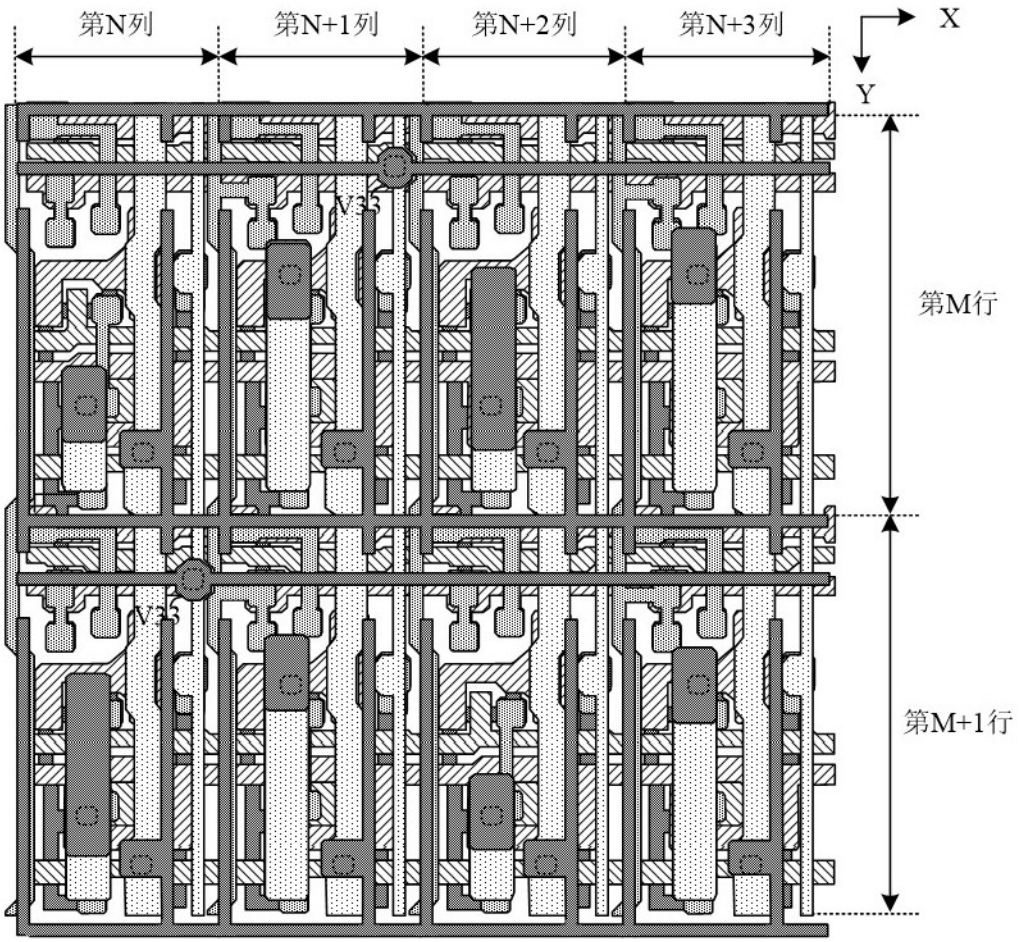


图20c

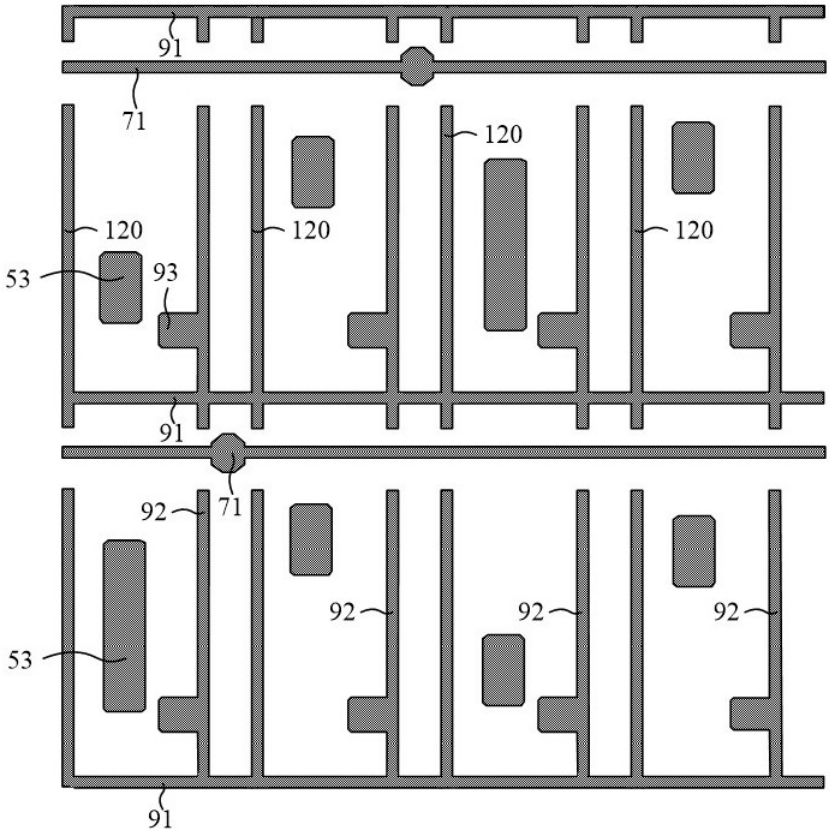


图20d

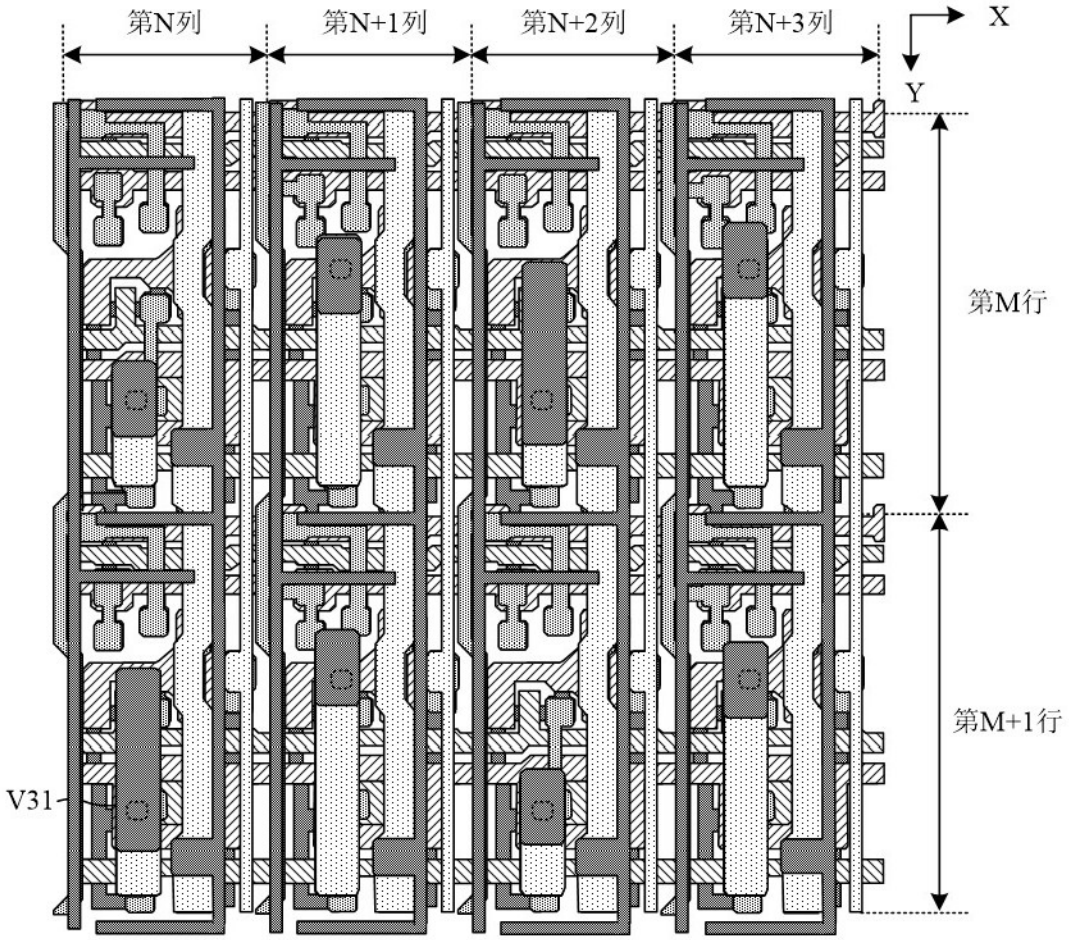


图20e

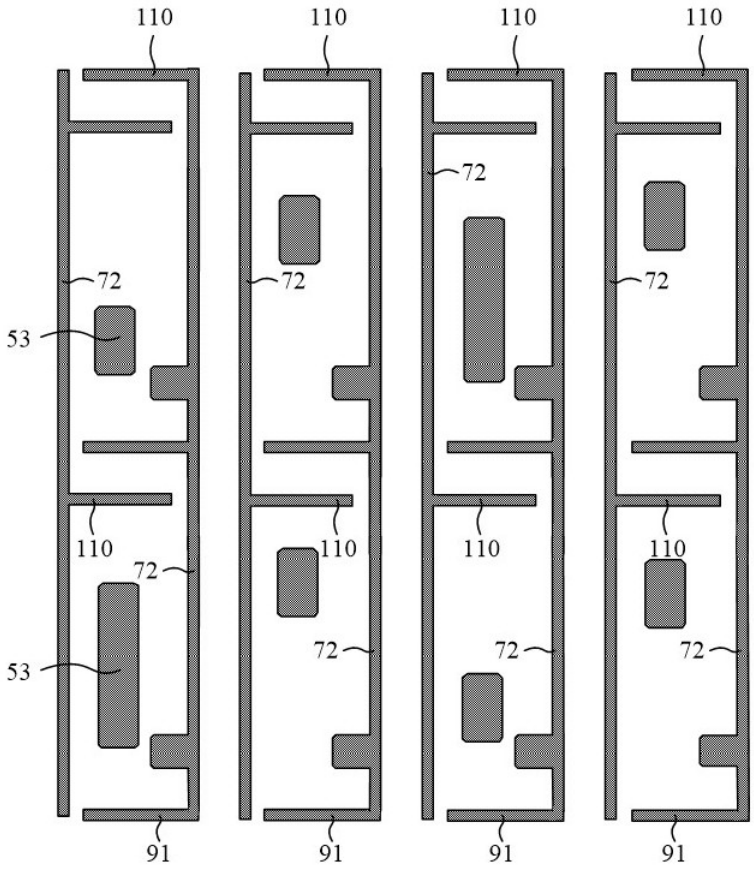

110
110
110
110
72
72
72
53
110
110
110
110
72
72
72
72
53
91
91
91
91

图20f

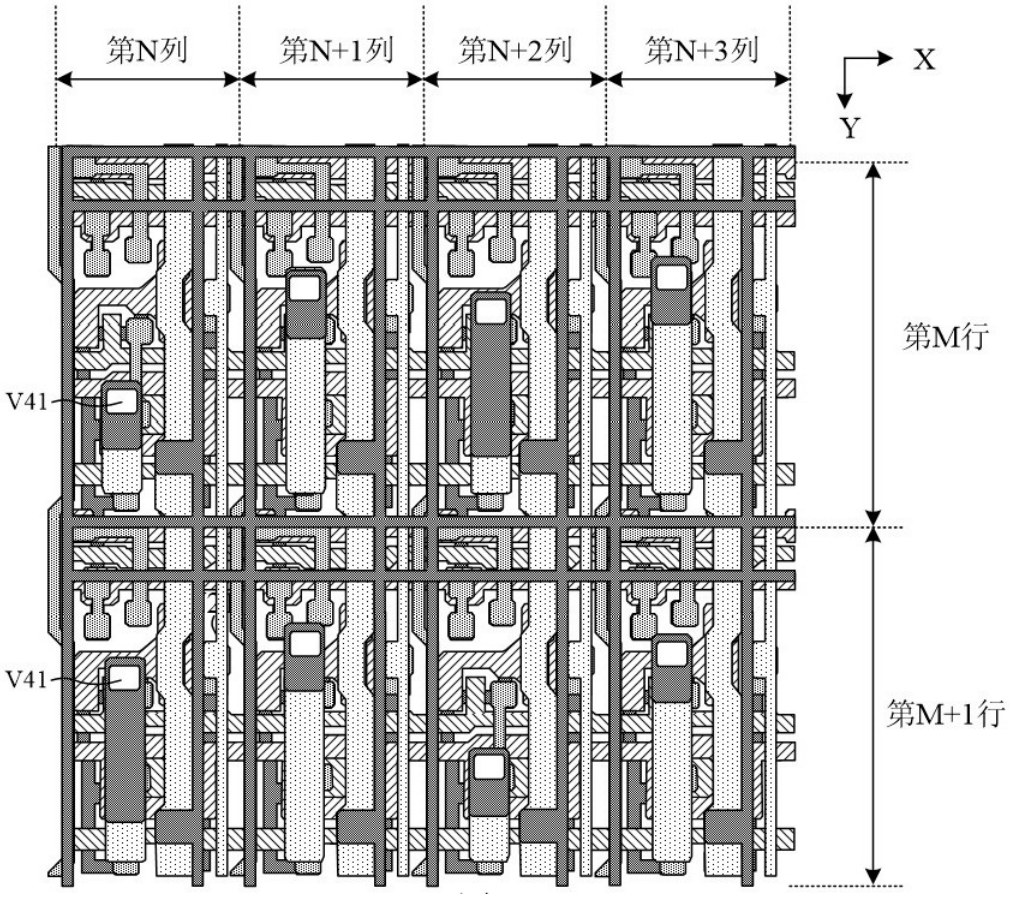


图21a

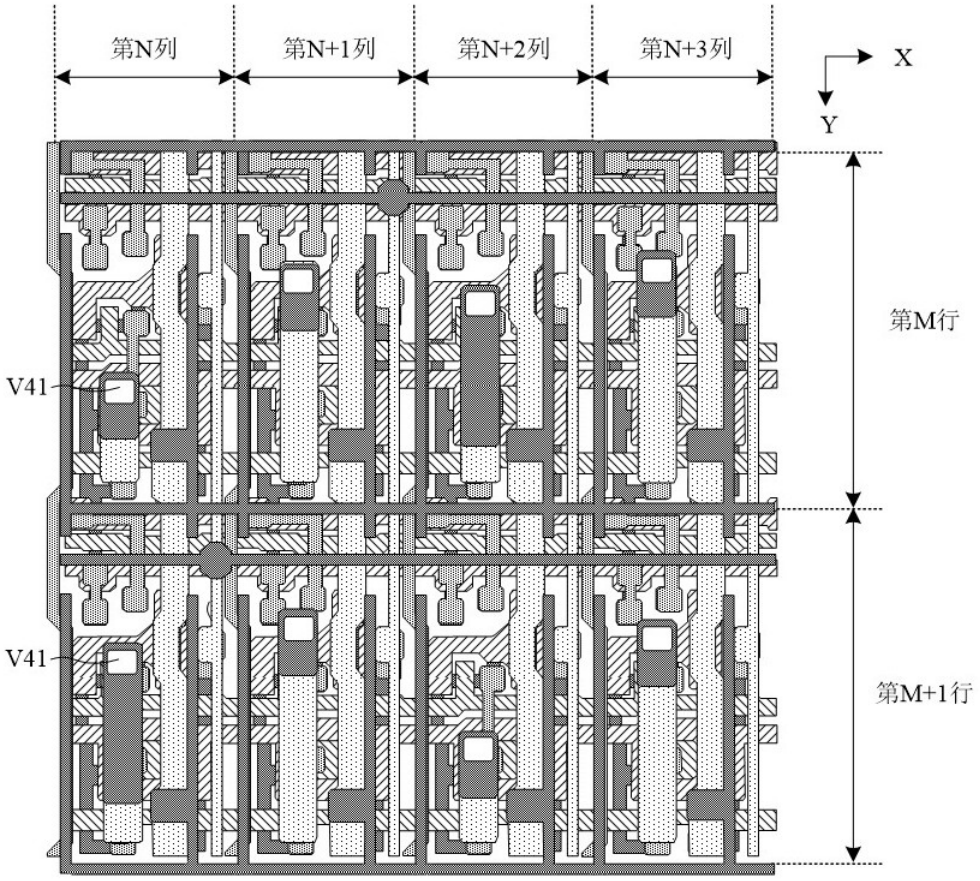


图21b

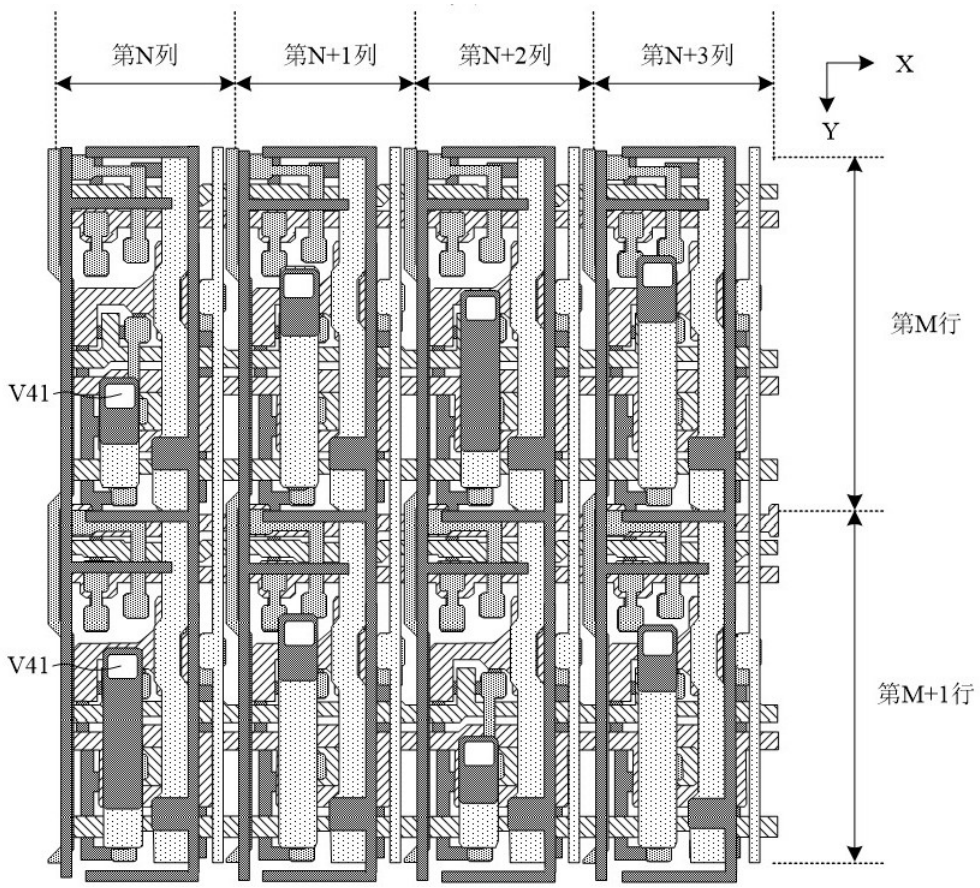


图21c

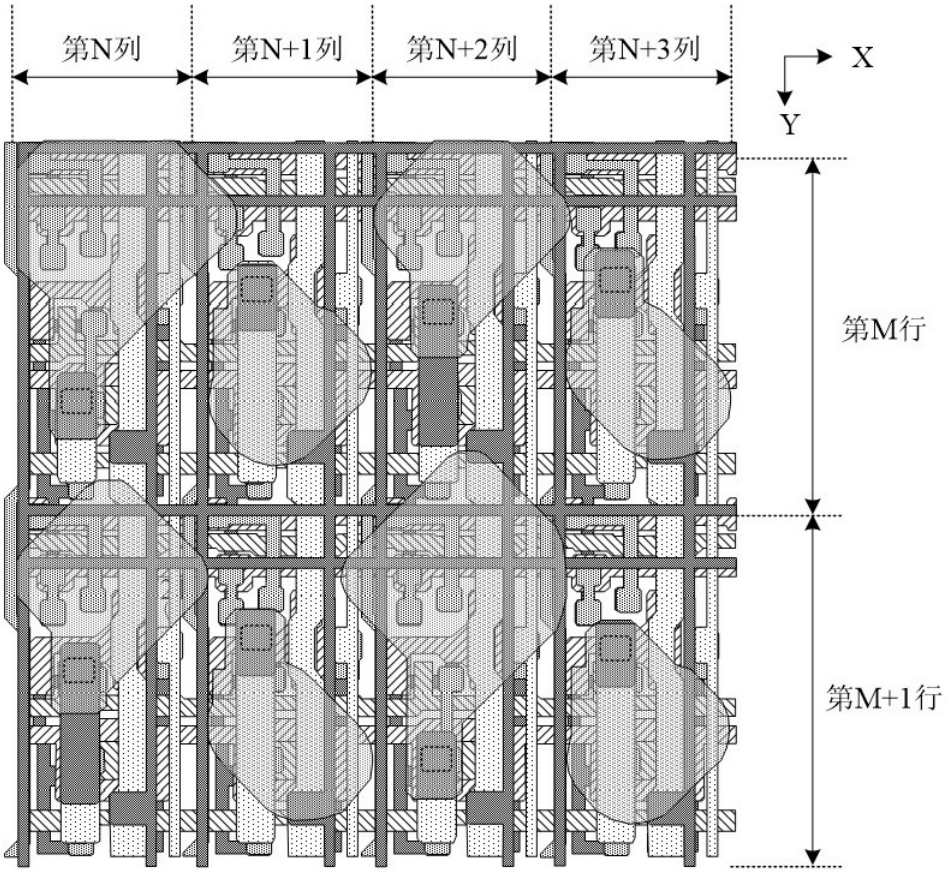


图22a

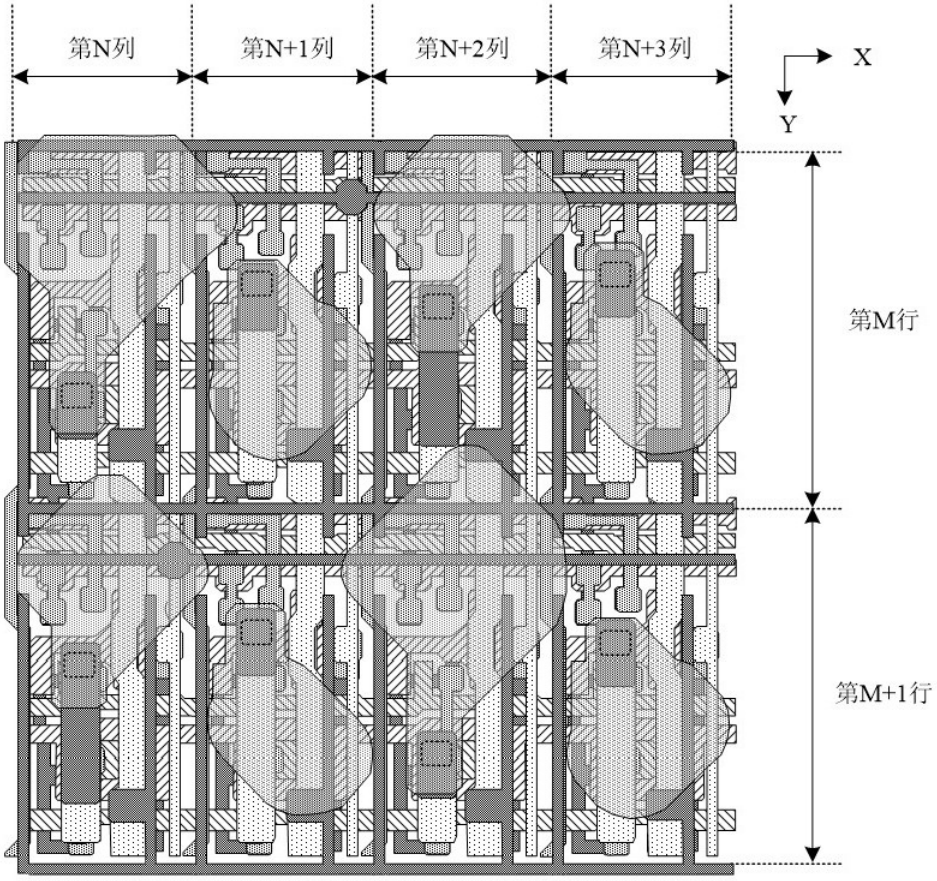


图22b

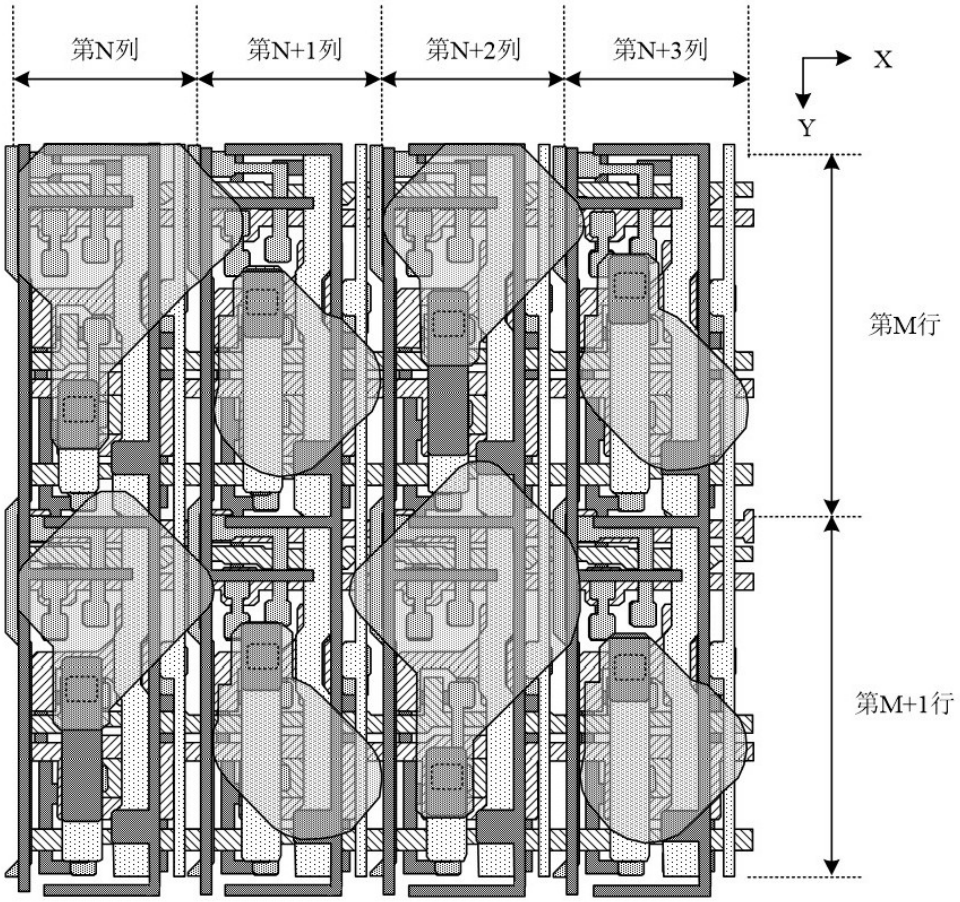


图22c

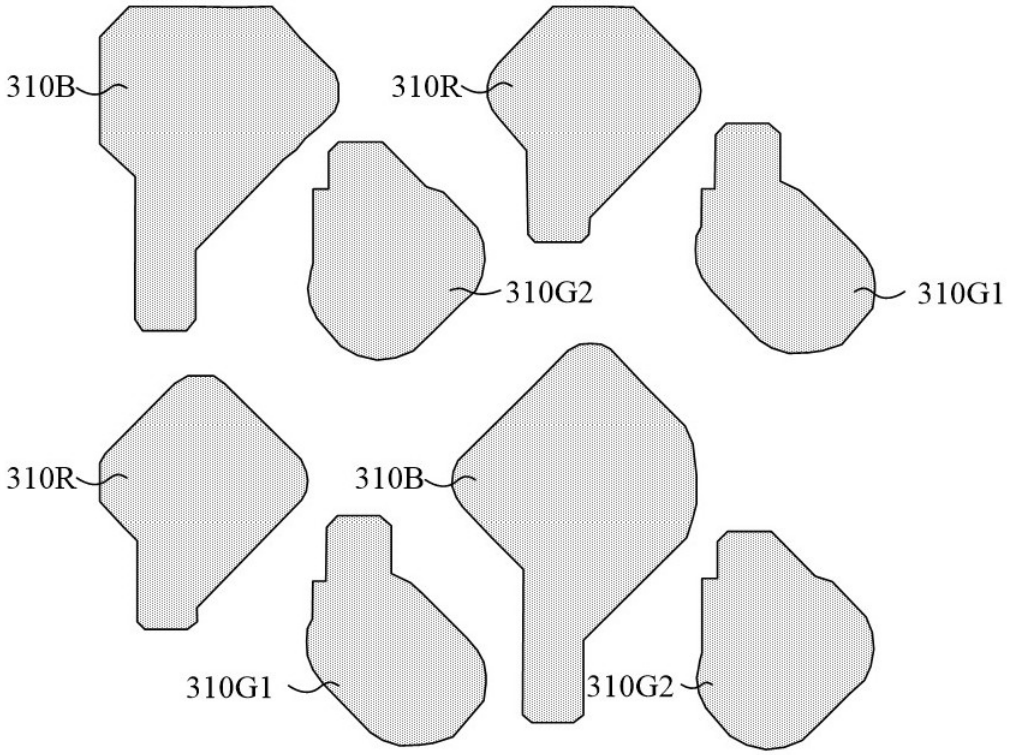


图22d

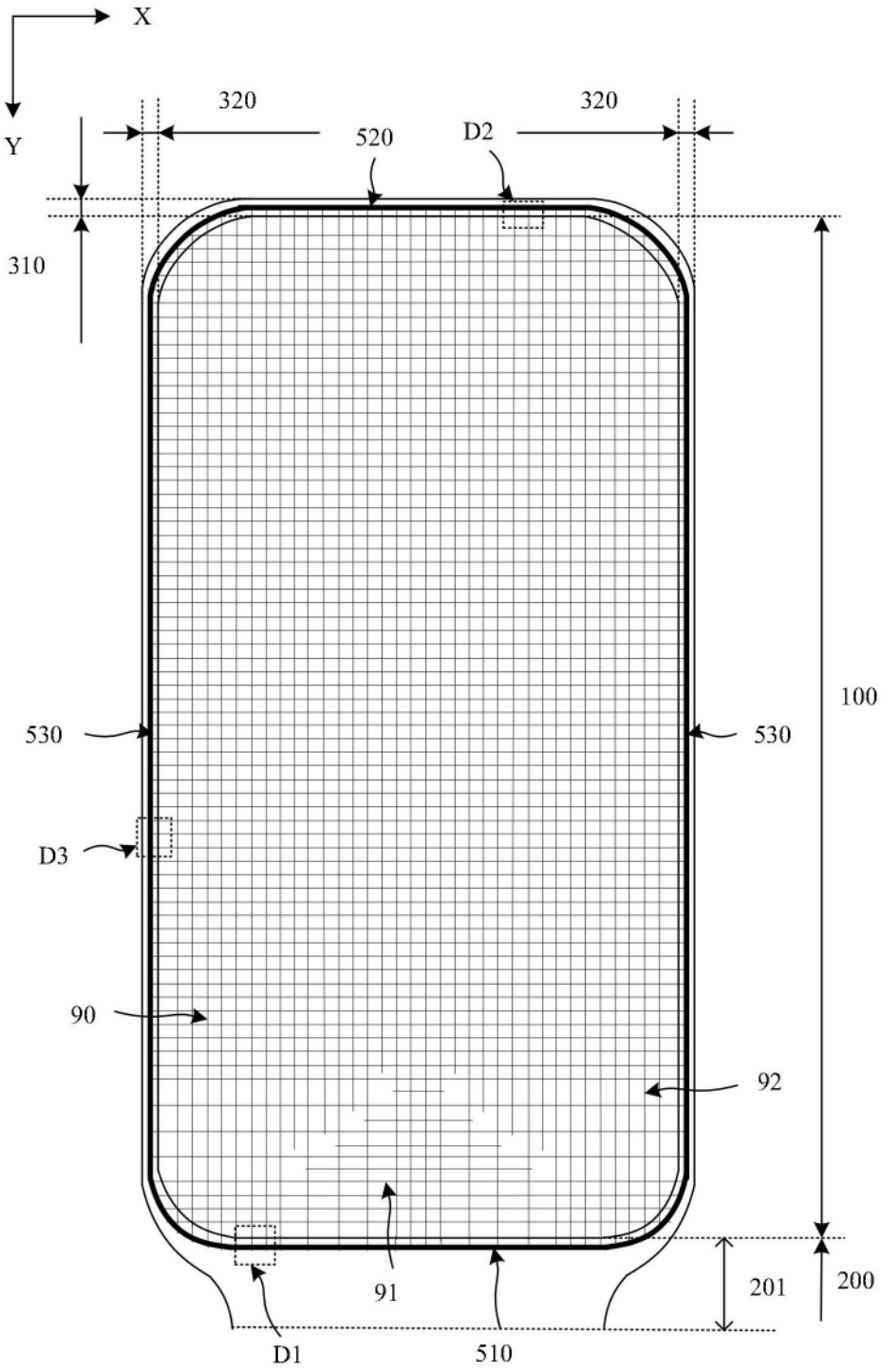


图23

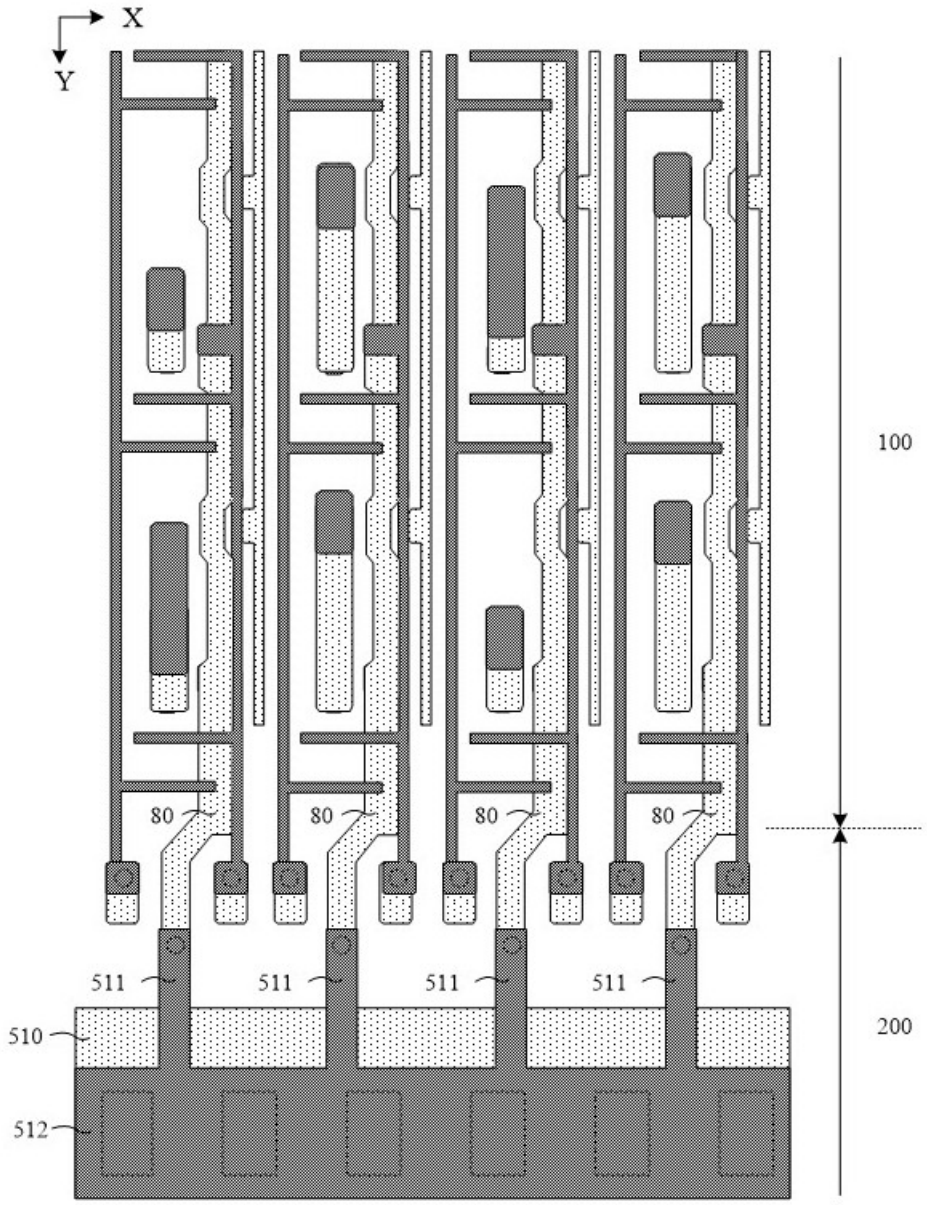


图24

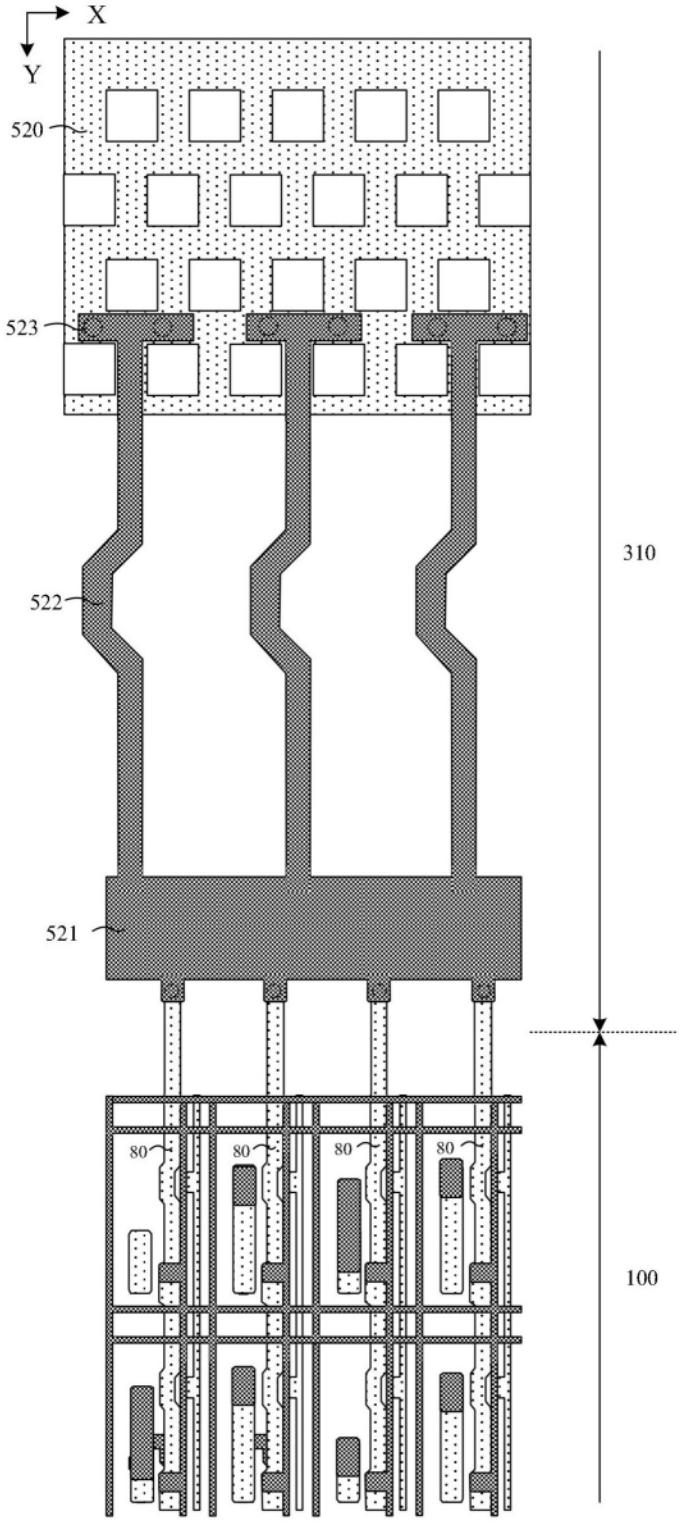


图25

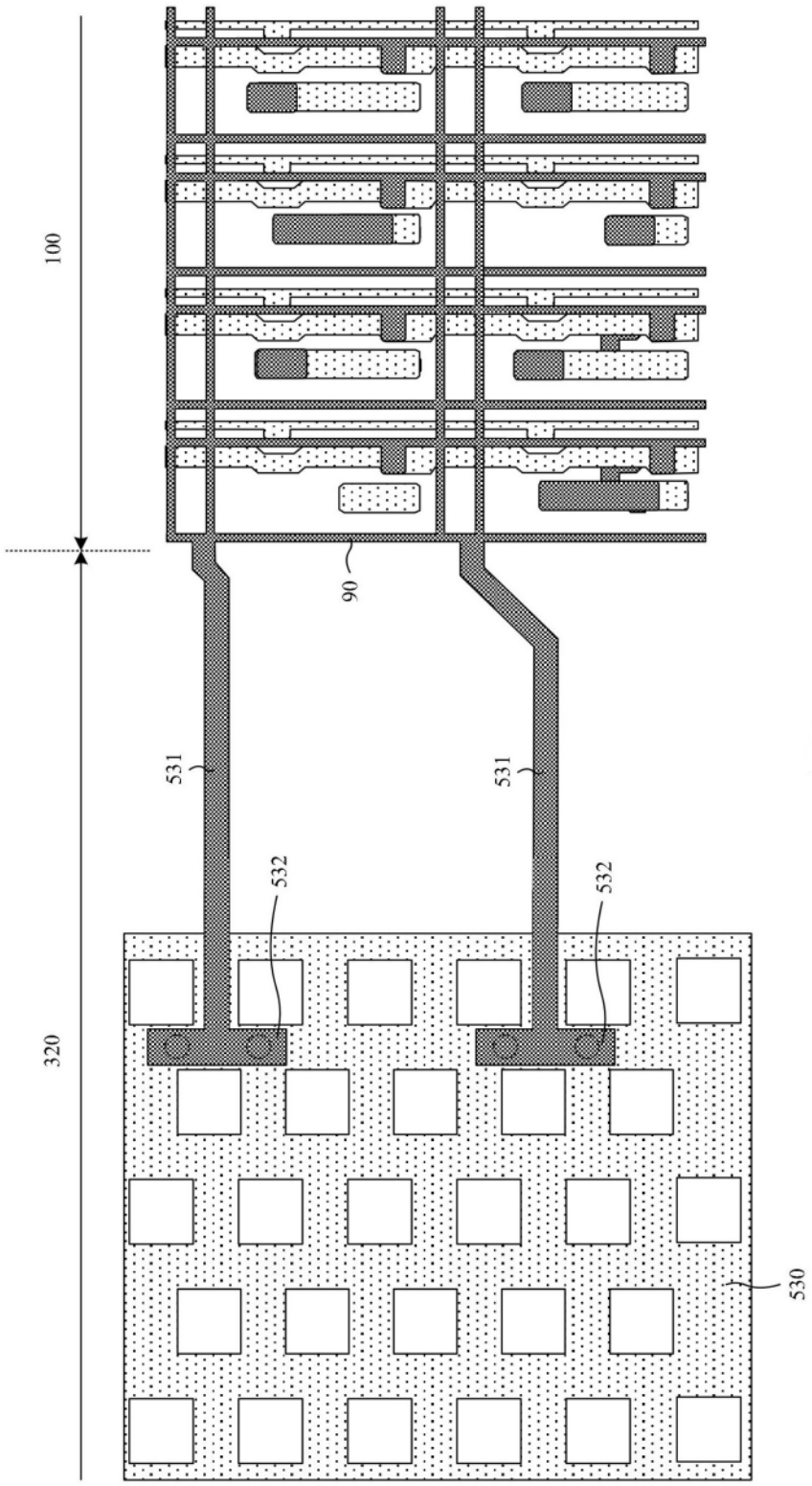


图26