(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3875806号
(P3875806)
(45)発行日　平成19年1月31日(2007.1.31)　(24)登録日　平成18年11月2日(2006.11.2)

(51)Int.Cl.			F I		
G02F	1/1345	(2006.01)	G02F	1/1345	
G02F	1/1343	(2006.01)	G02F	1/1343	
G09F	9/00	(2006.01)	G09F	9/00	346G

請求項の数 20　外国語出願　(全 24 頁)

(21)出願番号　特願平11-34120
(22)出願日　平成11年2月12日(1999.2.12)
(65)公開番号　特開2000-19552(P2000-19552A)
(43)公開日　平成12年1月21日(2000.1.21)
審査請求日　平成15年2月28日(2003.2.28)
(31)優先権主張番号　特願平10-37380
(32)優先日　平成10年2月19日(1998.2.19)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)復代理人　100093506
弁理士　小野寺　洋二
(74)代理人　100078134
弁理士　武　顕次郎
(72)発明者　千葉　眞作
千葉県茂原市早野３３００番地　株式会社日立製作所電子デバイス事業部内
(72)発明者　福元　桃子
千葉県茂原市早野３３００番地　株式会社日立製作所電子デバイス事業部内

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】

【請求項１】

矩形画面を構成する一方の平行辺を橋絡する方向に形成された第１の電極群を具備した第１の基板と該第１の電極群と交差する方向に形成された第２の電極群を具備した第２の基板との間に液晶層を挟持した液晶パネルと、

複数のセグメントドライブ回路を搭載した第１のテープキャリアパッドを介して前記第１の電極群に画素駆動電圧を印加する如く前記液晶パネルに接続された第１の多層プリント基板と、

複数のコモンドライブ回路を搭載した第２のテープキャリアパッドを介して前記第２の電極群に共通電圧を印加する如く前記液晶パネルに接続され且つ外部から入力した画素クロック信号を前記セグメントドライブ回路に供給する駆動回路が搭載された第２の多層プリント基板を備え、

前記第１のテープキャリアパッドは前記第１の多層プリント基板の最上段に設けられた配線層に接続され、

前記第１の多層プリント基板には、高速クロック信号配線が該第１の多層プリント基板の前記最上段に最も近い一つの段に設けられ且つスルーホールを通して該第１の多層プリント基板の該最上段へ延在していることを特徴とする液晶表示装置。

【請求項２】

前記高速クロック信号配線が画素クロック信号配線であることを特徴とする請求項１に記載の液晶表示装置。

【請求項３】
前記第１の多層プリント基板の前記一つの段に設けられた前記高速クロック信号配線は、前記第２電極群の延在方向沿いに延びることを特徴とする請求項１に記載の液晶表示装置。
【請求項４】
液晶層が封入されるパネルを構成する一対の基板、
前記一対の基板の一つの主面に沿い第１方向に延在する複数の第１電極、
前記一対の基板の一つの主面に沿い前記第１方向を横切る第２方向に延在する複数の第２電極、
前記パネルの周辺に配置されて前記第２方向沿いに延在し且つ複数のプリント回路層からなる積層構造と該積層構造に対応する積層厚さを有し且つ第１クロック信号とこれより周波数の低い第２クロック信号とを伝送する第１のプリント基板と、
前記パネル周辺に前記第２方向に並設され、その各々は前記複数の第１電極の対応する少なくとも一に電圧を印加する電圧供給源と前記第１クロック信号に呼応して前記電圧供給源を制御する少なくとも一の制御ユニットとを夫々有する複数の第１駆動回路とを備え、
前記第１のプリント基板は前記積層構造の最上段にある前記複数のプリント回路層の第１層目に形成された前記第１駆動回路の各々との複数の電気的接点を有し且つ前記第１クロック信号を前記複数の第１駆動回路の夫々に並列に供給し、
前記第１のプリント基板は前記プリント回路層の前記第１層目以外の一つの層に形成された前記第１クロック信号の伝送線及び前記第２クロック信号の伝送線を夫々有し、該第１クロック信号の伝送線及び該第２クロック信号の伝送線の各々は前記積層厚さ沿いに延在するスルーホール及び前記プリント回路層の前記一つの層にて該伝送線と該スルーホールとの間に形成されたリードにより各々に対応する前記複数の電気的接点の一つに夫々電気的に接続され、
前記第１クロック信号用の前記リードは前記第２クロック信号用の前記リードより短く、前記第１クロック信号の伝送線が形成される前記プリント回路層の前記一つの層は前記積層厚さの中心より前記複数のプリント回路層の前記第１層目側に位置することを特徴とする液晶表示装置。
【請求項５】
液晶層が封入されるパネルを構成する一対の基板、
前記一対の基板の一つの主面に沿い第１方向に延在する複数の第１電極、
前記一対の基板の一つの主面に沿い前記第１方向を横切る第２方向に延在する複数の第２電極、
前記パネルの周辺に配置されて前記第２方向沿いに延在し且つ複数のプリント回路層からなる積層構造と該積層構造に対応する積層厚さを有し且つ第１クロック信号とこれより周波数の低い第２クロック信号とを伝送する第１のプリント基板と、
前記パネル周辺に前記第２方向に並設され、その各々は前記複数の第１電極の対応する少なくとも一に電圧を印加する電圧供給源と前記第１クロック信号に呼応して前記電圧供給源を制御する少なくとも一の制御ユニットとを夫々有する複数の第１駆動回路とを備え、
前記第１のプリント基板は前記積層構造の最上段にある前記複数のプリント回路層の第１層目に形成された前記第１駆動回路の各々との複数の電気的接点と該第１層目以外の該プリント回路層に夫々形成された前記第１クロック信号並びに前記第２クロック信号の夫々の伝送線とを有し且つ該第１クロック信号を前記複数の第１駆動回路の夫々に並列に供給し、
前記第１クロック信号の伝送線は前記複数のプリント回路層の前記積層厚さの中心より前記第１層目側に位置する一つの層に形成され、前記第２クロック信号の伝送線は前記複数のプリント回路層の前記第１クロック信号伝送線が形成された一つの層より前記第１層目から離間された他の一つの層に形成されたことを特徴とする液晶表示装置。

【請求項６】
前記複数の第１電極及び前記複数の第２電極は、前記一対の基板の一方のみの主面に対応して配列されていることを特徴とする請求項４又は請求項５に記載の液晶表示装置。
【請求項７】
液晶層が封入されるパネルを構成する一対の基板、
前記一対の基板の一つの主面に沿い第１方向に延在する複数の第１電極、
前記一対の基板の一つの主面に沿い前記第１方向を横切る第２方向に延在する複数の第２電極、
前記パネルの周辺に配置されて前記第２方向沿いに延在し且つ複数のプリント回路層からなる積層構造と該積層構造に対応する積層厚さを有し且つ第１クロック信号、該第１クロック信号より周波数の低い第２クロック信号、並びに画像信号を伝送するプリント基板と、
前記パネル周辺に前記第２方向に並設され、その各々は前記複数の第１電極の対応する少なくとも一に印加すべき画像信号を前記第１クロック信号に呼応して取り込む複数の第１駆動回路とを備え、
前記プリント基板は前記積層構造の最上段にある前記複数のプリント回路層の第１層目に形成された前記第１駆動回路の各々との複数の電気的接点を有し且つ前記第１クロック信号、前記第２クロック信号、並びに前記画像信号の夫々の伝送線を有し且つ該第１クロック信号を前記複数の第１駆動回路の夫々に並列に供給し、
前記第１クロック信号の伝送線は前記プリント基板の前記プリント回路層の前記第１層目に形成されて且つ前記複数の電気的接点の対応する一つに電気的に接続され、
前記複数の第１駆動回路の夫々に駆動電力を供給する駆動電圧線が前記プリント基板における前記第１クロック信号の伝送線が形成された前記プリント回路層の一つよりも前記第１層目から離れた別のプリント回路層に形成されていることを特徴とする液晶表示装置。
【請求項８】
前記複数の第１電極は前記一対の基板の一方の主面に対応して配列され、前記複数の第２電極は該一対の基板の他方の主面に対応して配列されていることを特徴とする請求項７に記載の液晶表示装置。
【請求項９】
前記積層厚さは、前記プリント基板の前記積層構造に含まれる前記複数のプリント回路層を前記第１層目から該積層構造の下面に向けて数えた層数Ｎとして規定され、前記第１クロック信号の伝送線は該複数のプリント回路層の該第１層目から（Ｎ／２）層目以内の一つに形成されていることを特徴とする請求項７に記載の液晶表示装置。
【請求項１０】
前記プリント基板は前記複数のプリント回路層の少なくとも６層からなる前記積層構造を有し、前記第１クロック信号の伝送線は該プリント回路層の第２層目及び第３層目の一つに形成されていることを特徴とする請求項９に記載の液晶表示装置。
【請求項１１】
前記積層厚さは、前記プリント基板の上面から底面に至る距離として規定されることを特徴とする請求項７に記載の液晶表示装置。
【請求項１２】
前記第１クロック信号の周波数は、１０ＭＨｚより高いことを特徴とする請求項７に記載の液晶表示装置。
【請求項１３】
前記第１クロック信号の周波数は、１５ＭＨｚ以上であることを特徴とする請求項７に記載の液晶表示装置。
【請求項１４】
前記第１駆動回路の各々の制御ユニットはその内部に順序論理回路を有し、
該順序論理回路は前記クロック信号に応じて該第１駆動回路に対応した前記第１電極の

それぞれへの電圧印加を制御するための制御信号を出力することを特徴とする請求項７に記載の液晶表示装置。

【請求項１５】

前記プリント基板は、前記第１クロック信号よりも周波数の高い第３のクロック信号を供給し、前記第３クロック信号の伝送線は前記複数のプリント回路層の前記第１クロック信号伝送線が形成された一つに該第１クロック信号の伝送線と離間されて配置されることを特徴とする請求項７に記載の液晶表示装置。

【請求項１６】

前記第１クロック信号の伝送線は前記複数のプリント回路層の前記第１層目以外の一つに形成され且つ該プリント回路層の該第１層目と該一つとの間に延びるスルーホールを通して前記電気的接点の一つに接続され、該プリント回路層の該一つにおいて該第１クロック信号の伝送線と該スルーホールとが接続される領域は導電材料膜で囲まれていることを特徴とする請求項７に記載の液晶表示装置。

【請求項１７】

前記画像信号の伝送線は、前記複数のプリント回路層の前記第１クロック信号伝送線が設けられた一つより前記第１層目から離れた他の一つに形成されていることを特徴とする請求項７に記載の液晶表示装置。

【請求項１８】

前記第１クロック信号の伝送線、前記第２クロック信号の伝送線、前記画像信号の伝送線、及び前記駆動電圧線の各々は、前記プリント基板において前記第２方向に延在されていることを特徴とする請求項７に記載の液晶表示装置。

【請求項１９】

前記複数のプリント回路層の前記第１層目には前記第１クロック信号の伝送線、前記第２クロック信号の伝送線、及び前記画像信号の伝送線のいずれにも電気的に接続されない導体層が形成され、該導体層は該複数のプリント回路層の該第１層目以外の一つに形成された該第１クロック信号の伝送線の上部に配置されていることを特徴とする請求項７に記載の液晶表示装置。

【請求項２０】

前記パネルはその内部に配置された複数のスイッチング素子を備え、前記複数の第１電極は夫々に対応する該スイッチング素子のスイッチングを制御することを特徴とする請求項４，５，７，１５及び１６のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、液晶表示装置に係り、特に各画素に画像駆動電圧を供給するセグメントドライブ回路に入力するクロック信号のカウントミスを防止して画面チラツキを解消した液晶表示装置に関する。

【０００２】

【従来の技術】

液晶表示装置には、少なくとも一方が透明な一対の基板（液晶表示基板）面に画素を構成する微細パターンの集合で構成した液晶パネルを具備した構造となっている。液晶表示装置には、液晶の動作方式によって二つの型がある。一つは所謂ＳＴＮ液晶材料を用いるパッシブマトリックス表示で上下一対のストライプ状電極の交差点で画素を形成し、もう一つはアクティブマトリクス表示で画素毎に薄膜トランジスタ等のスイッチング素子を設ける。

【０００３】

パッシブマトリックス方式では矩形画面を構成する基板の一方の平行辺を橋絡する方向に形成された第１の電極群（以下、セグメント電極群）を具備した第１の基板と、前記セグメント電極群と交差する方向に形成された第２の電極群（以下、コモン電極群）を具備した第２の基板との間に液晶組成物からなる液晶層を挟持した液晶パネルを構成する。また

、液晶パネルは第１の多層プリント基板と第２の多層プリント基板を有する。第１の多層プリント基板は、セグメント電極群に複数のセグメントドライブ回路（又はセグメントドライバ）を介して接続され且つ画素駆動電圧を印加し、各々のセグメントドライブ回路は複数のセグメント電極毎にテープキャリアパッド（又はＴＣＰ）に搭載される。第２の多層プリント基板は、複数のコモン電極群に複数のコモンドライブ回路（又はコモンドライバ）を介して接続され且つ共通電圧を印加し、各々のコモンドライブ回路は複数のコモン電極毎にＴＣＰに搭載される。

【０００４】

第２の多層プリント基板上には、駆動回路が搭載される。駆動回路は上記セグメント電極に、ホストコンピュータ側から入力されるラインクロック信号（ラインパルス、一般にＣＬ１）、画素クロック信号（画素パルス、一般にＣＬ２）、フレームクロック信号（フレームパルス、一般にＣＬ３）に基づいて画像データ電圧を印加する。

【０００５】

画素クロック信号ＣＬ２はホストコンピュータ側のコントローラから入力し、これをバッファ回路を介して所要のレベルでクロックラインに供給される。クロックラインは第２の多層プリント基板および第１の多層プリント基板に配線される。第１の多層プリント基板に配線されたクロックラインは、複数のセグメントドライバにパラレルに接続されている。セグメントドライバの各々はクロック信号をカウントして所定のカウント値に達した時点で画像データ電圧を所定の画素に印加する。

【０００６】

図１は液晶パネルとこの液晶パネルに配置された多層プリント基板を備えた従来の液晶表示装置を説明する模式図である。この液晶表示装置では、液晶パネル３の画面領域が上下に分割されており、これらは並列走査される。上側の画面領域ＡＲ１は液晶パネルをセグメント基板１ａに接続するＴＣＰ１５Ａ１～１５ＡＮに搭載された複数のセグメントドライバ１６Ａ１～１６ＡＮで駆動される。セグメント基板１ａは、パネルの上辺に設置された第１の多層プリント基板である。下側の画面領域ＡＲ２は液晶パネルをセグメント基板１ｂに接続するＴＣＰ１５Ｂ１～１５ＢＮに搭載された複数のセグメントドライバ１６Ｂ１～１６ＢＮで駆動される。セグメント基板１ｂは、パネルの下辺に設置された第１の多層プリント基板である。

【０００７】

第２の多層プリント基板である共通基板２には、コネクタ１１とバッファ回路１２及びロジック回路１３ａ，１３ｂが搭載されている。バッファ回路１２は、ホストコンピュータ側のコントローラからコネクタ１１に入力する画素クロック信号ＣＬ２を２系統のクロックラインに分離する。上記したように、上側の画面領域ＡＲ１は液晶パネルの上辺に設置された複数のセグメントドライバ１６Ａ１～１６ＡＮで駆動され、下側の画面領域ＡＲ２は液晶パネルの下辺に設置された複数のセグメントドライバ１６Ｂ１～１６ＢＮで駆動される。フレームクロック信号ＣＬ３は画面のスタートタイミングを規定する信号（垂直同期信号）、ラインクロック信号ＣＬ１は１水平走査のスタートタイミングを規定する信号（水平同期信号）であるが、ここではその具体的動作の説明は省略する。クロック信号ＣＬ１、画素クロック信号ＣＬ２、並びにフレーム信号クロックＣＬ３の信号線は通常第１の多層プリント基板及び第２の多層プリント基板の双方に配置され、これらのプリント基板の間でジョイナー１４により接続される。

【０００８】

図２は従来のセグメント側の多層プリント基板の構成を説明する模式図であって、（ａ）は要部斜視図、（ｂ）は（ａ）の２Ｂ－２Ｂ線断面図を示す。

【０００９】

第１の多層プリント基板であるセグメント基板１ａは図２（ａ）に示したように液晶パネル３の上辺に配置され、セグメントドライバ１６Ａ１，１６Ａ２等を搭載したＴＣＰ１５Ａ１，１５Ａ２等を介してパネルに接続されている。　なお、この種の液晶表示装置を開示したものとしては、例えば特開昭６０－７０６０１号公報、特公昭５１－１３６６６号

公報等を挙げることができる。

【００１０】

【発明が解決しようとする課題】

この種の多層プリント基板１ａは６～１０層の積層配線１７を有し、図２（ｂ）が示すように、一般的にはクロック信号配線はＴＣＰとは反対側（下層側）に敷設されている。ＴＣＰ（図ではＴＣＰ１５Ａ１）との半田接続部２０は、スルーホール１９を介して画素クロック配線１８と接続されている。特に高速なクロック信号である画素クロック信号ＣＬ２の配線１８を下層に敷設すると、このスルーホール１９の部分で容量成分（寄生容量）が生じ、反射が起こる。

【００１１】

図３はクロック配線の等価回路図を示し、図４は画素クロック信号ＣＬ２の波形図を示す。図３のC_{TCP} はＴＣＰ１５Ａ１等の入力容量を、C_Tはクロック配線の寄生容量を示す。バッファ回路１２からのクロック信号ＣＬ２はクロック配線を通して供給され、各ＴＣＰのセグメントドライバ１６Ａ１等でカウントされる。カウントが所定の値に達したとき、セグメントドライバの各々はデータを取込んでセグメント配線に画素電圧を印加する。

【００１２】

上記したクロック配線の寄生容量C_T があると、反射成分（－）が大きくなり、クロック信号ＣＬ２は図４にＲで示したような波形となる。セグメントドライバ１６Ａ１等のカウントを波形の立ち下りで行う場合、図のＲによる波形の変形がハイレベルＨとローレベルＬの閾値V_{TH}付近に生じるため、カウントミスが生じ、これが画面にチラツキ等の表示不良をもたらすという問題があった。

【００１３】

本発明の目的は、上記従来技術の問題点を解消し、画像にチラツキのない高品質の液晶表示装置を提供することにある。

【００１４】

【課題を解決するための手段】

上記目的を達成するため、本発明は、液晶駆動回路に供給する高速クロック信号の多層プリント基板での配線をＴＣＰを接続する面に近い層に配置する。これにより、当該クロック信号線とＴＣＰとの接続のためのスルーホールを寄生容量を小さくするに十分な短さとした。

【００１５】

パッシブマトリックス型の液晶表示装置において、本発明は下記の構成としたことを特徴とする。

【００１６】

（１）矩形画面を構成する一方の平行辺を橋絡する方向に形成された第１の電極群を具備した第１の基板と、前記電極群と交差する方向に形成された第２の電極群を具備した第２の基板との間に液晶層を挟持した液晶パネルと、

前記第１の電極群に画素駆動電圧を印加する如く配置した複数のセグメントドライブ回路を搭載したＴＣＰを介して接続した第１の多層プリント基板と、前記第２の電極群に共通電圧を印加する如く配置した複数のコモンドライブ回路を搭載したＴＣＰを介して接続するとともに外部から入力した画素クロック信号を前記セグメントドライブ回路に供給するためのバッファ回路等の駆動回路を搭載した第２の多層プリント基板を有する液晶表示装置において、

前記第１の多層プリント基板に配線する高速クロック信号配線を前記ＴＣＰの接続面側に近い層に位置させる。

【００１７】

（２）（１）における前記高速クロック信号配線を画素クロック信号配線とする。

【００１８】

上記（１）及び（２）の構成により、クロック信号配線とＴＣＰとを接続するスルーホールは短くなり、寄生容量及び反射ノイズが低減する。これにより表示画像にチラツキの無

い液晶表示装置が得られる。
【００１９】
画像クロック信号線に加え、本発明はラインクロック信号（ラインパルスＣＬ１）やフレームクロック信号（フレームパルスＣＬ３）のような他の配線にも同様に適用できる。
【００２０】
【発明の実施の形態】
パッシブマトリックス型液晶表示装置の概要
はじめに、本発明が摘要される液晶表示装置の一例について、その構成を詳細に述べる。以下の説明は、パッシブマトリックス型液晶表示装置に基づくものである。
【００２１】
図５は、本発明を適用する液晶表示装置の光学配置の説明図である。液晶層は上基板３０と下基板３１の間にセルギャップｄの間隔で封入され、上基板３０と下基板３１とで構成されるセルを挟むように一対の位相差フィルム３４と３５、および一対の偏光板３２と３３が配置されている。
【００２２】
上基板３０と下基板３１との界面には高分子膜の配向層が配置され、液晶層を構成する液晶分子のねじれ角θを規定するため、それぞれのラビング配向方向４０、４１が図示したように定められている。
【００２３】
図６は本発明を適用する液晶表示装置の光学配置における隣接ラビング方向と各構成材の光学軸の関係の説明図である。
【００２４】
図６に示したように、ラビング配向方向は液晶パネルの水平方向に左右対称となるように形成され、ねじれ角θは２３０度～２６０度とする。位相差フィルム３４、３５は、その光学軸４４、４５の方向が隣接するラビング方向４０、４１に対し４０度～９０度（好ましくは、７０度～９０度）の角度α、γとなるように配置される。偏向板３２、３３は、その偏光軸４２、４３の方向と隣接する位相差フィルム３４、３５の光学軸４４、４５の方向とがなす角度β、δが２０度～７０度（好ましくは、３０度～６０度）となるように配置する。
【００２５】
図７は本発明による液晶表示装置の構造例を説明する要部断面模式図であって、本発明をカラー液晶表示装置に適用したものである。
【００２６】
図７では、上基板３０側に遮光膜（ブラックマトリクス）３０ａで区画された複数のカラーフィルタ３０ｂを形成し、その上に平滑層３０ｃを成膜した後、一方の透明電極３０ｄ（例えば、セグメント電極）をパターニングして形成している。透明電極の上には保護膜３０ｅを、さらにその上に配向膜３６を形成してある。下基板３１の内面には他方の透明電極３１ａ（例えば、コモン電極）を形成し、その上に保護膜３１ｂを成膜した後、配向膜３７が形成されている。
【００２７】
図８は液晶パネルをバックライトと共に一体化して構成した液晶表示装置全体の概略断面図である。この液晶表示装置における液晶パネル５０はプリズムシートや拡散板等の光学フィルム５１を介してバックライト５２と積層される。これらの構成部材は中間フレーム５５で所定の関係で組立られ、これを上フレーム５３と下フレーム５４とで一体に固定される。
【００２８】
図９は本発明による液晶表示装置を組み込んだ電子機器の一例としてのラップトップパソコンの斜視図である。
【００２９】
このラップトップパソコンは本体部６０とモニター部６１とからなる。モニター部６１に

は本発明による液晶表示装置を実装し、その液晶パネル６２に画像を表示させるようにしている。参照番号６３は明るさボリウム、６４はコントラストボリウム、６５は表示装置と画像の反転スイッチを示す。

【００３０】

図８に示す断面は図９のモニター部６１の中心から水平方向に取った断面を示す。図８及び９が示すように、上述の多層プリント基板は、モニター部内に配置される。図８及び図９に基づき、上述のクロック信号ＣＬ１、ＣＬ２、及びＣＬ３をより明確に説明する。

【００３１】

液晶パネルは多層プリント基板１ａ、１ｂ、及び２と組み合わされて液晶ディスプレイモジュール（以下、ＬＣモジュールと略称する）を構成する。ＬＣモジュールに供給されるクロック信号の系統は、図１０のブロック図に示される。図１０は、画像精細度の規格におけるＳＶＧＡ級の液晶表示装置を示し、コモン電極３１ａ沿い（図１０に示される座標のｙ軸方向）に８００個の画素を、セグメント電極３０ｄ沿いに６００個の画素を有する。前者の画素の各々は、カラー画像表示のために３種類の要素（赤、緑、及び青の要素）を持つので、セグメント電極の数は２４００となる。これら３要素を持つ画素単位をハッチング領域ＰＩＸとして図１０に示す。

【００３２】

さらに、図１０に示すごとく画面領域は上半分ＡＲ１と下半分ＡＲ２に分けられ、各々の画面領域は２４００のセグメント電極と３００のコモン電極をそれぞれ有する。このため、上半分用のセグメントドライバ１６Ａと下半分用のセグメントドライバ１６Ｂの双方が、この場合において必要となる。図１０は、１６Ａ１～１６ＡＮのそれぞれのセグメントドライバを１６Ａに、１６Ｂ１～１６ＢＮのそれぞれのセグメントドライバを１６Ｂに纏めて簡略に示している。図１に示されたセグメントドライバ１６Ａ１～１６ＡＮ及び１６Ｂ１～１６ＢＮは、ブロック１６Ａ及び１６Ｂに一緒に入れている。ブロック図を簡略化するために、図１０は液晶表示装置の上半分に関与するクロック信号線ＣＬ１，ＣＬ２，ＣＬ３の系統のみ示すが、バッファ回路１２から出力されるこれらのクロック信号線やディスプレイ・リセット信号線ＤＩＳＰ（追って説明）は、画面領域の下半分に関与するセグメントドライバ１６Ｂ及びコモンドライバ２６の一部にも分配される。

【００３３】

この例では、ラインクロック信号ＣＬ１、画素クロック信号ＣＬ２、及びフレームクロック信号ＣＬ３がＬＣモジュール・コントローラＣtrl で発生されている。ＬＣモジュール・コントローラは、これらのクロック信号を例えば図９の本体部６０に搭載されるホストコンピュータＨＣＯＭから供給される別のクロック信号ＣＬＫを分周して発生する。

【００３４】

ＬＣモジュール・コントローラＣtrl はＬＣモジュールの設計に応じ、ＬＣモジュールに設置されることも、ＬＣモジュールから離して設置されることもある。ＬＣモジュールを破線で囲んで示す図１０の場合、ＬＣモジュール・コントローラＣtrl はＬＣモジュールから離して設けられている。従って、図１のコネクタ１１はＬＣモジュール・コントローラと信号線ＣＬ１，ＣＬ２，ＣＬ３，ＤＩＳＰ用のバッファ回路１２の間に配置される。バッファ回路１２は、これに関連する信号のパワーをセグメント又はコモンドライバーの動作に十分になるように増幅する。

【００３５】

ホストコンピュータＨＣＯＭは、画像信号（映像信号、画素信号とも呼ばれる）Ｄ１～Ｄ８もセグメントドライバ１６Ａに供給する。クロック信号とは対照的に、セグメントドライバ１６Ａに供給される画像信号とセグメントドライバ１６Ｂに供給されるそれとは互いに異なるが、上記したＣＬＫのようなクロック信号に対応してホストコンピュータで発生される。図１０には示していないが、画像信号をセグメントドライバ１６Ｂに供給する他の信号線がセグメントドライバ１６Ａへのそれと同じように設けられている。

【００３６】

セグメントドライバ１６Ａにおいて、８種類の画像信号Ｄ１、Ｄ２、Ｄ３、Ｄ４、Ｄ５、

Ｄ６、Ｄ７、及びＤ８が８個のドライバ・ユニット毎にそれぞれ供給されている。ドライバ・ユニットはセグメントドライバ１６Ａ内部に配置され、個々のセグメント電極に印加される電圧を制御する。図１０において、セグメントドライバ１６Ａ沿いに２４００個のセグメント電極が有るため、この内部には２４００個のドライバ・ユニットが配置されている。

【００３７】

図１に示される１０個のセグメントドライバ１６Ａ１～１６ＡＮ（ここでは、Ｎ＝１０）が図１０の上部画面領域に提供されることを想定すると、このセグメントドライバの各々は２４０個のドライバ・ユニットをその内部に持つことになる。一方、画像信号は図１０の８個の信号線で供給される。画像信号をＮ個の信号線で伝送することは「画像信号のＮビット伝送モード」と呼ばれる。従って、図１０は８ビットの画像信号伝送モードを例示する。この想定によれば、セグメントドライバ１６Ａの各々はこれに関連する２４０個のセグメント電極に８ビットの信号伝送線から画像信号を受けなければならない。このため、セグメントドライバは８つの信号を所定の期間で３０回取り込むことになる。

【００３８】

図１１は、図１のセグメントドライバ１６Ａ１～１６ＡＮの一つに基づく説明図である。図１１は特にセグメントドライバ１６Ａ２を例示するものであるが、これに関係する図の底部に示されたセグメント電極のアドレス番号を除けば他のセグメントドライバも同様な構成を有する。セグメントドライバの内部は破線で囲まれた領域として図１１に示される。この領域を通過する画像信号線Ｄ１～Ｄ８とセグメント電圧線V_{Y0}，V_{Y1}，V_{Y2}，並びにV_{Y2H}は多層プリント基板１ａに配置され、これらの線の信号又は電圧はテープキャリアパッド１５Ａ２を通してセグメントドライバ１６Ａ２に送られる。

【００３９】

図１１において、８ビットの画像信号はＬＴＡ－１～ＬＴＡ－３０と表示された第１ラッチ回路に順次取り込まれる。各画像信号線と第１ラッチ回路のそれぞれとをつなぐ矢印は上述のドライバ・ユニットに対応する。第１ラッチ回路による８ビット信号の各取り込みは、セグメントドライバ１６Ａ２内に配置されたシフトレジスタＳＲＴにより制御される。このシフトレジスタＳＲＴは、第１ラッチ回路ＬＴＡ－１～ＬＴＡ－３０に対応したフリップ－フロップ回路Ｆ／Ｆ－１～Ｆ／Ｆ－３０を有する。

【００４０】

フリップ－フロップ回路の各々は、例えば図１２に示されるような複数のＮＯＲ素子を組み合わせたネガティブ・エッジ・トリガーのＤフリップ－フロップを有し、シフトレジスタＳＲＴは複数のフリップ－フロップ回路のカスケード接続を有する。このフリップ－フロップ回路は、Ｄフリップ－フロップ以外のタイプに置換えてもよく、また複数のフリップ－フロップ回路のカスケード接続はカウンタやこれとデコーダとの組み合わせに置換えてもよい。このようなシフトレジスタＳＲＴに好適な順序論理回路は、例えばR.H.Katz著「Contemporary Logic Design 」（The Benjamin/Cummings Publishing Company Inc. 発行）295 ～301 頁及び330 ～356 頁に開示されている。

【００４１】

図１１のフリップ－フロップＦ／Ｆ－１～Ｆ／Ｆ－３０の各々を図１２のＤフリップ－フロップと想定すると、セグメントドライバ１６Ａ１からイネーブル信号線ＥＮＡ１を経てきたハイ状態（”１”論理）のイネーブル信号がフリップ－フロップ回路Ｆ／Ｆ－１の端子Ｅｎ(In)に入り、そして画素クロック信号ＣＬ２がハイ状態からロウ状態（”０”論理）に遷移した結果、フリップ－フロップ回路Ｆ／Ｆ－１の出力Ｅｎ(Out) はハイ状態の信号を供給する。同時に、その反転出力／ＥＮ(Out) はロウ状態の信号を供給する。第１ラッチ回路ＬＴＡ－１がこれに対応するフリップ－フロップ回路Ｆ／Ｆ－１の出力Ｅｎ(On)のハイ状態信号に応じて画像信号を取り込むと想定すると、この時点で第１ラッチ回路ＬＴＡ－１のこれに対応するセグメント電極Y_{241}～Y_{248}への画像信号取込みが可能となり、その他の第１ラッチ回路ＬＴＡ－２～ＬＴＡ－３０については不可能となる。端子Ｅｎ(Out) からのハイ状態信号の出力の後、フリップ－フロップ回路Ｆ／Ｆ－１は次のハイ

状態のイネーブル信号がその入力端子Ｅｎ(In)に来るまで、その出力端子Ｅｎ(Out) からハイ状態信号を供給することはない。この第１フリップ－フロップ回路Ｆ／Ｆ－１が第１ラッチ回路ＬＴＡ－１に次のハイ状態出力を第１ラッチ回路ＬＴＡ－１に供給するまで、その信号取り込みも止められる。

【００４２】

図１１において、フリップ－フロップ回路Ｆ／Ｆ－１の端子Ｅｎ（Ｏｕｔ）からのハイ状態信号は、その次段のフリップ－フロップ回路Ｆ／Ｆ－２の端子Ｅｎ(In)に入る。そして、画素クロック信号の次のハイからロウへの遷移が生じることにより、フリップ－フロップ回路Ｆ／Ｆ－２はその端子Ｅｎ(Out）からハイ状態信号をこれに対応する第１ラッチ回路ＬＴＡ－２に供給する。この時点で、第１ラッチ回路ＬＴＡ－２のこれに対応するセグメント電極Y_{249}～Y_{256}への画像信号取込みが可能となり、その他の第１ラッチ回路については不可能となる。

【００４３】

このような順序を繰り返すことにより、セグメントドライバ１６Ａ２において、画素クロック信号ＣＬ２のハイからロウへの遷移に応じ、ＬＴＡ－１からＬＴＡ－３０に至る第１ラッチ回路による画像信号取り込みが順次行われる。フリップ－フロップ回路Ｆ／Ｆ－３０からのハイ状態信号出力は、別のイネーブル線ＥＮＡ２を経て、次のセグメントドライバ１６Ａ３に送られ、そのフリップ－フロップ回路Ｆ／Ｆ－１に入る。他のセグメントドライバ１６Ａ１並びに１６Ａ３～１６Ａ１０もセグメントドライバ１６Ａ２とほぼ同様な回路を有するため、信号線Ｄ１～Ｄ８により供給される画像信号は、セグメントドライバ１６Ａ１のＬＴＡ－１からセグメントドライバ１６Ａ１０のＬＴＡ－３０に至るそれぞれの第１ラッチ回路により、ｙ軸方向に沿って８個のセグメント電極毎に順次（換言すれば、時分割的に）取り込まれる。これらの画像信号は、その取り込み時刻に関係なく、それぞれの第１ラッチ回路のドライバ・ユニットに貯められる。Y_{2393}～Y_{2400}への最後の信号取り込みが終了した後、ラインクロック信号ＣＬ１はハイ状態からロウ状態に遷移する。このラインクロック信号ＣＬ１のハイからロウへの遷移は、図１１の第２ラッチ回路ＬＴＢをターン・オンし、貯められていたすべてのセグメント電極Y_{0001}～Y_{2400}への画像信号をレベル・シフタＬＳＴに供給する。レベル・シフタＬＳＴは、これらの映像信号を、その次段に設けられたセグメント電圧源ＳＶＳを動作させるに足るように増幅する。最後に、セグメント電圧源ＳＶＳは、セグメント電圧線から供給されるV_{Y0}，V_{Y1}，V_{Y2}，及びV_{Y2H}の一を、セグメント電極Y_{0001}～Y_{2400}の電圧として、それぞれに対応するレベル・シフタからの信号出力に応じて選択し、各々の選択された電圧を個々のセグメント電極に印加する。

【００４４】

上述のセグメント電極に対する画像信号取込みと電圧印加の順序は、液晶表示装置全体の動作として、図１３に示す信号波形により更に説明される。図１３において、上側の５波形の時間軸（横軸）は下側の３波形のそれに対して引き延ばされている。図１３が示すように、クロック信号ＣＬ１，ＣＬ２，及びＣＬ３の各々は所定の周期でその状態をハイ（Ｈ）とロウ（Ｌ）の間で変える波形を有する。このため、各々のクロック信号は、例えば、その連続するハイからロウへの遷移時刻の間隔で規定される周波数を有する。通常、これらの３つの周波数ｆ１、ｆ２、並びにｆ３の中で、画素クロック信号ＣＬ２の周波数ｆ２が最も高く、フレームクロック信号ＣＬ３の周波数ｆ３が最も低い。

【００４５】

一方、画像信号Ｄ１～Ｄ８の各々は複数の画素情報に応じたパターンを有する。図１３は、Ｄ１～Ｄ３及びＤ８のそれぞれの波形を示すが、この他の画像信号も同様な波形を有する。画像信号Ｄ１～Ｄ８の各々の波形はＣＬ２の波形に応じた六角形の連なりとして示される。この連なりは、所定周期において画像信号がハイ状態又はロウ状態のいずれかを取り得る可能性を意味するものである。このため、例えば信号Ｄ１において、セグメント電極Y_{0001}、Y_{0009}、及びY_{0017}の画像信号がハイ状態であり、セグメント電極Y_{0025}の画像信号がロウ状態であるとき、時刻t_1からＣＬ２の最初の３パルスに対応する画像信号

Ｄ１はハイ状態に留まる。

【００４６】

全てのセグメント電極Y_{0001}～Y_{2400}に対する画像信号取込みは、t_1からt_3までの期間内に完了する。実際には、セグメントドライバ１６Ａの第１ラッチ回路ＬＴＡは、これに対応するセグメント電極への信号を時刻t_2において既に貯めている。時刻t_2において、ＣＬ１へのクロック信号も、第２ラッチ回路ＬＴＢに第１ラッチ回路ＬＴＡからセグメント電圧源ＳＶＳへの信号伝達を行わさせるよう、ハイ状態からロウ状態へ遷移する。そして、第１ラッチ回路に貯められた画像信号のそれぞれに応じた全ての電圧が、これらに対応するそれぞれのセグメント電極に印加される。これと同時に、所定の電圧がコモン電極X_{001}に印加される。セグメント電極Y_{0001}～Y_{2400}の各々とコモン電極X_{001}の電位差に応じて、画面領域ＡＲ１のコモン電極X_{001}に対応する部分に画像が現れる。時刻t_3の後、コモン電極X_{002}に対応した画像信号取込みの一巡が始まる。画像信号取込みとコモン電極への電圧印加のタイミングを調整するため、信号Ｄ１～Ｄ３並びにＤ８、及びコモンドライバ制御ＣＯＭ－Ｄｒの波形には、画像表示に直接寄与しないダミー期間が設けられている。

【００４７】

以上に説明したように、画像信号取りこみはコモン電極の数だけ繰り返され、そして画面領域ＡＲ１全体の表示が完成される。各々のコモン電極に対する画像信号取りこみの順序は「走査」と呼ばれ、コモン電極に印加されるような電圧は「走査電圧」とも呼ばれる。ラインクロック信号ＣＬ１は、セグメント電極への電圧分配と似た態様で、コモン電極X_{001}～X_{300}の各々に電圧を分配する。

【００４８】

図１４は、コモンドライバ２６の概要を示す。クロック信号ＣＬ１が交流化信号発生源ＡＣＳを制御する第１論理回路に入った後、シフトレジスタＳＲＴ－１～ＳＲＣ－１５の各々に分配される。これらのシフトレジスタは、セグメントドライバのそれぞれにあるシフトレジスタに似ているが、イネーブル信号を双方向に伝送できるこれらの機能において異なる。これらのシフトレジスタＳＲＴ－１～ＳＲＴ－１５からレベルシフタＬＳＣを経てコモン電圧供給源ＣＶＳに至る信号の流れは、シフトレジスタ向け以外のクロック信号で動作するラッチ回路がシフトレジスタＳＲＣとレベルシフタＬＳＣとの間に配置されていないことを除き、セグメントドライバのそれと類似する。このため、シフトレジスタの一のドライバ・ユニットがこれに対応するコモン電極への信号を出力するやいなや、所定の電圧がこのコモン電極に印加される。上述のような態様でコモン電圧がそれぞれのコモン電極X_{001}～X_{300}に印加されため、コモン電圧印加時刻は相互に異なる。

【００４９】

一方、フレームクロック信号ＣＬ３は全画像表示に対応したパルスを有し、そのパルスは全画像表示の順序において最初に電圧が印加されるコモン電極X_{001}に対応したクロック信号ＣＬ1 のパルスの期間に現れる。このため、クロック信号ＣＬ３は「ファースト・ライン・マーカ」とも呼ばれる。

【００５０】

フレームクロック信号ＣＬ３のパルスに応じ、上述のセグメントドライバ１５Ａ１は、画素クロック信号ＣＬ２の最初のハイからロウへの遷移に呼応して、最初のセグメント電極Y_{0001}～Y_{0008}にへの画像信号取りこみを始め、ラインクロック信号ＣＬ１の最初のハイからロウへの遷移はセグメント電極Y_{0001}～Y_{2400}及びコモン電極X_{001}に電圧を印加する。

【００５１】

このため、液晶表示装置の表示動作は、ある意味では、これらＣＬ１、ＣＬ２、及びＣＬ３の３つのクロック信号のタイミングに密に依存するといえる。ここに例示した液晶表示装置においては、第１の多層プリント基板１ａ，１ｂ及び第２の多層プリント基板２の双方ともセグメント又はコモンドライバへのこれら３つのクロック信号の信号線を有している。これら３つの信号線は、多層プリント基板の信号線からセグメントまたはコモンドラ

イバをその上に搭載したテープキャリアパッドに供給されている。

【００５２】

図１５(a) 及び図１５(b) は、図２(a) 及び図２(b) の第１の多層プリント基板１ａ（部分的）とテープキャリアパッド１５Ａ１の接続部分の拡大像を示す。図１５(a) は第１の多層プリント基板の上部の配線層（「ＴＣＰ接続面」と呼ばれる）の平面図であり、複数の端子２０ａがその上に配置されている。これら端子２０ａの各々は、テープキャリアパッド１５Ａ１に形成された端子２０ｂの一つに半田又は異方性導電フィルムで接続されている。多層プリント基板１ａ内のそれぞれの配線層から供給される信号又は電圧は、リード２５を通過し、図１５(b) のセグメントドライバ１６Ａ１に入る。端子２０ａの殆どは、スルーホール１９で終端される導電層８１ｃを有する。イネーブル信号のみ、この層上に設けられた固有の信号線８１ａにより他のセグメントドライバに伝送される。接地電位用（ＧＮＤ）と利用されていない（ＮＣ）端子は、ｙ方向に途切れている導電層８１ｂに接続されている。この導電層８１ｂは、第１多層プリント基板に配置された他の信号線への／からの電磁気干渉（ＥＭＩ）を防ぐために形成されている。ＥＭＩを考慮し、クロック信号線は多層プリント基板のＴＣＰ接続面とは反対側寄りに配置され、この間に複数の配線層をシールド層として積層する。

【００５３】

図１５が示すように、多層プリント基板１ａ中にはクロック信号ＣＬ１，ＣＬ２，ＣＬ３以外にも多くの種類の線が配置されている。本例の多層プリント基板における他の配線は、次のように分類される。

【００５４】

グループ１：画質制御線　Ｗ１，Ｗ２；
グループ２：イネーブル信号線　ＥＮＡ１，ＥＮＡ２；
グループ３：ディスプレイ・リセット信号線　ＤＩＳＰ；
グループ４：ドライバ電圧線　V_{CC}、セグメント電圧線　V_{Y0}，V_{Y1}，V_{Y2}，V_{Y2H}、接地電位線　ＧＮＤ。

【００５５】

クロック信号ＣＬ１，ＣＬ２，ＣＬ３と比較すると、グループ４の線はその用途においてクロック信号の線と全く異なる。グループ４の各々の配線はいかなる信号をも伝送するものでなく、液晶表示パネル又はその駆動回路に電力を供給するものである。このため、その電流に周辺の回路からのＥＭＩで偶発的に交流成分が重畳されたとしても、グループ４の配線の電位は安定とみなされる。接地電位は電位の一つとみなされるため、接地電位線ＧＮＤもグループ４に含まれる。図１４のブロック図において、コモン電圧V_M，V_L，及びV_Hもこのグループに属する。

【００５６】

グループ３のディスプレイ・リセット信号ＤＩＳＰは信号であるが、図１３のt_1とt_2との間で規定されるセグメントドライバによる画像信号取込み中にその状態を変えるものではない。このため、この期間においてディスプレイ・リセット信号線ＤＩＳＰの電位は安定とみなされる。このディスプレイ・リセット信号のような特徴を有する信号は、グループ３に分類される配線により伝送される。

【００５７】

上述のように、イネーブル信号はその状態（ハイ又はロウ）を画像信号取込みに応じて変化させるが、その変化はセグメントドライバの配列に沿って局所的に生じる。これは、画素クロック信号ＣＬ２がセグメントドライバに並列に分配されるのに対し、イネーブル信号線ＥＮＡ１，ＥＮＡ２がこれらセグメントドライバ（正確にいえば、そのシフトレジスタ又はその類似物）を直列に接続せねばならないためである。このため、複数のセグメントドライバを多層プリント基板の延伸方向（ｙ）に配置し且つイネーブル信号線のそれぞれを直列に接続する場合において、この延伸方向に沿ったイネーブル信号線全体の電位は上述の３つのクロック信号に比べて実質的に安定とみなせる。グループ２の配線は、クロック信号との信号経路の相違により実質的に安定とみなしえる信号を伝送するものである

。シフトレジスタＳＲＴのような順序論理回路における役割からみれば、それの特異な回路要素としてイネーブル信号は示されるが、その動作はイネーブル信号よりもむしろ画素クロック信号ＣＬ２により支配的に決められる。

【００５８】

画質制御線Ｗ１，Ｗ２は、図１において画素クロック信号ＣＬ２を受けた論理制御回路１３で発生された信号を伝送する。このため、この信号は、その状態をクロック信号に対応して変化させ得る。しかし、図１１が示すごとく、画質制御信号Ｗ１，Ｗ２はシフトレジスタ（順次論理としての）に供給されるのではなく、セグメント電圧源ＳＶＳにその動作条件を調整するように供給される。グループ１として分類される信号線は、画像信号取込みに寄与しない画質制御信号のような信号を伝送するものである。交流化信号発生源ＡＣＳからの交流化信号Ｍも、グループ１の配線により伝送される。

【００５９】

交流化信号Ｍはセグメント電極とコモン電極との間のバイアス方向を調整するものであって、走査信号取込みに寄与するものではない。

【００６０】

［液晶表示装置における改良］

本発明者は、図４を参照して先述した信号波形の劣化が、順序論理回路の動作に深刻な影響をもたらすことを発見した。クロック信号ＣＬ１，ＣＬ２，ＣＬ３の矩形波に図４の波形を当ててみると、図４の波形変形が論理回路のタイミング制御において、ミスカウンティングの問題を起こすことは明らかである。ミスカウンティングに関する先述の説明はネガティブ・エッジ・トリガーの論理回路に基づくが、図４の波形からして、この問題はポジティブ・エッジ・トリガーの論理回路（クロック信号のロウからハイへの遷移によりカウンティング動作が調整される）においても生じる。先述の説明では、第１の多層プリント基板１ａと寄生容量と画素クロック信号ＣＬ２との関係について論じたが、このような寄生容量は第２の多層プリント基板２にも現われ、画素クロック信号以外の信号においても当該信号が回路動作のタイミングを支配的に制御する限りにおいては画素クロック信号ＣＬ２と同様な問題を抱え得る。

【００６１】

図１の液晶表示装置の場合、セグメントドライバ１６Ａ１から１６ＡＮの全てをモノリシックに集積するか、これらを一緒にパッケージに纏めて、クロック信号の供給部分を一つにする。クロック信号を駆動回路に供給するコンタクトホールの数を減らすことにより、寄生容量はクロック信号の波形変形を十分に抑制できる値に低減できる。しかし、液晶ディスプレイパネルの寸法を考慮すると、前者の方法では１０ｃｍ以上に延びる半導体チップを作製することが要請される。従って、この方法は現在の技術から見て現実的ではない。後者の方法は実現し得るものであるが、この駆動回路を液晶ディスプレイパネルの周縁に実装する工程が難しい。

【００６２】

従って、本発明者は、それ自体で上述の波形変形を起こす多層プリント基板の構造について考察した。本発明者の考察によるクロック信号線ＣＬ２沿いの寄生容量を抑制するに好ましき一つの構成を、図１６(a) 及び１６(b) に示す。図１６(b) は図１６(a) の１６Ｂ－１６Ｂの断面像を示す。

【００６３】

図１６(b) において、クロック信号ＣＬ２は、多層プリント基板１ａのＴＣＰ接続面に配置され且つｙ方向に延びる配線層８１ａ（ＣＬ２）を通して伝送される。先述の説明により、クロック信号ＣＬ２は他のクロック信号ＣＬ１，ＣＬ３に対して優先される。

【００６４】

この構成では、配線層８１ａ（ＣＬ２）は、接地電位の配線層８１ａ（ＧＮＤ）及び導電層８１ｂ（ＧＮＤ）により囲まれている。図１６(b) が示すように、接地電位の他の配線８２ａ（ＧＮＤ）が配線層８１ａ（ＣＬ２）の下側に配置されている。付加的なスルーホール１９ｓは、配線層８１ａ（ＧＮＤ）と他の配線層８２ａ（ＧＮＤ）とを接続すること

により、配線層８１ａ（ＧＮＤ）の電位を安定に保つ。クロック信号ＣＬ２の配線層を接地電位層で囲むことにより、配線層８１ａ（ＣＬ２）の周囲の電位を安定化し、また、この配線層から／への電磁気干渉（ＥＭＩ）を低減する。このような目的のため、配線層８１ａ（ＣＬ２）を囲む層は、上述のグループ１乃至４のいずれかの層から選ばれ、特にグループ４のものが推奨される。

【００６５】

図１６(a) の多層プリント基板の断面は、６段となっている。配線層８１ａ（ＣＬ２）を含む１段目は、ガラス－エポキシ基板７２を覆うフィルム７１の上に形成され、スルーホールを有する。ガラス－エポキシ基板７１は、１段目の層を十分に固定できるだけの堅さを有する。クロック信号ＣＬ１及びＣＬ３の配線層を含む２段目の層はガラス－エポキシ基板７２の上面に形成され、この基板の下面に３段目の層が形成される。画像信号Ｄｎの配線層を含む４段目の層は、別のガラス－エポキシ基板７４の上面に形成され、この基板の下面に５段目の層が形成される。さらに、ガラス－エポキシ基板７４の下面には別のフィルム７５が形成され、このフィルム７５の下面に６段目の層が形成される。ガラス－エポキシ基板７２の下面と別のガラス－エポキシ基板７４の上面はエポキシ樹脂が浸透したガラス繊維で貼り付けられている。３段目と４段目の間の領域７３のエポキシ樹脂を固くすることで、多層プリント基板１ａは完成する。ガラス－エポキシ樹脂基板７２，７４の間に追加のガラス－エポキシ樹脂を挿入することで、段数は増加できる。フィルム７１の上面及びフィルム７５の下面には、端子２０ａを除きソルダレジスト層９０がある。

【００６６】

図１６(a) 及び１６(b) において、個々の導電層の模様は、これが属するグループに応じて変えられる。クロック信号線ＣＬ１，ＣＬ２，ＣＬ３用の各導電層は、共通の模様を持つ。画像信号線Ｄ１～Ｄ８用の各導電層は、別の共通の模様を持つ。他の導電層の各々は、接地電位線ＧＮＤを除き、先述の４つのグループに分類された模様を持つ。これらの表示は、本明細書の他の図面でも用いられる。

【００６７】

現在の製品において、液晶表示装置の枠幅を抑えることが主なファクタの一つとなっている。このため、多層プリント基板の幅Ｌｘはできるだけ狭くせねばならない。

【００６８】

このような要請を上述のクロック信号の波形変形なく満たすべく、本発明者は別の構造を考えた。この構造の概要は、図１７から図１９を参照して以下に説明される。

【００６９】

図１７は本発明の１実施例を説明する液晶表示装置のセグメント側多層プリント基板の構成を説明する前記図２（ｂ）と同様の断面図である。

【００７０】

前記図２（ｂ）と同様に、第１の多層プリント基板であるセグメント１ａは、液晶パネル３の上辺に配置され、セグメントドライバ１６Ａ１等を搭載したＴＣＰ１５Ａ１等を介して接続されている。

【００７１】

この実施例では、多層プリント基板１ａに敷設されている画素クロック信号ＣＬ２の配線１８は最上層に配線されている。そしてこの画素クロック信号配線１８とＴＣＰ１５Ａ１の半田接続部２０とは短いスルーホール１９を介して接続されている。したがって、スルーホール１９による寄生容量は無視できる程度となる。

【００７２】

図１８は図１７の実施例におけるクロック配線の等価回路図であり、図１９は同じくその画素クロック信号ＣＬ２の波形図である。

【００７３】

図１８ではクロック配線の寄生容量C_Tは殆ど無視できる大きさであるため、それによる反射性分（－）は極めて小さくなり、容量成分はＴＣＰの入力容量C_{TCP}のみとなる。従って、図１９に示したように、画素クロック信号ＣＬ２の波形に前記図４のＲで示したよ

うな変形が生じず、セグメントドライバ１６Ａ－１等は閾値V_{TH}で正しくクロックをカウントできる。

【００７４】

「補足」

図１７に基づく多層プリント基板の一つを、図２０(a) 乃至２０(c) 及び図２１(a) 乃至２１(c) を参照して詳細に説明する。この多層プリント基板は、図１６のそれのようにｚ軸方向に６層を積層してなる。図２０(a) は１段目（ＴＣＰ接続面）を、図２０(b) は２段目を、図２０(c) は３段目を、図２１(a) は４段目を、図２１(b) は５段目を、図２０(b) は６段目をそれぞれ示す。参照番号８１ａは信号伝送又は電力供給に用いられる導電層を、８１ｂは８１ａの用途以外に用いられる導電層を、８１ｃは端子２０ａとスルーホール１９との間のリードをそれぞれ規定する。参照番号は、２番目の最初の段を８２、６段目を８６という具合に、段数によっても変えられている。図２０(a) の２２－２２に沿った断面は図２２に示される。

【００７５】

図２０(b) が示すように、画素クロック信号ＣＬ２及びラインクロック信号ＣＬ１を伝送する配線層８２ａは２段目に配置されている。一方、フレームクロック信号ＣＬ３は、３段目に配置されている。このため、クロック信号線ＣＬ１，ＣＬ２，ＣＬ３の各々は、３段目と４段目との間にある積層構造の中心に比較して１段目（ＴＣＰ接続面）の近くに配置されている。このレイアウトは、クロック信号ＣＬ１，ＣＬ２，ＣＬ３の各々が１０ＭＨｚ以上、とりわけ１５ＭＨｚ以上の周波数を有する場合に推奨される。クロック信号の周波数が十分小さいときは、上述のミスカウンティング問題は回路設計によっても解決される。しかし、クロック信号の周波数が１０ＭＨｚまで、またはこれより高くなるとミスカウンティングを解消するための回路設計が、このような高い周波数を有するクロック信号で達成され得る液晶表示装置の高速特性を劣化させる。このことから、十分に低いクロック信号を伝送するクロック信号線については、積層構造の中心に対してＴＣＰ接続面から遠い段に配置してもよい。通常、積層構造の中心は、その段数の平均値として規定されるが、ＴＣＰ接続面からこれより最も離れ且つ導電層を有する段までの積層構造に応じた積層厚さの半分の値で規定してもよい。

【００７６】

その他の改良は、以下のとおりである。以下の記載におけるクロック信号線は、ミスカウンティング問題の観点から他のクロック信号線より優先されるものとして規定される。

【００７７】

（１）クロック信号線をグループ２，３，及び４から選ばれる配線で囲み、寄生容量の発生確率を更に低減する。偶発的な波形変形は、クロック信号線の回り、特にそのスルーホールの回りの他の導電層における電圧変動でもある。スルーホールはクロック信号線の層で終端されるとよく、またその終点部の投影１９ｐ（太線で示す）はグループ２，３，及び４から選ばれる配線に対抗するようにするとよい。これにより、これらの配線はクロック信号線から電圧変動の影響を遠ざける。クロック信号線を囲む配線の少なくとも一が、グループ４に属するのが好ましく、これらの配線全てがグループ４に属すればなおよい。クロック信号線回りの電圧変動を防ぐにあたり、そのスルーホールを図２０(a) 乃至２０(c) 及び図２１(a) 乃至２１(c) にｙ方向に延びる点線間で囲まれた領域２０ｃとして示した端子領域又はこれの他段への投影から離すことが推奨される。図２０(b) が示すように、優先度に応じ、ＣＬ２のスルーホールを端子領域（図２０(a) の２０ｃ）を２段目に投影した領域２０ｃの反対側に配置し、ＣＬ１のスルーホールを領域２０ｃに近づけながらも、これからやや離して配置する。

【００７８】

（２）図２０及び２０が示すように、クロック信号線を他のクロック信号線から、段に沿い又段を隔てるスペースで離し、クロック信号線間の電磁気干渉に誘発される寄生容量を抑制する。好ましくは、クロック信号線を、これと同様な短い周期で電圧変化を起こし得る画像信号線のような信号線からも離すことが望ましい。このため、図２１(a) 及び２１

(b) に示されるごとく、画像信号線、さらにはグループ１の配線をクロック信号が配置されている段よりも下側の段に配置することが推奨される。図２０(a) 及び２０(b) においてクロック信号ＣＬ２のスルーホールは画質制御信号線Ｗ１のそれに隣接しているが、これらの間に少なくとも一の配線グループ２，３，又は４のスルーホールを入れることが推奨される。

【００７９】

（３）クロック信号線とそのスルーホールとの間のリード長さをできるだけ短くし、このリード沿いの寄生容量の発生確率を低減する。図２３は図２０(b) に基づく説明図である。図２３が示すように、優先すべきクロック信号線（ここでは、ＣＬ２）以外の少なくとも一の信号線を配置する場合、このリード長さＬｈ２を他の信号線（ここでは、ＣＬ１）のそれＬｈ１より短くすることが推奨される。

【００８０】

以上の説明は、セグメントドライバ側で使用される多層プリント基板に基づくものであるが、コモンドライバ側の多層プリント基板に用いる場合、クロック信号ＣＬ１は他のクロック信号よりも優先されねばならない。クロック信号ＣＬ２は通常コモンドライバ側の多層プリント基板を通過してセグメントドライバ側のそれに行く。このため、クロック信号ＣＬ２に応じて動作する論理回路が無い場合、そのコモンドライバ側の多層プリント基板における波形変形は、これの配線レイアウトに反映する必要が無くなる。

【００８１】

図２４は本発明の１実施例の液晶表示装置の駆動回路回りを説明する要部平面図である。図２４では、第２の多層プリント基板（コモンドライブ基板ともいう）２は液晶パネルの左辺に設置されており、ホストコンピュータからの画素クロック信号ＣＬ２はコネクタ１１からバッファ１２に入力する。

【００８２】

バッファ１２では、ホスト側から入力した画素クロック信号ＣＬを所要のレベルとして画素クロック配線に供給する。画素クロック配線は第２の多層プリント基板２からジョイナー１４で第１の多層プリント基板１ａのクロック配線に接続され、第１の多層プリント基板１ａに前記図１７で説明したクロック配線で各セグメントドライバ１６Ａ１等に供給される。

【００８３】

この実施例の構成により、画素クロック配線とＴＣＰを接続するスルーホールが短くなり、寄生容量が低減されて容量性の反射ノイズが殆ど無視できるものとなる。そのため、表示画像にちらつきが発生することが無く、高品質の画像表示を得ることが可能となる。

【００８４】

なお、本発明は上記したパッシブマトリクス型の液晶表示装置に限るものではなく、アクティブマトリクス型等の各種液晶表示装置にも同様に適用できる。

【００８５】

パッシブマトリックス型の駆動回路及びその周辺回路は、例えば、S.Matsumoto 著「液晶ディスプレイ技術－アクティブマトリクスＬＣＤ」（産業図書）７３～８２頁及び１２６～１３０頁に開示されている。これに開示されるように、パッシブマトリクス型の液晶表示装置においても画素データの取込みと所望の薄膜トランジスタ群へのゲート電圧の走査に論理回路が要請される。現在のパッシブマトリクス型液晶表示装置の構造によれば、上述のように構造のみならず機能においても、その画素データドライバの構造はセグメントドライバに、その走査ドライバはコモンドライバに類似する。

【００８６】

従って、上記したセグメントドライバの多層プリント基板の積層構造は、わずかな変更を以ってデータ線ドライバ回路（ドレイン線ドライバ回路、映像信号ドライバ回路とも呼ばれる）側においても利用できる。この変更において、液晶表示装置とコンピュータ又はテレビジョン・チューナとの間のインタフェースにおいて発生したアナログ又はディジタルの映像信号は、上述の説明における画像信号とみなすとよい。データ線ドライバに供給さ

れる複数の階調電圧もアクティブマトリックス型に特徴的である。これらの電圧配線は、上述のグループ４に属する。

【００８７】

本発明は、液晶表示装置の駆動形式に関わらず有効であり、また図９に示されるコンピュータのような電気機器にも有効である。このラップトップパソコンでは、従来のようなクロック信号のカウントミスに起因する表示画像のチラツキのない高品質の画像表示を得ることができる。

【００８８】

【発明の効果】

以上説明したように、本発明によれば、セグメントドライバのカウントミスが起こり難くなり、画像にちらつきの無い高品質の液晶表示装置を提供することができる。

【図面の簡単な説明】

【図１】図１は液晶パネルとこの液晶パネルに配置された多層プリント基板を備えた従来の液晶表示装置を説明する模式図である。

【図２】図２（ａ）及び図２（ｂ）は従来のセグメント側の多層プリント基板とその２Ｂ－２Ｂの断面を示す模式図である。

【図３】図３はクロック配線の等価回路図である。

【図４】図４は画素クロック信号ＣＬ２の波形図である。

【図５】図５は本発明が適用される液晶表示装置の光学配置を示す説明図である。

【図６】図６は本発明を適用する液晶表示装置の光学配置における隣接ラビング方向と構成要素の光学軸の関係を示す説明図である。

【図７】図７は本発明が適用される液晶表示装置の構造例を示す要部断面構造図である。

【図８】図８は液晶パネルをバックライトと共に一体化してなる液晶表示装置全体の概略断面図である。

【図９】図９は本発明による液晶表示装置を組み込んだ電子機器の一例としてのラップトップパーソナルコンピュータの斜視図である。

【図１０】図１０は液晶モジュール周辺における信号流れの系統のブロック図である。

【図１１】図１１はセグメントドライバにおける信号流れのブロック図である。

【図１２】図１２はセグメントドライバのシフトレジスタに用いられるＤフリップ－フロップである。

【図１３】図１３はクロック信号と画像信号の波形図である。

【図１４】図１４はコモンドライバにおける信号流れの系統のブロック図である。

【図１５】図１５（ａ）は多層プリント基板のＴＣＰ接続面の拡大図であり、図１５（ｂ）は図１５（ａ）のＴＣＰ接続面上の端子に対応する端子を有するＴＣＰの拡大図である。

【図１６】図１６（ａ）及び１６（ｂ）はクロック信号ＣＬ２の波形変形を抑止するに好適な多層プリント基板の一つであり、図１６（ｂ）は図１６（ａ）の１６Ｂ－１６Ｂ断面を示す。

【図１７】図１７は本発明の一実施例の液晶表示装置におけるセグメント側の多層プリント基板の構成を示す図２（ｂ）に類似する断面図である。

【図１８】図１８は図１７の実施例におけるクロック配線の等価回路図である。

【図１９】図１９は図１７の実施例における画素クロック信号ＣＬ２の波形図である。

【図２０】図２０（ａ）乃至２０（ｃ）は図１７の実施例に基づいた６段の（プリント回路層からなる）積層構造の平面図であり、１段目（ＴＣＰ接続面を有する）から３段目までこの順に示される。

【図２１】図２１（ａ）乃至２１（ｃ）は図２０（ａ）等と同じ積層構造の平面図であり、４段目から６段目までこの順に示される。

【図２２】図２２は図２０（ａ）の積層構造の２２－２２に沿った断面を示す。

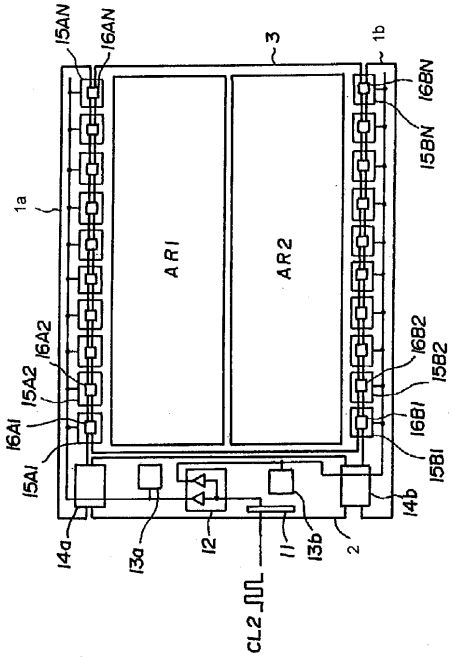
【図２３】図２３は図２１（ｂ）に基づく説明図である。

【図２４】図２４は本発明の液晶表示装置の駆動回路並びにその関連回路を示す要部平面

図である。

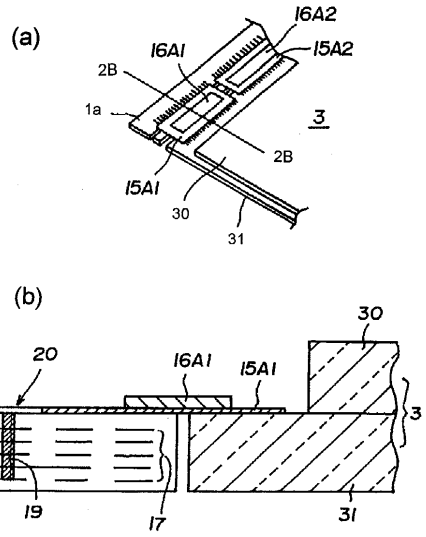
【図１】

図１



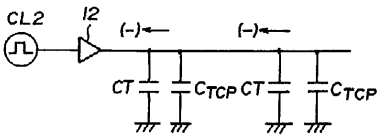
【図２】

図２



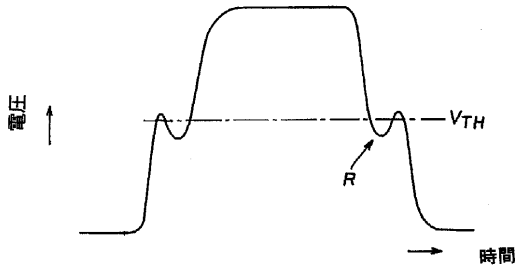
【図３】

図３



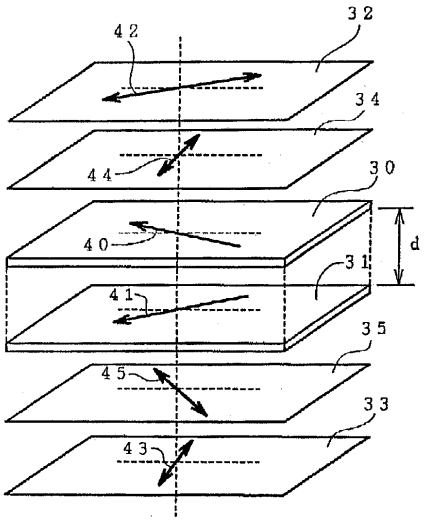
【図４】

図４



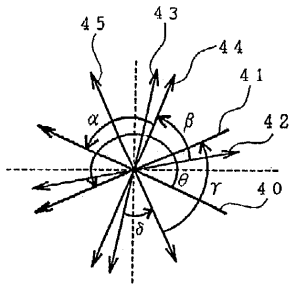
【図５】

図５



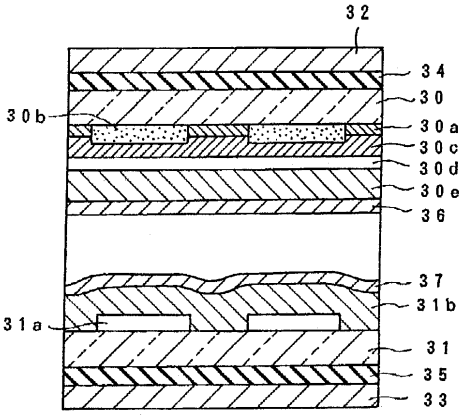
【図６】

図６



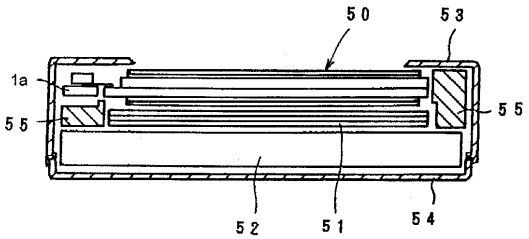
【図７】

図７



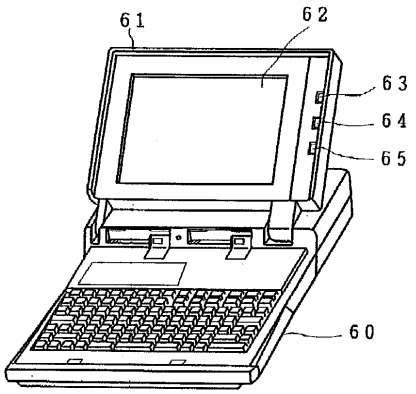
【図８】

図８



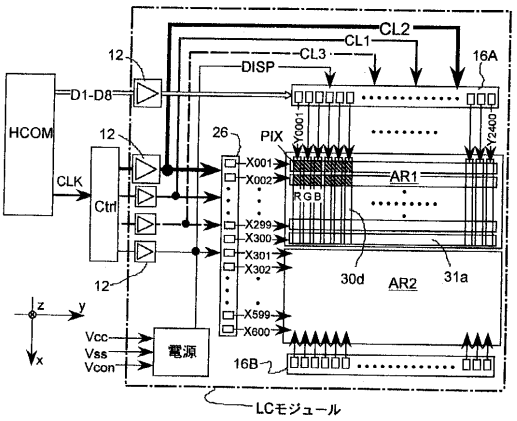
【図９】

図９



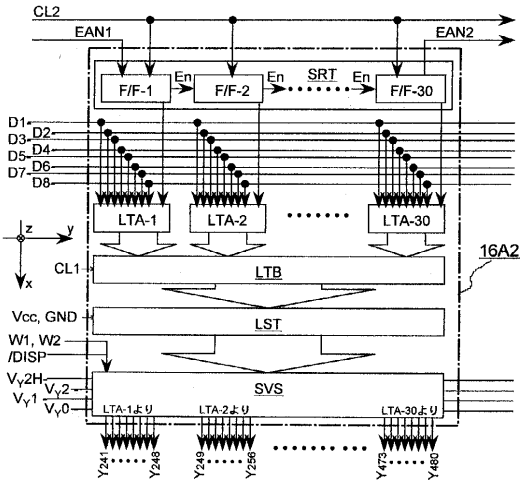
【図１０】

図１０



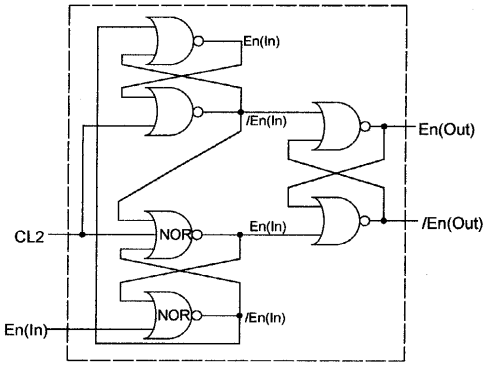
【図１１】

図１１



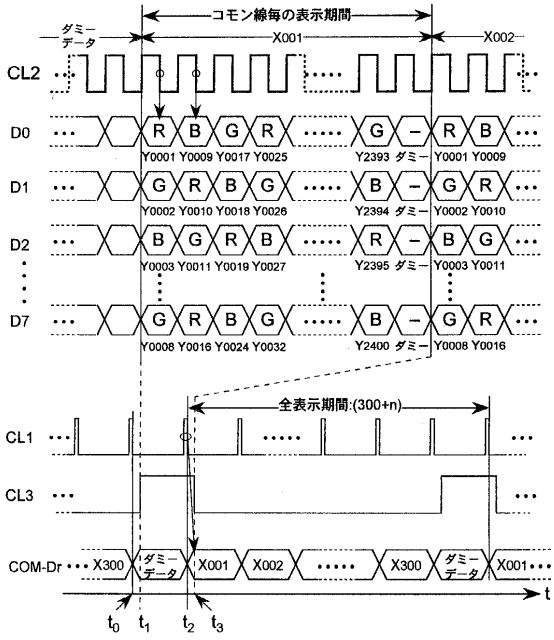
【図１２】

図１２



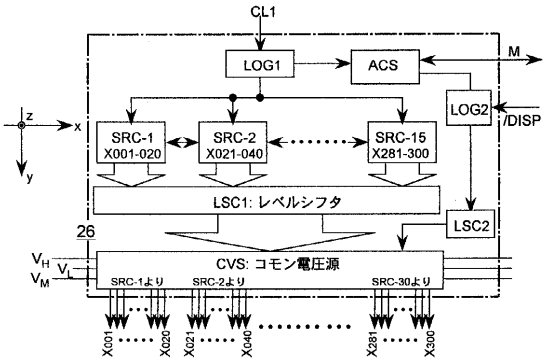
【図１３】

図１３



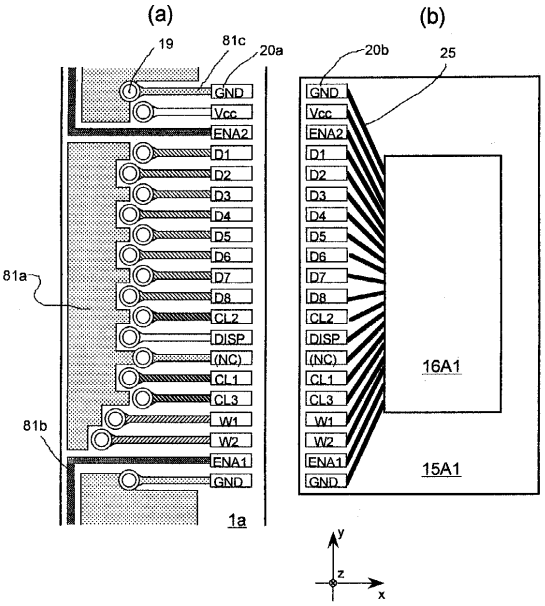
【図１４】

図１４



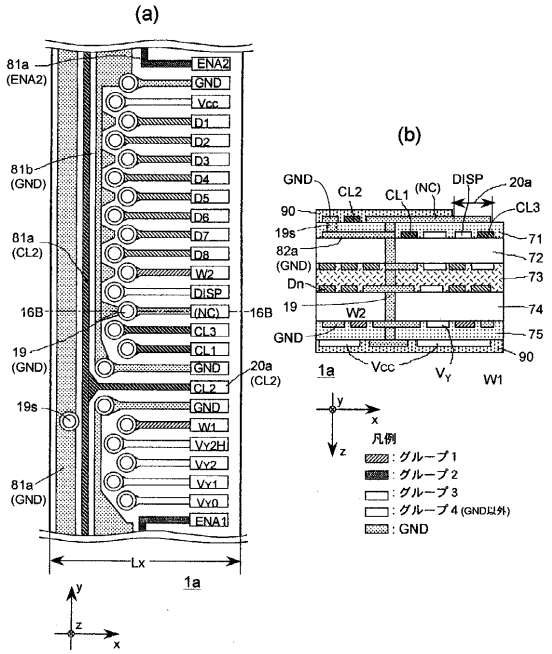
【図１５】

図１５



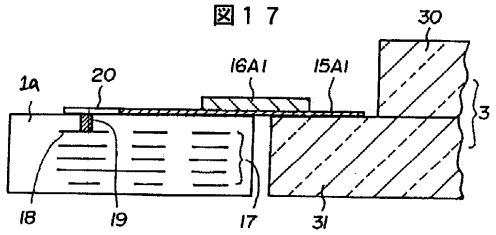
【図１６】

図１６



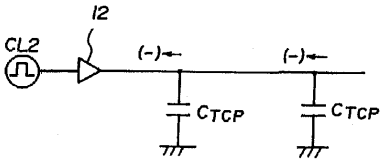
【図１７】

図１７



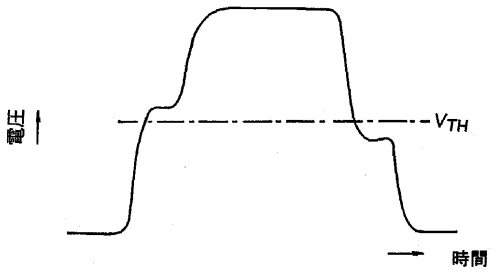
【図１８】

図１８



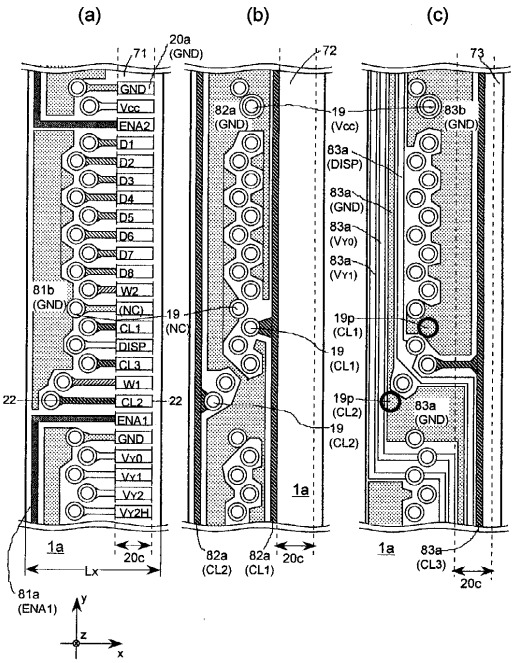
【図１９】

図１９



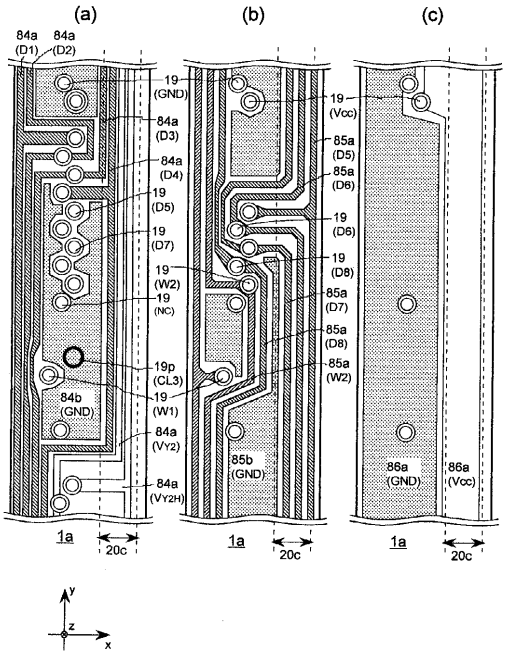
【図２０】

図２０



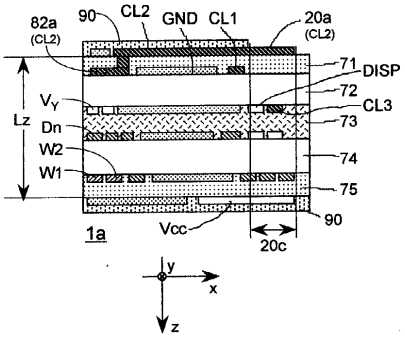
【図２１】

図２１



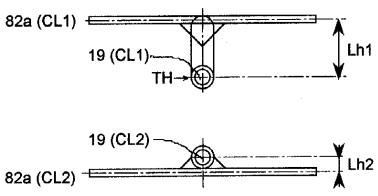
【図２２】

図２２



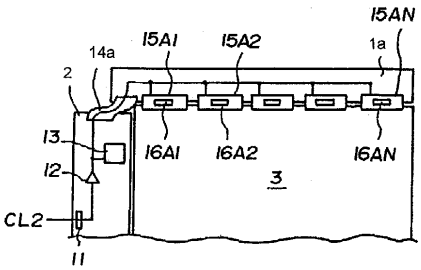
【図２３】

図２３



【図２４】

図２４



フロントページの続き

(72)発明者　高橋　洋之
千葉県茂原市早野３３００番地　株式会社　日立製作所電子デバイス事業部内

審査官　右田　昌士

(56)参考文献　特開平０９－１３８３８９（ＪＰ，Ａ）
特開平０７－２２１４６１（ＪＰ，Ａ）
特開平１０－２０７３９８（ＪＰ，Ａ）
特開昭６３－６９２５８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G02F　1/1345
G02F　1/1343
G09F　9/00　,346
H05K　1/00
H05K　1/02
H05K　3/46