

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7588937号  
(P7588937)

(45)発行日 令和6年11月25日(2024.11.25)

(24)登録日 令和6年11月15日(2024.11.15)

|            |                |         |       |       |
|------------|----------------|---------|-------|-------|
| (51)国際特許分類 | F I            |         |       |       |
| H 0 3 F    | 1/52 (2006.01) | H 0 3 F | 1/52  | 2 1 0 |
| H 0 3 F    | 3/217(2006.01) | H 0 3 F | 3/217 | 1 3 0 |
| H 0 3 F    | 3/68 (2006.01) | H 0 3 F | 3/68  | 2 1 0 |
| H 0 3 F    | 3/393(2006.01) | H 0 3 F | 3/393 |       |

請求項の数 5 (全19頁)

|          |                             |          |                       |
|----------|-----------------------------|----------|-----------------------|
| (21)出願番号 | 特願2020-209599(P2020-209599) | (73)特許権者 | 000191238             |
| (22)出願日  | 令和2年12月17日(2020.12.17)      |          | 日清紡マイクロデバイス株式会社       |
| (65)公開番号 | 特開2022-96475(P2022-96475A)  |          | 東京都中央区日本橋横山町 3 - 1 0  |
| (43)公開日  | 令和4年6月29日(2022.6.29)        | (74)代理人  | 100099818             |
| 審査請求日    | 令和5年11月10日(2023.11.10)      |          | 弁理士 安孫子 勉             |
|          |                             | (72)発明者  | 遠藤 康之                 |
|          |                             |          | 埼玉県ふじみ野市福岡二丁目 1 番 1 号 |
|          |                             |          | 新日本無線株式会社川越製作所内       |
|          |                             | (72)発明者  | 深瀬 亘                  |
|          |                             |          | 埼玉県ふじみ野市福岡二丁目 1 番 1 号 |
|          |                             |          | 新日本無線株式会社川越製作所内       |
|          |                             | 審査官      | 及川 尚人                 |

最終頁に続く

(54)【発明の名称】 電力増幅器

(57)【特許請求の範囲】

【請求項 1】

正相入力信号を増幅する正相信号増幅部と、逆相入力信号を増幅する逆相信号増幅部とを有し、前記正相信号増幅部の出力と前記逆相信号増幅部の出力が B T L 接続で負荷に供給可能に構成されると共に、前記正相信号増幅部における第 1 の電流値を超える過電流の発生と、前記逆相信号増幅部における第 1 の電流値を超える過電流の発生とを、それぞれ検出可能に構成された過電流検出部とを有してなる電力増幅器であって、

前記過電流検出部は、前記正相信号増幅部と前記逆相信号増幅部における同時天絡の発生、又は、前記正相信号増幅部と前記逆相信号増幅部における同時地絡の発生により、前記正相信号増幅部と前記逆相信号増幅部のそれぞれにおける第 2 の電流値を超える過電流の発生を検出可能に構成されると共に、前記第 1 の電流値を超える過電流、又は、前記第 2 の電流値を超える過電流のいずれかが検出された場合に、前記正相信号増幅部及び前記逆相信号増幅部に対して統合過電流検出信号を出力し、

前記正相信号増幅部及び前記逆相信号増幅部は、前記統合過電流検出信号が出力された際に、それぞれ動作停止可能に構成されてなり、

前記正相信号増幅部は、正相パワートランジスタドライブ回路と、正相第 1 及び第 2 のパワートランジスタと、正相第 1 及び第 2 のモントランジスタとを有し、P チャンネル M O S F E T の前記正相第 1 のパワートランジスタと、N チャンネル M O S F E T の前記正相第 2 のパワートランジスタは、ドレインが相互に接続され、前記正相第 1 のパワートランジスタのソースには電源電圧が印可可能とされ、前記正相第 2 のパワートランジスタの

ソースはグラウンドに接続され、

前記正相第 1 及び第 2 のパワートランジスタは、外部から正相入力信号が入力される前記正相パワートランジスタドライブ回路のドライブ信号が、前記正相第 1 及び第 2 のパワートランジスタの各々のゲートに入力されることで駆動可能とされ、

P チャンネル MOS FET の前記正相第 1 のモニタトランジスタと N チャンネル MOS FET の前記正相第 2 のモニタトランジスタは、ドレインが相互に接続されると共に、前記正相第 1 及び第 2 のパワートランジスタのドレイン相互の接続点及び前記負荷の一端が接続される正相出力端子に接続され、

前記正相第 1 のモニタトランジスタのソースは、正相第 1 の検出抵抗器を介して前記電源電圧が印加可能とされ、

10

前記正相第 2 のモニタトランジスタのソースは、正相第 2 の検出抵抗器を介してグラウンドに接続され、

前記逆相信号増幅部は、逆相パワートランジスタドライブ回路と、逆相第 1 及び第 2 のパワートランジスタと、逆相第 1 及び第 2 のモニタトランジスタとを有し、P チャンネル MOS FET の前記逆相第 1 のパワートランジスタと、N チャンネル MOS FET の前記逆相第 2 のパワートランジスタは、ドレインが相互に接続され、前記逆相第 1 のパワートランジスタのソースには前記電源電圧が印可可能とされ、前記逆相第 2 のパワートランジスタのソースはグラウンドに接続され、

前記逆相第 1 及び第 2 のパワートランジスタは、外部から逆相入力信号が入力される前記逆相パワートランジスタドライブ回路のドライブ信号が、前記逆相第 1 及び第 2 のパワートランジスタの各々のゲートに入力されることで駆動可能とされ、

20

P チャンネル MOS FET の前記逆相第 1 のモニタトランジスタと N チャンネル MOS FET の前記逆相第 2 のモニタトランジスタは、ドレインが相互に接続されると共に、前記逆相第 1 及び第 2 のパワートランジスタのドレイン相互の接続点及び前記負荷の他端が接続される逆相出力端子に接続され、

前記正相出力端子と前記逆相出力端子の間には、前記負荷が接続され、

前記逆相第 1 のモニタトランジスタのソースは、逆相第 1 の検出抵抗器を介して前記電源電圧が印加可能とされ、

前記逆相第 2 のモニタトランジスタのソースは、逆相第 2 の検出抵抗器を介してグラウンドに接続され、

30

前記過電流検出部は、正相第 1 基準第 1 及び第 2 の過電流検出回路と、逆相第 1 基準第 1 及び第 2 の過電流検出回路と、正相第 2 基準第 1 及び第 2 の過電流検出回路と、逆相第 2 基準第 1 及び第 2 の過電流検出回路とを有し、

前記正相第 1 のモニタトランジスタのソースと前記正相第 1 の検出抵抗器との接続点は、前記正相第 1 基準第 1 の過電流検出回路及び前記正相第 2 基準第 1 の過電流検出回路の入力段に接続され、

前記正相第 2 のモニタトランジスタのソースと前記正相第 2 の検出抵抗器との接続点は、前記正相第 1 基準第 2 の過電流検出回路及び前記正相第 2 基準第 2 の過電流検出回路の入力段に接続され、

前記逆相第 1 のモニタトランジスタのソースと前記逆相第 1 の検出抵抗器との接続点は、前記逆相第 1 基準第 1 の過電流検出回路及び前記逆相第 2 基準第 1 の過電流検出回路の入力段に接続され、

40

前記逆相第 2 のモニタトランジスタのソースと前記逆相第 2 の検出抵抗器との接続点は、前記逆相第 1 基準第 2 の過電流検出回路及び前記逆相第 2 基準第 2 の過電流検出回路の入力段に接続され、

前記正相出力端子と逆相出力端子における同時地絡の発生により、前記正相第 1 のモニタトランジスタにより検出された前記正相第 1 のパワートランジスタの電流が、前記正相第 2 基準第 1 の過電流検出回路によって前記第 2 の電流値を超える過電流と判定され、前記逆相第 1 のモニタトランジスタにより検出された前記逆相第 1 のパワートランジスタの電流が、前記逆相第 2 基準第 1 の過電流検出回路によって前記第 2 の電流値を超える過電流

50

と判定された場合に、前記過電流検出部による前記正相信号増幅部及び前記逆相信号増幅部に対する前記統合過電流検出信号が出力され、

前記正相出力端子と逆相出力端子における同時天絡の発生により、前記正相第2のモニタトランジスタにより検出された前記正相第2のパワートランジスタの電流が、前記正相第2基準第2の過電流検出回路によって前記第2の電流値を超える過電流と判定され、前記逆相第2のモニタトランジスタにより検出された前記逆相第2のパワートランジスタの電流が、前記逆相第2基準第2の過電流検出回路によって前記第2の電流値を超える過電流と判定された場合に、前記過電流検出部による前記正相信号増幅部及び前記逆相信号増幅部に対する前記統合過電流検出信号が出力されるよう構成されてなることを特徴とする電力増幅器。

10

【請求項2】

前記第2の電流値は、前記第1の電流値よりも小さいことを特徴とする請求項1記載の電力増幅器。

【請求項3】

前記正相入力信号及び前記逆相入力信号がアナログオーディオ信号である場合に、それぞれ、パルス幅変調を施して前記アナログオーディオ信号の信号レベルに応じてハイレベルとローレベルのパルス信号に変換し、前記パルス幅変調が施された前記正相入力信号を第1のパルス幅変調信号として前記正相信号増幅部へ入力すると共に、前記パルス幅変調が施された前記逆相入力信号を第2のパルス幅変調信号として、前記逆相信号増幅部へ入力し、前記負荷において前記第1のパルス幅変調信号と前記第2のパルス幅変調信号の差分に応じたハイレベル、ゼロ、マイナスハイレベルの3値パルス幅変調信号の生成を可能とたことを特徴とする請求項2記載の電力増幅器。

20

【請求項4】

前記正相信号増幅部と前記負荷との間に第1のLCフィルタが、前記逆相信号増幅部と前記負荷との間に第2のLCフィルタが、それぞれ設けられ、

前記過電流検出部は、前記正相信号増幅部と前記逆相信号増幅部における同時天絡の発生により第2の電流値を超える過電流の発生が検出された際に、論理値Highに相当する同時天絡過電流検出信号を生成すると共に、当該同時天絡過電流検出信号を前記第1のパルス幅変調信号及び第2のパルス幅変調信号の1周期分保持する第1のDフリップフロップが設けられる一方、

30

前記正相信号増幅部と前記逆相信号増幅部における同時地絡の発生により第2の電流値を超える過電流の発生が検出された際に、論理値Highに相当する同時地絡過電流検出信号を生成すると共に、当該同時地絡過電流検出信号を前記パルス幅変調信号の1周期分保持する第2のDフリップフロップが設けられ、

前記第1又は第2のDフリップフロップからの論理値Highに相当する出力信号を第1のカウント周期の間、計数後に論理値Highに相当する同時過電流検出信号として出力するカウンタ回路が設けられ、前記カウンタ回路が前記同時過電流検出信号を出力した場合に、前記統合過電流検出信号を出力可能に構成されてなることを特徴とする請求項3記載の電力増幅器。

【請求項5】

前記第1のカウント周期は、前記LCフィルタの共振周期よりも大であることを特徴とする請求項4記載の電力増幅器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力増幅器に係り、特に、半導体上に出力段がBTL(Bridged Trans Less)接続を用いて構成されてなる電力増幅器における出力同時天絡、同時地絡時の過電流に対する安全対策費用削減、回路の安全性、信頼性の向上等を図ったものに関する。

【背景技術】

【0002】

50

オーディオパワーアンプは、 $8\ \Omega$ 、 $4\ \Omega$ などの重負荷のスピーカを駆動するため、サイズの大きいパワートランジスタを用いて入力信号を電力増幅するのが一般的である。そのようなパワートランジスタを用いた電力増幅器の出力端子が、天絡、又は、地絡した場合、大電流による焼損の危険性が高いため過電流検出回路を内蔵するのが一般的である。

係る過電流検出回路は、例えば、特許文献 1 に開示されたようにパワートランジスタの電流をモニターする方法等が知られており、さらに、過電流検出回路の検出精度向上や電力損失の低減を図った構成が特許文献 2 等において開示されている。

#### 【 0 0 0 3 】

図 6 には、このような従来の電力増幅器の一回路構成例が示されており、以下、同図を参照しつつ、この従来回路について説明する。

10

この電力増幅器は、正相入力信号  $I_{NP}$  と逆相入力信号  $I_{NN}$  とが、それぞれ基本的に同一構成の増幅回路により増幅されて、 $BTL$  接続された負荷  $R_L$  を駆動可能に構成されてなるものである。

すなわち、正相入力信号  $I_{NP}$  は、第 1 のドライブ回路  $PDR1$  を介してプッシュプル接続された 2 つのパワートランジスタ  $Q1$ 、 $Q2$  により増幅され、その正相増幅出力  $O_{UTP}$  は負荷  $R_L$  の一端に印加される構成となっている。

また、逆相入力信号  $I_{NN}$  は、第 2 のドライブ回路  $PDR2$  を介してプッシュプル接続された 2 つのパワートランジスタ  $Q3$ 、 $Q4$  により増幅され、その逆相増幅出力  $O_{UTN}$  は負荷  $R_L$  の他端に印加される構成となっている。

#### 【 0 0 0 4 】

20

また、パワートランジスタ  $Q1$ 、 $Q2$  に流れる電流は、検出用トランジスタ  $Qd1$ 、 $Qd2$  によりモニターされ、所定の第 1 の電流値を超えた場合に第 1 及び第 2 の検出回路  $DET1$ 、 $DET2$  から過電流検出信号が出力されるようになっている。

同様に、パワートランジスタ  $Q3$ 、 $Q4$  に流れる電流は、検出用トランジスタ  $Qd3$ 、 $Qd4$  によりモニターされ、所定の第 1 の電流値を超えた場合に第 3 及び第 4 の検出回路  $DET3$ 、 $DET4$  から過電流の検出信号が出力されるようになっている。

#### 【 0 0 0 5 】

第 1 乃至第 4 の検出回路  $DET1 \sim DET4$  からの検出信号は、論理和回路  $OR$  を介して過電流検出信号  $OCD E T$  として、第 1 及び第 2 のドライブ回路  $PDR1$ 、 $PDR2$  へ入力され、動作停止信号として機能するようになっている。すなわち、第 1 乃至第 4 の検出回路  $DET1 \sim DET4$  のいずれからの検出信号に対応して論理和回路  $OR$  を介して過電流検出信号  $OCD E T$  が出力され、第 1 及び第 2 のドライブ回路  $PDR1$ 、 $PDR2$  に入力されると、第 1 及び第 2 のドライブ回路  $PDR1$ 、 $PDR2$  は動作停止し、パワートランジスタ  $Q1 \sim Q4$  が駆動停止されるようになっている。

30

#### 【 0 0 0 6 】

ここで、第 1 乃至第 4 の検出回路  $DET1 \sim DET4$  が検出信号  $OCD E T$  を出力する基準となる第 1 の電流値は、アプリケーションの最大電流よりも大きな値に設定され、アプリケーションの最大電流  $I_{outmax}$  は、下記する式 1 により算出される。

#### 【 0 0 0 7 】

$$I_{outmax} = (P_{outmax} / R_L)^{1/2} \times 2^{1/2} \dots \text{式 1}$$

40

#### 【 0 0 0 8 】

なお、ここで、 $P_{outmax}$  は電力増幅器の最大出力電力、 $R_L$  は負荷抵抗値とする。

例えば、負荷抵抗値  $R_L = 4\ \Omega$ 、最大出力電力  $P_{outmax} = 8\ W$  の電力増幅器の場合、アプリケーションの最大電流は  $2\ A$  と算出される。したがって、この場合、第 1 の電流値は  $2\ A$  を超える適宜な値、例えば、 $2.5\ A$  などに設定される。

上述のようにして第 1 の電流値が決定された後、この電流値においてボンディングワイヤの溶断が生じないようにボンディングワイヤの本数が決定されることとなる。

例えば、図 7 に模式的に示されたように、上述のような過電流に対処するために、半導体  $IC$  パッケージ  $PAC$  に搭載された  $IC$  チップ  $IC-CH$  においては、電源電圧用ボンディングパッド  $VDD\_PAD$  やグランド用ボンディングパッド  $VSS\_PAD$  を増設して、

50

半導体ＩＣパッケージＰＡＣの外周近傍に設けられた電源電圧用接続ピンＶＤＤ　ＰＩＮやグランド用接続ピンＶＳＳ　ＰＩＮと、対応するボンディングパッドとを接続するボンディングワイヤを増設することで、ボンディングワイヤー本あたりに流れる電流を減らす対策が採られる。

【先行技術文献】

【特許文献】

【０００９】

【文献】特開２００２－１７１１４０号公報

【文献】特開平０１－２５７２７０号公報

【発明の概要】

10

【発明が解決しようとする課題】

【００１０】

ここで、正相増幅出力ＯＵＴＰ、逆相増幅出力ＯＵＴＮが同時天絡、同時地絡する場合について考える。同時天絡、同時地絡が発生した場合、先の第１の電流値の２倍が電源端子ＶＤＤ、又は、グランド端子ＶＳＳに流れる虞がある。そのため、このような場合にも、ボンディングワイヤが溶断しないようにするためには、電源端子ＶＤＤ、及び、グランド端子ＶＳＳには、ボンディングワイヤのさらなる増設、強化が必要となる。

そのため、ボンディングワイヤの本数増加とボンディングパッド数の増加による製品原価の高騰を招くという問題がある。

【００１１】

20

本発明は、上記実状に鑑みてなされたもので、ボンディングワイヤの本数増加やボンディングパッド数の増加を招くことなく、同時天絡、同時短絡時の過電流に対する回路の安全確保、信頼性の向上可能な電力増幅器を提供するものである。

【課題を解決するための手段】

【００１２】

上記本発明の目的を達成するため、本発明に係る電力増幅器は、

正相入力信号を増幅する正相信号増幅部と、逆相入力信号を増幅する逆相信号増幅部とを有し、前記正相信号増幅部の出力と前記逆相信号増幅部の出力がＢＴＬ接続で負荷に供給可能に構成されると共に、前記正相信号増幅部における第１の電流値を超える過電流の発生と、前記逆相信号増幅部における第１の電流値を超える過電流の発生とを、それぞれ検出可能に構成された過電流検出部とを有してなる電力増幅器であって、

30

前記過電流検出部は、前記正相信号増幅部と前記逆相信号増幅部における同時天絡の発生、又は、前記正相信号増幅部と前記逆相信号増幅部における同時地絡の発生により、前記正相信号増幅部と前記逆相信号増幅部のそれぞれにおける第２の電流値を超える過電流の発生を検出可能に構成されると共に、前記第１の電流値を超える過電流、又は、前記第２の電流値を超える過電流のいずれかが検出された場合に、前記正相信号増幅部及び前記逆相信号増幅部に対して統合過電流検出信号を出力し、

前記正相信号増幅部及び前記逆相信号増幅部は、前記統合過電流検出信号が出力された際に、それぞれ動作停止可能に構成されてなり、

前記正相信号増幅部は、正相パワートランジスタドライブ回路と、正相第１及び第２のパワートランジスタと、正相第１及び第２のモニタランジスタとを有し、ＰチャンネルＭＯＳＦＥＴの前記正相第１のパワートランジスタと、ＮチャンネルＭＯＳＦＥＴの前記正相第２のパワートランジスタは、ドレインが相互に接続され、前記正相第１のパワートランジスタのソースには電源電圧が印可可能とされ、前記正相第２のパワートランジスタのソースはグランドに接続され、

40

前記正相第１及び第２のパワートランジスタは、外部から正相入力信号が入力される前記正相パワートランジスタドライブ回路のドライブ信号が、前記正相第１及び第２のパワートランジスタの各々のゲートに入力されることで駆動可能とされ、

ＰチャンネルＭＯＳＦＥＴの前記正相第１のモニタランジスタとＮチャンネルＭＯＳＦＥＴの前記正相第２のモニタランジスタは、ドレインが相互に接続されると共に、前記

50

正相第 1 及び第 2 のパワートランジスタのドレイン相互の接続点及び前記負荷の一端が接続される正相出力端子に接続され、

前記正相第 1 のモニタトランジスタのソースは、正相第 1 の検出抵抗器を介して前記電源電圧が印加可能とされ、

前記正相第 2 のモニタトランジスタのソースは、正相第 2 の検出抵抗器を介してグラウンドに接続され、

前記逆相信号増幅部は、逆相パワートランジスタドライブ回路と、逆相第 1 及び第 2 のパワートランジスタと、逆相第 1 及び第 2 のモニタトランジスタとを有し、P チャンネル MOS FET の前記逆相第 1 のパワートランジスタと、N チャンネル MOS FET の前記逆相第 2 のパワートランジスタは、ドレインが相互に接続され、前記逆相第 1 のパワートランジスタのソースには前記電源電圧が印可可能とされ、前記逆相第 2 のパワートランジスタのソースはグラウンドに接続され、

10

前記逆相第 1 及び第 2 のパワートランジスタは、外部から逆相入力信号が入力される前記逆相パワートランジスタドライブ回路のドライブ信号が、前記逆相第 1 及び第 2 のパワートランジスタの各々のゲートに入力されることで駆動可能とされ、

P チャンネル MOS FET の前記逆相第 1 のモニタトランジスタと N チャンネル MOS FET の前記逆相第 2 のモニタトランジスタは、ドレインが相互に接続されると共に、前記逆相第 1 及び第 2 のパワートランジスタのドレイン相互の接続点及び前記負荷の他端が接続される逆相出力端子に接続され、

前記正相出力端子と前記逆相出力端子の間には、前記負荷が接続され、

20

前記逆相第 1 のモニタトランジスタのソースは、逆相第 1 の検出抵抗器を介して前記電源電圧が印加可能とされ、

前記逆相第 2 のモニタトランジスタのソースは、逆相第 2 の検出抵抗器を介してグラウンドに接続され、

前記過電流検出部は、正相第 1 基準第 1 及び第 2 の過電流検出回路と、逆相第 1 基準第 1 及び第 2 の過電流検出回路と、正相第 2 基準第 1 及び第 2 の過電流検出回路と、逆相第 2 基準第 1 及び第 2 の過電流検出回路とを有し、

前記正相第 1 のモニタトランジスタのソースと前記正相第 1 の検出抵抗器との接続点は、前記正相第 1 基準第 1 の過電流検出回路及び前記正相第 2 基準第 1 の過電流検出回路の入力段に接続され、

30

前記正相第 2 のモニタトランジスタのソースと前記正相第 2 の検出抵抗器との接続点は、前記正相第 1 基準第 2 の過電流検出回路及び前記正相第 2 基準第 2 の過電流検出回路の入力段に接続され、

前記逆相第 1 のモニタトランジスタのソースと前記逆相第 1 の検出抵抗器との接続点は、前記逆相第 1 基準第 1 の過電流検出回路及び前記逆相第 2 基準第 1 の過電流検出回路の入力段に接続され、

前記逆相第 2 のモニタトランジスタのソースと前記逆相第 2 の検出抵抗器との接続点は、前記逆相第 1 基準第 2 の過電流検出回路及び前記逆相第 2 基準第 2 の過電流検出回路の入力段に接続され、

前記正相出力端子と逆相出力端子における同時地絡の発生により、前記正相第 1 のモニタトランジスタにより検出された前記正相第 1 のパワートランジスタの電流が、前記正相第 2 基準第 1 の過電流検出回路によって前記第 2 の電流値を超える過電流と判定され、前記逆相第 1 のモニタトランジスタにより検出された前記逆相第 1 のパワートランジスタの電流が、前記逆相第 2 基準第 1 の過電流検出回路によって前記第 2 の電流値を超える過電流と判定された場合に、前記過電流検出部による前記正相信号増幅部及び前記逆相信号増幅部に対する前記統合過電流検出信号が出力され、

40

前記正相出力端子と逆相出力端子における同時天絡の発生により、前記正相第 2 のモニタトランジスタにより検出された前記正相第 2 のパワートランジスタの電流が、前記正相第 2 基準第 2 の過電流検出回路によって前記第 2 の電流値を超える過電流と判定され、前記逆相第 2 のモニタトランジスタにより検出された前記逆相第 2 のパワートランジスタの電

50

流が、前記逆相第 2 基準第 2 の過電流検出回路によって前記第 2 の電流値を超える過電流と判定された場合に、前記過電流検出部による前記正相信号増幅部及び前記逆相信号増幅部に対する前記統合過電流検出信号が出力されるよう構成されてなるものである。

【発明の効果】

【0013】

本発明によれば、出力端の同時天絡や同時地絡が生じた際に、出力端の一方に天絡、又は、地絡が生じた場合の過電流検出の基準である従来の第 1 の電流値とは別個の第 2 の電流値によって過電流の発生が検出されるように構成したので、従来と異なり、同時天絡、同時地絡発生時におけるボンディングワイヤ溶断回避のためのボンディングの本数増加やボンディングパッドの増加を伴うことなく、回路の安全性確保、信頼性の向上を図ることができるという効果を奏するものである。

10

【図面の簡単な説明】

【0014】

【図 1】本発明の実施の形態における電力増幅器の第 1 の回路構成例を示す回路図である。

【図 2】本発明の実施の形態における電力増幅器の第 2 の回路構成例を示す回路図である。

【図 3】3 値パルス幅変調回路の回路構成例を示す回路図である。

【図 4】図 3 に示された 3 値パルス幅変調回路の出力信号を正相及び逆相入力信号とした場合の図 1 に示された回路構成における電力増幅器の動作を説明する波形図であって、図 4 ( A ) は三角波と正相及び逆相入力信号の変化を示す波形図、図 4 ( B ) は三角波発振器に入力されるクロック信号の波形図、図 4 ( C ) は、第 1 のコンパレータから出力される第 1 のパルス幅変調信号 P W M P の波形図、図 4 ( D ) は、第 2 のコンパレータから出力される第 2 のパルス幅変調信号 P W M N の波形図、図 4 ( E ) は、3 値パルス幅変調信号の波形図である。

20

【図 5】図 2 に示された第 2 の回路構成例における回路動作を説明する波形図であって、図 5 ( A ) は、正相出力信号の波形図、図 5 ( B ) は、逆相出力信号の波形図、図 5 ( C ) は、正相出力端子から出力される出力電流の波形図、図 5 ( D ) は、逆相出力端子から出力される出力電流の波形図、図 5 ( E ) は、5 入力論理和回路の出力の波形図である。

【図 6】従来回路の一回路構成例を示す回路図である。

【図 7】電源電圧用ボンディングパッド及びグランド用ボンディングパッド周辺のボンディングワイヤの配設状態を概説する模式図である。

30

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態について、図 1 乃至図 5 を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。

最初に、本発明の実施の形態における電力増幅器の第 1 の回路構成例について、図 1 を参照しつつ説明する。

この電力増幅器は、正相信号増幅部 101 と、逆相信号増幅部 102 と、過電流検出部 103 とに大別されて構成されたものとなっている。

正相信号増幅部 101 と逆相信号増幅部 102 の各々の増幅出力信号は、B T L 接続により負荷 (図 1 においては「R L」と表記) 37 に供給される構成となっている。

40

【0016】

過電流検出部 103 は、従来同様、正相出力端子 93 における天絡、又は、地絡、若しくは、逆相出力端子 94 における天絡、又は、地絡による過電流の発生を、正相第 1 基準第 1 及び第 2 の過電流検出回路 61, 62、逆相第 1 基準第 1 及び第 2 の過電流検出回路 71, 72 により行い、過電流が検出された際に正相信号増幅部 101 及び逆相信号増幅部 102 の動作が遮断されるようになっている (詳細は後述)。

【0017】

さらに、本発明の実施の形態における過電流検出部 103 は、従来と異なり、正相信号増幅部 101 と逆相信号増幅部 102 における同時天絡、同時地絡による出力電流の過電

50

流検出が過電流検出部 103 によって行われ、過電流が検出された際に正相信号増幅部 101 及び逆相信号増幅部 102 の動作が遮断されるようになっている（詳細は後述）。

【0018】

正相信号増幅部 101 は、正相パワートランジスタドライブ回路（図 1 においては「PDRP」と表記）51 と、正相第 1 及び第 2 のパワートランジスタ（図 1 においては、それぞれ「M1HP」、「M2LP」と表記）1, 2 と、正相第 1 及び第 2 のモニタトランジスタ（図 1 においては、それぞれ「Mm1HP」、「Mm2LP」と表記）5, 6 とを主たる構成要素として構成されてなるものである。

また、逆相信号増幅部 102 は、被増幅信号が逆相入力信号という点では、正相信号増幅部と異なるが、基本的な構成は正相信号増幅部 101 と同様である。

10

【0019】

すなわち、逆相信号増幅部 102 は、逆相パワートランジスタドライブ回路（図 1 においては「PDRN」と表記）52 と、逆相第 1 及び第 2 のパワートランジスタ（図 1 においては、それぞれ「M1HN」、「M2LN」と表記）3, 4 と、逆相第 1 及び第 2 のモニタトランジスタ（図 1 においては、それぞれ「Mm1HN」、「Mm2LN」と表記）7, 8 とを主たる構成要素として構成されてなるものである。

【0020】

過電流検出部 103 は、正相第 1 基準第 1 及び第 2 の過電流検出回路（図 1 においては、それぞれ「L1DTHP」、「L1DTLP」と表記）61, 62 と、逆相第 1 基準第 1 及び第 2 の過電流検出回路（図 1 においては、それぞれ「L1DTHN」、「L1DTLN」と表記）71, 72 と、正相第 2 基準第 1 及び第 2 の過電流検出回路（図 1 においては、それぞれ「L2DTHP」、「L2DTLP」と表記）63, 64 と、逆相第 2 基準第 1 及び第 2 の過電流検出回路（図 1 においては、それぞれ「L2DTHN」、「L2DTLN」と表記）73, 74 と、第 1 及び第 2 の AND 回路（図 1 においては、それぞれ「AND1」、「AND2」と表記）11, 12 と、6 入力論理和回路（図 1 においては「OR」と表記）13 とを主たる構成要素として構成されたものとなっている。

20

【0021】

本発明の実施の形態において、正相信号増幅部 101 における正相第 1 のパワートランジスタ 1 には、P チャンネル MOS FET（Metal Oxide Semiconductor Field-Effect Transistor）が、正相第 2 のパワートランジスタ 2 には、N チャンネル MOS FET が、それぞれ用いられている。

30

この正相第 1 及び第 2 のパワートランジスタ 1, 2 は、電源端子 95 とグランド端子 96 との間にプッシュプル接続されて設けられている。

すなわち、正相第 1 及び第 2 のパワートランジスタ 1, 2 は、ドレインが相互に接続されて、正相第 1 のパワートランジスタ 1 のソースは電源端子 95 に、正相第 2 のパワートランジスタ 2 のソースは、グランド端子 96 に、それぞれ接続されている。

なお、電源端子 95 とグランド端子 96 の間には、直流電源 40 が接続されている。

【0022】

正相パワートランジスタドライブ回路 51 は、正相入力端子 91 を介して正相入力信号が入力され、そのドライブ信号を正相第 1 及び第 2 のパワートランジスタ 1, 2 のゲートへ出力することで正相第 1 及び第 2 のパワートランジスタ 1, 2 が駆動されるようになっている。

40

また、正相パワートランジスタドライブ回路 51 は、後述するように、過電流検出部 103 の統合過電流検出信号 O C D E T が論理値 High に相当するレベルとなると動作停止し、正相第 1 及び第 2 のパワートランジスタ 1, 2 の動作を遮断できるようになっている。

【0023】

さらに、本発明の実施の形態において、正相第 1 のモニタトランジスタ 5 には、P チャンネル MOS FET が、正相第 2 のモニタトランジスタ 6 には、N チャンネル MOS FET が、それぞれ用いられている。

50

正相第 1 及び第 2 のモニタトランジスタ 5 , 6 は、ドレインが相互に接続されると共に、正相第 1 及び第 2 のパワートランジスタ 1 , 2 のドレイン相互の接続点と正相出力端子 9 3 に接続されている。

【 0 0 2 4 】

また、正相第 1 のモニタトランジスタ 5 のソースは、正相第 1 の検出抵抗器（図 1 においては「 R 1 H P 」と表記） 2 1 を介して電源端子 9 5 に印加される電源電圧 V D D が印加されるようになっている。また、正相第 1 のモニタトランジスタ 5 のソースと正相第 1 の検出抵抗器 2 1 との接続点は、正相第 1 基準第 1 の過電流検出回路 6 1 及び正相第 2 基準第 1 の過電流検出回路 6 3 の入力段に接続されている。

【 0 0 2 5 】

一方、正相第 2 のモニタトランジスタ 6 のソースは、正相第 2 の検出抵抗器（図 1 においては「 R 2 L P 」と表記） 2 2 及びグランド端子 9 6 を介してグランド電位に維持されるようになっている。また、正相第 2 のモニタトランジスタ 6 のソースと正相第 2 の検出抵抗器 2 2 との接続点は、正相第 1 基準第 2 の過電流検出回路 6 2 及び正相第 2 基準第 2 の過電流検出回路 6 4 の入力段に接続されている。

【 0 0 2 6 】

次に、逆相信号増幅部 1 0 2 における逆相第 1 のパワートランジスタ 3 には、 P チャンネル M O S F E T が、逆相第 2 のパワートランジスタ 4 には、 N チャンネル M O S F E T が、それぞれ用いられている。

この逆相第 1 及び第 2 のパワートランジスタ 3 , 4 は、電源端子 9 5 とグランド端子 9 6 との間にプッシュプル接続されて設けられている。

【 0 0 2 7 】

すなわち、逆相第 1 及び第 2 のパワートランジスタ 3 , 4 は、ドレインが相互に接続されて、逆相第 1 のパワートランジスタ 3 のソースは電源端子 9 5 に、逆相第 2 のパワートランジスタ 4 のソースは、グランド端子 9 6 に、それぞれ接続されている。

逆相パワートランジスタドライブ回路 5 2 は、逆相入力端子 9 2 を介して逆相入力信号が入力され、そのドライブ信号を逆相第 1 及び第 2 のパワートランジスタ 3 , 4 のゲートへ出力することで逆相第 1 及び第 2 のパワートランジスタ 3 , 4 を駆動されるようになっている。

【 0 0 2 8 】

また、逆相パワートランジスタドライブ回路 5 2 は、後述するように、過電流検出部 1 0 3 の統合過電流検出信号 O C D E T が論理値 H i g h に相当するレベルとなると動作停止し、逆相第 1 及び第 2 のパワートランジスタ 3 , 4 の動作を遮断できるようになっている。

本発明の実施の形態において、逆相第 1 のモニタトランジスタ 7 には、 P チャンネル M O S F E T が、逆相第 2 のモニタトランジスタ 8 には、 N チャンネル M O S F E T が、それぞれ用いられている。

【 0 0 2 9 】

逆相第 1 及び第 2 のモニタトランジスタ 7 , 8 は、ドレインが相互に接続されると共に、逆相第 1 及び第 2 のパワートランジスタ 3 , 4 のドレイン相互の接続点と逆相出力端子 9 4 に接続されている。

また、逆相第 1 のモニタトランジスタ 7 のソースは、逆相第 1 の検出抵抗器（図 1 においては「 R 1 H N 」と表記） 2 3 を介して電源端子 9 5 に印加される電源電圧 V D D が印加されるようになっている。また、逆相第 1 のモニタトランジスタ 7 のソースと逆相第 1 の検出抵抗器 2 3 との接続点は、逆相第 1 基準第 1 の過電流検出回路 7 1 及び逆相第 2 基準第 1 の過電流検出回路 7 3 の入力段に接続されている。

【 0 0 3 0 】

一方、逆相第 2 のモニタトランジスタ 8 のソースは、逆相第 2 の検出抵抗器（図 1 においては「 R 2 L N 」と表記） 2 4 及びグランド端子 9 6 を介してグランド電位に維持されるようになっている。また、逆相第 2 のモニタトランジスタ 8 のソースと逆相第 2 の検出

10

20

30

40

50

抵抗器 2 4 との接続点は、逆相第 1 基準第 2 の過電流検出回路 7 2 及び逆相第 2 基準第 2 の過電流検出回路 7 4 の入力段に接続されている。

【 0 0 3 1 】

正相第 1 基準第 1 及び第 2 の過電流検出回路 6 1 , 6 2 と、逆相第 1 基準第 1 及び第 2 の過電流検出回路 7 1 , 7 2 の各々の出力は、6 入力論理和回路 1 3 に入力されている。

また、正相第 2 基準第 1 の過電流検出回路 6 3 の出力と、逆相第 2 基準第 1 の過電流検出回路 7 3 の出力は、第 1 の A N D 回路 1 1 に入力されて、その論理積出力が 6 入力論理和回路 1 3 に入力されるようになっている。

【 0 0 3 2 】

さらに、正相第 2 基準第 2 の過電流検出回路 6 4 の出力と、逆相第 2 基準第 2 の過電流検出回路 7 4 の出力は、第 2 の A N D 回路 1 2 に入力されて、その論理積出力が 6 入力論理和回路 1 3 に入力されるようになっている。

10

6 入力論理和回路 1 3 は、6 つの入力のいずれかが論理値 H i g h となった場合に、それを統合過電流検出信号 O C D E T として出力する。

6 入力論理和回路 1 3 の出力端子は、正相パワートランジスタドライブ回路 5 1 と逆相パワートランジスタドライブ回路 5 2 のそれぞれの統合過電流検出信号入力端子 O C D E T に接続されている。

【 0 0 3 3 】

次に、上記構成における回路動作について説明する。

まず、正相入力端子 9 1 に外部から入力された正相信号 I N P は、正相パワートランジスタドライブ回路 5 1、正相第 1 及び第 2 のパワートランジスタ 1 , 2 により電力増幅され、正相出力端子 9 3 から正相出力信号 O U T P として出力される。

20

また、逆相入力端子 9 2 に外部から入力された逆相信号 I N N は、逆相パワートランジスタドライブ回路 5 2、逆相第 1 及び第 2 のパワートランジスタ 3 , 4 により電力増幅され、逆相出力端子 9 4 から逆相出力信号 O U T N として出力され、正相出力端子 9 3 と逆相出力端子 9 4 の間に接続された負荷 3 7 は B T L 駆動されることとなる。

【 0 0 3 4 】

一方、過電流検出部 1 0 3 においては、正相第 1 のモニタトランジスタ 5 により正相第 1 のパワートランジスタ 1 の電流が、正相第 2 のモニタトランジスタ 6 により正相第 2 のパワートランジスタ 2 の電流が、それぞれ検出され、その検出電流が、正相第 1 基準第 1 及び第 2 の過電流検出回路 6 1 , 6 2、及び、正相第 2 基準第 1 及び第 2 の過電流検出回路 6 3 , 6 4 において、それぞれの基準を超えているか否かが判定される。

30

【 0 0 3 5 】

すなわち、正相第 1 のパワートランジスタ 1 の電流が第 1 の基準電流値を超えた場合、正相第 1 基準第 1 の過電流検出回路 6 1 から論理値 H i g h に相当するレベルの検出信号（以下説明の便宜上、「正相第 1 基準第 1 トランジスタ過電流検出信号」と称する）が、正相第 2 のパワートランジスタ 2 の電流が第 1 の基準電流値を超えた場合、正相第 1 基準第 2 の過電流検出回路 6 2 から論理値 H i g h に相当するレベルの検出信号（以下説明の便宜上、「正相第 1 基準第 2 トランジスタ過電流検出信号」と称する）が、それぞれ出力される。

40

【 0 0 3 6 】

また、逆相第 1 のパワートランジスタ 3 の電流が第 1 の基準電流値を超えた場合、逆相第 1 基準第 1 の過電流検出回路 7 1 から論理値 H i g h に相当するレベルの検出信号（以下説明の便宜上、「逆相第 1 基準第 1 トランジスタ過電流検出信号」と称する）が、逆相第 2 のパワートランジスタ 4 の電流が第 1 の基準電流値を超えた場合、逆相第 1 基準第 2 の過電流検出回路 7 2 から論理値 H i g h に相当するレベルの検出信号（以下説明の便宜上、「逆相第 1 基準第 2 トランジスタ過電流検出信号」と称する）が、それぞれ出力される。

【 0 0 3 7 】

さらに、正相第 1 のパワートランジスタ 1 の電流が第 2 の基準電流値を超えた場合、正

50

相第 2 基準第 1 の過電流検出回路 6 3 から論理値  $H i g h$  に相当するレベルの検出信号（以下説明の便宜上、「正相第 2 基準第 1 トランジスタ過電流検出信号」と称する）が、正相第 2 のパワートランジスタ 2 の電流が第 2 の基準電流値を超えた場合、正相第 2 基準第 2 の過電流検出回路 6 4 から論理値  $H i g h$  に相当するレベルの検出信号（以下説明の便宜上、「正相第 2 基準第 2 トランジスタ過電流検出信号」と称する）が、それぞれ出力される。

#### 【 0 0 3 8 】

またさらに、逆相第 1 のパワートランジスタ 3 の電流が第 2 の基準電流値を超えた場合、逆相第 2 基準第 1 の過電流検出回路 7 3 から論理値  $H i g h$  に相当するレベルの検出信号（以下説明の便宜上、「逆相第 2 基準第 1 トランジスタ過電流検出信号」と称する）が、逆相第 2 のパワートランジスタ 4 の電流が第 2 の基準電流値を超えた場合、逆相第 2 基準第 2 の過電流検出回路 7 4 から論理値  $H i g h$  に相当するレベルの検出信号（以下説明の便宜上、「逆相第 2 基準第 2 トランジスタ過電流検出信号」と称する）が、それぞれ出力される。

10

#### 【 0 0 3 9 】

そして、正相 1 基準第 1 の過電流検出回路 6 1、正相 1 基準第 2 の過電流検出回路 6 2、逆相 1 基準第 1 の過電流検出回路 7 1、及び、逆相 1 基準第 2 の過電流検出回路 7 2 のいずれかから論理値  $H i g h$  に相当するレベルの検出信号が出力された場合に、6 入力論理和回路 1 3 から同じく論理値  $H i g h$  に相当するレベルの統合過電流検出信号  $O C D E T$  が出力され、正相パワートランジスタドライブ回路 5 1 及び逆相パワートランジスタドライブ回路 5 2 にそれぞれ入力される。

20

#### 【 0 0 4 0 】

その結果、正相パワートランジスタドライブ回路 5 1、逆相パワートランジスタドライブ回路 5 2 による正相第 1 及び第 2 のパワートランジスタ 1、2、逆相第 1 及び第 2 のパワートランジスタ 3、4 の駆動が停止され、正相第 1 及び第 2 のパワートランジスタ 1、2、逆相第 1 及び第 2 のパワートランジスタ 3、4 は、遮断状態となる。

#### 【 0 0 4 1 】

また、第 1 の  $A N D$  回路 1 1、又は、第 2 の  $A N D$  回路 1 2 のいずれかの出力が論理値  $H i g h$  に相当するレベルとなった場合にも、上述と同様に、6 入力論理和回路 1 3 から同じく論理値  $H i g h$  に相当するレベルの統合過電流検出信号  $O C D E T$  が出力され、正相第 1 及び第 2 のパワートランジスタ 1、2、逆相第 1 及び第 2 のパワートランジスタ 3、4 が遮断状態とされる。

30

#### 【 0 0 4 2 】

すなわち、正相第 2 基準第 1 の過電流検出回路 6 3 と逆相第 2 基準第 1 の過電流検出回路 7 3 の双方において第 2 の電流値を超える過電流が検出された場合、第 1 の  $A N D$  回路 1 1 から論理値  $H i g h$  に相当するレベルの検出信号（以下説明の便宜上、「同時地絡過電流検出信号」と称する）が出力される。

また、正相第 2 基準第 2 の過電流検出回路 6 4 と逆相第 2 基準第 2 の過電流検出回路 7 4 の双方において第 2 の電流値を超える過電流が検出された場合、第 2 の  $A N D$  回路 1 2 から論理値  $H i g h$  に相当するレベルの検出信号（以下説明の便宜上、「同時天絡過電流検出信号」と称する）が出力される。

40

#### 【 0 0 4 3 】

正相第 1 基準第 1 及び第 2 の過電流検出回路 6 1、6 2、逆相第 1 基準第 1 及び第 2 の過電流検出回路 7 1、7 2 は、基本的に従来と同様に、正相出力端子 9 3 又は逆相出力端子 9 4 における天絡、又は、地絡の発生によって正相第 1、第 2 のパワートランジスタ 1、2、逆相第 1、第 2 のパワートランジスタ 3、4 のいずれかに過電流が生ずることを検出するために設けられている。そして、過電流検出の基準となる第 1 の電流値は、従来同様、先の式 1 により求められるアプリケーション（電力増幅器の具体的な使用形態）の最大電流  $I_{outmax}$  を超える適宜な値に選定されるものとなっている。

#### 【 0 0 4 4 】

50

一方、正相出力端子 9 3 と逆相出力端子 9 4 における同時天絡、又は、同時地絡の発生により、正相第 1 のパワートランジスタ 1 に第 2 の電流値を超える過電流が生じたことを検出する正相第 2 基準第 1 の過電流検出回路 6 3、正相第 2 のパワートランジスタ 2 に第 2 の電流値を超える過電流が生じたことを検出する正相第 2 基準第 2 の過電流検出回路 6 4、逆相第 1 のパワートランジスタ 3 に第 2 の電流値を超える過電流が生じたことを検出する逆相第 2 基準第 1 の過電流検出回路 7 3、及び、逆相第 2 のパワートランジスタ 4 に第 2 の電流値を超える過電流が生じたことを検出する逆相第 2 基準第 2 の過電流検出回路 7 4 における過電流検出の基準である第 2 の電流値は、次述するような観点から定められる。

#### 【 0 0 4 5 】

10

まず、負荷に対する電力供給が本発明の実施の形態の電力増幅器のように B T L 接続で行われる回路の場合、一方の出力が電流をソースするときに、もう一方は電流をシンクするため、通常動作において、ハイサイドトランジスタである正相第 1 のパワートランジスタ 1 と逆相第 1 のパワートランジスタ 3 が同時に大電流をソースすることはなく、また、ローサイドパワートランジスタである正相第 2 のパワートランジスタ 2 と逆相第 2 のパワートランジスタ 4 が同時に大電流をシンクすることはない。

#### 【 0 0 4 6 】

そのため、第 2 の電流値は、先の第 1 の電流値と異なり、式 1 により求められるアプリケーションの最大電流を考慮することなく第 1 の電流値よりも十分小さな値に設定することができる。すなわち、パワートランジスタに対する過電流によるダメージをより早期に解消し、回路保護を図ることが可能となる。

20

なお、第 2 の電流値の具体的な値は、電力増幅器の具体的な仕様や、使用形態等を考慮して、個々に適切な値を選定することとなる。

#### 【 0 0 4 7 】

上述の構成例において、正相入力信号と逆相入力信号は、交互に正負にレベル変化する信号を想定しているが、このような信号に限定される必要はなく、第 1 の回路構成例は、3 値パルス幅変調信号を用いる場合も有効である。

図 3 には、3 値パルス幅変調信号の生成に適する 3 値パルス幅変調回路の回路構成例が、図 4 には、3 値パルス幅変調回路の動作を説明する波形図が、それぞれ示されており、以下、これらの図を参照しつつ 3 値パルス幅変調信号について説明する。

30

#### 【 0 0 4 8 】

最初に、図 3 に示された 3 値パルス幅変調回路について説明する。

この 3 値パルス幅変調回路は、第 1 及び第 2 のコンパレータ（図 3 においては、それぞれ「COM 1」、「COM 2」と表記）4 1、4 2 と、三角波発振器（図 3 においては「OSC」と表記）4 3 を有して構成されている。

第 1 及び第 2 のコンパレータ 4 1、4 2 の各々の反転入力端子は、相互に接続されて三角波発振器 4 3 の出力段に接続されている。

#### 【 0 0 4 9 】

また、第 1 のコンパレータ 4 1 には、第 1 の回路構成例と同様な正相入力信号 I N P が、第 2 のコンパレータ 4 2 には、同じく逆相入力信号 I N N が、それぞれ入力されるようになっている。

40

三角波発振器 4 3 には、後述するようなクロック信号 C L K が入力され、このクロック信号 C L K に同期した三角波信号 T W が生成、出力され、第 1 及び第 2 のコンパレータ 4 1、4 2 へ入力されるようになっている。

#### 【 0 0 5 0 】

次に、図 4 を参照しつつ、図 3 に示された 3 値パルス幅変調回路と電力増幅器の動作について説明する。

三角波発振器 4 3 から出力される三角波信号 T W（図 4（A）二点鎖線参照）は、アナログオーディオ信号である正相入力信号、逆相入力信号に比して繰り返し周波数が十分高く設定されたものとなっている（図 4（B）参照）。すなわち、三角波発振器 4 3 に入力

50

されるクロック信号CLK（図4（B）参照）の繰り返し周波数は、アナログオーディオ信号に対して高い周波数に設定されている。

【0051】

第1のコンパレータ41において、正相アナログ入力信号INPが無入力時には、第1のコンパレータ41からはデューティ50%の繰り返しパルス信号が出力されるが、無入力時以外においては、三角波信号が正相アナログ入力信号INPを下回ったところでハイレベルとなり、三角波信号が正相アナログ入力信号INPを上回ったところでローレベルとなる第1のパルス幅変調信号PWMPが出力される（図4（A）及び図4（C）参照）。

【0052】

また、第2のコンパレータ42においても、逆相アナログ入力信号INNが無入力時には、第2のコンパレータ42からはデューティ50%の繰り返しパルス信号が出力されるが、無入力時以外においては、三角波信号が逆相アナログ入力信号INNを下回ったところでハイレベルとなり、三角波信号が逆相アナログ入力信号INNを上回ったところでローレベルとなる第2のパルス幅変調信号PWMNが出力される（図4（A）及び図4（D）参照）。

【0053】

上述の第1のパルス幅変調信号PWMPは正相入力端子91へ入力され、正相信号増幅部101により増幅されて正相出力信号OUTPとして正相出力端子93へ出力される一方、第2のパルス幅変調信号PWMNは逆相入力端子92へ入力され、逆相信号増幅部102により増幅されて逆相出力信号OUTNとして逆相出力端子94へ出力される。

正相アナログ入力信号INPと逆相アナログ入力信号INNが無信号時には、第1のパルス幅変調信号PWMPと第2のパルス幅変調信号PWMNの差分はゼロとなる。その結果、負荷37には、図4（E）に示されたようにハイレベル、ゼロ、マイナスハイレベルの3値パルス幅変調信号が与えられることとなる。

【0054】

このような3値パルス幅変調信号を用いた場合、入力信号が無信号の場合、先に説明したように正相出力信号OUTPと逆相出力信号OUTNの差分がゼロとなるため、出力LCフィルタを介して負荷をBTLで駆動する必要がなく、出力LCフィルタの省略によるコストダウンが可能となる。

その一方で、3値パルス幅変調信号は、同時にハイレベル、同時にローレベルとなる場合があるため、同時天絡、同時地絡の発生を考慮する必要があるが、本発明の実施の形態における電力増幅器は、係る同時天絡、同時地絡による過電流に起因する回路素子の焼損等を確実に抑圧、防止可能であり、3値パルス幅変調信号を用いる場合に好適である。

【0055】

しかし、高出力化に伴う高電源電圧化による輻射ノイズの影響を考慮する必要がある場合には、3値パルス幅変調信号を用いても出力LCフィルタを介して負荷をBTL接続で駆動する構成を採ることとなる。

無入力時における第1のパルス幅変調信号PWMP及び第2のパルス幅変調信号PWMNは、先に説明したようにデューティ50%であるため、電源電圧VDDの半分の電圧値をバイアスポイントとして動作することとなる。したがって、動作開始時に、出力LCフィルタにVDD/2のインパルスが入力し、LC共振による電流の減衰振動が発生する。

【0056】

通常、LCフィルタで用いるインダクタの直列抵抗値Rは小さく、LCR回路にインパルス入力となされたときの電流IFILTERは、下記する式2で表される。

【0057】

$$I_{FILTER} = (VDD/2) / \{L/C - (R/2)^2\}^{1/2} \times e^{-(R/2L)t} \times \sin[t\{1/LC - (R/2L)^2\}^{1/2}] \cdots \text{式2}$$

【0058】

したがって、式2で表されるインパルス信号起因の電流が、正相第2基準第1及び第2の過電流検出回路63、64、及び、逆相第2基準第1及び第2の過電流検出回路73、

7 4 における第 2 の電流値を超え、本来不要な過電流検出が行われてしまうという問題が生ずる可能性がある。

【 0 0 5 9 】

このような問題を回避する方策としては、第 2 の電流値を大きくすることが必要とされるが、それは、ボンディングパッド増加やボンディングワイヤ増加を招いてしまう。

図 2 には、出力 LC フィルタを設けることにより生ずる上述のような問題の解決に適する第 2 の回路構成例が示されており、以下、同図を参照しつつ、第 2 の回路構成例について説明する。

なお、図 1 に示された構成要素と同一の構成要素については、同一の符号を付して、その詳細な説明を省略し、以下、異なる点を中心に説明する。

10

この第 2 の回路構成例は、図 1 に示された第 1 の回路構成例に、インパルス信号起因の電流が第 2 の電流値を超えた場合に過電流検出信号の出力を回避するための論理回路（詳細は後述）を付加した構成を有するものである。

【 0 0 6 0 】

すなわち、この電力増幅器は、過電流検出部 1 0 3 において、第 1 及び第 2 の AND 回路 1 1 , 1 2 の後段に、NOT 回路 1 4、第 1 及び第 2 の D フリップフロップ 1 5 , 1 6、2 入力論理和回路 1 7、及び、カウンタ回路 1 8、並びに、6 入力論理和回路 1 3 に代えて 5 入力論理和回路（図 2 においては「OR 2」と表記）1 9 による論理回路が増設された構成を有してなるものである。さらに、この電力増幅部の正相出力端子 9 3 と負荷 3 7 との間に第 1 の出力 LC フィルタ 8 1、逆相出力端子 9 4 と負荷 3 7 との間に第 2 の出力 LC フィルタ 8 2 が、それぞれ設けられている。

20

【 0 0 6 1 】

以下、具体的に回路構成について説明する。

第 1 の AND 回路 1 1 の出力端子は、第 1 の D フリップフロップ 1 5 の D 入力端子に、第 2 の AND 回路 1 2 の出力端子は、第 2 の D フリップフロップ 1 6 の D 入力端子に、それぞれ接続されている。

【 0 0 6 2 】

また、第 2 の D フリップフロップ 1 6 のクロック入力端子 CK には、図示されないクロック信号発生回路で生成されたクロック信号 CLK が、第 1 の D フリップフロップ 1 5 のクロック入力端子 CK には、NOT 回路 1 4 により反転されたクロック信号 CLK が、それぞれ入力されるようになっている。

30

第 1 及び第 2 の D フリップフロップ 1 5 , 1 6 のそれぞれの出力 Q は、2 入力論理和回路 1 7 に、それぞれ入力され、2 入力論理和回路 1 7 の出力は、カウンタ回路 1 8 へ被計数信号 R S T X として入力されるようになっている。

【 0 0 6 3 】

カウンタ回路 1 8 は、第 1 及び第 2 の D フリップフロップ 1 5 , 1 6 に印加されているクロック信号と同一のクロック信号 CLK を用いて 2 入力論理和回路 1 7 の出力信号の計数を行うものである。このカウンタ回路 1 8 は、後述するように 2 入力論理和回路 1 7 の出力信号を所定回数計数した際に論理値 High に相当する信号（以下説明の便宜上、「同時過電流検出信号」と称する）を出力する。

40

【 0 0 6 4 】

第 1 及び第 2 の出力 LC フィルタ 8 1 , 8 2 は、基本的に同一構成を有してなるもので、以下の回路構成の説明においては、第 1 の出力 LC フィルタ 8 1 の構成要素の後ろに、第 2 の出力 LC フィルタ 8 2 の対応する構成要素を括弧書きすることで、第 1 の出力 LC フィルタ 8 1 の回路構成の説明を以て、第 2 の出力 LC フィルタ 8 2 の回路構成の説明に代えることとする。

【 0 0 6 5 】

第 1 の出力 LC フィルタ 8 1 において、正相出力端子 9 3（逆相出力端子 9 4）と負荷 3 7 との間には、第 1 のフィルタ抵抗器 3 1（第 2 のフィルタ抵抗器 3 2）と第 1 のフィルタコイル 3 3（第 2 のフィルタコイル 3 4）が、正相出力端子 9 3（逆相出力端子 9 4

50

）に第１のフィルタ抵抗器３１（第２のフィルタ抵抗器３２）が位置するように直列接続されて設けられている。

さらに、第１のフィルタコイル３３（第２のフィルタコイル３４）と負荷３７との接続点とグランドとの間には、第１のフィルタコンデンサ３５（第２のフィルタコンデンサ３６）が接続されている。

【００６６】

次に、上記構成における動作について図５の波形図を参照しつつ説明する。

第１のパルス信号幅変調信号が正相入力端子９１から入力されると、第１のパルス信号幅変調信号は、正相パワートランジスタドライブ回路５１、正相第１及び第２のパワートランジスタ１，２により電力増幅され正相出力端子９３に正相出力信号ＯＵＴＰとして出力される（図５（Ａ）参照）。 10

第２のパルス信号幅変調信号が逆相入力端子９２から入力されると、第２パルス信号幅変調信号は、逆相パワートランジスタドライブ回路５２、逆相第１及び第２のパワートランジスタ３，４により電力増幅され逆相出力端子９４に逆相出力信号ＯＵＴＮとして出力される（図５（Ｂ）参照）。

【００６７】

正相出力信号ＯＵＴＰは、第１の出力ＬＣフィルタ８１を介して、逆相出力信号ＯＵＴＮは、第２の出力ＬＣフィルタ８２を介して、負荷３７へ供給されて負荷３７はＢＴＬ接続で駆動されることとなる。

回路起動時（図５において時刻 $t_1$ ）には、正相出力信号ＯＵＴＰ、逆相出力信号ＯＵＴＮの立ち上がりにより第１及び第２の出力ＬＣフィルタ８１，８２に起因する突入電流の発生により共振状態となるが、回路の動作状態は時間の経過に伴い徐々に定常状態となってゆく。 20

【００６８】

すなわち、正相第１及び第２のパワートランジスタ１，２に流れる正相出力電流ＩＯＵＴＰ、逆相第１及び第２のパワートランジスタ３，４に流れる逆相出力電流ＩＯＵＴＮは、回路起動後、しばらくの間は、正相出力信号ＯＵＴＰ、逆相出力信号ＯＵＴＮの立ち上がり、立ち下がり近傍において第２の電流値を超える場合がある（図５（Ａ）乃至図５（Ｄ）参照）。

その結果、第１のＡＮＤ回路１１により論理値Ｈｉｇｈに相当する信号が出力されると第１のＤフリップフロップ１５により、また、第２のＡＮＤ回路１２により論理値Ｈｉｇｈに相当する信号が出力されると第２のＤフリップフロップ１６により、それぞれ第１のパルス幅変調信号及び第２のパルス幅変調信号（図４（Ｃ）及び図４（Ｄ）参照）の１周期の間、論理値Ｈｉｇｈが保持される。 30

【００６９】

カウンタ回路１８の第１のカウント周期は、計数動作（カウント動作）を繰り返し行う際の時間間隔であり、この第１のカウント周期時間は、第１及び第２の出力ＬＣフィルタ８１，８２におけるＬＣ共振周期よりも十分大きな時間に設定されている。そのため、第１のＤフリップフロップ１５、又は、第２のＤフリップフロップ１６からの論理値Ｈｉｇｈに対応する信号が、カウンタ回路１８によって複数回計数されても、カウンタ回路１８からカウンタアップによる同時過電流検出信号が出力されることはない。 40

したがって、正相パワートランジスタドライブ回路５１、逆相パワートランジスタドライブ回路５２が、統合過電流検出信号ＯＣＤＥＴによって動作停止されることはなく、回路起動後の回路動作を維持することができる。

【００７０】

一方、例えば、同時地絡が生じた場合（図５において時刻 $t_n$ ）、正相出力信号ＯＵＴＰ、逆相出力信号ＯＵＴは、電圧降下を生じ低電圧レベルとなる（図５（Ａ）及び図５（Ｂ）参照）。

正相出力電流ＩＯＵＴＰと逆相出力電流ＩＯＵＴＮは、第１、第２のパルス幅変調信号ＰＷＭＰ、ＰＷＭＮに、それぞれ同期するような出力状態となる（図５（Ｃ）及び図５（ 50

D) 時刻  $t_n$  以降参照)。

#### 【0071】

ここで、第1、第2のパルス幅変調信号PWMP、PWMNの繰り返し周期は、カウンタ回路18の第1のカウンタ周期よりも小さく、しかも、この場合、正相出力電流IOUTPと逆相出力電流IOUTNは、第2の電流値を超える大きさであるため、出力の度毎に、第1のAND回路11からは、論理値Highに相当する同時天絡過電流検出信号が、第2のAND回路12からは、論理値Highに相当する同時地絡過電流検出信号が、それぞれ出力されることとなる。

#### 【0072】

第1及び第2のDフリップフロップ15, 16は、論理値Highに相当する信号が入力されると、第1のカウンタ周期の間、出力Qを論理値Highに保持する。

10

そして、第1及び第2のDフリップフロップ15, 16のいずれかの論理値Highに相当する信号は、カウンタ回路18において第1のカウンタ周期の間、計数されることでカウンタ回路18からは、第1のカウンタ周期終了時に論理値Highに相当する同時過電流検出信号が出力される。この同時過電流検出信号に対応して5入力論理和回路19から論理値Highに相当する過電流検出信号OCDETが出力されることとなる(図5(E)参照)。

#### 【0073】

なお、第1のカウンタ周期中に同時天絡・当時地絡が発生した場合、その間、電流が流れてしまうが、ボンディングワイヤの溶断電流は、時間の関数となっており、通常、オーディオパワーアンプで使用するLCフィルタの回路定数を考慮して定められた第1のカウンタ周期においては溶断電流は十分大きいと、直ちにボンディングワイヤの溶断が生ずるような虞はない。

20

また、回路が定常状態にある場合には、LCフィルタ起因のリプル電流が流れるため、第2の電流値は想定されるリプル電流よりも大きめに設定すると好適である。

#### 【産業上の利用可能性】

#### 【0074】

ボンディングワイヤの本数増加やボンディングパッド数の増加を抑えつつ、従来に比して、同時天絡、同時短絡時の過電流のより確実な抑圧が所望される電力増幅器に適用できる。

30

#### 【符号の説明】

#### 【0075】

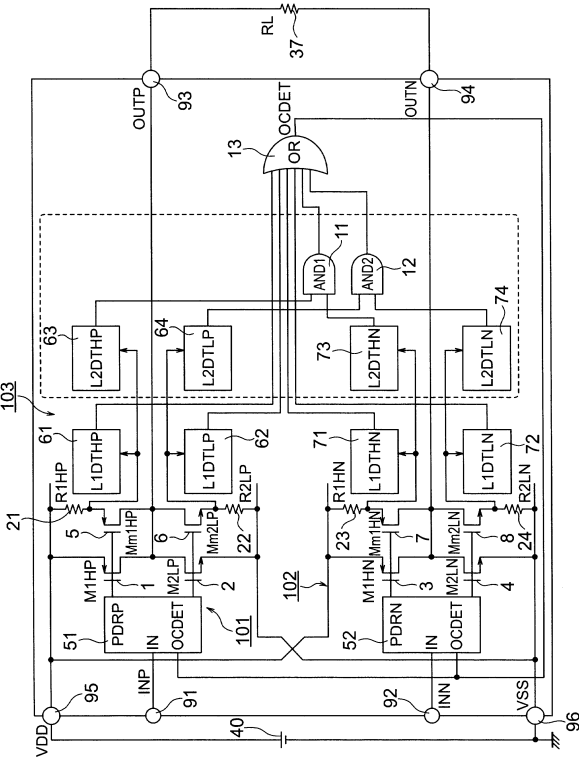
- 1 ... 正相第1のパワートランジスタ
- 2 ... 正相第2のパワートランジスタ
- 3 ... 逆相第1のパワートランジスタ
- 4 ... 逆相第2のパワートランジスタ
- 5 ... 正相第1のモニタトランジスタ
- 6 ... 正相第2のモニタトランジスタ
- 7 ... 逆相第1のモニタトランジスタ
- 8 ... 逆相第2のモニタトランジスタ
- 51 ... 正相パワートランジスタドライブ回路
- 52 ... 逆相パワートランジスタドライブ回路
- 61 ... 正相第1基準第1の過電流検出回路
- 62 ... 正相第1基準第2の過電流検出回路
- 63 ... 正相第2基準第1の過電流検出回路
- 62 ... 正相第2基準第2の過電流検出回路
- 71 ... 逆相第1基準第1の過電流検出回路
- 72 ... 逆相第1基準第2の過電流検出回路
- 73 ... 逆相第2基準第1の過電流検出回路
- 72 ... 逆相第2基準第2の過電流検出回路

40

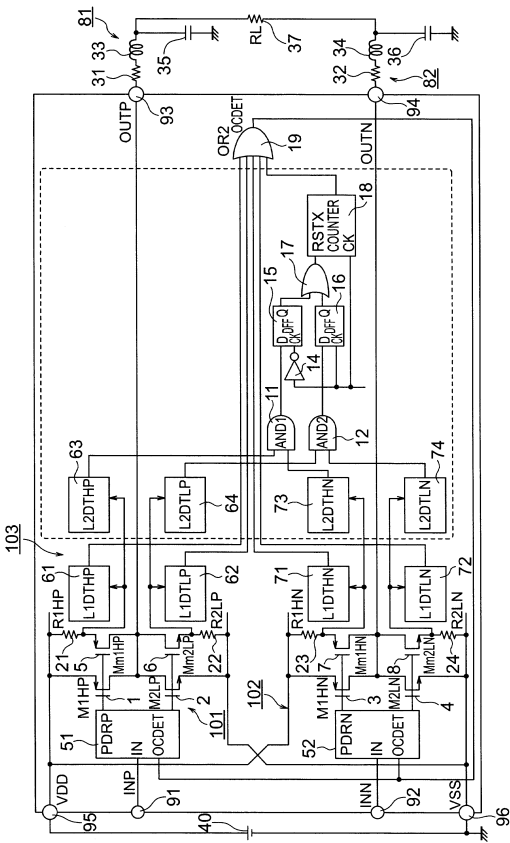
50

【図面】

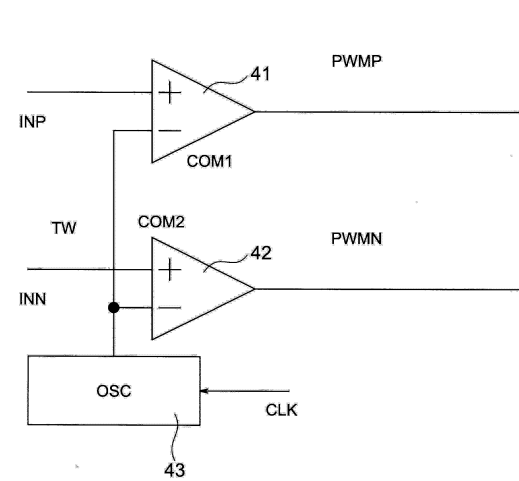
【図 1】



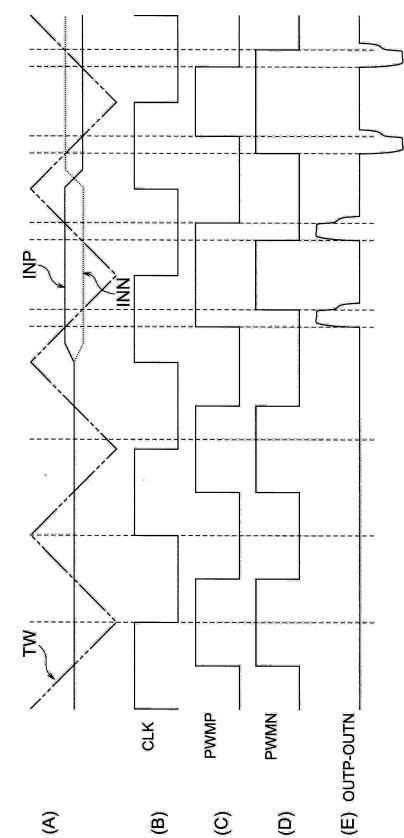
【図 2】



【図 3】



【図 4】



10

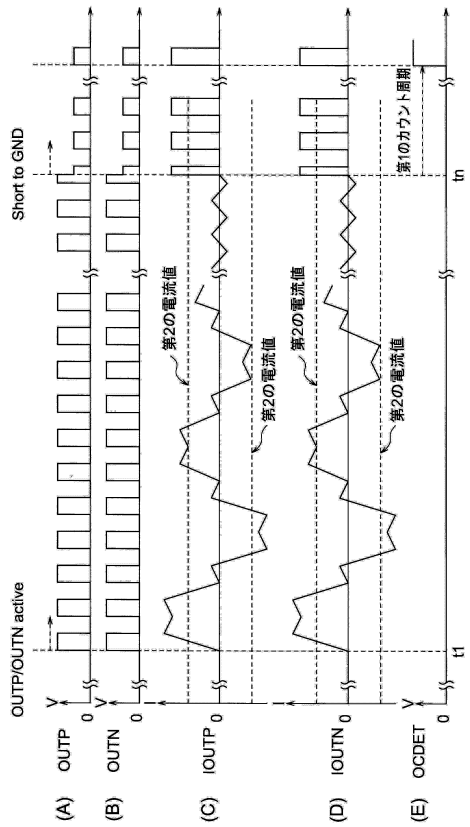
20

30

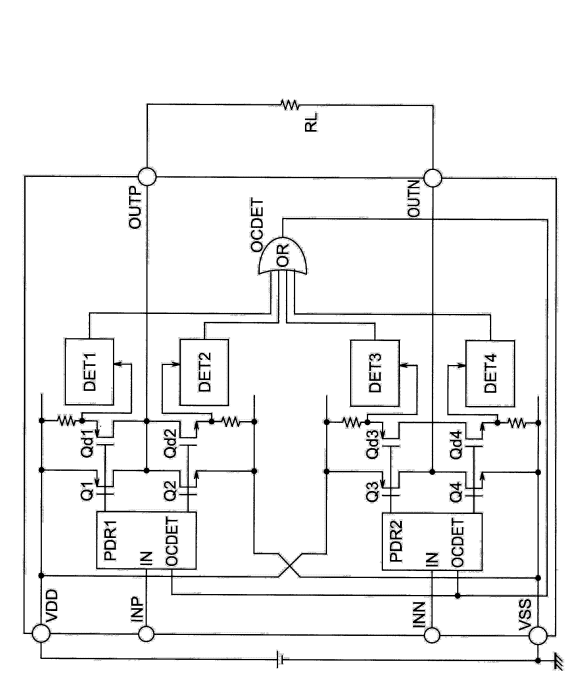
40

50

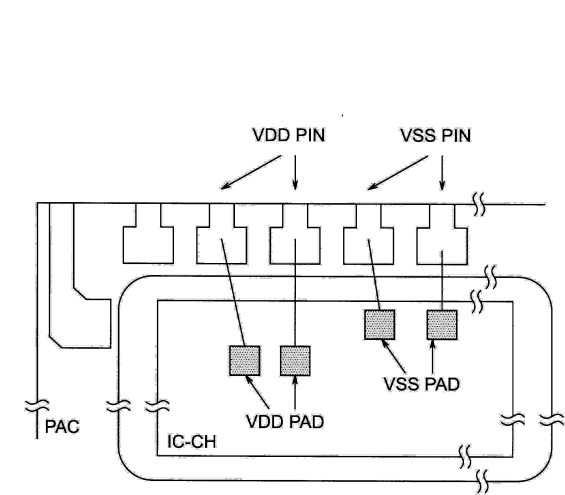
【図 5】



【図 6】



【図 7】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開 2 0 1 2 - 2 3 5 4 0 3 ( J P , A )  
特開 2 0 0 7 - 3 2 5 2 3 6 ( J P , A )  
特開 2 0 2 0 - 0 6 5 1 2 0 ( J P , A )  
特開 2 0 0 2 - 1 7 1 1 4 0 ( J P , A )  
特開平 0 5 - 2 3 5 6 5 1 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 3 F 1 / 0 0 - 3 / 7 2