

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-45203
(P2005-45203A)

(43) 公開日 平成17年2月17日(2005.2.17)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/105	HO 1 L 27/10 4 4 7	5 F 0 8 3
HO 1 L 27/10	HO 1 L 27/10 4 8 1	
HO 1 L 43/08	HO 1 L 43/08 Z	

審査請求 有 請求項の数 5 O L (全 25 頁)

(21) 出願番号	特願2004-77814 (P2004-77814)	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成16年3月18日 (2004.3.18)		東京都港区芝浦一丁目1番1号
(31) 優先権主張番号	特願2003-195187 (P2003-195187)	(74) 代理人	100058479 弁理士 鈴江 武彦
(32) 優先日	平成15年7月10日 (2003.7.10)	(74) 代理人	100091351 弁理士 河野 哲
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100092196 弁理士 橋本 良郎

最終頁に続く

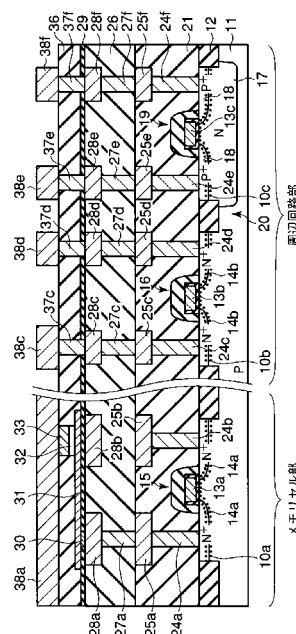
(54) 【発明の名称】 磁気ランダムアクセスメモリ及びその製造方法

(57) 【要約】

【課題】 トランジスタ特性の向上を図る。

【解決手段】 磁気ランダムアクセスメモリは、シリコン基板11と、このシリコン基板11上にゲート絶縁膜を介して形成されたゲート電極とシリコン基板11内に形成された拡散層とを有するトランジスタと、シリコン基板11及びトランジスタ上に形成された第1の絶縁膜21, 26と、この第1の絶縁膜21, 26内に形成された多層配線と、第1の絶縁膜21, 26の上方に形成された磁気抵抗効果素子32とを具備し、シリコン基板11内のダングリングボンドの少なくとも一部が、シリコン-重水素結合によって終端されている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

シリコン基板と、
前記シリコン基板上にゲート絶縁膜を介して形成されたゲート電極と前記シリコン基板内に形成された拡散層とを有するトランジスタと、
前記シリコン基板及び前記トランジスタ上に形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜内に形成された多層配線と、
前記第 1 の絶縁膜の上方に形成された磁気抵抗効果素子と
を具備し、
前記シリコン基板内のダングリングボンドの少なくとも一部が、シリコン - 重水素結合
によって終端されていることを特徴とする磁気ランダムアクセスメモリ。 10

【請求項 2】

前記ゲート電極内に重水素原子が存在することを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 3】

前記ゲート絶縁膜内に重水素原子が存在することを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 4】

前記拡散層の上面を含む前記シリコン基板上、前記ゲート電極の上面及び側面上に形成され、重水素原子を含む第 2 の絶縁膜をさらに具備することを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。 20

【請求項 5】

シリコン基板上にゲート絶縁膜を介してゲート電極を形成し、前記シリコン基板内に拡散層を形成することで、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、
前記シリコン基板及び前記トランジスタ上に第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜内に多層配線を形成する工程と、
少なくとも重水素を含んだガスを用いてアニールを行い、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコン - 重水素結合によって終端させる工程と、
前記第 1 の絶縁膜の上方に磁気抵抗効果素子を形成する工程と
を具備することを特徴とする磁気ランダムアクセスメモリの製造方法。 30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、磁気ランダムアクセスメモリ及びその製造方法に関する。

【背景技術】**【0002】**

近年、トンネル磁気抵抗効果 (TMR: Tunneling Magneto Resistive) を利用した M T J (Magnetic Tunnel Junction) 素子をメモリセルに備えた M R A M (Magnetic Random Access Memory) が提案されている。この M R A M は、R A M の高速性、ランダムアク
セス性、不揮発性を兼ね備えた理想的なメモリとして、近年急速に注目を浴びている。 40

【0003】

M R A M では、磁性体と半導体を融合させるため、従来の半導体では直面していなかった新たな問題が発生している。その問題の一つとして、M R A M に用いる C M O S 回路のシンター工程に関するものが挙げられる。

【0004】

従来における C M O S 回路のプロセスでは、プロセス途中で C M O S 回路に導入されるダメージを除去するために、ウエハプロセスの最終段階で、シンターと呼ばれる、水素雰囲気中で 400 又は 450 程度でアニールする工程を導入する。このシンター工程により、C M O S 回路のゲート酸化膜下のチャネル部分や拡散層の接合部分で発生したシリ 50

コン同士の結合が切れたダングリングボンド部分を、水素原子で終端させる。これにより、トランジスタの閾値変動の調整やトランジスタ特性のばらつきの抑制、そして信頼性の向上を図っていた。

【0005】

ところが、MRAMプロセスでは、セルの磁気トンネル接合を構成するMTJ膜を形成した後は、このMTJ膜の耐熱性によって、その後のプロセス温度の上限が定められてしまう。従って、MTJ膜を形成した後のプロセス温度の上限は例えば300乃至350となってしまう、この温度では十分な効果を発揮するシンターを行うことができない。このため、MRAMでは、CMOS特性を改善することが困難であった。

【0006】

尚、この対策の一つとして、MTJ膜の成膜前にシンターを行うことが考えられる。しかし、この時に形成されるSi-H結合は、その後のプロセスによるダメージで切れ易いことが知られており、結果的には十分なシンター効果を得ることはできない。

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、トランジスタ特性の向上を図ることが可能な磁気ランダムアクセスメモリ及びその製造方法を提供することにある。

【課題を解決するための手段】

【0008】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0009】

本発明の第1の視点による磁気ランダムアクセスメモリは、シリコン基板と、前記シリコン基板上にゲート絶縁膜を介して形成されたゲート電極と前記シリコン基板内に形成された拡散層とを有するトランジスタと、前記シリコン基板及び前記トランジスタ上に形成された第1の絶縁膜と、前記第1の絶縁膜内に形成された多層配線と、前記第1の絶縁膜の上方に形成された磁気抵抗効果素子とを具備し、前記シリコン基板内のダングリングボンドの少なくとも一部が、シリコン-重水素結合によって終端されている。

【0010】

本発明の第2の視点による磁気ランダムアクセスメモリの製造方法は、シリコン基板上にゲート絶縁膜を介してゲート電極を形成し、前記シリコン基板内に拡散層を形成することで、前記ゲート電極と前記拡散層とを有するトランジスタを形成する工程と、前記シリコン基板及び前記トランジスタ上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜内に多層配線を形成する工程と、少なくとも重水素を含んだガスを用いてアニールを行い、前記シリコン基板内のダングリングボンドの少なくとも一部をシリコン-重水素結合によって終端させる工程と、前記第1の絶縁膜の上方に磁気抵抗効果素子を形成する工程とを具備する。

【発明の効果】

【0011】

本発明によれば、トランジスタ特性の向上を図ることが可能な磁気ランダムアクセスメモリ及びその製造方法を提供できる。

【発明を実施するための最良の形態】

【0012】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0013】

[第1の実施形態]

第1の実施形態は、MTJ (Magnetic Tunnel Junction) 素子を形成する前に、窒素 (N₂) + 重水素 (D₂) ガスを用いたアニールを行うことで、ダングリンボンドをSi-H

10

20

30

40

50

結合に加えてSi-D結合で終端させる例である。

【0014】

図1は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。

【0015】

メモリセル部では、シリコン基板11上に、読み出し用のスイッチング素子として機能するNMOSFET15が形成されている。このNMOSFET15のソース/ドレイン拡散層14aの一方には、コンタクト24a, 27a, 30、配線25a, 28a及び下部電極31を介して、MTJ素子32が接続されている。このMTJ素子32は、ハードマスクからなるコンタクト33を介して、上部配線38aに接続されている。また、NMOSFET15のソース/ドレイン拡散層14aの他方には、コンタクト24bを介して、配線25bが接続されている。ここで、上部配線38aは書き込み/読み出しビット線として機能し、MTJ素子32の下方に位置する配線28bは書き込みワード線として機能し、スイッチング素子のゲート電極13aは読み出しワード線として機能する。

10

【0016】

周辺回路部では、NMOSFET16とPMOSFET19とを有するCMOS回路20が設けられている。NMOSFET16のソース/ドレイン拡散層14bの一方には、コンタクト24c, 27c, 37c及び配線25c, 28c, 38cが接続され、NMOSFET16のソース/ドレイン拡散層14bの他方には、コンタクト24d, 27d, 37d及び配線25d, 28d, 38dが接続されている。また、PMOSFET19のソース/ドレイン拡散層18の一方には、コンタクト24e, 27e, 37e及び配線25e, 28e, 38eが接続され、PMOSFET19のソース/ドレイン拡散層18の他方には、コンタクト24f, 27f, 37f及び配線25f, 28f, 38fが接続されている。

20

【0017】

以上のようなメモリセル部及び周辺回路部では、MTJ素子32を形成する前に窒素(N₂) + 重水素(D₂)ガスを用いたアニールを行うことで(詳細は後述する)、シリコン基板11内のダングリングボンドをSi-H結合に加えてSi-D結合によっても終端させている。このため、ダングリングボンドが生じるゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等の少なくとも一部には、Si-D結合領域10a, 10b, 10cが存在する。また、上記アニールを行うことで、層間絶縁膜21, 26, 29中にも重水素原子が存在する。

30

【0018】

尚、Si-D結合領域10a, 10b, 10cや、層間絶縁膜21, 26, 29中の重水素原子の存在は、次のような手法を用いて確認することが可能である。例えば、通常のSIMS法を用いての元素分析、FT-IR法を用いての赤外吸収特性のモニター、又はTDS手法を用いての熱脱離特性のモニター等がある。

【0019】

図2乃至図9は、本発明の第1の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第1の実施形態に係る磁気ランダムアクセスメモリの製造方法について説明する。

40

【0020】

まず、図2に示すように、p型にドーブされたシリコン基板11内に、素子領域を電氣的に分離するために、例えば深さ2500程度のSTI(Shallow Trench Isolation)構造の素子分離領域12が形成される。次に、素子領域上に、ゲート電極13a, 13b, 13cがゲート絶縁膜(例えばシリコン酸化膜)を介して形成される。次に、ゲート電極13a, 13bを挟んでシリコン基板11の表面にn型拡散層14a, 14bが形成される。さらに、シリコン基板11の上面から2µm程度の深さを有するn型にドーブされたNウェル領域17が形成され、このNウェル領域17の表面にp型拡散層18が形成される。このようにして、メモリセル部には、読み出し用スイッチング素子としてのNMOSFET15が形成され、周辺回路部には、NMOSFET16及びPMOSFET19

50

を有するCMOS回路20が形成される。

【0021】

次に、図3に示すように、スイッチング素子及びCMOS回路20上に第1の層間絶縁膜21が堆積され、この第1の層間絶縁膜21の上面がCMP (Chemical Mechanical Polish) 又はレジストエッチバックを用いて平坦化される。ここで、第1の層間絶縁膜21は例えばBPSG (Boron Phosphorous Silicate Glass) 膜及びプラズマCVD (Chemical Vapor Deposition) - シリコン酸化膜を用いており、これらの合計膜厚は4000程度である。尚、第1の層間絶縁膜21の少なくとも一部にLPCVDシリコン酸化膜を用いてもよい。

【0022】

次に、通常のリソグラフィ技術を用いてパターンニングされたフォトレジストをマスクにして、第1のコンタクトホール22a, 22b, 22c, 22d, 22e, 22fがRIE (Reactive Ion Etching) で第1の層間絶縁膜21内に開口される。そして、再度、通常のリソグラフィ技術を用いてパターンニングされたフォトレジストをマスクにして、第1のメタル配線用トレンチ23a, 23b, 23c, 23d, 23e, 23fが第1のコンタクトホール22a, 22b, 22c, 22d, 22e, 22fと連通してそれぞれ形成される。

【0023】

次に、全面に例えばTiNからなる400のバリアメタル膜(図示せず)がCVD法で堆積され、このバリアメタル膜上に例えばWからなる約3000の導電材がBlanket-W-CVD法を用いて形成される。これにより、第1のコンタクトホール22a, 22b, 22c, 22d, 22e, 22f及び第1のメタル配線用トレンチ23a, 23b, 23c, 23d, 23e, 23f内はバリアメタル膜及び導電材で埋め込まれる。続いて、第1の層間絶縁膜21の上面が露出するまで、バリアメタル膜及び導電材がCMP法で除去される。このようにして、n型拡散層14a, 14b及びp型拡散層18につながる第1のコンタクト24a, 24b, 24c, 24d, 24e, 24f及び第1のメタル配線25a, 25b, 25c, 25d, 25e, 25fが形成される。

【0024】

次に、図4に示すように、第1の層間絶縁膜21及び第1のメタル配線25a, 25b, 25c, 25d, 25e, 25f上に第2の層間絶縁膜26が堆積され、この第2の層間絶縁膜26の上面が平坦化される。ここで、第2の層間絶縁膜26は、例えばプラズマCVD - シリコン酸化膜からなり、合計膜厚は例えば5000程度である。尚、第2の層間絶縁膜26の少なくとも一部にBPSG膜やLPCVDシリコン酸化膜を用いてもよい。

【0025】

その後は、上述する第1のコンタクト24a, 24b, 24c, 24d, 24e, 24f及び第1のメタル配線25a, 25b, 25c, 25d, 25e, 25fと同様の手法を用いて、第2の層間絶縁膜26内に第2のコンタクト27a, 27c, 27d, 27e, 27f及び第2のメタル配線28a, 28b, 28c, 28d, 28e, 28fが形成される。

【0026】

次に、図5に示すように、第2の層間絶縁膜26及び第2のメタル配線28a, 28b, 28c, 28d, 28e, 28f上に第3の層間絶縁膜29が堆積され、この第3の層間絶縁膜29の上面が平坦化される。ここで、第3の層間絶縁膜29は、例えばプラズマCVD - シリコン酸化膜からなり、500乃至1500程度の膜厚である。

【0027】

次に、この状態で、重水素を含むガスを用いたシンター工程を行う。すなわち、窒素(N₂) + 重水素(D₂)ガスをチャンバーに導入し、基板温度を400~450まで上昇させて、約60分のアニールを行う。これにより、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等のシリコンダングリンボンド

10

20

30

40

50

が Si - H 結合に加えて Si - D 結合で終端され、シリコン基板 11 の一部には Si - D 結合領域 10 a , 10 b , 10 c が存在することになる。尚、アニール時のガスは、少なくとも重水素が含まれていればよく、重水素以外に例えば窒素や酸素等が含まれていてもよい。また、このアニール時のガスが重水素と窒素とからなる混合ガスの場合、例えば $D_2 : N_2 = 1 : 1$ の比率のガスが用いられる。

【0028】

次に、図 6 に示すように、第 3 の層間絶縁膜 29 内に、第 2 のメタル配線 28 a に接続する下部電極用コンタクト 30 が形成される。

【0029】

次に、図 7 に示すように、第 3 の層間絶縁膜 29 及び下部電極用コンタクト 30 上に、例えば Ta からなる 500 の膜厚の下部電極膜 31 a、MTJ 膜 32 a、例えば Ta からなる 1000 の膜厚のハードマスク層 33 a が順に堆積される。次に、ハードマスク層 33 a 上に、通常のリソグラフィ技術でパターニングされた MTJ 用のマスクレジスト (図示せず) が形成される。そして、このマスクレジストをマスクとしてハードマスク層 33 a が RIE でパターニングされた後、マスクレジストがアッシャーで剥離される。続いて、ハードマスク層 33 a をマスクとしてイオンミリング又は RIE 技術を用いて MTJ 膜 32 a がセル毎に分離され、MTJ 素子 32 が形成される。尚、ハードマスク層 33 a はコンタクト 33 として機能する。

10

【0030】

次に、図 8 に示すように、MTJ 素子 32 を保護するために、RF スパッタ法で全面に SiO_x 膜からなるマスクレジスト 34 が形成され、このマスクレジスト 34 が通常のリソグラフィ技術でパターニングされる。このパターニングされたマスクレジスト 34 を用いて、下部電極膜 31 a が RIE 法でセル毎に分離される。これにより、下部電極 31 が形成される。

20

【0031】

次に、図 9 に示すように、RF スパッタ法で、全面に SiO_x 膜からなる第 4 の層間絶縁膜 36 が形成され、この第 4 の層間絶縁膜 36 の上面が CMP 又はレジストエッチバックを用いて平坦化される。これにより、MTJ 素子 32 上のコンタクト 33 の上面が露出する。続いて、周辺回路用のコンタクト 37 c , 37 d , 37 e , 37 f が、第 2 のメタル配線 28 c , 28 d , 28 e , 28 f と接続するように形成される。

30

【0032】

最後に、図 1 に示すように、スパッタ法で例えば AlCu からなる配線材が全面に形成される。その後、通常のリソグラフィ技術でレジストマスク (図示せず) が形成され、このレジストマスクを用いて配線材が RIE でパターニングされる。これにより、MTJ 素子 32 の上部配線 38 a と、周辺回路部の第 3 のメタル配線 38 c , 38 d , 38 e , 38 f とが形成される。

【0033】

上記第 1 の実施形態によれば、MTJ 素子 32 を形成する前に、窒素 (N_2) + 重水素 (D_2) ガスを用いたアニールを行っている。このため、ゲート電極 13 a , 13 b , 13 c 下の Si - SiO_2 膜界面部、PN 接合部、及びチャネル部等にできているシリコンダングリングボンドを、Si - H 結合に加えて、Si - D 結合によっても終端できる。従って、その後のプロセスを経ても切れ難い Si - D 結合領域 10 a , 10 b , 10 c が存在するため、MTJ 素子 32 の形成後に高温アニール工程を導入しなくても、経時劣化することのない、特性の安定した、MRAM に適したトランジスタ 15 , 16 , 19 を形成することが可能となる。

40

【0034】

また、メモリセル部では、スイッチング素子として機能するトランジスタ 15 の閾値変動やトランジスタ特性のばらつきの抑制、そして信頼性の向上を図ることができるため、MRAM の読み出しマージンを向上させることができる。

【0035】

50

また、メモリセル部では、MTJ素子32のパターニング時に、ダメージの生じやすいイオンミリングを行う。従来のようにシリコンダングリングボンドをSi-H結合のみで終端させている場合は、このイオンミリングによりSi-H結合が非常に切れやすかった。しかし、第1の実施形態のようにシリコンダングリングボンドをSi-H結合に加えてSi-D結合によっても終端させることで、イオンミリングによっても切れにくい状態を作り出すことができる。

【0036】

また、周辺回路部では、トランジスタ16, 19からなるCMOS回路20の特性を向上させることができる。

【0037】

[第2の実施形態]

第2の実施形態は、シリコン基板に最も近い層間絶縁膜を重水素シラン(SiD₄)ガスを用いて成膜することで、第1の実施形態よりもダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合を高めることが可能な例である。

【0038】

図10は、本発明の第2の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。図10に示すように、第2の実施形態において、第1の実施形態と異なる点は、重水素シラン(SiD₄)ガスを用いて、シリコン基板11に最も近い層間絶縁膜40を成膜する点である。この層間絶縁膜40の少なくとも一部は、BPSG膜、LPCVDシリコン酸化膜、プラズマCVDシリコン酸化膜のいずれかの膜を含んでいる。

【0039】

第1の実施形態では、MTJ素子32を形成する直前にD₂(重水素)ガスを用いたアニールを行うので、第1乃至第3の層間絶縁膜21, 26, 29からなる層間絶縁膜の全体に重水素原子が存在していた。

【0040】

これに対し、第2の実施形態では、第1の層間絶縁膜40の形成時に重水素シラン(SiD₄)ガスを用いるため、重水素原子は、第1乃至第3の層間絶縁膜40, 26, 29からなる層間絶縁膜の全体ではなく、主に第1の層間絶縁膜40に存在する。

【0041】

また、第2の実施形態では、ダングリングボンドをSi-H結合に加えてSi-D結合によっても終端させるため、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等の一部には、Si-D結合領域10a, 10b, 10cが存在する。ここで、ダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合は、第1の実施形態より高くなっている。

【0042】

図11は、本発明の第2の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第2の実施形態の製造方法において、第1の実施形態と異なる工程を主に説明する。

【0043】

まず、図11に示すように、メモリセル部には、スイッチング素子としてのNMOSFET15が形成され、周辺回路部には、NMOSFET16及びPMOSFET19を有するCMOS回路20が形成される。

【0044】

次に、スイッチング素子及びCMOS回路20上に第1の層間絶縁膜40が堆積され、この第1の層間絶縁膜21の上面がCMP又はレジストエッチバックを用いて平坦化される。

【0045】

ここで、第1の層間絶縁膜40には、例えばBPSG及びプラズマCVD-シリコン酸化膜が用いられ、これらの合計膜厚は4000程度である。

【0046】

10

20

30

40

50

そして、第1の層間絶縁膜40であるプラズマCVD-シリコン酸化膜の堆積時には、通常のプラズマCVD法でシリコン酸化膜を形成するのに用いられる $\text{SiH}_4 + \text{O}_2$ ガス又は $\text{SiH}_4 + 4\text{N}_2\text{O}$ ガスのシラン(SiH_4)に代わって、重水素シラン(SiD_4)を用いて、 $\text{SiD}_4 + \text{O}_2$ 又は $\text{SiD}_4 + 4\text{N}_2\text{O}$ という組み合わせを利用する。尚、重水素シラン(SiD_4)の代わりに、例えば重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを用いてもよい。

【0047】

また、第1の層間絶縁膜40であるBPSG膜の堆積時にも、通常のBPSG膜の材料ガスである $\text{SiH}_4 + \text{O}_2$ や $\text{SiCl}_2\text{H}_2 + \text{O}_2$ ガスのシラン(SiH_4)やジクロロシラン(SiCl_2H_2)に代わって、重水素シラン(SiD_4)や重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを用いてもよい。

10

【0048】

尚、第1の層間絶縁膜40としてLPCVDシリコン酸化膜を堆積してもよく、このLPCVDシリコン酸化膜の成膜時にも重水素シラン(SiD_4)や重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを含んだガスが用いられる。

【0049】

以上のように、第1の層間絶縁膜40の少なくとも一部の成膜時に重水素シラン(SiD_4)や重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを用いることで、重水素(D_4)がシリコン基板11に取り入れられ、ゲート電極13a, 13b, 13c下の $\text{Si}-\text{SiO}_2$ 膜界面部、PN接合部、及びチャネル部等のダングリングボンドが $\text{Si}-\text{H}$ 結合に加えて $\text{Si}-\text{D}$ 結合でも終端され、 $\text{Si}-\text{D}$ 結合領域10a, 10b, 10cが存在することになる。

20

【0050】

上記第2の実施形態によれば、少なくとも重水素とシランとを含んだガス(例えば、重水素シラン(SiD_4)や重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを含んだガス)を用いて、第1の層間絶縁膜40であるBPSG膜やプラズマCVD-シリコン酸化膜を成膜する。これにより、この成膜段階で、MOSFET15, 16, 19のゲート電極13a, 13b, 13c下の $\text{Si}-\text{SiO}_2$ 膜界面部、PN接合部、チャネル部等にできているシリコンダングリングボンドが $\text{Si}-\text{D}$ 結合によって終端される。従って、第3の層間絶縁膜29を成膜した後に窒素(N_2) + 重水素(D_2)ガスを用いたアニールを行う第1の実施形態よりも、より多くの重水素(D_4)をシリコン基板11に取り入れることができる。このため、ダングリングボンドの終端に占める $\text{Si}-\text{H}$ 結合に対する $\text{Si}-\text{D}$ 結合の割合を第1の実施形態よりも高めることができ、その分だけ、その後のプロセスでのMOSFET特性の劣化に対する耐性を第1の実施形態よりも向上させることができる。

30

【0051】

尚、第2の実施形態において、第3の層間絶縁膜29を形成した後、上記第1の実施形態における窒素(N_2) + 重水素(D_2)ガスを用いたアニール工程を追加することも可能である。

【0052】

[第3の実施形態]

第3の実施形態は、第2の実施形態において、MTJ素子を形成する前に、シリコン窒化膜を形成してから窒素(N_2) + 重水素(D_2)ガスを用いたアニールを行う工程を追加したものである。

40

【0053】

図12は、本発明の第3の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。図12に示すように、第3の実施形態において、第2の実施形態と異なる点は、MTJ素子を形成する前に、シリコン窒化膜を形成してから窒素(N_2) + 重水素(D_2)ガスを用いたアニールを行う点である。

【0054】

50

第2の実施形態では、重水素原子は、第1乃至第3の層間絶縁膜40, 26, 29からなる層間絶縁膜の全体ではなく、主に第1の層間絶縁膜40に存在する。

【0055】

これに対し、第3の実施形態では、MTJ素子32を形成する前に、まずシリコン窒化膜を形成し、そして、重水素ガスを用いたアニールを行う(詳細は後述する)。このため、第1乃至第3の層間絶縁膜40, 26, 29からなる層間絶縁膜の全体に重水素原子が存在し、特に第1の層間絶縁膜40中に重水素原子が多く存在する。

【0056】

また、第3の実施形態では、ダングリングボンドをSi-H結合に加えてSi-D結合によっても終端させるため、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等の少なくとも一部には、Si-D結合領域10a, 10b, 10cが存在する。ここで、ダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合は、第1及び第2の実施形態より高くなっている。

【0057】

図13乃至図15は、本発明の第3の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第3の実施形態の製造方法において、第1の実施形態と異なる工程を主に説明する。

【0058】

まず、図13に示すように、メモリセル部には、スイッチング素子としてのNMOSFET15が形成され、周辺回路部には、NMOSFET16及びPMOSFET19を有するCMOS回路20が形成される。

【0059】

次に、スイッチング素子及びCMOS回路20上に、例えばBPSG膜、LPCVDシリコン酸化膜、プラズマCVDシリコン酸化膜等からなる第1の層間絶縁膜40が堆積される。

【0060】

この第1の層間絶縁膜40の成膜時には、第2の実施形態と同様の手法で、重水素シラン(SiD₄)や重水素ジクロロシラン(SiCl₂D₂)等の重水素シランクロライドを用いる。その結果、この重水素(D₄)がシリコン基板11に取り入れられ、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等のダングリンボンドの少なくとも一部がSi-D結合で終端され、Si-D結合領域10a, 10b, 10cが存在することになる。

【0061】

その後、第1の層間絶縁膜21の上面がCMP又はレジストエッチバックを用いて平坦化される。

【0062】

次に、図14に示すように、第1の層間絶縁膜40上に第2の層間絶縁膜26が形成され、この第2の層間絶縁膜26上にシリコン窒化膜41が形成される。ここで、シリコン窒化膜41は、例えば重水素シラン(SiD₄) + 窒素(N₂)ガスを用いたプラズマCVD法で堆積される。このため、重水素(D₄)がシリコン基板11にさらに取り入れられる。尚、シリコン窒化膜41の形成では、重水素シラン(SiD₄)の代わりに、重水素ジクロロシラン(SiCl₂D₂)等の重水素シランクロライドを用いてもよい。

【0063】

次に、この状態で、窒素(N₂) + 重水素(D₂)ガスをチャンバーに導入し、基板温度を400 ~ 450 まで上昇させて、約60分のアニールを行う。これにより、重水素(D₄)がシリコン基板11にさらに取り入れられ、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等のダングリンボンドがSi-D結合でさらに終端される。

【0064】

上記アニール後、例えばCDE(Chemical Dry Etching)法で、シリコン窒化膜41が

剥離除去される。

【0065】

次に、図15に示すように、第1の実施形態と同様の手法で、第2の層間絶縁膜26内に、第2のコンタクト27a, 27c, 27d, 27e, 27f及び第2のメタル配線28a, 28b, 28c, 28d, 28e, 28fが形成される。その後は、第1の実施形態と同様であるため、説明は省略する。

【0066】

上記第3の実施形態によれば、重水素を含んだガス(例えば、重水素シラン(SiD_4)や重水素ジクロロシラン(SiCl_2D_2)を含んだガス)を用いて、第1の層間絶縁膜40であるBPSG膜やプラズマCVD-シリコン酸化膜を成膜するため、上記第2の実施形態と同様の効果を得ることができる。

10

【0067】

さらに、重水素シラン(SiD_4)ガスを用いてシリコン窒化膜41を形成して、窒素(N_2) + 重水素(D_2)ガスを用いたアニールを施すことにより、第1及び第2の実施形態よりも、さらに効果的に重水素(D_2)をシリコン基板11中に取り込むことが可能になる。その結果、ダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合を第1の実施形態よりも高めることができ、その分だけ、その後のプロセスでのMOSFET特性の劣化に対する耐性を第1及び第2の実施形態よりも向上させることができる。

【0068】

尚、第3の実施形態において、層間絶縁膜40の成膜の際、重水素を含んだガスを用いずに、通常のシラン(SiH_4)ガスを用いてもよい。

20

【0069】

[第4の実施形態]

第4の実施形態は、トランジスタのゲート電極を重水素シラン(SiD_4)ガスを用いて成膜することで、上記各実施形態よりもダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合を高めることが可能な例である。

【0070】

図16は、本発明の第4の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。図16に示すように、第4の実施形態において、第1の実施形態と異なる点は、重水素シラン(SiD_4)ガスを用いてゲート電極53a, 53b, 53c用のポリシリコン膜52を成膜することで、ゲート電極53a, 53b, 53c内に重水素原子が存在している点である。

30

【0071】

また、第4の実施形態では、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャネル部等には、上記各実施形態よりも、Si-D結合領域10a, 10b, 10cが多く存在する。

【0072】

図17及び図18は、本発明の第4の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第4の実施形態の製造方法において、第1の実施形態と異なる工程を主に説明する。

40

【0073】

まず、図17に示すように、シリコン基板11上の自然酸化膜を除去した状態で、約600程度の熱酸化膜51がシリコン基板11上に形成される。続いて、基板温度を600~700に加熱した状態で、通常用いられるシランガス(SiH_4)に代えて重水素シラン(SiD_4)ガスを導入して、ゲート電極53a, 53b, 53c用のポリシリコン膜52がLPCVD法で堆積される。尚、ポリシリコン膜52の形成では、重水素シラン(SiD_4)の代わりに、重水素ジクロロシラン(SiCl_2D_2)等の重水素シランクロライドを用いてもよい。

【0074】

50

次に、図18に示すように、通常のリソグラフィ及びR I E法を用いてポリシリコン膜52がパターンニングされ、ゲート電極53a, 53b, 53cが形成される。次に、ゲート電極53a, 53b, 53cをマスクとした拡散層のイオン注入、サイドウォールの形成、再度拡散層のイオン注入、ゲート電極53a, 53b, 53c上にバリア用のシリコン窒化膜の形成がそれぞれ行われる。その後は、第1の実施形態と同様であるが、窒素(N₂) + 重水素(D₂)ガスを用いたアニール工程は省略してもよい。

【0075】

尚、ポリシリコン膜52の抵抗をトランジスタ動作に必要な低抵抗に保つために、ポリシリコン膜52中に燐(P)をドーブしたり、ポリシリコン膜52の上部にW S i (タングステンシリサイド)を堆積したりするプロセスを組み合わせてもよい。

10

【0076】

上記第4の実施形態によれば、ポリシリコンからなるゲート電極53a, 53b, 53cを形成した段階でM O S F E T領域のシリコンダングリングボンドが重水素雰囲気さらされるため、上記第1乃至第3の実施形態よりも早い段階でシリコンダングリングボンドを重水素で結合させることができる。その結果、ダングリングボンドの大半をS i - D結合によって終端されるため、その後のプロセスでのM O S F E T特性の劣化に対する耐性を第1乃至第3の実施形態よりも向上させることができる。

【0077】

尚、第4の実施形態において、第2の実施形態や第3の実施形態を組み合わせたことも可能である。

20

【0078】

[第5の実施形態]

第5の実施形態は、トランジスタのゲート絶縁膜を重水素(D₂)ガスを用いて成膜することで、上記各実施形態よりもダングリングボンドの終端に占めるS i - H結合に対するS i - D結合の割合を高めることが可能な例である。

【0079】

図19は、本発明の第5の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。図19に示すように、第5の実施形態において、第1の実施形態と異なる点は、重水素(D₂)ガスを用いてゲート絶縁膜60a, 60b, 60c用の熱酸化膜を形成することで、ゲート絶縁膜60a, 60b, 60c内に重水素原子が存在している点である。

30

【0080】

また、第5の実施形態では、ゲート電極13a, 13b, 13c下のS i - S i O₂膜界面部、P N接合部、及びチャネル部等には、上記各実施形態よりも、S i - D結合領域10a, 10b, 10cが多く存在する。

【0081】

図20は、本発明の第5の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第5の実施形態の製造方法において、第1の実施形態と異なる工程を主に説明する。

【0082】

まず、図20に示すように、シリコン基板11上の自然酸化膜を除去した状態で、熱酸化法により約60程度の熱酸化膜60がシリコン基板11上に形成される。この熱酸化膜60の形成は、重水素(D₂) + 酸素(O₂)ガスを用いて行われる。次に、熱酸化膜60上にゲート電極材(例えばポリシリコン)61が形成される。その後は、第1の実施形態と同様であるが、窒素(N₂) + 重水素(D₂)ガスを用いたアニール工程は省略してもよい。

40

【0083】

上記第5の実施形態によれば、ゲート絶縁膜60a, 60b, 60cを形成した段階でM O S F E T領域のシリコンダングリングボンドが重水素雰囲気さらされるため、上記第1乃至第4の実施形態よりも早い段階でシリコンダングリングボンドを重水素で結合させることができる。その結果、ダングリングボンドの大半をS i - D結合によって終端さ

50

れるため、その後のプロセスでのMOSFET特性の劣化に対する耐性を第1乃至第4の実施形態よりも向上させることができる。

【0084】

尚、第5の実施形態において、第2乃至第4の実施形態をそれぞれ組み合わせることも可能である。

【0085】

[第6の実施形態]

第6の実施形態は、ゲート電極の上面及び側面を覆う絶縁膜を重水素(D_2)を含むガスを用いて成膜することで、上記第1乃至第3の実施形態よりもダングリングボンドの終端に占めるSi-H結合に対するSi-D結合の割合を高めることが可能な例である。

10

【0086】

図21は、本発明の第6の実施形態に係る磁気ランダムアクセスメモリの断面図を示す。図21に示すように、第6の実施形態において、第1の実施形態と異なる点は、重水素(D_2)を含むガスを用いてゲート電極13a, 13b, 13cの上面及び側面を覆う絶縁膜70a, 70b, 70c, 71を成膜することで、この絶縁膜70a, 70b, 70c, 71内に重水素原子が存在している点である。この絶縁膜70a, 70b, 70c, 71は、n型拡散層14a, 14bの上面を含むシリコン基板11の上面も覆う。

【0087】

また、第6の実施形態では、ゲート電極13a, 13b, 13c下のSi-SiO₂膜界面部、PN接合部、及びチャンネル部等には、上記第1乃至第3の実施形態よりも、Si-D結合領域10a, 10b, 10cが多く存在する。

20

【0088】

図22は、本発明の第6の実施形態に係る磁気ランダムアクセスメモリの製造工程の断面図を示す。以下に、第6の実施形態の製造方法において、第1の実施形態と異なる工程を主に説明する。

【0089】

まず、図22に示すように、シリコン基板11上にゲート電極13a, 13b, 13cがゲート絶縁膜(例えばシリコン酸化膜)を介して形成される。次に、n型拡散層14a, 14b、Nウェル領域17、p型拡散層18が形成される。このようにして、メモリセル部には、読み出し用スイッチング素子としてのNMOSFET15が形成され、周辺回路部には、NMOSFET16及びPMOSFET19を有するCMOS回路20が形成される。

30

【0090】

次に、ゲート電極13a, 13b, 13cの上面及び側面に第1の絶縁膜70a, 70b, 70cが形成され、この第1の絶縁膜70a, 70b, 70c及びシリコン基板11上に第2の絶縁膜71が形成される。ここで、第1及び第2の絶縁膜70a, 70b, 70c, 71は、例えばシリコン窒化膜からなり、ジクロロシラン($SiCl_2H_2$) + 重水素化アンモニア(ND_3)ガスを用いてLPCVD法で形成される。その後は、第1の実施形態と同様であるが、窒素(N_2) + 重水素(D_2)ガスを用いたアニール工程は省略してもよい。

40

【0091】

上記第6の実施形態によれば、ゲート電極の上面及び側面を覆う絶縁膜70a, 70b, 70c, 71を形成した段階でMOSFET領域のシリコンダングリングボンドが重水素雰囲気さらされるため、上記第1乃至第3の実施形態よりも早い段階でシリコンダングリングボンドを重水素で結合させることができる。その結果、ダングリングボンドの大半をSi-D結合によって終端されるため、その後のプロセスでのMOSFET特性の劣化に対する耐性を第1乃至第3の実施形態よりも向上させることができる。

【0092】

尚、第6の実施形態において、第2乃至第5の実施形態をそれぞれ組み合わせることも可能である。

50

【0093】

上記本発明の第1乃至第6の実施形態は、以下のように種々変更することが可能である。

【0094】

例えば、MTJ素子32の下方の多層配線は2層になっているが、第3のコンタクト及び第3のメタル配線等を形成することで多層配線の総数を変更することも可能であるし、必要な箇所に配線を適宜追加することも可能である。

【0095】

また、メモリセル部は、上記各実施形態で示した1MTJ+1トランジスタの構造に限定されず、種々変更することも可能である。

【0096】

また、シリコン-シリコン酸化膜界面のダングリングボンドの終端に関して、第4の実施形態よりもさらに効果的な方法として、ゲート酸化膜の形成時に重水素を用いることも可能である。この場合、例えば、基板温度850度にて、重水素(D₂)+酸素(O₂)の混合ガスを導入してシリコン基板の表面を酸化し、そのまま引き続きポリシリコン電極を形成することも可能である。

10

【0097】

また、シリコン-シリコン酸化膜界面のダングリングボンドの終端方法として、ゲート電極の側壁絶縁膜(例えばシリコン窒化膜)に重水素を用いることによって、界面に重水素を導入することも可能である。

【0098】

また、ゲート電極を形成する材料としては、例えば、ポリシリコンや、ポリシリコンとポリメタル(W-Si等)との積層等があげられる。

20

【0099】

また、ゲート電極の上面及び側面を覆う絶縁膜としては、例えば、重水素を含むシリコン窒化膜等があげられる。

【0100】

また、ゲート電極は、例えば次のようなプロセスで形成される。まず、シリコン基板の表面が酸化された後、ゲート電極材(例えばポリメタル膜)及びキャップ材(例えばシリコン窒化膜)が堆積される。次に、RIEによりゲート電極材がパターンニングされ、ゲート電極が形成される。次に、酸化プロセスによりゲート電極の側面が酸化され、側壁絶縁膜が形成される。その後、全面が絶縁膜(例えば重水素を含むシリコン窒化膜)が覆われる。

30

【0101】

尚、本発明の第1乃至第6の実施形態に係る磁気ランダムアクセスメモリ(半導体記憶装置)は、様々な装置に適用することが可能である。これらのいくつかの適用例を図23乃至図29に示す。

【0102】

(適用例1)

図23は、デジタル加入者線(DSL)用モデムのDSLデータパス部分を抽出して示している。このモデムは、プログラマブルデジタルシグナルプロセッサ(DSP: Digital Signal Processor)100、アナログ-デジタル(A/D)コンバータ110、デジタル-アナログ(D/A)コンバータ120、送信ドライバ130、及び受信機増幅器140などを含んでいる。

40

【0103】

図23では、バンドパスフィルタを省略しており、その代わりに回線コードプログラム(DSPで実行される、コード化された加入者回線情報、伝送条件等(回線コード; QAM、CAP、RSK、FM、AM、PAM、DWT等))に応じてモデムを選択、動作させるためのプログラム)を保持するための種々のタイプのオプションのメモリとして、本実施形態の磁気ランダムアクセスメモリ(MRAM)170とEEPROM180を示している。

50

【0104】

尚、本適用例では、回線コードプログラムを保持するためのメモリとして磁気ランダムアクセスメモリ170とEEPROM180との2種類のメモリを用いているが、EEPROM180を磁気ランダムアクセスメモリに置き換えてもよい。すなわち、2種類のメモリを用いず、磁気ランダムアクセスメモリのみを用いるように構成してもよい。

【0105】

(適用例2)

図24は、別の適用例として、携帯電話端末300を示している。通信機能を実現する通信部200は、送受信アンテナ201、アンテナ共用器202、受信部203、ベースバンド処理部204、音声コーデックとして用いられるDSP205、スピーカ(受話器)206、マイクロホン(送話器)207、送信部208、及び周波数シンセサイザ209等を備えている。

10

【0106】

また、この携帯電話端末300には、当該携帯電話端末の各部を制御する制御部220が設けられている。制御部220は、CPU221、ROM222、本実施形態の磁気ランダムアクセスメモリ(MRAM)223、及びフラッシュメモリ224がCPUバス225を介して接続されて形成されたマイクロコンピュータである。上記ROM222には、CPU221において実行されるプログラムや表示用のフォント等の必要となるデータが予め記憶されている。MRAM223は、主に作業領域として用いられるものであり、CPU221がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部220と各部との間でやり取りするデータを一時記憶したりする場合などに用いられる。また、フラッシュメモリ224は、携帯電話端末300の電源がオフされても、例えば直前の設定条件などを記憶しておき、次の電源オン時に同じ設定にするような使用方法をする場合に、それらの設定パラメータを記憶しておくものである。これによって、携帯電話端末の電源がオフにされても、記憶されている設定パラメータを消失してしまうことがない。

20

【0107】

さらに、この携帯電話端末300には、オーディオ再生処理部211、外部出力端子212、LCDコントローラ213、表示用のLCD(液晶ディスプレイ)214、及び呼び出し音を発生するリング215等が設けられている。上記オーディオ再生処理部211は、携帯電話端末300に入力されたオーディオ情報(あるいは後述する外部メモリ240に記憶されたオーディオ情報)を再生する。再生されたオーディオ情報は、外部出力端子212を介してヘッドフォンや携帯型スピーカ等に伝えることにより、外部に取り出すことが可能である。このように、オーディオ再生処理部211を設けることにより、オーディオ情報の再生が可能となる。上記LCDコントローラ213は、例えば上記CPU221からの表示情報をCPUバス225を介して受け取り、LCD214を制御するためのLCD制御情報に変換し、LCD214を駆動して表示を行わせる。

30

【0108】

上記携帯電話端末300には、インターフェース回路(I/F)231, 233, 235、外部メモリ240、外部メモリスロット232、キー操作部234、及び外部入出力端子236等が設けられている。上記外部メモリスロット232にはメモリカード等の外部メモリ240が挿入される。この外部メモリスロット232は、インターフェース回路(I/F)231を介してCPUバス225に接続される。このように、携帯電話端末300にスロット232を設けることにより、携帯電話端末300の内部の情報を外部メモリ240に書き込んだり、あるいは外部メモリ240に記憶された情報(例えばオーディオ情報)を携帯電話端末300に入力したりすることが可能となる。上記キー操作部234は、インターフェース回路(I/F)233を介してCPUバス225に接続される。キー操作部234から入力されたキー入力情報は、例えばCPU221に伝えられる。上記外部入出力端子236は、インターフェース回路(I/F)233を介してCPUバス225に接続され、携帯電話端末300に外部から種々の情報を入力したり、あるいは携帯

40

50

電話端末 300 から外部へ情報を出したりする際の端子として機能する。

【0109】

尚、本適用例では、ROM 222、MRAM 223 及びフラッシュメモリ 224 を用いているが、フラッシュメモリ 224 を磁気ランダムアクセスメモリに置き換えてもよいし、さらに ROM 222 も磁気ランダムアクセスメモリに置き換えることも可能である。

【0110】

(適用例 3)

図 25 乃至図 29 は、磁気ランダムアクセスメモリをスマートメディア等のメディアコンテンツを収納するカード (MRAM カード) に適用した例をそれぞれ示す。

【0111】

図 25 に示すように、MRAM カード本体 400 には、MRAM チップ 401 が内蔵されている。このカード本体 400 には、MRAM チップ 401 に対応する位置に開口部 402 が形成され、MRAM チップ 401 が露出されている。この開口部 402 にはシャッター 403 が設けられており、当該 MRAM カードの携帯時に MRAM チップ 401 がシャッター 403 で保護されるようになっている。このシャッター 403 は、外部磁場を遮蔽する効果のある材料、例えばセラミックからなっている。データを転写する場合には、シャッター 403 を開放して MRAM チップ 401 を露出させて行う。外部端子 404 は MRAM カードに記憶されたコンテンツデータを外部に取り出すためのものである。

【0112】

図 26 及び図 27 は、上記 MRAM カードにデータを転写するための、カード挿入型の転写装置の上面図及び断面図を示している。エンドユーザの使用する第 2 MRAM カード 450 を、矢印で示すように転写装置 500 の挿入部 510 より挿入し、ストッパ 520 で止まるまで押し込む。このストッパ 520 は第 1 MRAM 550 と第 2 MRAM カード 450 を位置合わせするための部材としても働く。第 2 MRAM カード 450 が所定位置に配置されると、第 1 MRAM データ書き換え制御部から外部端子 530 に制御信号が供給され、第 1 MRAM 550 に記憶されたデータが第 2 MRAM カード 450 に転写される。

【0113】

図 28 には、はめ込み型の転写装置を示す。この転写装置は、矢印で示すように、ストッパ 520 を目標に、第 1 MRAM 550 上に第 2 MRAM カード 450 をはめ込みように載置するタイプである。転写方法についてはカード挿入型と同一であるので、説明を省略する。

【0114】

図 29 には、スライド型の転写装置を示す。この転写装置は、CD-ROM ドライブや DVD ドライブと同様に、転写装置 500 に受け皿スライド 560 が設けられており、この受け皿スライド 560 が矢印で示すように移動する。受け皿スライド 560 が破線の位置に移動したときに第 2 MRAM カード 450 を受け皿スライド 560 に載置し、第 2 MRAM カード 450 を転写装置 500 の内部へ搬送する。ストッパ 520 に第 2 MRAM カード 450 の先端部が当接するように搬送される点、および転写方法についてはカード挿入型と同一であるので、説明を省略する。

【0115】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0116】

10

20

30

40

50

- 【図 1】本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。
- 【図 2】本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 3】図 2 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 4】図 3 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 5】図 4 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 6】図 5 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。 10
- 【図 7】図 6 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 8】図 7 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 9】図 8 に続く、本発明の第 1 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 10】本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。
- 【図 11】本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。 20
- 【図 12】図 11 に続く、本発明の第 2 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 13】本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。
- 【図 14】本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 15】図 14 に続く、本発明の第 3 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 16】本発明の第 4 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。
- 【図 17】本発明の第 4 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。 30
- 【図 18】図 17 に続く、本発明の第 4 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 19】本発明の第 5 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。
- 【図 20】本発明の第 5 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 21】本発明の第 6 の実施形態に係わる磁気ランダムアクセスメモリを示す断面図。
- 【図 22】本発明の第 6 の実施形態に係わる磁気ランダムアクセスメモリの製造工程を示す断面図。
- 【図 23】本発明の第 1 乃至第 6 の実施形態に係る磁気ランダムアクセスメモリの適用例 1 について説明するためのもので、デジタル加入者線 (DSL) 用モデムの DSL データパス部分を示すブロック図。 40
- 【図 24】本発明の第 1 乃至第 6 の実施形態に係る磁気ランダムアクセスメモリの適用例 2 について説明するためのもので、携帯電話端末を示すブロック図。
- 【図 25】本発明の第 1 乃至第 6 の実施形態に係る磁気ランダムアクセスメモリの適用例 3 について説明するためのもので、磁気ランダムアクセスメモリをスマートメディア等のメディアコンテンツを収納するカード (MRAMカード) に適用した例を示す上面図。
- 【図 26】MRAMカードにデータを転写するための転写装置を示す平面図。
- 【図 27】MRAMカードにデータを転写するための転写装置を示す断面図。
- 【図 28】MRAMカードにデータを転写するための、はめ込み型の転写装置を示す断面図。 50

【図29】M R A Mカードにデータを転写するための、スライド型の転写装置を示す断面図。

【符号の説明】

【0117】

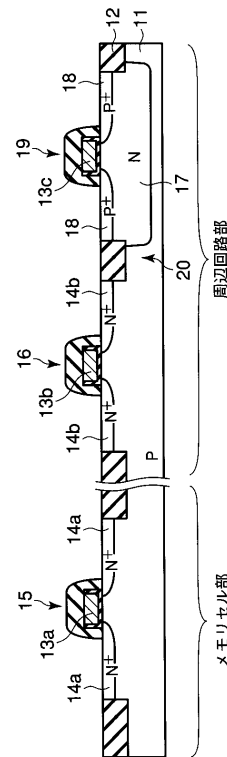
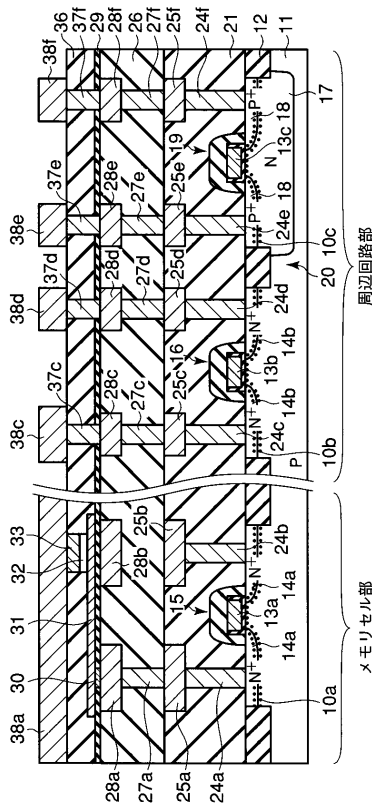
10a, 10b, 10c... Si-D結合領域、11...シリコン基板、12...素子分離領域、13a, 13b, 13c, 53a, 53b, 53c...ゲート電極、14a, 14b... N型拡散層、15, 16...NMOSFET、17...Nウェル領域、18...P型拡散層、19...PMOSFET、20...CMOS回路、21, 40...第1の層間絶縁膜、22a, 22b, 22c, 22d, 22e, 22f...コンタクトホール、23a, 23b, 23c, 23d, 23e, 23f...第1のメタル配線用トレンチ、24a, 24b, 24c, 24d, 24e, 24f...第1のコンタクト、25a, 25b, 25c, 25d, 25e, 25f...第1のメタル配線、26...第2の層間絶縁膜、27a, 27c, 27d, 27e, 27f...第2のコンタクト、28a, 28b, 28c, 28d, 28e, 28f...第2のメタル配線、29...第3の層間絶縁膜、30...下部電極用コンタクト、31...下部電極、31a...下部電極膜、32...MTJ素子、32a...MTJ膜、33...ハードマスク、33a...ハードマスク層、33, 34...マスクレジスト、36...第4の層間絶縁膜、37c, 37d, 37e, 37f...周辺回路用のコンタクト、38a...上部配線、38c, 38d, 38e, 38f...第3のメタル配線、51, 60, 60a, 60b, 60c...ゲート絶縁膜、52...ポリシリコン膜、61...ゲート電極材、70a, 70b, 70c, 71...絶縁膜。

10

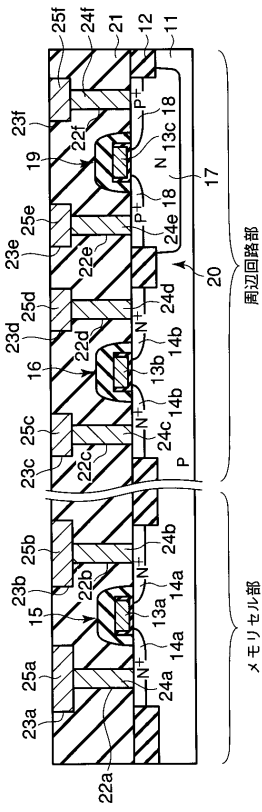
20

【図1】

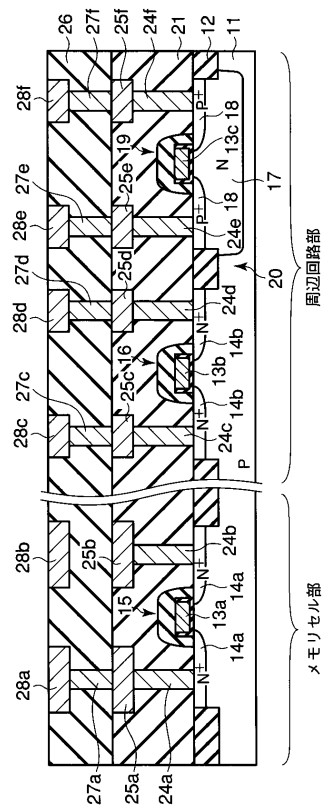
【図2】



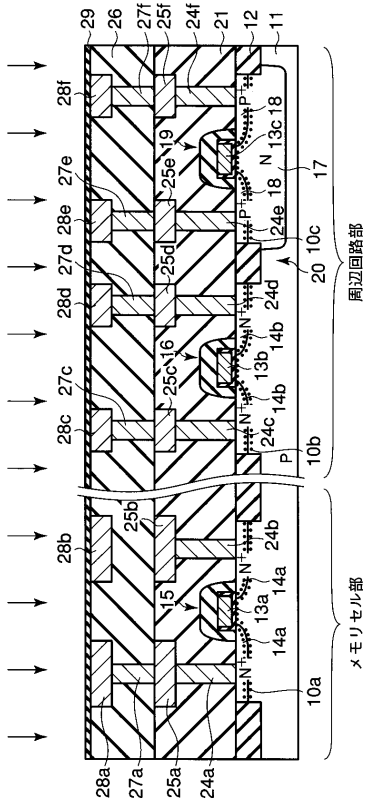
【 図 3 】



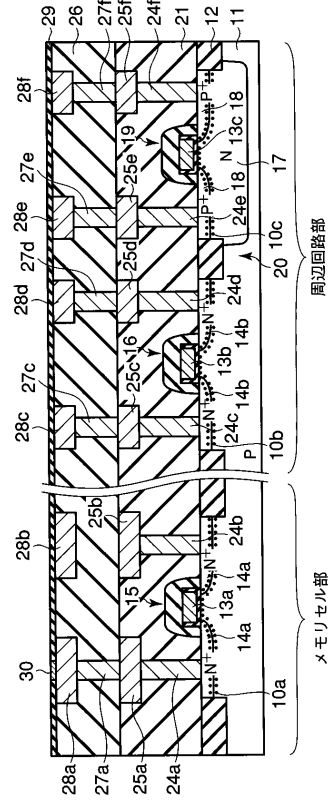
【 図 4 】



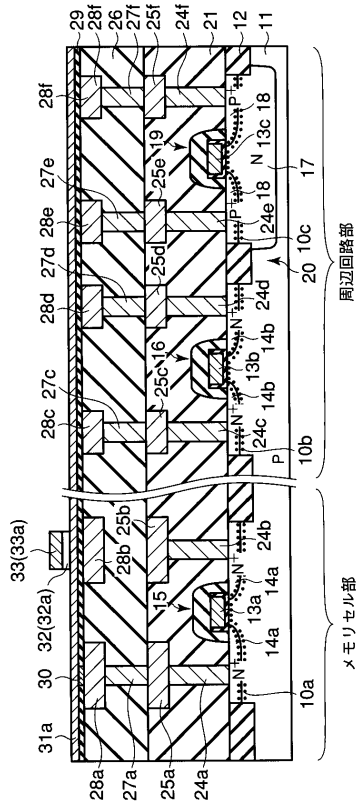
【 図 5 】



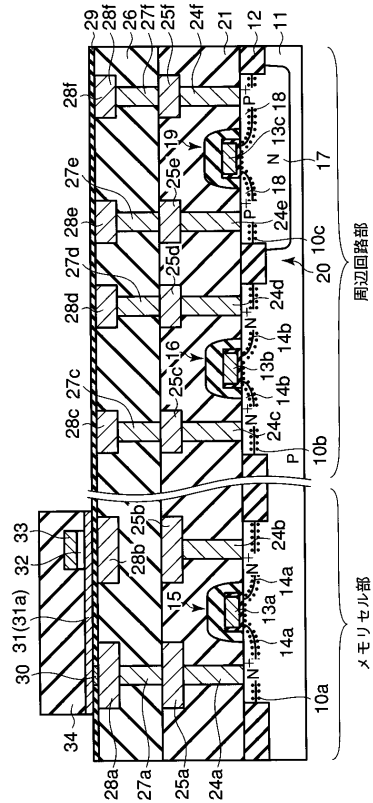
【 図 6 】



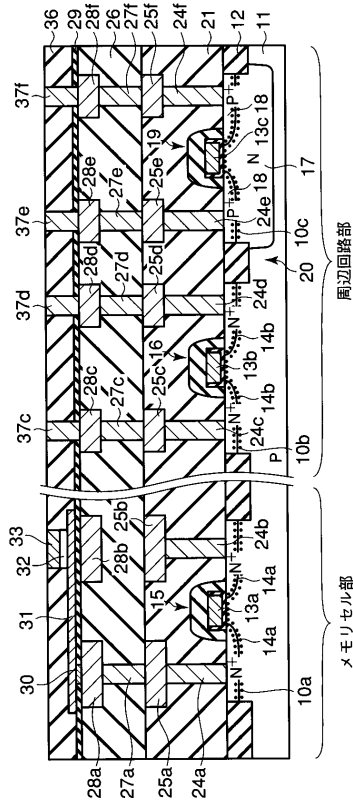
【 図 7 】



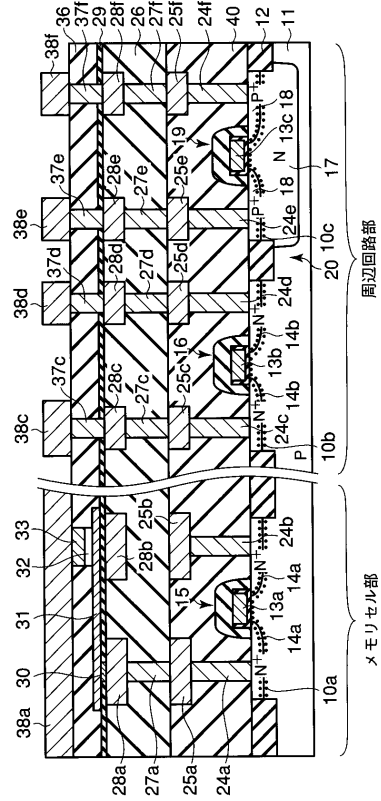
【 図 8 】



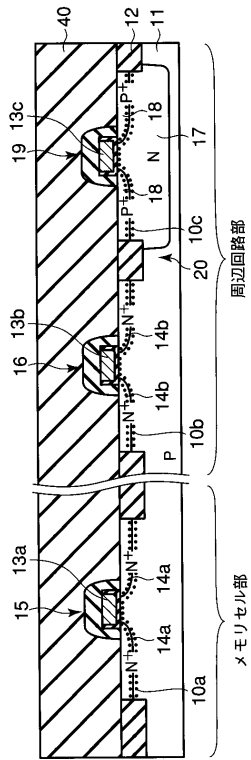
【 図 9 】



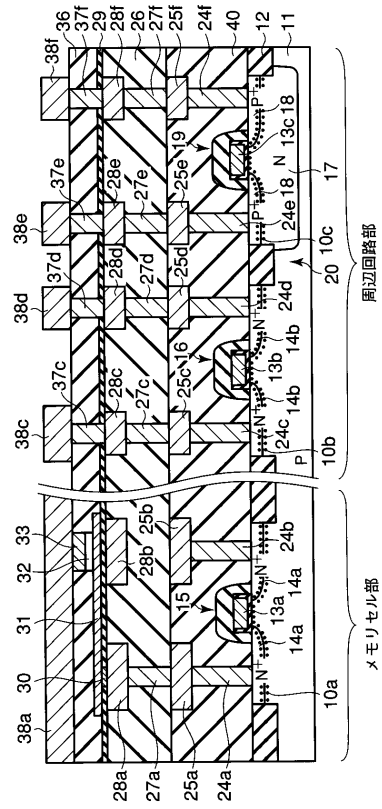
【 図 10 】



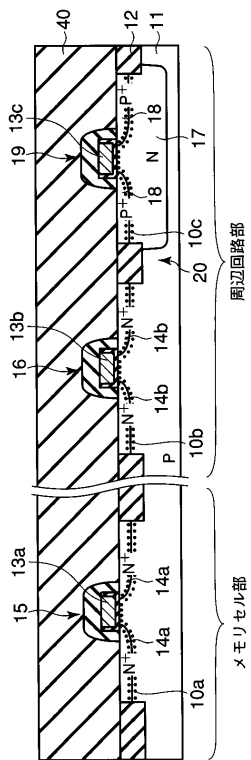
【図 1 1】



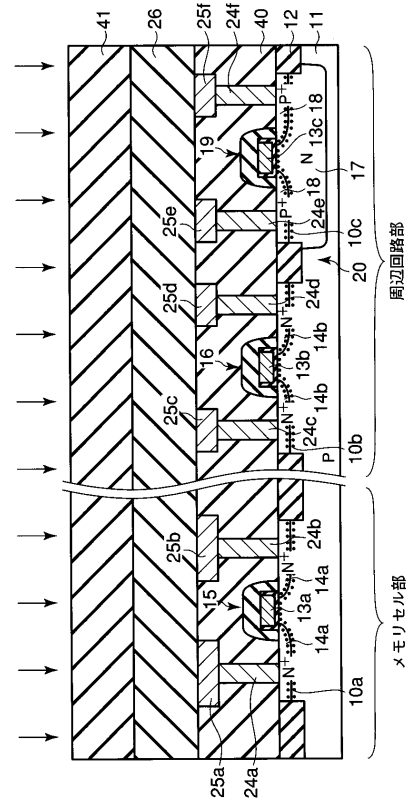
【図 1 2】



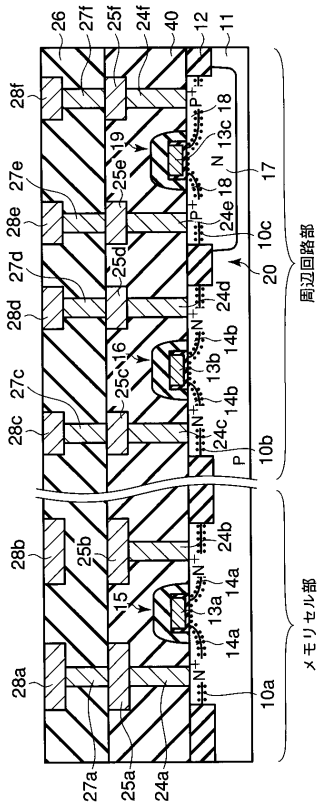
【図 1 3】



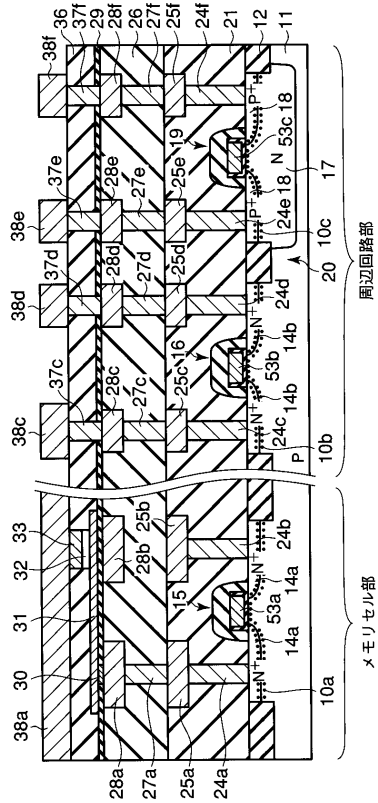
【図 1 4】



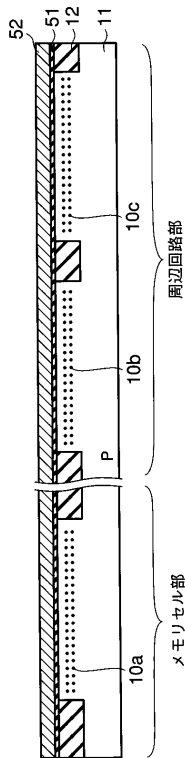
【 図 1 5 】



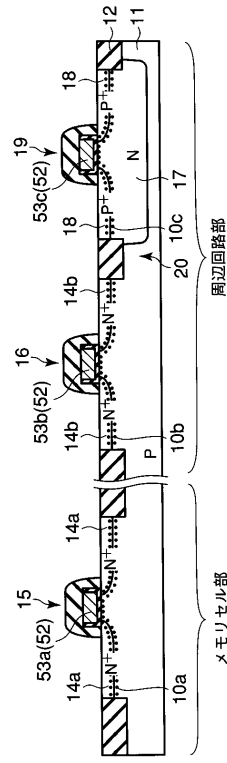
【 図 1 6 】



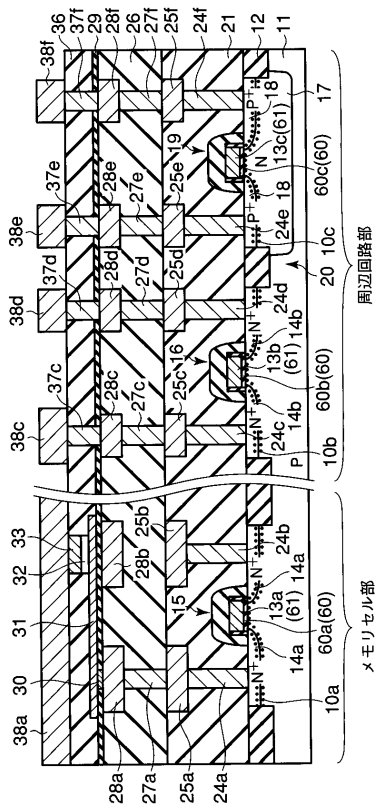
【 図 1 7 】



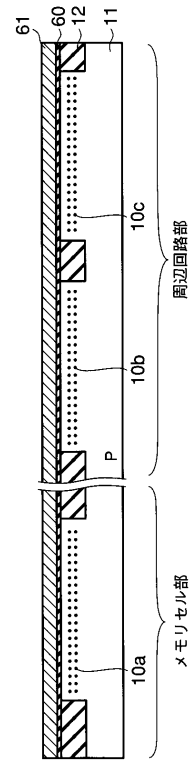
【 図 1 8 】



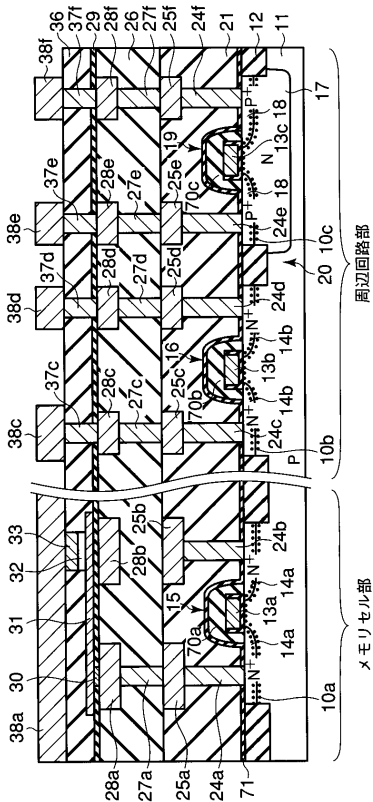
【図 19】



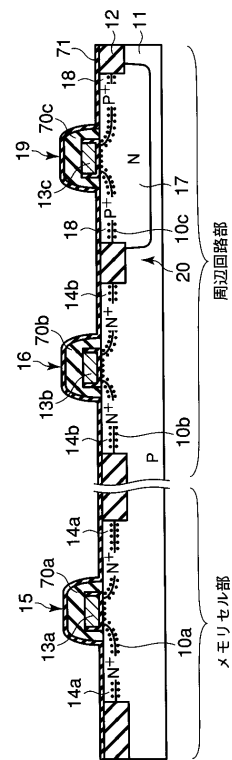
【図 20】



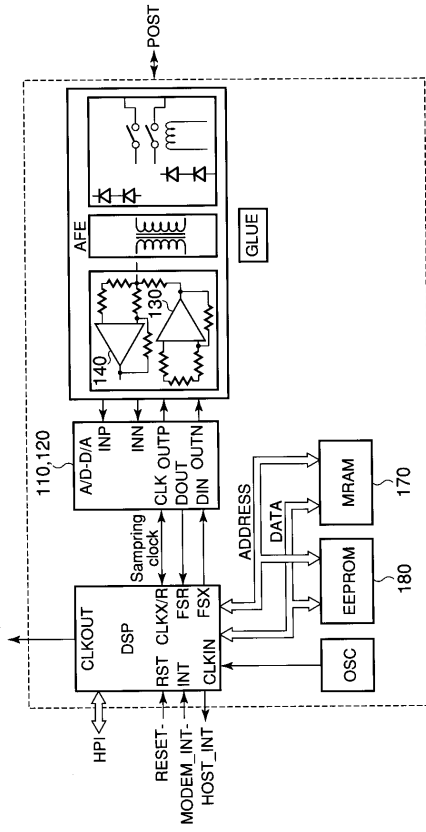
【図 21】



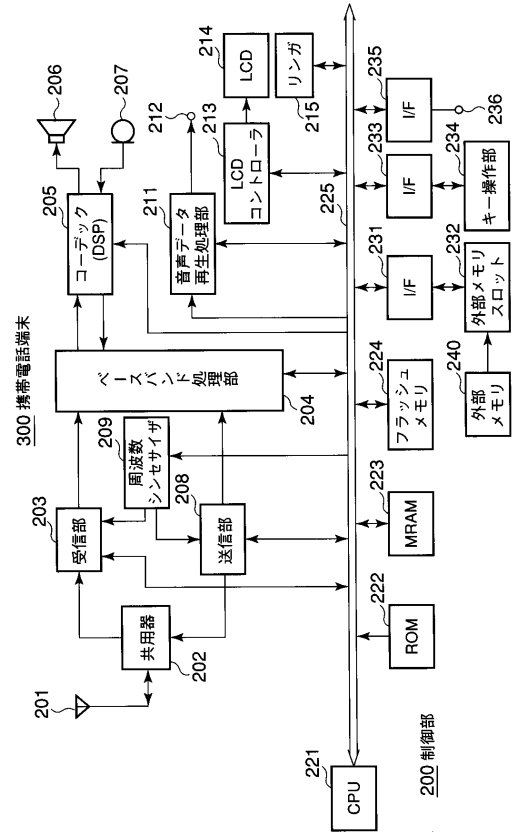
【図 22】



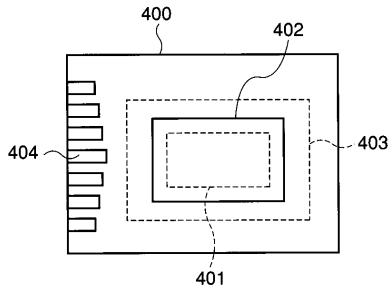
【図 2 3】



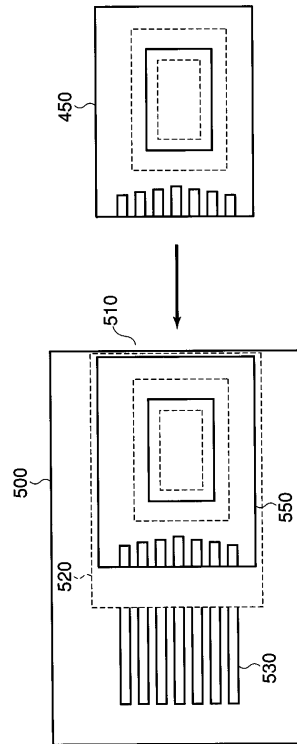
【図 2 4】



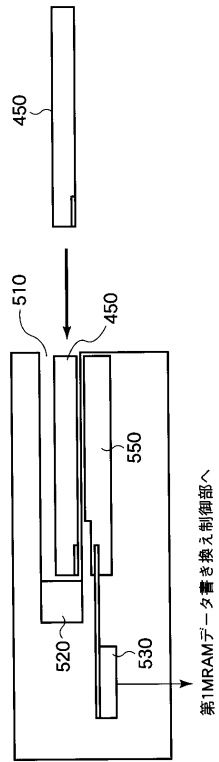
【図 2 5】



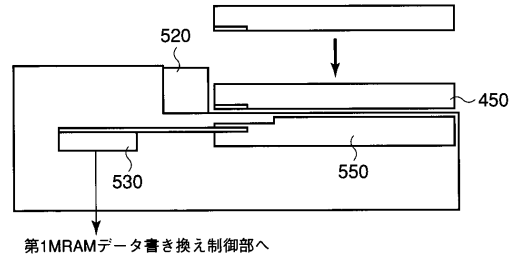
【図 2 6】



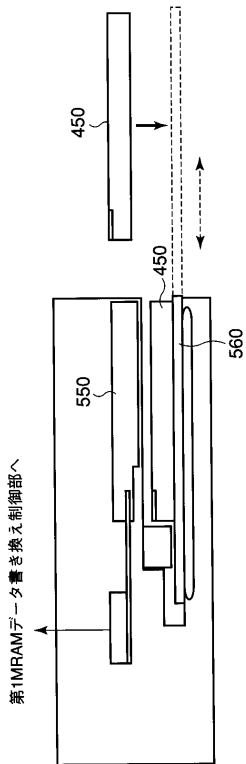
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(72)発明者 細谷 啓司

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 5F083 FZ10 JA35 JA40 JA53 KA01 KA05 NA01 NA08 PR04 PR33
PR39 PR40