

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年10月27日 (27.10.2016)



(10) 国际公布号
WO 2016/169383 A1

- (51) 国际专利分类号:
H03M 1/66 (2006.01) G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2016/077262
- (22) 国际申请日: 2016年3月24日 (24.03.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510200983.8 2015年4月24日 (24.04.2015) CN
- (71) 申请人: 北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。
- (72) 发明人: 张盛东 (ZHANG, Shengdong); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 冷传利 (LENG, Chuanli); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 林兴武 (LIN, Xingwu); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。

(74) 代理人: 深圳鼎合诚知识产权代理有限公司 (DHC IP ATTORNEYS); 中国广东省深圳福田区金田路与福华路交汇处现代国际大厦 2201, Guangdong 518048 (CN)。

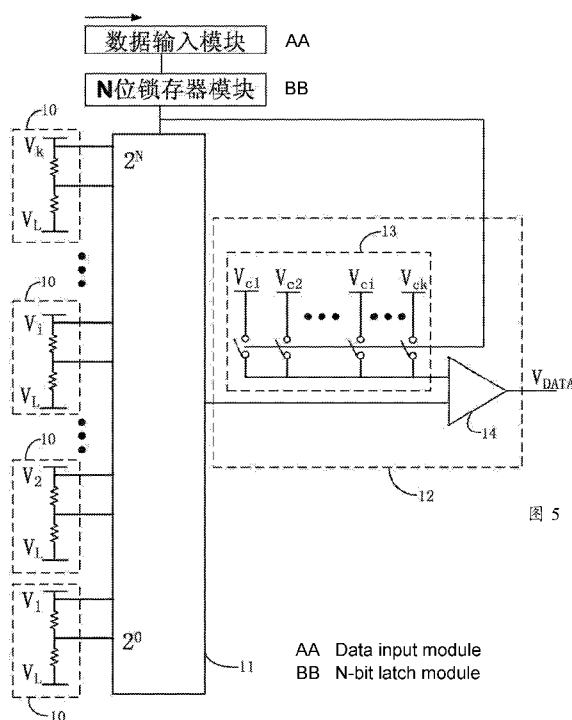
(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: LOW-VOLTAGE DIGITAL-TO-ANALOG SIGNAL CONVERSION CIRCUIT, DATA DRIVING CIRCUIT, AND DISPLAY SYSTEM

(54) 发明名称: 低压数字模拟信号转换电路、数据驱动电路和显示系统



(57) Abstract: Disclosed are a low-voltage digital-to-analog signal conversion circuit, a data driving circuit, and a display system. The low-voltage digital-to-analog signal conversion circuit comprises at least one voltage division unit (10). The voltage division unit (10) comprises a plurality of resistors connected in series between a low-limit voltage and a high-limit voltage, and comprises voltage division output ends led out from serial connection nodes of the resistors and high-limit voltage connection ends. By introducing the voltage division unit (10), the low-voltage digital-to-analog signal conversion circuit, the data driving circuit and the display system in the present application can be low-voltage devices, have low power consumption and occupy small areas of a chip.

(57) 摘要: 本申请公开了低压数字模拟信号转换电路、数据驱动电路和显示系统, 至少一个分压单元 (10), 所述分压单元 (10) 包括: 若干串联在低限电压和高限电压之间的电阻, 从电阻的串关节点和高限电压连接端引出的分压输出端。通过引入分压单元 (10), 使得本申请的低压数字模拟信号转换电路、数据驱动电路和显示系统为低压器件, 不仅功耗低, 而且占用芯片面积小。

WO 2016/169383 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

低压数字模拟信号转换电路、数据驱动电路和显示系统

技术领域

本申请涉及显示器件技术领域，尤其涉及一种低成本实现显示的数模转换器、数据驱动电路和显示系统。

背景技术

显示系统作为信息传递的一种媒介，与人们的生活息息相关。目前主流的显示系统是液晶显示系统（LCD），此外有源矩阵有机发光二极管显示系统（AMOLED）也开始在小尺寸领域崭露头角。不管是 LCD 显示系统还是 OLED 显示系统，都需要将表示图像信息的数字信号转换成模拟信号才能在面板上显示出来。这其中就需要用到数字模拟转换器（DAC）。在显示系统中，DAC 的设计是列驱动芯片中最核心的模块。在显示系统中，如图 1 所示，DAC 一般采用电阻串的形式产生各级灰度所需的电压值，用传输晶体管阵列 PTL 选择输入 DAC 的数字信号对应灰度的电压值。如果显示系统的灰度级为 256 级，则需要 256 个电阻，以产生 256 个不同的电压。

LCD 和 OLED 等显示系统用于驱动显示屏的模拟信号为中高压信号，而这中高压的模拟信号要从上述 DAC 中的电阻串的分压中选取，这就使得电阻串被施加了中高压，进而使得 DAC 中的传输晶体管阵列 PTL 等相关器件要为中高压器件，而中高压器件需要更大的功耗和占用更大芯片面积。

发明内容

根据本申请的第一方面，本申请提供低压数字模拟信号转换电路包括：

至少一个分压单元（10），所述分压单元（10）包括：若干串联在低限电压和高限电压之间的电阻，从电阻的串关节点和高限电压连接端引出的分压输出端；

选择单元（11），分别与各分压单元（10）的分压输出端连接，所述选择单元（11）用于输入数字信号，根据数字信号的控制从分压输出端中选择一个接通，并输出该分压输出端上的待补偿电压信号；

电压补偿单元（12），其与选择单元（11）相连，用于分别输入选择单元输出的待补偿电压信号和数字信号，根据数字信号对待补偿电压信号进行补偿，使得补偿后的电压为数字信号所对应的模拟电压。

根据本申请的第二方面，本申请提供一种数据驱动电路，包括：
数据输入模块，用于输入包含图像数据的数字信号；

锁存器，与数据输入模块相连，用于数字信号锁定；

上述的低压数字模拟信号转换电路，其选择单元（11）、电压补偿单元（12）的输入端与锁存器的输出端相连。

根据本申请的第三方面，本申请提供一种包括上述数据驱动电路的显示系统。

通过引入分压单元，分压单元包括：若干串联在低限电压和高限电压之间的电阻，从电阻的串关节点和高限电压连接端引出的分压输出端；使得本申请的低压数字模拟信号转换电路、数据驱动电路和显示系统为低压器件，不仅功耗低，而且占用芯片面积小。

附图说明

图 1 为传统的电阻串和传输晶体管阵列的一种结构示意图；

图 2 为传统的数模转换器参与显示过程时的 Gamma 曲线图；

图 3 为传统的利用电阻串实现数模转换器的一种结构示意图；

图 4 为本申请一种实施例的低压数字模拟信号转换电路的一种 Gamma 曲线图；

图 5 为本申请一种实施的低压数字模拟信号转换电路的一种结构示意图；

图 6 为本申请一种实施例的包括若输入电容的模拟加法模块的一种结构示意图；

图 7 为本申请一种实施例的包括若输入电容的模拟加法模块的另一种结构示意图；

图 8 为本申请一种实施例的包括若输入电阻的模拟加法模块的一种结构示意图；

图 9 为本申请一种实施例的包括电压转电流模块和电流转电压模的模拟加法模块的一种结构示意图；

图 10 为申请当 $k=4$ 时的低压数字模拟信号转换电路的一种 Gamma 曲线图；

图 11 为申请当 $k=4$ 时的低压数字模拟信号转换电路的一种结构示意图；

图 12 为申请当 $k=1$ 时的低压数字模拟信号转换电路的一种结构示意图。

具体实施方式

下面通过具体实施方式结合附图对本申请作进一步详细说明。

请参考图 2，图 2 为一 N 位数模转换器的 Gamma 曲线， N 为正整数。从图 2 中可以看到，当输入的数字信号从 2^0 到 2^N 变化时，数模转换器输出信号的电压范围为 V_{outLow} 到 $V_{outHigh}$ 。 V_{outLow} 和 $V_{outHigh}$ 的大小由 LCD 或 OLED 面板的亮度范围、像素电路、液晶分子特性等决定。

请参考图 3，图 3 为一组列驱动电路的模块结构。列驱动电路包括数据输入模块（通常是移位寄存器模块）、锁存器模块、数模转换模块和输出缓冲。数模转换模块包括电阻串和传输晶体管阵列 PTL。锁存器模块和数模转换模块都为 N 位，因此数模转换模块中， $V_{outLow} \sim V_{outHigh}$ 范围之间有 2^N 个不同的电压值，它们通过电阻串中的电阻分压的方式产生，电阻串产生的 2^N 个不同的电压值可以在列驱动电路的芯片中共享。每一路数模转换器通过其内的传输晶体管阵列 PTL 从 2^N 个不同的电压值中选出一个作为数模转换器的输出。代表图像数据的 N 位数字信号通过输入模块和锁存器模块输出，此输出作为数模转换器的传输晶体管阵列 PTL 的输入， N 位数字信号决定了其输出信号的大小，从而实现数字模拟的转换。数模转换器输出的模拟信号再通过输出缓冲器送到面板上，以实现图像的显示。

本申请公开了低压数字模拟信号转换电路、数据驱动电路和显示系统，其发明思路在于：通过将上述的电阻串分成若干个分段式电阻串即分压单元，每个分压单元的一端接低电压即低限电压，通常可为 0 电压，从而降低每一个分压单元各输出节点的电压值。

具体地，本申请公开的低压数字信号转模拟信号电路（以下简称低压数模转换电路），输入 N 位的数字信号，对应地，输出电压范围为 $V_{outLow} \sim V_{outHigh}$ 的模拟信号，其中 $V_{outHigh} > V_{outLow}$ ， N 为正整数，如图 4 所示为本低压数模转换电路的 Gamma 曲线图，其横坐标为输入的 N 位的数字信号，其纵坐标为对应的输出的电压范围为 $V_{outLow} \sim V_{outHigh}$ 的模拟信号。

请参考图 5，本申请的低压数模转换电路包括：

至少一个分压单元 10，分压单元 10 包括若干串联在低限电压和高限电压之间的电阻，从电阻的串关节点和高限电压连接端引出的分压输出端。需要指出的是，有些分压单元 10 的高限电压并没有对应的数字信号，这种情况下，不需要从此分压单元 10 的高限电压端引出一个分压输出端，而是直接从此分压单元 10 的电阻的串关节点引出若干分压输出端即可。

选择单元 11，分别与各分压单元 10 的分压输出端连接，选择单元 11 用于输入数字信号，根据数字信号的控制从分压输出端中选择一个接通，并输出该分压输出端上的待补偿电压信号；选择单元 11 可以包括传输晶体管阵列，传输晶体管阵列形成的开关电路与各分压单位 10 的分压输出端一一对应，将分压输出端分别与选择单元 11 的输出端连通。较优地，分压单位 10 至少有两个。为了进一步降低各分压单元 10 被施加的电压，在设计本低压数模转换电路时可以使各分压单元 10 的低限电压都为零，另外，为了达到更好地效果，在设计各分压单元 10 时，可以使各

分压单元 10 的高限电压尽量接近甚至相等。

电压补偿单元 12，其与选择单元 11 相连，用于分别输入选择单元 11 输出的待补偿电压信号和数字信号，根据数字信号对待补偿电压信号进行补偿，使得补偿后的电压为数字信号所对应的模拟电压。电压补偿单元 12 根据数字信号和分压单元 10 的划分规则确定待补偿电压信号的补偿值，将待补偿电压和补偿值相加后输出。

电压补偿单元 12 有多种实现方式，以下举例说明：

电压补偿单元 12 包括补偿电压选择模块 13 和模拟加法模块 14。

补偿电压选择模块 13，用于根据数字信号和分压单元 10 的划分规则来输出补偿信号，所述补偿信号用于对待补偿电压信号进行补偿；补偿电压选择模块 13 可以包括补偿电压端和开关模块，具体地：补偿电压端的数量与分压单元 10 的数量相同，并且补偿电压端的电压值与各分压单元 10 的分压输出端上的待补偿电压信号需要补偿的电压值相等；开关模块数量与补偿电压端的数量相同，一个开关模块只与一个补偿电压端相连，开关模块的一端与补偿电压端相连，另一端与模拟加法模块 14 的一输入端相连，开关模块的控制端用于输入数字信号并在数字信号的控制下导通和断开，以输出补偿信号。

模拟加法模块 14，一输入端与选择单元 11 的输出端相连，另一输入端与补偿电压选择模块 13 的输出端相连，用于将选择单元 11 输出的待补偿电压信号与补偿电压选择模块 13 输出的补偿信号的电压进行相加后输出；模拟加法模块 14 输出的信号为电压补偿单元 12 的输出信号。模拟加法模块 14 有许多种结构，下面试举几种。

第一种，模拟加法模块 14 包括一放大器和若干输入电容。

请参考图 6，具体地，模拟加法模块 14 包括电容 C_1 、 C_2 和 C_3 ，以及一个放大器，其中 V_{100} 和 V_{200} 为模拟加法模块 14 的两输入端， V_{out} 为模拟加法模块 14 的输出端。其连接方式为：

放大器的正输入端接地，负输入端与输出端之间接有电容 C_3 ，电容 C_3 并联有一开关 S_{11} ；放大器的负输入端还通过一电容 C_1 与一接地开关 S_{22} 相连，电容 C_1 与此接地开关 S_{22} 相连的一端还与另一开关 S_{12} 的一端相连，此开关 S_{12} 的另一端为所述模拟加法模块 14 的一输入端；放大器的负输入端还通过一电容 C_2 与一接地开关 S_{21} 相连，电容 C_2 与此接地开关 S_{21} 相连的一端还与另一开关 S_{13} 的一端相连，此开关 S_{13} 的另一端为所述模拟加法模块 14 的另一输入端。

模拟加法模块 14 的工作过程分为两个阶段。

第一阶段，开关 S_{11} 、 S_{12} 、 S_{13} 导通，开关 S_{21} 、 S_{22} 断开，此时 V_{100} 、 V_{200} 分别耦合到电容 C_1 、 C_2 的第一端，放大器的负输入端与输出端短接，负输入端的电荷可以表示为：

$$Q_1 = (V_X - V_{100}) * C1 + (V_X - V_{200}) * C2。$$

第二阶段，开关 S_{21} 、 S_{22} 导通，开关 S_{11} 、 S_{12} 、 S_{13} 断开，此时电容 $C1$ 、 $C2$ 的第一端分别耦合到地。在此过程中，放大器负输入端处于悬浮状态，其电荷保持不变，可以表示为：

$$Q_1 = V_X * C1 + V_X * C2 + (V_X - V_{out}) * C3。$$

根据上述第一阶段和第二阶段放大器负输入端的电荷公式，可以得到：

$$V_{out} = V_X + (V_{100} * C1 + V_{200} * C2) / C3。$$

如果 $C1 = C2 = C3$ ，根据放大器输入端虚短原理， $V_{ref} = V_X$ ，可得：

$V_{out} = V_{ref} + V_{100} + V_{200}$ 。当 $V_{ref} = 0$ ，可得 $V_{out} = V_{100} + V_{200}$ ，即实现了电压相加的功能。

请参考图 7，具体地，模拟加法模块 14 还可以不包括电容 $C3$ ，而是包括电容 $C1$ 和 $C2$ ，以及一个放大器，其中 V_{100} 和 V_{200} 为模拟加法模块 14 的两输入端， V_{out} 为模拟加法模块 14 的输出端。其连接方式为：

放大器的正输入端接地，负输入端与输出端之间接有一开关 S_{11} ；所述放大器的负输入端还与一电容 $C2$ 的一端相连，电容 $C2$ 的另一端通过一开关 S_{21} 连接到所述放大器的输出端；电容 $C2$ 连有开关 S_{21} 的一端，还与一开关 S_{13} 的一端相连，开关 S_{13} 的另一端为所述模拟加法模块 14 的一输入端；所述放大器的负输入端还通过一电容 $C1$ 与一接地开关 S_{22} 相连，电容 $C1$ 与接地开关 S_{22} 相连的一端还与另一开关 S_{12} 的一端相连，此开关 S_{12} 的另一端为所述模拟加法模块 14 的另一输入端。

同样地，模拟加法模块 14 的工作过程也分为两个阶段。

第一阶段，开关 S_{11} 、 S_{12} 、 S_{13} 导通，开关 S_{21} 、 S_{22} 断开，此时 V_{100} 、 V_{200} 分别耦合到电容 $C1$ 、 $C2$ 的第一端，放大器的负输入端与输出端短接，负输入端的电荷可以表示为：

$$Q_1 = (V_X - V_{100}) * C1 + (V_X - V_{200}) * C2。$$

第二阶段， S_{21} 、 S_{22} 导通， S_{11} 、 S_{12} 、 S_{13} 断开，此时电容 $C1$ 、 $C2$ 的第一端分别耦合到地和输出端。在此过程中，放大器负输入端处于悬浮状态，其电荷保持不变，可以表示为： $Q_1 = V_X * C1 + (V_X - V_{out}) * C2$ 。

根据上述第一阶段和第二阶段放大器负输入端的电荷公式，可以得到：

$$V_{out} = V_{200} + (V_{100} * C1) / C2。$$

如果 $C1 = C2$ ，则 $V_{out} = V_{100} + V_{200}$ ，即实现了电压相加的功能。

图 6 和图 7 中的开关 S_{11} 、 S_{12} 、 S_{13} 、 S_{21} 、 S_{22} 指的是具有开关功能的器件。

第二种，模拟加法模块 14 包括一放大器和若干输入电阻。

请参考图 8，具体地，模拟加法模块 14 包括四个电阻以及一个放大

器,其中 V_{100} 和 V_{200} 为模拟加法模块 14 的两输入端, V_{out} 为模拟加法模块 14 的输出端。其连接方式为:

放大器的负输入端与输出端之间连有一电阻 R_1 ; 所述放大器的负输入端还接有一接地电阻 R_2 ; 所述放大器的正输入端与一电阻 R_3 的一端相连, 电阻 R_3 的另一端为所述模拟加法模块 14 的一输入端; 所述放大器的正输入端与一电阻 R_4 的一端相连, 电阻 R_4 的另一端为所述模拟加法模块 14 的另一输入端, 其中电阻 R_2 、 R_3 和 R_4 的阻值相等, 均为 R ; 电阻 R_1 的阻值是电阻 R_2 的两倍, 为 $2R$ 。

电流放大器正输入端的电压的计算公式: $(V_{100}-V_X)/R=(V_X-V_{200})/R$; 可得放大器正输入端的电压 $V_X=(V_{100}+V_{200})/2$ 。结合另一计算公式, $V_X=(V_{out}/2R)*R=V_{out}/2$, 可得 $V_{out}=V_{100}+V_{200}$, 实现了电压相加的功能。

第三种, 模拟加法模块 14 包括电压转电流模块和电流转电压模块。

请参考图 9, 具体地, 模拟加法模块 14 包括:

两电压转电流模块; 一电压转电流模块的输入端为模拟加法模块 14 的一输入端, 用于将选择单元 11 输出的待补偿电压信号转变成电流信号输出; 若选择单元 11 输出的电压信号为 V_{100} , 输入到此电压转电流模块后, 其输出电流为 $V_{100}*g_m$, 其中 g_m 为上述电压转电流模块的跨导。另一电压转电流模块的输入端为模拟加法模块 14 的另一输入端, 用于将补偿电压选择模块 13 输出的补偿信号转变成电流信号输出; 若补偿电压选择模块 13 输出的电压信号为 V_{200} , 输入到此电压转电流模块后, 其输出电流为 $V_{200}*g_m$ 。

一加法节点, 用于将所述两电压转电流模块输出的电流信号进行相加后输出, 即将 $V_{100}*g_m$ 与 $V_{200}*g_m$ 相加, 输出值为 $(V_{100}+V_{200})*g_m$ 的电流信号。

一电流转电压模块, 其输出端为模拟加法模块 14 的输出端, 用于将加法节点输出的电流信号转变成电压信号进行输出, 即将输入的值 $(V_{100}+V_{200})*g_m$ 的电流信号转变为 $V_{100}+V_{200}$, 从而实现了电压相加的功能。由于电流的相加更容易实施, 只要将要相加的电流流过同一节点, 就可以实现, 因此用电压转电流的方法将电压相加的问题转变为电流相加, 使方案实施起来变得更加容易。

在本申请提出的低压数模转换电路的基础, 本申请还提出一种数据驱动电路, 它可以包括:

数据输入模块, 用于输入包含图像数据的数字信号;

锁存器, 与数据输入模块相连, 用于数字信号锁定;

上述的低压数模转换电路, 其选择单元 11、电压补偿单元 12 的输入端与锁存器的输出端相连。

进一步地, 本申请还提出了一种显示系统, 此显示系统包括了上述

的数据驱动电路。

实施例 1:

本实施例进一步阐释上述的低压数模转换电路,尤其是各分压单元 10 连接的低限电压、高限电压以及电压补偿单元 12 输出的补偿信号的电压值等问题。

请返回参照图 4,本申请的低压数模转换电路,输入 N 位的数字信号,相应地,输出电压范围为 $V_{outLow} \sim V_{outHigh}$ 的模拟信号。

请返回参考图 5,本申请的低压数模转换电路,包括:

k 个分压单元 10,其中第 i 个分压单元,一端接一低电压 V_L (即低限电压),另一端接电压值为 V_i 的电压端 (即高限电压),用于输出电压范围为 $V_L \sim V_i$ 的信号;其中 k 为一大于 1 的正整数,i 的取值范围为小于或等于 k 的正整数。换句话说,第 1 个分压单元 10,一端接一低电压 V_L ,另一端接电压值为 V_1 的电压端,用于输出电压范围为 $V_L \sim V_1$ 的信号;第 2 个分压单元 10,一端接一低电压 V_L ,另一端接电压值为 V_2 的电压端,用于输出电压范围为 $V_L \sim V_2$ 的信号,以此类推,第 k 个分压单元 10,一端接一低电压 V_L ,另一端接电压值为 V_k 的电压端,用于输出电压范围为 $V_L \sim V_k$ 的信号。另外,图 5 中分压单元 10 包括两个串联的电阻,这只是用于示意,并非指每个分压单元 10 都是包括两个电阻。

选择单元 11,用于根据输入的 N 位数字信号选择某一分压单元的某一电压值的信号进行输出;换句话说,选择单元 11 的输入端接收 N 位数字信号,并根据此数字信号选择这 k 个分压单元 10 中的某一个分压单元 10 的输出电压范围的某一值进行电压信号输出,例如,根据数字信号,选择第 2 个分压单元 10 输出电压范围 $V_L \sim V_2$ 中的某一值进行电压信号输出。

电压补偿单元 12,用于当选择单元 11 选择第 i 个分压单元的某一电压值的信号进行输出时,对传输晶体管阵列 11 的输出信号进行值为 V_{ci} 电压补偿后输出,这是因为分压单元 10 的一端接了低电平 V_L ,此时要将电压拉低的部分重新加回去。电压补偿单元 12 输出的信号为本低压数模转换电路的输出信号,此输出的模拟信号再通过输出缓冲器送到面板上,以实现图像的显示。当选择 11 选择第 1 个分压单元的某一电压值的信号进行输出时,电压补偿单元 12 对选择单元 11 的输出信号进行值为 V_{c1} 的电压补偿后输出;当选择单元 11 选择第 2 个分压单元的某一电压值的信号进行输出时,电压补偿单元 12 对选择单元 11 的输出信号进行值为 V_{c2} 的电压补偿后输出,以此类推,当选择单元 11 选择第 k 个分压单元的某一电压值的信号进行输出时,电压补偿单元 12 对选择单元 11 的输出信号进行值为 V_{ck} 的电压补偿后输出。另外,这里对选择单元

11 的输出信号进行值为 V_{ci} 电压补偿, 指的是, 若选择单元 11 的输出信号的电压值为 V_{out} , 对其进行值为 V_{ci} 电压补偿后, 最终的输出信号的电压值为 $V_{out} + V_{ci}$ 。

电压补偿单元 12 的一种结构中, 电压补偿单元 12 包括补偿电压选择模块 13 和模拟加法模块 14。下面具体说明。

补偿电压选择模块 13, 用于当选择单元 11 选择第 i 个分压单元 10 的某一电压值的信号进行输出时, 输出电压值为 V_{ci} 的补偿信号。例如, 当选择单元 11 选择第 1 个分压单元 10 的某一电压值的信号进行输出时, 补偿电压选择模块 13 输出电压值为 V_{c1} 的补偿信号。补偿电压选择模块 13 可以包括 k 个补偿电压端和 k 个开关模块。这 k 个补偿电压端中, 第 i 个补偿电压端的值为 V_{ci} , i 的取值为小于或等于 k 的正整数, 即第 1 个补偿电压端的值为 V_{c1} , 第 2 个补偿电压端的值为 V_{c2} , 以此类推, 第 k 个补偿电压端的值为 V_{ck} 。这 k 个开关模块, 其中第 i 个开关模块的一端与第 i 个补偿电压端相连, 另一端作为补偿电压选择模块 14 的输出端, 用于当选择单元 11 选择第 i 个分压单元 10 的分压输出端的某一电压值的信号进行输出时, 进行导通以输出电压值为 V_{ci} 的信号。例如, 第 1 个开关模块的一端与第 1 个补偿电压端相连, 另一端作为补偿电压选择模块 14 的输出端, 当选择单元 11 选择第 1 个分压单元 10 的某一电压值的信号进行输出时, 第 1 个开关模块进行导通以将第 1 个补偿电压端电压值为 V_{c1} 的信号输出给模拟加法模块 14。这 k 个开关模块可以根据数字信号和分压单元 10 的划分规则来进行导通和断开的, 可以有多种实现方式, 例如, 用一个控制器, 此控制器在接收到第 i 个分压单元 10 所输出的模块信号的区间在 Gamma 曲线上对应的数字信号的区间里的数字信号时, 发出信号, 来控制第 i 个开关模块导通, 其余开关模块断开, 这里 i 的取值范围, 如上所述为小于或等于 k 的正整数, 即此控制器在接收到第 1 个分压单元 10 所输出的模块信号的区间在 Gamma 曲线上对应的数字信号的区间里的数字信号时, 发出信号, 来控制第 1 个开关模块导通, 其余开关模块断开; 此控制器在接收到第 2 个分压单元 10 所输出的模块信号的区间在 Gamma 曲线上对应的数字信号的区间里的数字信号时, 发出信号, 来控制第 2 个开关模块导通, 其余开关模块断开, 以此类推, 不再赘述。

以上详述了本实施的低压数模转换电路的结构, 在上述结构中, V_L 、 V_i 和 V_{ci} 被配置为:

V_L 被配置为一低电平, 较优地, V_L 可为 0。

返回再参照图 4, 在 $V_{outLow} \sim V_{outHigh}$ 之间取不等于 V_{outLow} 、 $V_{outHigh}$ 的 $k-1$ 个不同的电压值, 这 $k-1$ 个电压值由小到大排列的第 i 个电压值为 V_{outi} , 另外, 因为 i 的取值范围为小于或等于 k 的正整数, 所以 i 可以 k

值, 所以令 $V_{outk}=V_{outHigh}$, 另外为便于叙述, 令 $V_{out0}=V_{outLow}$ 。

所以 V_i 和 V_{ci} 被配置为: $V_i=V_{outi}-V_{outi-1}+V_L$, $V_{ci}=V_{outi-1}-V_L$ 。

换句话说:

对于第 1 个分压单元, $V_1=V_{out1}-V_{out0}+V_L$, $V_{c1}=V_{out0}-V_L$;

对于第 2 个分压单元, $V_2=V_{out2}-V_{out1}+V_L$, $V_{c2}=V_{out1}-V_L$;

以此类推, 对于最后一个即第 k 个分压单元, $V_k=V_{outk}-V_{outk-1}+V_L$, $V_{ck}=V_{outk-1}-V_L$ 。

较优地, 在 $V_{outLow} \sim V_{outHigh}$ 之间取不等于 V_{outLow} 、 $V_{outHigh}$ 的 $k-1$ 个不同的电压值时, 可以让这 $k-1$ 个值代表的点均分 $V_{outLow} \sim V_{outHigh}$, 即 V_{outLow} (V_{out0})、 V_{out1} 、 V_{out2} 、...、 V_{outi} 、...、 V_{outk-1} 、 $V_{outHigh}$ (V_{outk}) 为一等差数列。

再请参考图 4, 在纵坐标为取了 $k-1$ 个点后, 纵坐标 $V_{outLow} \sim V_{outHigh}$ 之间被分为 k 个区间, 相应地, 横坐标也被分为 k 个区间, 0~①区间的数字信号对应 $V_{out0} \sim V_{out1}$ 的模拟信号, ①~②区间的数字信号对应 $V_{out1} \sim V_{out2}$ 的模拟信号, 以此类推。这样, 在设计分压单元 10 时, 根据每个区间对应的电阻数, 可以将原来类似图 3 中的一个电阻串按要求分成符合需求的若干分压单元 10。

为了进一步地说明本实施例, 下面以一个实际的例子对本实施例加以补充。

请参考图 9, 与图 4 一样, 为本低压数模转换电路的 Gamma 曲线图。图 4 中 k 取值为 4 时, 即为图 9 所示。Gamma 曲线被分段成了四部分, 纵坐标由大到小, 电压值分别为 V_{out4} ($V_{outHigh}$)、 V_{out3} 、 V_{out2} 、 V_{out1} 、 V_{out0} (V_{outLow})。相应地, 横坐标也被分成了四部分, 0~①区间、①~②区间、②~③区间、③~ 2^N 区间。0~①区间的数字信号对应输出的电压范围是 $V_{out0} \sim V_{out1}$, 电压差值为 $V_{out1}-V_{out0}$; ①~②区间的数字信号对应输出的电压范围是 $V_{out1} \sim V_{out2}$, 电压差值为 $V_{out2}-V_{out1}$; ②~③区间的数字信号对应输出的电压范围是 $V_{out3} \sim V_{out2}$, 电压差值为 $V_{out3}-V_{out2}$; ③~ 2^N 区间的数字信号对应输出的电压范围是 $V_{out4} \sim V_{out3}$, 电压差值为 $V_{out4}-V_{out3}$ 。图 10 示出了图 9 所示分段的一种实现方式。在这种分段方式中, 选择单元 11 可以为传输晶体管阵列, 其结构保持不变, 即仍与图 3 中的传输晶体管阵列 PTL 类似。与图 3 不同的是, 图 10 不再有一个两端分别接 V_{outLow} 、 $V_{outHigh}$ 的电阻串, 而是将图 3 中的电阻串分成四段, 即分成四个分压单元 10, 第一个分压单元 10 的电压范围是 $0 \sim V_{out1}-V_{out0}$, 即其一端接地, 另一端接值为 $V_{out1}-V_{out0}$ 的电压端; 第二个分压单元 10 的电压范围是 $0 \sim V_{out2}-V_{out1}$, 即其一端接地, 另一端接值为 $V_{out2}-V_{out1}$ 的电压端; 第三个分压单元 10 的电压范围是 $0 \sim V_{out3}-V_{out2}$, 即其一端接地, 另一端接值为 $V_{out3}-V_{out2}$ 的电压端; 第四个分压单元 10 的电压范围是

$0 \sim V_{out4} - V_{out3}$, 即其一端接地, 另一端接值为 $V_{out4} - V_{out3}$ 的电压端。这样, 通过对电阻串进行分段, 每一个分压单元的输出的起始电压都降到了零, 这样可以有效降低每一个分压单元的电压值。因此, 虽然选择单元 11 的电路整体结构不变, 还是与图 3 中的传输晶体管阵列 PTL 类似, 但是由于电阻串进行了分段, 每一个分压单元的输出电压降低到一个低的电压范围, 因此选择单元 11 中的相关器件——如当其为传输晶体管阵列时, 晶体管也可以采用低压工艺来实现, 从而选择单元 11 成为一个低压器件, 具有低功耗, 占用面积小的特点。

如上所述, 数据输入模块通过 N 位锁存器模块输入 N 位的数字信号, 选择单元 11 根据输入的 N 位数字信号, 选择输出一个具有对应电压值的模拟信号。这个电压值并不是原始的显示电压, 而是由于电阻串被分段而被拉低到了低电压区域的一个电压值, 为了使最终显示信号为原始的显示电压, 此时需要将电压值被拉低的部分重新拉回去。这个把电压值重新拉回到原始的显示电压值, 可以通过补偿电压选择模块 13 和模拟加法模块 14 来实现。

模拟加法模块 14 至少有两个输入端, 其中一个输入端接到选择单元 11 的输出端, 另外一个输入端则接到补偿电压选择模块 13, 补偿电压选择模块 13 是输出由于 Gamma 曲线或者说电阻串分段造成的电压损失。由于 Gamma 曲线被分成四段, 因此共有四种电压值可供选择, 分别由开关 S_1 、 S_2 、 S_3 、 S_4 控制, 当输入数字信号在 $0 \sim ①$ 区间时, S_1 导通, 其余开关断开; 当输入数字信号在 $① \sim ②$ 区间时, S_2 导通, 其余开关断开, 以此类推。这样, 模拟加法模块 14, 被接低的电压信号又得到了恢复。这里的开关 S_1 、 S_2 、 S_3 、 S_4 指的是具有开关功能的器件。开关 S_1 、 S_2 、 S_3 、 S_4 , 是根据数字信号和分压单元 10 的划分规则来进行导通和断开的, 可以有多种实现方式, 比如, 用一个控制器, 此控制器在接收到在 $0 \sim ①$ 区间的数字信号时, 控制 S_1 导通, 其余开关断开; 在接收到在 $① \sim ②$ 区间的数字信号时, 控制 S_2 导通, 其余开关断开; 在接收到在 $② \sim ③$ 区间的数字信号时, 控制 S_3 导通, 其余开关断开; 在接收到在 $③ \sim 2^N$ 区间的数字信号时, 控制 S_4 导通, 其余开关断开。

补充的例子是将电阻串分成了 4 个分压单元 10, 即 $k=4$; 在其他实施例中, 电阻串如上所述也可以分成 k 个分压单元 10, k 越大, 每一个的分压单元 10 输出的电压范围就越小, 从而可以用更低的电压来驱动。

需要注意的是, 本实施例中, k 的取值是大于 1 的整数, k 也可以等于 1, 即本低压数模转换电路包括一个分压单元 10, 下面结合图 12 详细说明。

请参考图 12, 分压单元 10 一端接一低电压 V_L , 另一端接电压值为 $V_{outHigh} - V_{outLow} + V_L$ 的电压端, 用于输出电压范围为 $V_L \sim V_{outHigh} - V_{outLow} + V_L$

的信号；较优地， V_L 也可以等于 0，此时分压单元 10 一端接地，另一端接电压值为 $V_{outHigh}-V_{outLow}$ 的电压端。

选择单元 11，用于根据输入的数字信号选择分压单元 10 的某一电压值的信号进行输出。

电压补偿单元 12，用于选择单元 11 选择分压单元 10 的某一电压值的信号进行输出时，对选择单元 11 的输出信号进行值为 $V_{outLow}-V_L$ 的电压补偿后输出，如上所述当 V_L 为零，电压补偿单元 12 对传输晶体管阵列 11 的输出信号进行值为 V_{outLow} 的补偿。电压补偿单元 12 可以用一个加法器模块来实现，此加法器模块的一个输入端与传输晶体管阵列 11 的输出端相连，另一个输入端接入一值为 V_{outLow} 的参考电压。

上述的低压数模转换模块除了应用与显示器中的数据驱动电路，也可以应用于其它产品中。

以上应用了具体个例对本发明进行阐述，只是用于帮助理解本发明，并不用以限制本发明。对于本领域的一般技术人员，依据本发明的思想，可以对上述具体实施方式的变化。

权 利 要 求

1. 低压数字模拟信号转换电路，其特征在于，包括：

至少一个分压单元（10），所述分压单元（10）包括：若干串联在低限电压和高限电压之间的电阻，从电阻的串关节点和高限电压连接端引出的分压输出端；

选择单元（11），分别与各分压单元（10）的分压输出端连接，所述选择单元（11）用于输入数字信号，根据数字信号的控制从分压输出端中选择一个接通，并输出该分压输出端上的待补偿电压信号；

电压补偿单元（12），其与选择单元（11）相连，用于分别输入选择单元输出的待补偿电压信号和数字信号，根据数字信号对待补偿电压信号进行补偿，使得补偿后的电压为数字信号所对应的模拟电压。

2. 如权利要求1所述的低压数字模拟信号转换电路，其特征在于，所述电压补偿单元（12）根据数字信号和分压单元（10）的划分规则确定待补偿电压信号的补偿值，将待补偿电压和补偿值相加后输出。

3. 如权利要求2所述的低压数字模拟信号转换电路，其特征在于，所述电压补偿单元（12）包括：

补偿电压选择模块（13），用于根据数字信号和分压单元（10）的划分规则来输出补偿信号，所述补偿信号用于对待补偿电压信号进行补偿；

模拟加法模块（14），一输入端与所述选择单元（11）的输出端相连，另一输入端与所述补偿电压选择模块（13）的输出端相连，用于将选择单元（11）输出的待补偿电压信号与补偿电压选择模块（13）输出的补偿信号的电压进行相加后输出；模拟加法模块（14）输出的信号为所述电压补偿单元（12）的输出信号。

4. 如权利要求3所述的低压数字模拟信号转换电路，其特征在于，所述补偿电压选择模块（13）包括：

补偿电压端，所述补偿电压端的数量与分压单元（10）的数量相同，并且所述补偿电压端的电压值与各分压单元（10）的分压输出端上的待补偿电压信号需要补偿的电压值相等；

开关模块，所述开关模块数量与补偿电压端的数量相同，一个开关模块与一个补偿电压端相连，所述开关模块的一端与补偿电压端相连，另一端与所述模拟加法模块（14）的一输入端相连，开关模块的控制端用于输入数字信号并在数字信号的控制下导通和断开，以输出所述的补偿信号。

5. 如权利要求3所述的低压数字模拟信号转换电路，其特征在于，所述模拟加法模块（14）包括：

两电压转电流模块；一电压转电流模块的输入端为所述模拟加法模块（14）的一输入端，用于将选择单元（11）输出的待补偿电压信号转

变成电流信号输出；另一电压转电流模块的输入端为所述模拟加法模块（14）的另一输入端，用于将补偿电压选择模块（13）输出的补偿信号转变成电流信号输出；

一加法节点，用于将所述两电压转电流模块输出的电流信号进行相加后输出；

一电流转电压模块，其输出端为所述模拟加法模块（14）的输出端，用于将加法节点输出的电流信号转变成电压信号进行输出。

6. 如权利要求3所述的低压数字模拟信号转换电路，其特征在于，所述模拟加法模块（14）包括：

一放大器，此放大器的正输入端接地，负输入端与输出端之间接有电容 C3，电容 C3 并联有一开关 S₁₁；放大器的负输入端还通过一电容 C1 与一接地开关 S₂₂ 相连，电容 C1 与此接地开关 S₂₂ 相连的一端还与另一开关 S₁₂ 的一端相连，此开关 S₁₂ 的另一端为所述模拟加法模块（14）的一输入端；放大器的负输入端还通过一电容 C2 与一接地开关 S₂₁ 相连，电容 C2 与此接地开关 S₂₁ 相连的一端还与另一开关 S₁₃ 的一端相连，此开关 S₁₃ 的另一端为所述模拟加法模块（14）的另一输入端；

或者，

一放大器，此放大器的正输入端接地，负输入端与输出端之间接有一开关 S₁₁；所述放大器的负输入端还与一电容 C2 的一端相连，电容 C2 的另一端通过一开关 S₂₁ 连接到所述放大器的输出端；电容 C2 连有开关 S₂₁ 的一端，还与一开关 S₁₃ 的一端相连，开关 S₁₃ 的另一端为所述模拟加法模块（14）的一输入端；所述放大器的负输入端还通过一电容 C1 与一接地开关 S₂₂ 相连，电容 C1 与接地开关 S₂₂ 相连的一端还与另一开关 S₁₂ 的一端相连，此开关 S₁₂ 的另一端为所述模拟加法模块（14）的另一输入端；

或者，

一放大器，此放大器的负输入端与输出端之间连有一电阻 R1；所述放大器的负输入端还接有一接地电阻 R2；所述放大器的正输入端与一电阻 R3 的一端相连，电阻 R3 的另一端为所述模拟加法模块（14）的一输入端；所述放大器的正输入端与一电阻 R4 的一端相连，电阻 R4 的另一端为所述模拟加法模块（14）的另一输入端，其中电阻 R2、R3 和 R4 的阻值相等，电阻 R1 的阻值是电阻 R2 的两倍。

7. 如权利要求1所述的低压数字模拟信号转换电路，其特征在于，所述选择单元（11）包括传输晶体管阵列，所述传输晶体管阵列形成的开关电路与各分压单位（10）的分压输出端一一对应，将分压输出端分别与选择单元（11）的输出端连通。

8. 如权利要求1所述的低压数字模拟信号转换电路，其特征在于，

所述分压单位（10）至少有两个。

9. 一种数据驱动电路，其特征在于，包括：

数据输入模块，用于输入包含图像数据的数字信号；

锁存器，与数据输入模块相连，用于数字信号锁定；

权利要求 1 至 9 中任一项所述的低压数字模拟信号转换电路，其选择单元（11）、电压补偿单元（12）的输入端与锁存器的输出端相连。

10. 一种显示系统，包括如权利要求 10 所述的数据驱动电路。

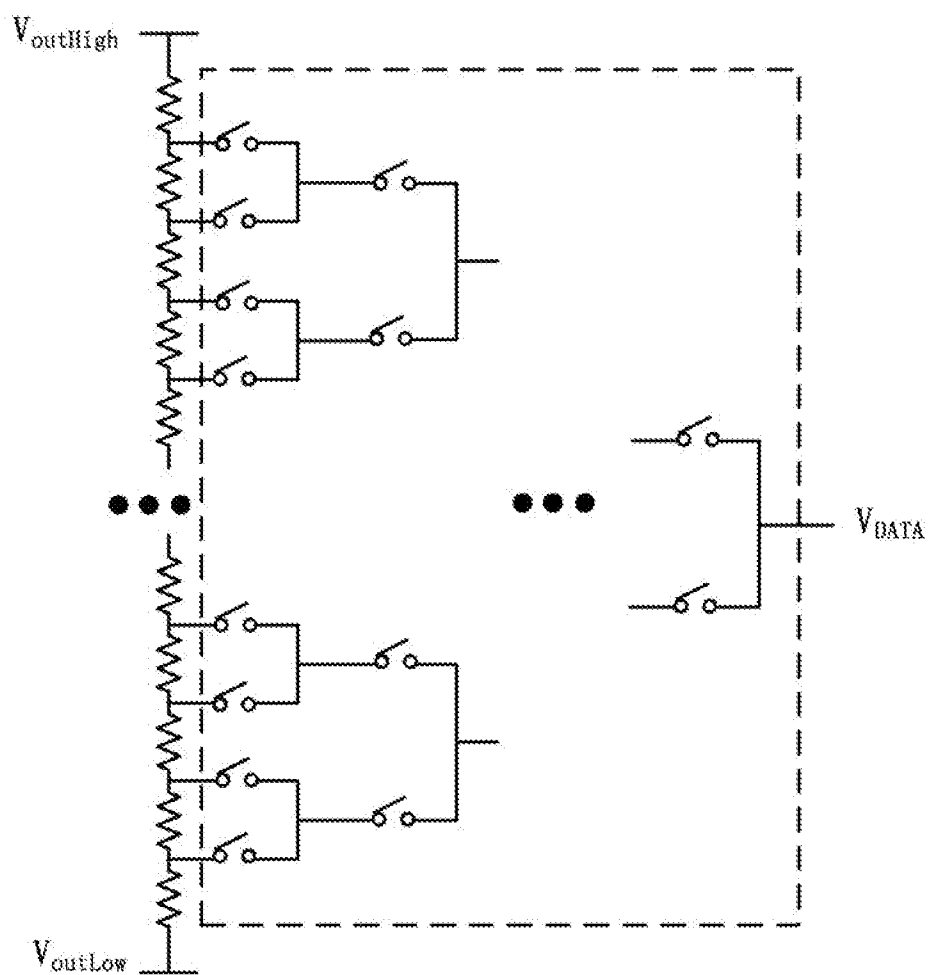


图 1

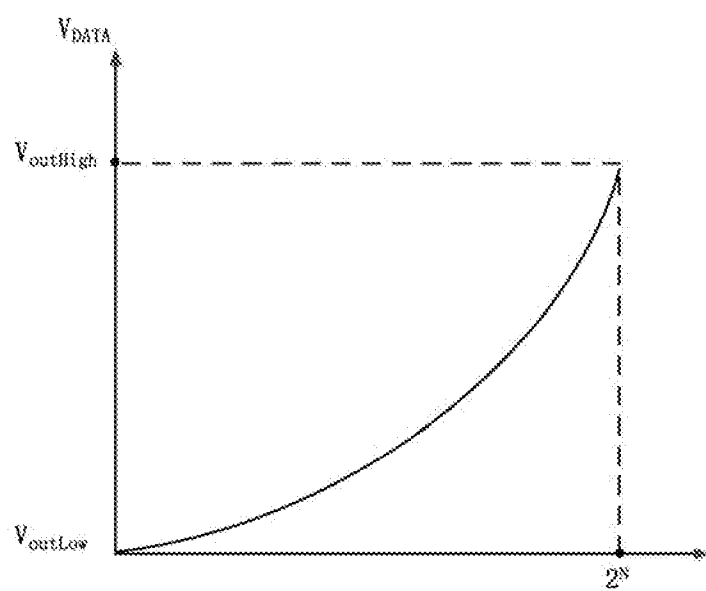


图 2

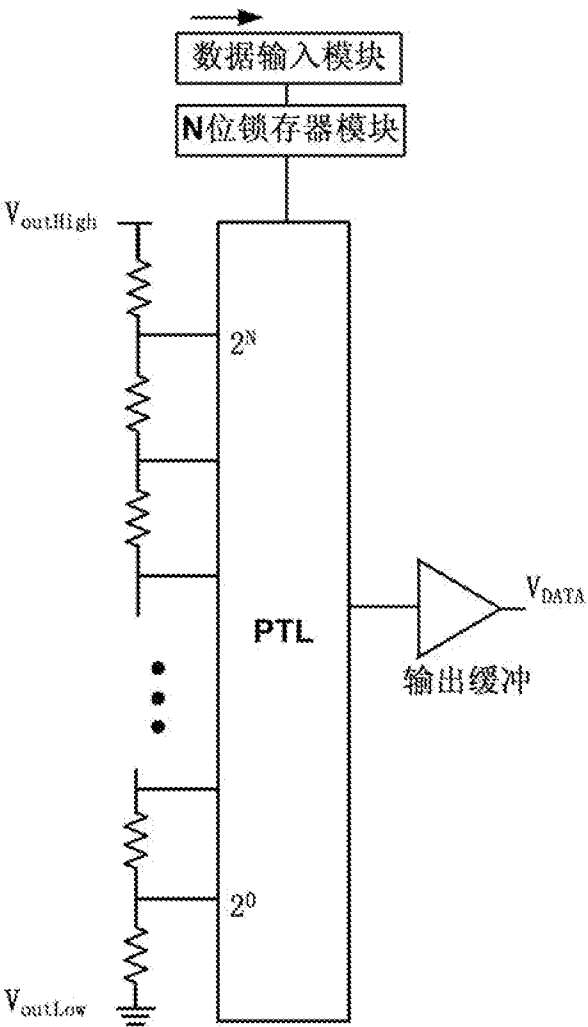


图 3

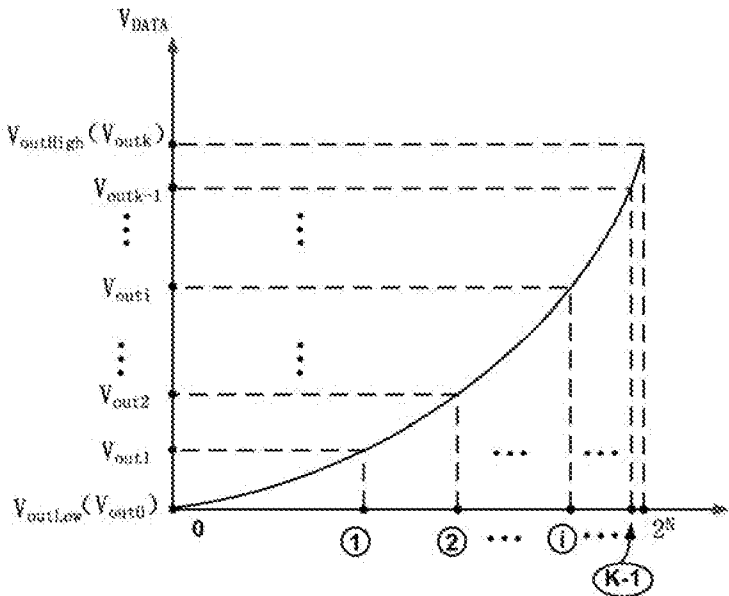


图 4

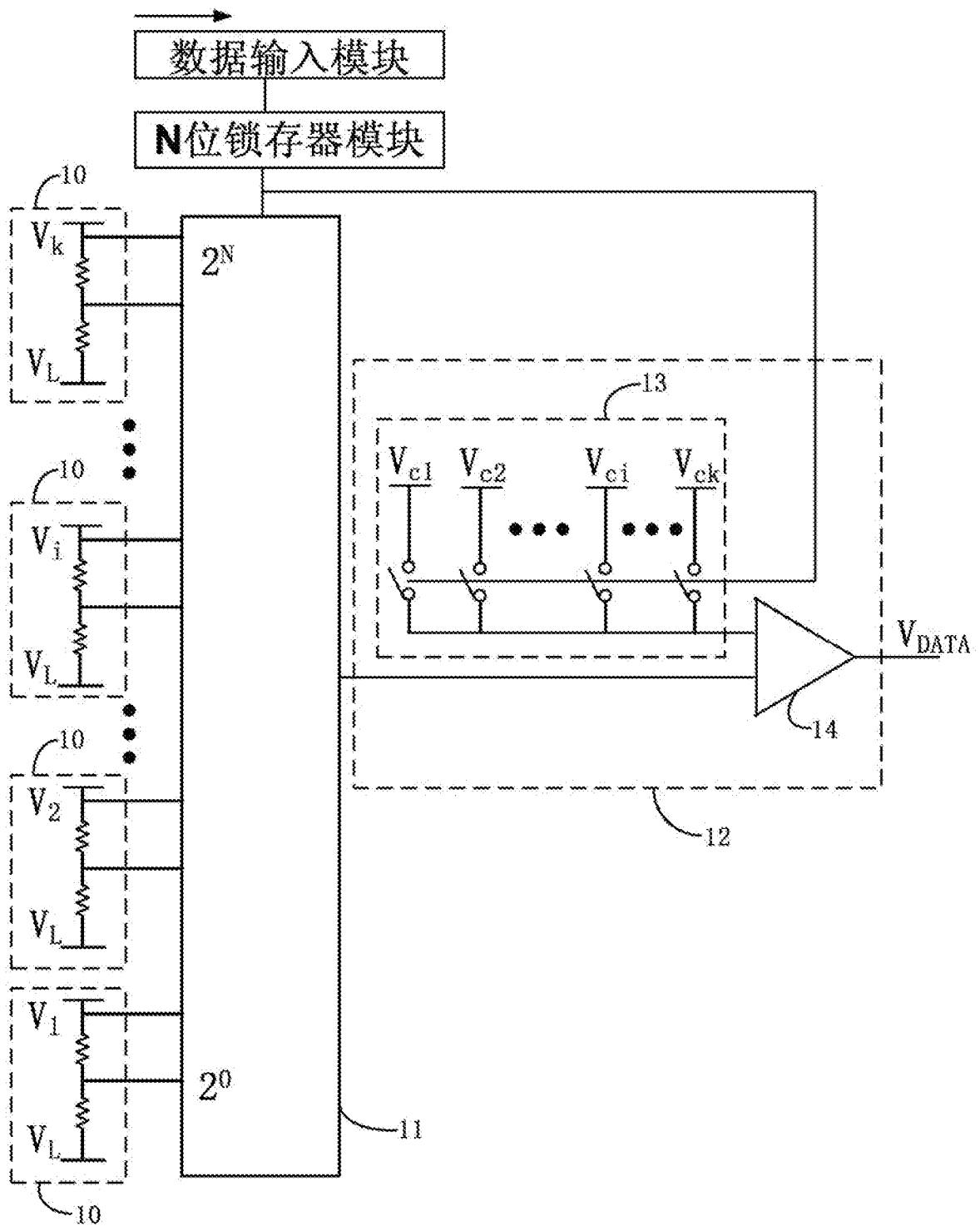


图 5

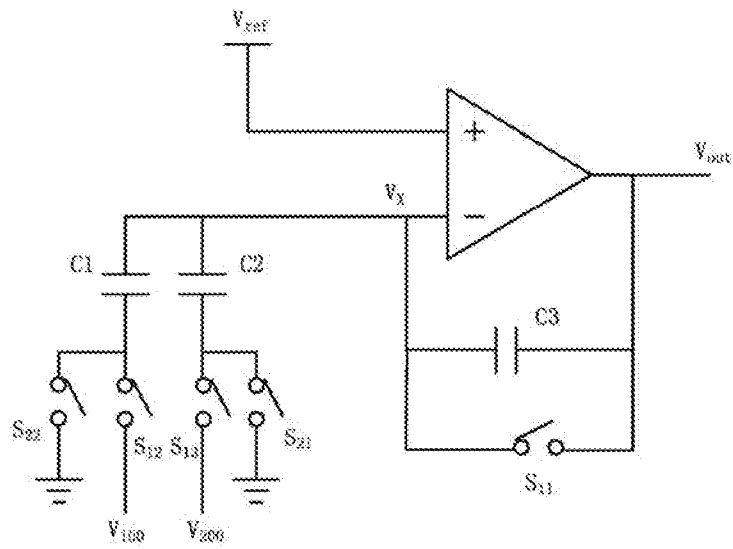


图 6

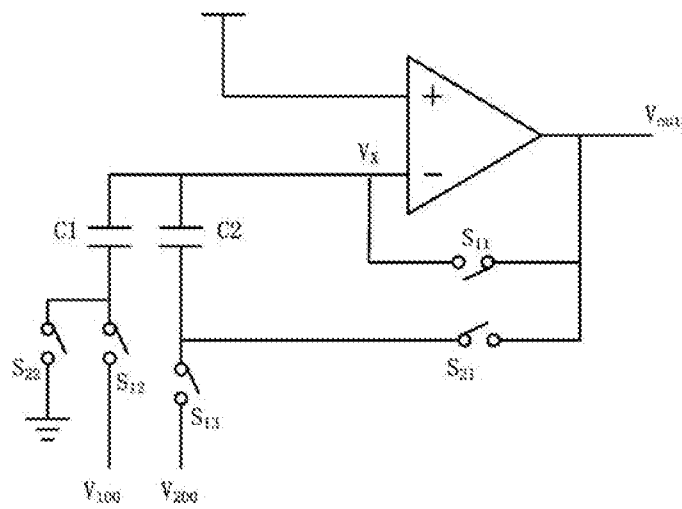


图 7

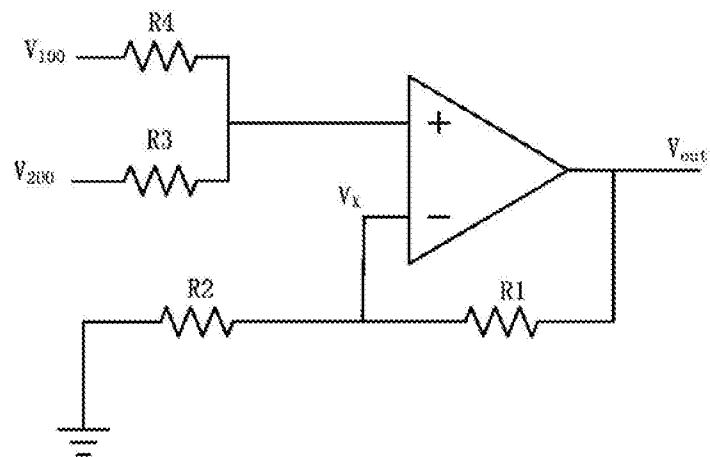


图 8

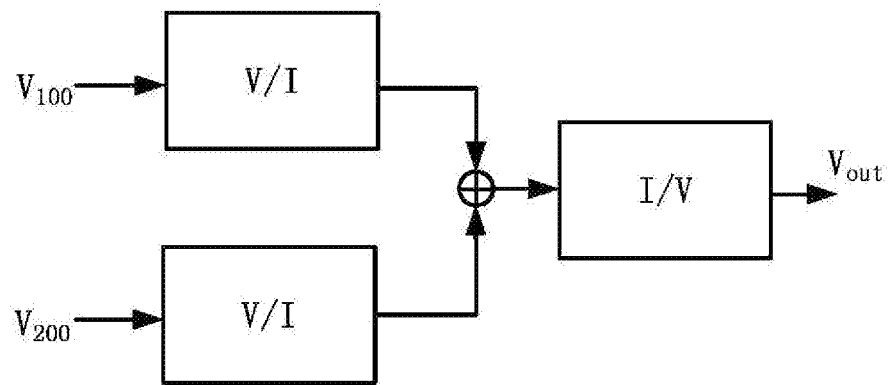


图 9

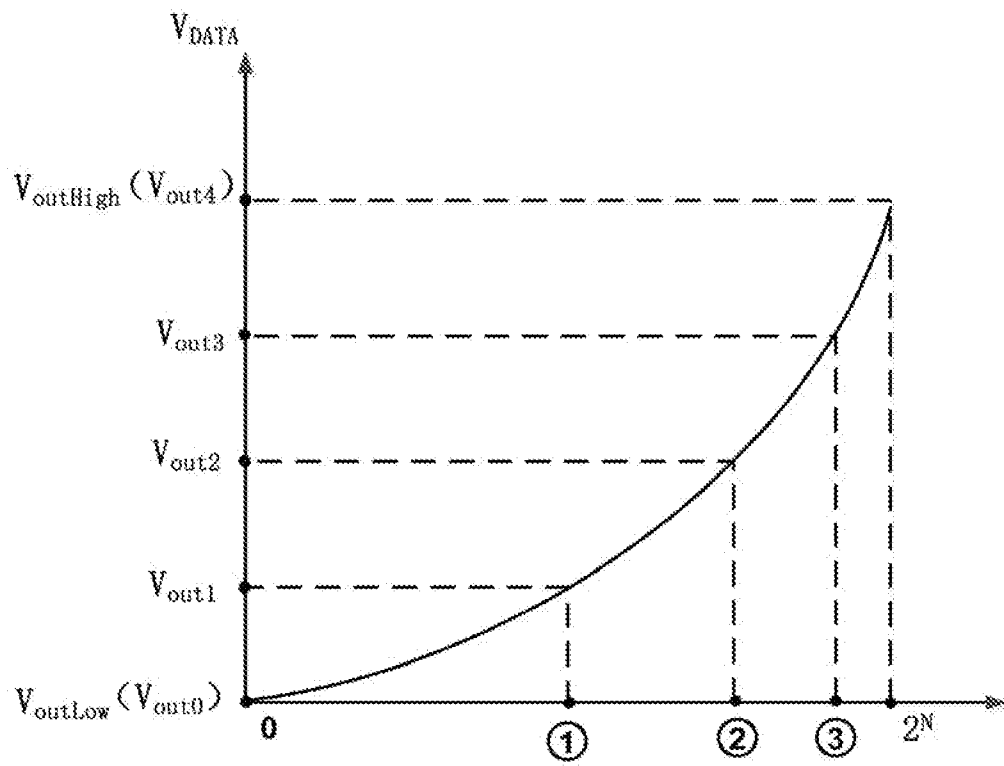


图 10

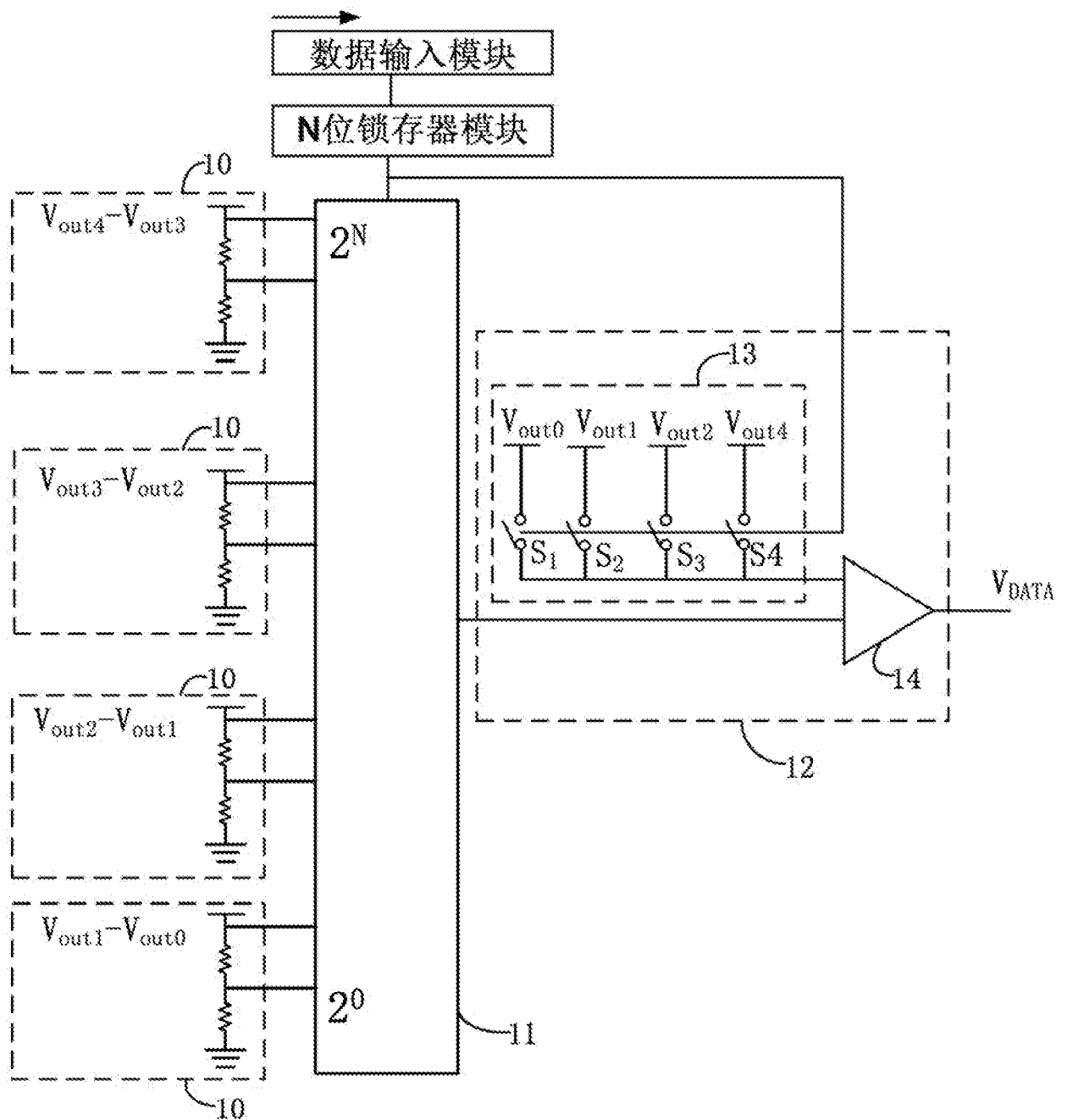


图 11

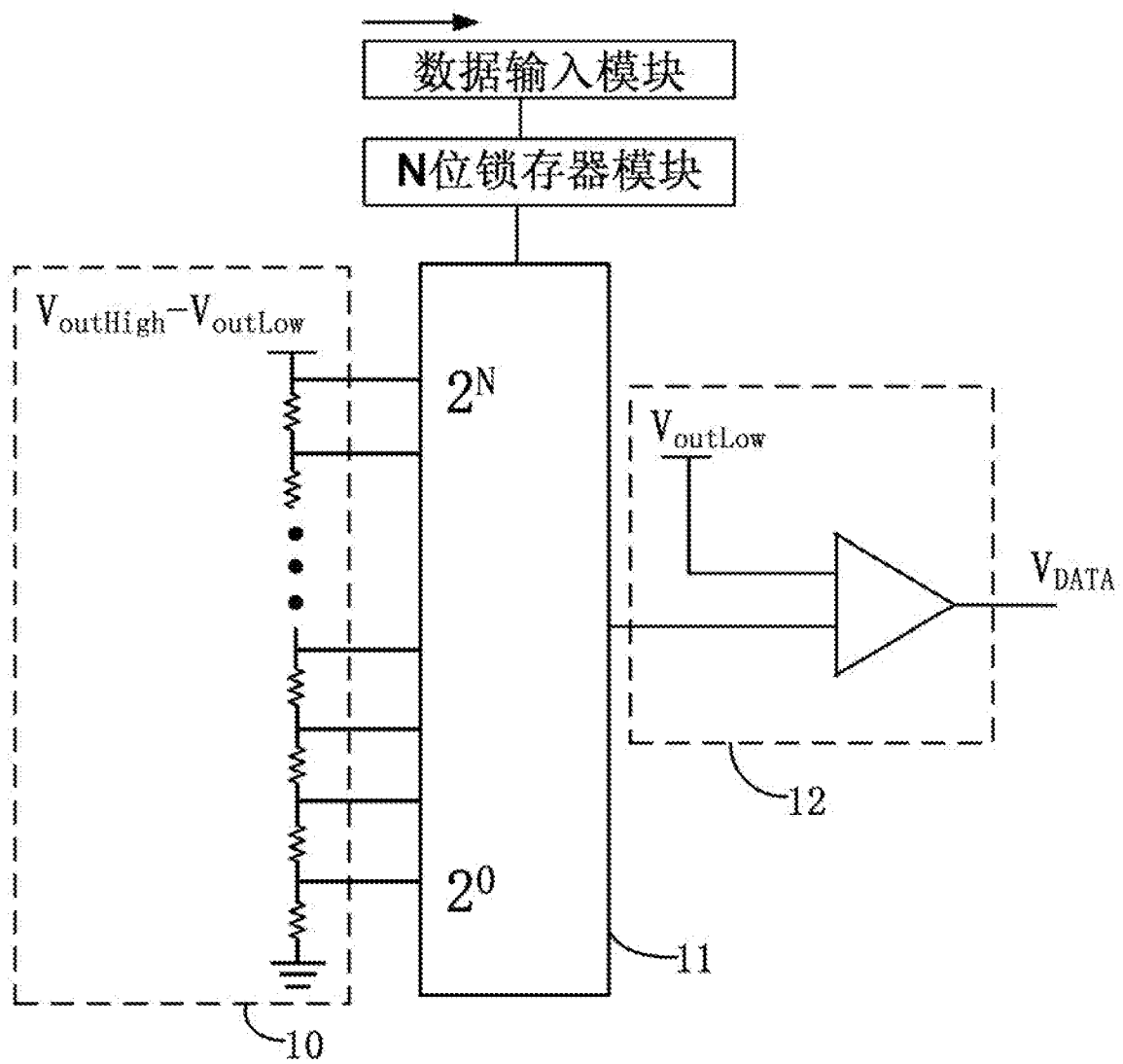


图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/077262

A. CLASSIFICATION OF SUBJECT MATTER

H03M 1/66 (2006.01) i; G09G 3/20 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H03M 1/-; G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; CPRSABS; CNTXT; USTXT; CNKI: digital, analog+, voltage, partial, differential, fractional, resistance, series, select, switch, compensate, add+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104821828 A (UNIV PEKING SHENZHEN GRADUATE SCHOOL) 05 August 2015 (05.08.2015) see claims 1-10	1-10
A	CN 101702624 A (CPTF VISUAL DISPLAY FUZHOU LTD. et al.) 05 May 2010 (05.05.2010) see the whole document	1-10
A	CN 101145781 A (LIANYONG SCI & TECHNOLOGY CO., LTD.) 19 March 2008 (19.03.2008) see the whole document	1-10
A	CN 1913364 A (SAMSUNG ELECTRO-MECHANICS CO.) 14 February 2007 (14.02.2007) see the whole document	1-10
A	JP 2000323650 A (HITACHI LTD. et al.) 24 November 2000 (24.11.2000) see the whole document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 June 2016	Date of mailing of the international search report 01 July 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer DU, Yi Telephone No. (86-10) 62411635

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/077262

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104821828 A	05 August 2015	None	
CN 101702624 A	05 May 2010	CN 101702624 B	09 November 2011
CN 101145781 A	19 March 2008	CN 100583647 C	20 January 2010
CN 1913364 A	14 February 2007	KR 100708939 B1	17 April 2007
		JP 2007049679 A	22 February 2007
		CN 1913364 B	12 May 2010
		US 2007040719 A1	22 February 2007
		KR 20070017712 A	13 February 2007
		US 7330143 B2	12 February 2008
JP 2000323650 A	24 November 2000	None	

国际检索报告

国际申请号

PCT/CN2016/077262

A. 主题的分类

H03M 1/66(2006.01)i; G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03M 1/-; G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;DWPI;CPRSABS;CNTXT;USTXT;CNKI:数,模,分压,电阻,串,选择,开关,补偿,加法,digital,analog+,voltage,partial,differential,fractional,resistance,series,select,switch,compensate,add+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104821828 A (北京大学深圳研究生院) 2015年 8月 5日 (2015 - 08 - 05) 见权利要求1-10	1-10
A	CN 101702624 A (福州华映视讯有限公司等) 2010年 5月 5日 (2010 - 05 - 05) 见全文	1-10
A	CN 101145781 A (联詠科技股份有限公司) 2008年 3月 19日 (2008 - 03 - 19) 见全文	1-10
A	CN 1913364 A (三星电机株式会社) 2007年 2月 14日 (2007 - 02 - 14) 见全文	1-10
A	JP 2000323650 A (株式会社日立制作所等) 2000年 11月 24日 (2000 - 11 - 24) 见全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 6月 13日

国际检索报告邮寄日期

2016年 7月 1日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

杜轶

传真号 (86-10)62019451

电话号码 (86-10)62411635

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/077262

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104821828	A	2015年 8月 5日	无			
CN	101702624	A	2010年 5月 5日	CN	101702624	B	2011年 11月 9日
CN	101145781	A	2008年 3月 19日	CN	100583647	C	2010年 1月 20日
CN	1913364	A	2007年 2月 14日	KR	100708939	B1	2007年 4月 17日
				JP	2007049679	A	2007年 2月 22日
				CN	1913364	B	2010年 5月 12日
				US	2007040719	A1	2007年 2月 22日
				KR	20070017712	A	2007年 2月 13日
				US	7330143	B2	2008年 2月 12日
JP	2000323650	A	2000年 11月 24日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)