

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-165308

(P2011-165308A)

(43) 公開日 平成23年8月25日(2011.8.25)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 2 E	5 B 1 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E	5 F 0 8 3
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 3 E	5 F 1 0 1
H O 1 L 21/8247 (2006.01)	G 1 1 C 17/00 6 3 4 A	
H O 1 L 27/115 (2006.01)	H O 1 L 27/10 4 3 4	
審査請求 未請求 請求項の数 10 O L (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2011-12074 (P2011-12074)	(71) 出願人	390019839
(22) 出願日	平成23年1月24日 (2011.1.24)		三星電子株式会社
(31) 優先権主張番号	10-2010-0011989		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成22年2月9日 (2010.2.9)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	61/356, 712		416, M a e t a n - d o n g , Y e o
(32) 優先日	平成22年6月21日 (2010.6.21)		n g t o n g - g u , S u w o n - s i ,
(33) 優先権主張国	米国 (US)		G y e o n g g i - d o , R e p u b l i
			c o f K o r e a
(特許庁注：以下のものは登録商標)		(74) 代理人	100086368
1. R R A M			弁理士 萩原 誠
2. F R A M		(72) 発明者	韓 眞 晩
			大韓民国京畿道城南市盆唐区亭子洞11番
			地 1-パークアパート 301棟130
			5号
			最終頁に続く

(54) 【発明の名称】 不揮発性メモリ装置およびその動作方法と、それを含むメモリシステム

(57) 【要約】

【課題】本発明は少ない消去単位を有する不揮発性メモリ装置の動作方法を提供する。

【解決手段】本発明の不揮発性メモリ装置の動作方法は、ビットラインに接続された第1ストリングの接地選択ラインをフローティングし、ビットラインに接続された第2ストリングの接地選択ラインに消去禁止電圧を印加し、そして第1及び第2ストリング等に消去動作電圧を印加する。

【選択図】 図9

	選択ストリング	非選択ストリング
SSL	Float	Vss → Vm2
WL	Vss	
GSL	Float	Vss → Vm1
CSL	フロート	
基板	Vers	

【特許請求の範囲】**【請求項 1】**

不揮発性メモリ装置の動作方法において、
ビットラインに接続された第 1 ストリングの接地選択ラインをフローティングし、
前記ビットラインに接続された第 2 ストリングの接地選択ラインに消去禁止電圧を印加し、
前記第 1 及び第 2 ストリングに消去動作電圧を印加することを特徴とする動作方法。

【請求項 2】

前記消去禁止電圧は、前記第 2 ストリングの接地選択ラインに接続された接地選択トランジスタのしきい値電圧より高いことを特徴とする請求項 1 に記載の動作方法。

10

【請求項 3】

前記消去動作電圧を印加することは、
前記第 1 及び第 2 ストリングに接続されたワードラインに接地電圧を印加し、
前記第 1 及び第 2 ストリングに接続された共通ソースラインに消去電圧を印加することを特徴とする請求項 1 に記載の動作方法。

【請求項 4】

前記消去動作電圧を印加することは、
前記第 1 及び第 2 ストリングに接続されたワードラインをフローティングし、
前記第 1 及び第 2 ストリングに接続された共通ソースラインにフリー電圧を印加し、
前記共通ソースラインに消去電圧を印加し、
前記ワードラインに接地電圧を印加することを特徴とする請求項 1 に記載の動作方法。

20

【請求項 5】

前記第 2 ストリングの第 2 接地選択ラインに第 2 消去禁止電圧を印加することを特徴とする請求項 1 に記載の動作方法。

【請求項 6】

前記第 2 消去禁止電圧は、前記消去禁止電圧より低いレベルを有することを特徴とする請求項 5 に記載の動作方法。

【請求項 7】

前記第 2 消去禁止電圧は、前記第 2 ストリングの第 2 接地選択ラインに接続された第 2 接地選択トランジスタのしきい値電圧より高いレベルを有することを特徴とする請求項 5 に記載の動作方法。

30

【請求項 8】

前記第 2 ストリングのストリング選択ラインに第 3 消去禁止電圧を印加することを特徴とする請求項 1 に記載の動作方法。

【請求項 9】

ビットライン及び共通ソースライン間に接続される第 1 及び第 2 ストリングを含むメモリセルアレイと、

前記第 1 及び第 2 ストリングに接続されたワードライン、選択ライン、及び前記共通ソースラインに電圧を印加する駆動機と、

前記第 1 及び第 2 ストリングのメモリセルにデータを書き込み及び読み出すように構成される読み込み及び書き込み回路を含み、

40

消去動作の際に、前記駆動機は前記第 1 ストリングの第 1 ワードライン及び前記第 2 ストリングの第 2 ワードラインに同じ電圧を印加し、前記第 1 ストリングの接地選択ライン及び前記第 2 ストリングの接地選択ラインに異なる電圧を印加するように構成されることを特徴とする不揮発性メモリ装置。

【請求項 10】

不揮発性メモリ装置と、

前記不揮発性メモリ装置を制御するコントローラを含み、

前記不揮発性メモリ装置は、

ビットライン及び共通ソースライン間に接続される第 1 及び第 2 ストリングを含むメモ

50

リセルアレイと、

前記第1及び第2ストリングに接続されたワードライン、選択ライン、及び前記共通ソースラインに電圧を印加する駆動機と、

前記第1及び第2ストリングのメモリセルにデータを書き込み及び読み出すように構成される読み込み及び書き込み回路を含み、

消去動作の際に、前記駆動機は前記第1ストリングの第1ワードライン及び前記第2ストリングの第2ワードラインに同じ電圧を印加し、前記第1ストリングの接地選択ライン及び前記第2ストリングの接地選択ラインに異なる電圧を印加するように構成されることを特徴とするメモリシステム。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は半導体メモリに関し、さらに詳しくは、不揮発性メモリ装置およびその動作方法と、それを含むメモリシステムに関する。

【背景技術】

【0002】

半導体メモリ装置 (semiconductor memory device) はシリコン (Si、silicon)、ゲルマニウム (Ge、Germanium)、ヒ化ガリウム (GaAs、gallium arsenide)、リン化インジウム (InP、indium phosphide) 等のような半導体を利用して具現される記憶装置である。半導体メモリ装置は揮発性メモリ装置 (Volatile memory device) と不揮発性メモリ装置 (Nonvolatile memory device) とに分けられる。

20

【0003】

揮発性メモリ装置は電源供給が遮断されると貯蔵しているデータが消去されるメモリ装置である。揮発性メモリ装置はSRAM (Static RAM)、DRAM (Dynamic RAM)、SDRAM (Synchronous DRAM) 等がある。不揮発性メモリ装置は電源供給が遮断されても貯蔵しているデータを保持するメモリ装置である。不揮発性メモリ装置はROM (Read Only Memory)、PROM (Programmable ROM)、EPROM (Electrically Programmable ROM)、EEPROM (Electrically Erasable and Programmable ROM)、フラッシュメモリ装置、PRAM (Phase-change RAM)、MRAM (Magnetic RAM)、RRAM (Resistive RAM)、FRAM (Ferroelectric RAM) 等がある。フラッシュメモリ装置は概ねNOR型とNAND型とに分けられる。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-200540号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0005】

本発明の目的は少ない消去単位を有する不揮発性メモリ装置およびその動作方法と、それを含むメモリシステムを提供することにある。

【課題を解決するための手段】

【0006】

本発明の実施形態による不揮発性メモリ装置の動作方法は、ビットラインに接続された第1ストリングの接地選択ラインをフローティングし、前記ビットラインに接続された第2ストリングの接地選択ラインに消去禁止電圧を印加し、前記第1及び第2ストリングに消去動作電圧を印加することを含む。

50

【0007】

実施形態において、前記消去禁止電圧は、前記第2ストリングの接地選択ラインに接続された接地選択トランジスタのしきい値電圧より高い。

実施形態において、前記消去動作電圧を印加することは、前記第1及び第2ストリングに接続されたワードラインに接地電圧を印加し、前記第1及び第2ストリングに接続された共通ソースラインに消去電圧を印加することを含む。

【0008】

実施形態において、前記消去動作電圧を印加することは、前記第1及び第2ストリングに接続されたワードラインをフローティングし、前記第1及び第2ストリングに接続された共通ソースラインにフリー電圧を印加し、前記共通ソースラインに消去電圧を印加し、前記ワードラインに接地電圧を印加することを含む。

10

実施形態において、前記第2ストリングの第2接地選択ラインに第2消去禁止電圧を印加することをさらに含む。

【0009】

実施形態において、前記第2消去禁止電圧は、前記消去禁止電圧より低いレベルを有する。

実施形態において、前記第2消去禁止電圧は、前記第2ストリングの第2接地選択ラインに接続された第2接地選択トランジスタのしきい値電圧より高いレベルを有する。

実施形態において、前記第2ストリングのストリング選択ラインに第3消去禁止電圧を印加することをさらに含む。

20

【0010】

本発明の実施形態による不揮発性メモリ装置は、ビットライン及び共通ソースライン間に接続される第1及び第2ストリングを含むメモリセルアレイと、前記第1及び第2ストリングに接続されたワードラインと選択ライン、そして前記共通ソースラインに電圧を印加する駆動機と、そして前記第1及び第2ストリングのメモリセルにデータを書き込み及び読み出すように構成される読み込み及び書き込み回路を含み、消去動作の際に、前記駆動機は前記第1ストリングの第1ワードライン及び前記第2ストリングの第2ワードラインに同じ電圧を印加し、そして前記第1ストリングの接地選択ライン及び前記第2ストリングの接地選択ラインに異なる電圧を印加するように構成される。

【0011】

30

本発明の実施形態によるメモリシステムは、不揮発性メモリ装置と、そして不揮発性メモリ装置を制御するコントローラを含み、前記不揮発性メモリ装置はビットライン及び共通ソースライン間に接続される第1及び第2ストリングを含むメモリセルアレイと、前記第1及び第2ストリングに接続されたワードラインと選択ライン、そして前記共通ソースラインに電圧を印加する駆動機と、そして前記第1及び第2ストリングのメモリセルにデータを書き込み及び読み出すように構成される読み込み及び書き込み回路を含み、消去動作の際に、前記駆動機は、前記第1ストリングの第1ワードライン及び前記第2ストリングの第2ワードラインに同じ電圧を印加し、そして前記第1ストリングの接地選択ライン及び前記第2ストリングの接地選択ラインに異なる電圧を印加するように構成される。

【発明の効果】

40

【0012】

本発明による不揮発性メモリ装置において、一つのビットラインに接続されたストリングの接地選択ラインに異なる電圧が印加される。本発明によると、選択ストリングが消去され、非選択ストリングは消去禁止される。従って、不揮発性メモリ装置の消去単位が減少されるので不揮発性メモリ装置の動作速度が向上される。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態による不揮発性メモリ装置を示すブロック図。

【図2】図1のメモリセルアレイを示すブロック図。

【図3】図2のメモリブロックの第1実施形態を示す斜視図。

50

【図４】図３のメモリブロックのⅠ－Ⅰ'線による断面図。

【図５】図４のトランジスタの構造を示す断面図。

【図６】図３乃至図５を参照して説明するメモリブロックの等価回路を示す回路図。

【図７】図３乃至図６を参照して説明するメモリブロックの一つのＮＡＮＤストリングを示す断面図。

【図８】図６のメモリブロックの消去単位を示す回路図。

【図９】図８のメモリブロックの消去動作の際の電圧条件を示す表。

【図１０】図９の電圧条件による選択ストリングの電圧変化を示すタイミング図。

【図１１】図１０の電圧変化による選択ストリングの状態例を示す断面図。

【図１２】図９の電圧条件による非選択ストリングの電圧変化を示すタイミング図。

10

【図１３】図１１の電圧変化による非選択ストリングの状態例を示す断面図。

【図１４】図６のメモリブロックの他の実施形態を示す回路図。

【図１５】消去動作の際、図１４の非選択ストリングの電圧変化を示すタイミング図。

【図１６】図６のメモリブロックの他の実施形態を示す回路図。

【図１７】図６のメモリブロックの他の実施形態を示す回路図。

【図１８】図３のメモリブロックの他の実施形態を示すブロック図。

【図１９】図２のメモリブロックの第２実施形態を示す斜視図。

【図２０】図１８のメモリブロックのＸＸ－ＸＸ'線による断面図。

【図２１】図１９及び図２０のメモリブロックの消去動作の際の電圧条件を示す表。

【図２２】図２１の電圧条件による選択ストリングの電圧変化を示すタイミング図。

20

【図２３】図２２の電圧変化による選択ストリングの状態例を示す断面図。

【図２４】図２２の電圧条件による非選択ストリングの電圧変化を示すタイミング図。

【図２５】図２４の電圧変化による非選択ストリングの状態例を示す断面図。

【図２６】図２のメモリブロックの第３実施形態を示す斜視図。

【図２７】図２６のメモリブロックのＸＸⅦⅡ－ＸＸⅦⅡ'線による断面図。

【図２８】図１の不揮発性メモリ装置を含むメモリシステムを示すブロック図。

【図２９】図２８のメモリシステムの応用例を示すブロック図。

【図３０】図２９のメモリシステムを含むコンピューティングシステムを示すブロック図

。

【発明を実施するための形態】

30

【００１４】

以下に、本発明が属する技術分野から通常知識を有する者が本発明を容易に実施できるように、本発明の実施形態を添付図面を参照して詳細に説明する。同じ構成要素には同じ参照番号を付与して説明する。

図１は本発明の実施形態による不揮発性メモリ装置１００を示すブロック図である。図１を参照すると、本発明の実施形態による不揮発性メモリ装置１００はメモリセルアレイ１１０、駆動機１２０、読み込み及び書き込み回路１３０、そして制御ロジック１４０を含む。

【００１５】

メモリセルアレイ１１０はワードラインＷＬを通じて駆動機１２０に接続され、ビットラインＢＬを通じて読み込み及び書き込み回路１３０に接続される。メモリセルアレイ１１０は複数のメモリセルを含む。行方向に配列されるメモリセルはワードラインＷＬに接続される。列方向に配列されるメモリセルはビットラインＢＬに接続される。例示的に、メモリセルアレイ１１０はセル当たり一つ以上のビットを貯蔵することができるように構成される。

40

【００１６】

メモリセルアレイ１１０は複数のメモリブロックＢＬＫ１～ＢＬＫＺを含む。各メモリブロックＢＬＫは複数のメモリセルを含む。各メモリブロックＢＬＫに複数のワードラインＷＬ、複数の選択ラインＳＬ、そして少なくとも一つの共通ソースラインＣＳＬが構成される。

50

【0017】

駆動機120はワードラインWLを通じてメモリセルアレイ110に接続される。駆動機120は制御ロジック140の制御に応じて動作するように構成される。駆動機120は外部からアドレスADDRを受信する。

【0018】

駆動機120は受信されるアドレスADDRをデコードする。デコードされたアドレスを利用して、駆動機120はワードラインWLを選択する。駆動機120は選択及び非選択されたワードラインWLに電圧を印加するように構成される。例えば、プログラム動作、読み込み動作、又は消去動作の際に、駆動機120はプログラム動作と関連するプログラム動作電圧、読み込み動作と関連する読み込み動作電圧、又は消去動作と関連する消去動作電圧をワードラインWLに印加する。例えば、駆動機120はワードラインを選択及び駆動するワードライン駆動機121を含む。

10

【0019】

例示的に、駆動機120は選択ラインSLを選択及び駆動する。例えば、駆動機120はストリング選択ラインSSL及び接地選択ラインGSLをさらに選択及び駆動する。例えば、駆動機120は選択ラインを選択及び駆動する選択ライン駆動機123を備える。

例示的に、駆動機120は共通ソースラインCSLを駆動する。例えば、駆動機120は共通ソースラインCSLを駆動する共通ソースライン駆動機125を備える。

【0020】

読み込み及び書き込み回路130はビットラインBLを通じてメモリセルアレイ110に接続される。読み込み及び書き込み回路130は制御ロジック140の制御に応じて動作する。読み込み及び書き込み回路130はビットラインBLを選択するように構成される。

20

【0021】

例示的に、読み込み及び書き込み回路130は外部からデータDATAを受信し、受信されたデータDATAをメモリセルアレイ110に書き込む。読み込み及び書き込み回路130はメモリセルアレイ110からデータDATAを読み込み、読み込まれたデータDATAを外に伝送する。読み込み及び書き込み回路130はメモリセルアレイ110の第1貯蔵領域からデータを読み込み、読み込まれたデータをメモリセルアレイ110の第2貯蔵領域に書き込む。例えば、読み込み及び書き込み回路130はコピーバック(copy-back)動作を行う。

30

【0022】

例示的に、読み込み及び書き込み回路130はページバッファ(又はページレジスタ)、列選択回路、データバッファ等の構成要素を含む。他の例として、読み込み及び書き込み回路130は感知増幅器、書き込みドライバ、列選択回路、データバッファ等の構成要素を含む。

【0023】

制御ロジック140は駆動機120、そして読み込み及び書き込み回路130に接続される。制御ロジック140は不揮発性メモリ装置100の全般的な動作を制御する。制御ロジック140は外部から伝送される制御信号CTRLに応じて動作する。

40

【0024】

図2は図1のメモリセルアレイ110を示すブロック図である。図2を参照すると、メモリセルアレイ110は複数のメモリブロックBLK1~BLKzを含む。各メモリブロックBLKは3次元構造(又は垂直構造)を有する。例えば、各メモリブロックBLKは第1から第3方向に沿って延長される構造物を含む。例えば、各メモリブロックBLKは第2方向に沿って延長される複数のNANDストリングNSを含む。例えば、第1及び第3方向に沿って複数のNANDストリングNSが構成される。

【0025】

各NANDストリングNSはビットラインBL、ストリング選択ラインSSL、接地選択ラインGSL、ワードラインWL、そして共通ソースラインCSLに接続される。即ち

50

、各メモリブロックは複数のビットラインBL、複数のストリング選択ラインSSL、複数の接地選択ラインGSL、複数のワードラインWL、及び複数の共通ソースラインCSLに接続される。メモリブロックBLK1～BLKzは図3を参照してさらに詳しく説明する。

【0026】

図3は図2のメモリブロックBLK1～BLKz中の一つであるBLKiの第1実施形態を示す斜視図である。図4は図3のメモリブロックBLKiのI-I'線による断面図である。図3及び図4を参照すると、メモリブロックBLKiは第1から第3方向に沿って延長される構造物を含む。

【0027】

先ず、基板111が構成される。例示的に、基板111は第1型不純物がドーブされたシリコン物質を含む。例えば、基板111はp型不純物がドーブされたシリコン物質を含む。例えば、基板111はp型ウェル（例えば、ポケットpウェル）である。ここでは基板111はp型シリコンであるものと仮定するが、基板111はp型シリコンに限定されない。

【0028】

基板111上に、第1方向に沿って延長された複数のドップ領域311～314が構成される。例えば、複数のドップ領域311～314は基板111と異なる第2型を有する。例えば、複数のドップ領域311～314はn型である。ここでは第1から第4ドップ領域311～314はn型であるものと仮定するが、第1から第4ドップ領域311～314はn型に限定されない。

【0029】

第1及び第2ドップ領域311、312間に対応する基板111上の領域において、第1方向に沿って延長される複数の絶縁物質層112が第2方向に沿って順に構成される。例えば、複数の絶縁物質層112及び基板111は第2方向に沿って予め設定された距離だけ離隔されて構成される。例えば、複数の絶縁物質層112はそれぞれ第2方向に沿って予め設定された距離だけ離隔されて構成される。例示的に、絶縁物質層112はシリコン酸化物（Silicon Oxide）からなる。

【0030】

第1及び第2ドップ領域311、312間に対応する基板111上の領域において、第1方向に沿って順に配置され、第2方向に沿って絶縁物質層112を貫通する複数のピラー113が構成される。例示的に、複数のピラー113はそれぞれ絶縁物質層112を貫通して基板111と接続される。

【0031】

例示的に、各ピラー113は複数の物質から構成される。例えば、各ピラー113の表面層114は第1型にドーブされたシリコン物質を含む。例えば、各ピラー113の表面層114は基板111と同じ型にドーブされたシリコン物質を含む。ここでは各ピラー113の表面層114はp型シリコンを含むものと仮定するが、各ピラー113の表面層114はp型シリコンに限定されない。

各ピラー113の内部層115は絶縁物質から構成される。例えば、各ピラー113の内部層115はシリコン酸化物（Silicon Oxide）からなる。

【0032】

第1及び第2ドップ領域311、312間の領域において、絶縁物質層112、ピラー113、そして基板111の露出された表面に沿って絶縁膜116が形成される。例示的に、絶縁膜116の厚さは絶縁物質層112間の距離の1/2より小さい。即ち、絶縁物質層112中の第1絶縁物質の下面に構成される絶縁膜116、そして第1絶縁物質下部の第2絶縁物質の上面に構成される絶縁膜116間に、絶縁物質層112及び絶縁膜116以外の物質が配置される領域が構成される。

【0033】

第1及び第2ドップ領域311、312間の領域において、絶縁膜116の露出された

10

20

30

40

50

表面上に導電物質層 2 1 1、2 2 1、2 3 1、2 4 1、2 5 1、2 6 1、2 7 1、2 8 1、2 9 1（以下、2 1 1～2 9 1）が構成される。例えば、基板 1 1 1 に隣接する絶縁物質層 1 1 2 及び基板 1 1 1 間に第 1 方向に沿って延長される導電物質層 2 1 1 が構成される。さらに詳しくは、基板 1 1 1 に隣接する絶縁物質層 1 1 2 の下面の絶縁膜 1 1 6 及び基板 1 1 1 間に、第 1 方向に延長される導電物質層 2 1 1 が構成される。

【0 0 3 4】

絶縁物質層 1 1 2 中の特定絶縁物質層の上面の絶縁膜 1 1 6 及び特定絶縁物質層の上部に配置された絶縁物質層の下面の絶縁膜 1 1 6 間に、第 1 方向に沿って延長される導電物質層が構成される。例示的に、絶縁物質層 1 1 2 間に、第 1 方向に延長される複数の導電物質層 2 2 1～2 8 1 が構成される。また、絶縁物質層 1 1 2 上の領域に第 1 方向に沿って延長される導電物質層 2 9 1 が構成される。例示的に、第 1 方向に延長された導電物質層 2 1 1～2 9 1 は金属物質からなる。例示的に、第 1 方向に延長された導電物質層 2 1 1～2 9 1 はポリシリコン等のような導電物質からなる。

10

【0 0 3 5】

第 2 及び第 3 ドップ領域 3 1 2、3 1 3 間の領域には、第 1 及び第 2 ドップ領域 3 1 1、3 1 2 上の構造物と同じ構造物が構成される。例示的に、第 2 及び第 3 ドップ領域 3 1 2、3 1 3 間の領域には、第 1 方向に延長される複数の絶縁物質層 1 1 2、第 1 方向に沿って順に配置され、第 2 方向に沿って複数の絶縁物質層 1 1 2 を貫通する複数のピラー 1 1 3、複数の絶縁物質層 1 1 2 及び複数のピラー 1 1 3 の露出された表面に構成される絶縁膜 1 1 6、そして第 1 方向に沿って延長される複数の導電物質層 2 1 2、2 2 2、2 3 2、2 4 2、2 5 2、2 6 2、2 7 2、2 8 2、2 9 2（以下、2 1 2～2 9 2）が構成される。

20

【0 0 3 6】

第 3 及び第 4 ドップ領域 3 1 3、3 1 4 間の領域には、第 1 及び第 2 ドップ領域 3 1 1、3 1 2 上の構造物と同じ構造物が構成される。例示的に、第 3 及び第 4 ドップ領域 3 1 2、3 1 3 間の領域には、第 1 方向に延長される複数の絶縁物質層 1 1 2、第 1 方向に沿って順に配置され、第 2 方向に沿って複数の絶縁物質層 1 1 2 を貫通する複数のピラー 1 1 3、複数の絶縁物質層 1 1 2 及び複数のピラー 1 1 3 の露出された表面に構成される絶縁膜 1 1 6、そして第 1 方向に沿って延長される複数の導電物質層 2 1 3、2 2 3、2 3 3、2 4 3、2 5 3、2 6 3、2 7 3、2 8 3、2 9 3（以下、2 1 3～2 9 3）が構成される。

30

【0 0 3 7】

複数のピラー 1 1 3 上にドレイン 3 2 0 がそれぞれ構成される。例示的に、ドレイン 3 2 0 は第 2 型にドーピングされたシリコン物質からなる。例えば、ドレイン 3 2 0 は n 型にドーピングされたシリコン物質からなる。ここではドレイン 3 2 0 は n 型シリコンを含むものと仮定するが、ドレイン 3 2 0 は n 型シリコンに限定されない。例示的に、各ドレイン 3 2 0 の幅は対応するピラー 1 1 3 の幅より大きい。例えば、各ドレイン 3 2 0 は対応するピラー 1 1 3 の上面にパッド形態に構成される。

【0 0 3 8】

ドレイン 3 2 0 上に、第 3 方向に延長される導電物質層 3 3 1～3 3 3 が構成される。導電物質層 3 3 1～3 3 3 は第 1 方向に沿って順に配置される。導電物質層 3 3 1～3 3 3 はそれぞれ対応する領域のドレイン 3 2 0 と接続される。ドレイン 3 2 0 及び第 3 方向に延長された導電物質層 3 3 3 はそれぞれコンタクトプラグ（contact plug）を通じて接続される。例示的に、第 3 方向に延長される導電物質層 3 3 1～3 3 3 は金属物質からなる。例えば、第 3 方向に延長される導電物質層 3 3 1～3 3 3 はポリシリコン等のような導電物質からなる。

40

【0 0 3 9】

図 3 及び図 4 において、各ピラー 1 1 3 は絶縁膜 1 1 6 に隣接した領域及び第 1 方向に沿って延長される複数の導体ライン 2 1 1～2 9 1、2 1 2～2 9 2、2 1 3～2 9 3 の中に隣接した領域とともにストリングを形成する。例えば、各ピラー 1 1 3 は絶縁膜 1 1

50

6に隣接した領域及び第1方向に沿って延長される複数の導体ライン211～291、212～292、213～293の中に隣接した領域とともにNANDストリングNSを形成する。NANDストリングNSは複数のトランジスタの構造TSを含む。トランジスタの構造TSは図5を参照してさらに詳しく説明する。

【0040】

図5は図4のトランジスタの構造TSを示す断面図である。図3乃至図5を参照すると、絶縁膜116は少なくとも三つのサブ絶縁膜117、118、119を含む。例示的に、第1方向に延長された導電物質層233と隣接するサブ絶縁膜119とはシリコン酸化膜からなる。ピラー113に隣接するサブ絶縁膜117はシリコン酸化膜からなる。そして、シリコン酸化膜117、119間のサブ絶縁膜118はシリコン窒化膜からなる。即ち、絶縁膜116はONO（Oxide-Nitride-Oxide）からなる。

10

【0041】

導電物質層233はゲート（又は制御ゲート）として動作する。導電物質層233に隣接するシリコン酸化膜119はブロッキング絶縁膜として動作する。シリコン窒化膜118は電荷貯蔵膜として動作する。例えば、シリコン窒化膜118は電荷捕獲層として動作する。ピラー113に隣接するシリコン酸化膜117はトンネリング絶縁膜として動作する。ピラー113のp型シリコン114はボディ（body）として動作する。即ち、ゲート（又は制御ゲート）233、ブロッキング絶縁膜119、電荷貯蔵膜118、トンネリング絶縁膜117、及びボディ114はトランジスタ（又はメモリセルトランジスタの構造）を形成する。前記ピラー113のp型シリコン114は第2方向のボディと称する。

20

【0042】

メモリブロックBLKiは複数のピラー113を含む。即ち、メモリブロックBLKiは複数のNANDストリングNSを含む。さらに詳しくは、メモリブロックBLKiは第2方向（又は基板と垂直方向）に延長される複数のNANDストリングNSを含む。

【0043】

各NANDストリングNSは第2方向に沿って配置される複数のトランジスタの構造TSを含む。各NANDストリングNSの複数のトランジスタの構造TSの中の少なくとも一つはストリング選択トランジスタSSTとして動作する。各NANDストリングNSの複数のトランジスタの構造TSの中の少なくとも一つは接地選択トランジスタGSTとして動作する。

30

【0044】

ゲート等（又は制御ゲート等）は第1方向に延長された導電物質層211～291、212～292、213～293に対応する。即ち、ゲート等（又は制御ゲート等）は第1方向に延長されてワードライン、そして少なくとも二つの選択ライン（例えば、少なくとも一つのストリング選択ラインSSL及び少なくとも一つの接地選択ラインGSL）を形成する。

【0045】

第3方向に延長される導電物質層331～333はNANDストリングNSの一端に接続される。例示的に、第3方向に延長される導電物質層331～333はビットラインBLとして動作する。即ち、一つのメモリブロックBLKiにおいて、一つのビットラインBLに複数のNANDストリングNSが接続される。

40

【0046】

第1方向に延長された第2型ドップ領域311～314がNANDストリングの他端に構成される。第1方向に延長された第2型ドップ領域311～314は共通ソースラインCSLとして動作する。

即ち、メモリブロックBLKiは基板111に垂直方向（第2方向）に延長された複数のNANDストリングNSを含み、一つのビットラインBLに複数のNANDストリングNSが接続されるNANDフラッシュメモリブロック（例えば、電荷捕獲型）として動作する。

50

【0047】

図3乃至図5において、第1方向に延長される導体ライン211～291、212～292、213～293はそれぞれ9個の層に構成されているが、これらは9個の層に限定されない。例えば、第1方向に延長される導体ラインは8個の層、16個の層等に構成しても良い。即ち、一つのNANDストリングにおいて、トランジスタは8個、16個等、複数個からなる。

【0048】

図3乃至図5において、一つのビットラインBLに三つのNANDストリングNSが接続されているが、これに限定されない。例示的に、メモリブロックBLKiにおいて、一つのビットラインBLにm個のNANDストリングNSが接続される。このとき、一つのビットラインBLに接続されるNANDストリングNSの数だけ、第1方向に延長される導電物質層211～291、212～292、213～293の数及び共通ソースライン311～314の数も調整される。

10

【0049】

図3乃至図5において、第1方向に延長された一つの導電物質層に三つのNANDストリングNSが接続されているが、第1方向に延長された一つの導電物質層に接続されるNANDストリングNSの数はこれに限定されない。例えば、第1方向に延長された一つの導電物質層に、n個のNANDストリングNSが接続される。このとき、第1方向に延長された一つの導電物質層に接続されるNANDストリングNSの数だけ、ビットライン331～333の数も調整される。

20

【0050】

図6は図3乃至図5を参照して説明するメモリブロックBLKiの等価回路を示す回路図である。図3乃至図6を参照すると、第1ビットラインBL1及び共通ソースラインCSL間にNANDストリングNS11、NS21、NS31が構成される。第1ビットラインBL1は第3方向に延長された導電物質層331に対応する。第2ビットラインBL2及び共通ソースラインCSL間にNANDストリングNS12、NS22、NS32が構成される。第2ビットラインBL2は第3方向に延長された導電物質層332に対応する。第3ビットラインBL3及び共通ソースラインCSL間に、NANDストリングNS13、NS23、NS33が構成される。第3ビットラインBL3は第3方向に延長された導電物質層333に対応する。

30

【0051】

各NANDストリングNSのストリング選択トランジスタSSTは対応するビットラインBLと接続される。各NANDストリングNSの接地選択トランジスタGSTは共通ソースラインCSLと接続される。各NANDストリングNSのストリング選択トランジスタSST及び接地選択トランジスタGST間にメモリセルMCが構成される。

【0052】

以下に、行及び列単位でNANDストリングNSを定義する。一つのビットラインに共通に接続されたNANDストリングNSは一つの列を形成する。例えば、第1ビットラインBL1に接続されたNANDストリングNS11、NS12、NS31は第1列に対応する。第2ビットラインBL2に接続されたNANDストリングNS12、NS22、NS32は第2列に対応する。第3ビットラインBL3に接続されたNANDストリングNS13、NS23、NS33は第3列に対応する。

40

【0053】

一つのストリング選択ラインSSLに接続されるNANDストリングNSは一つの行を形成する。例えば、第1ストリング選択ラインSSL1に接続されたNANDストリングNS11～NS13は第1行を形成する。第2ストリング選択ラインSSL2に接続されたNANDストリングNS21～NS23は第2行を形成する。第3ストリング選択ラインSSL3に接続されたNANDストリングNS31～NS33は第3行を形成する。

【0054】

各NANDストリングNSにおいて、高さを定義する。例示的に、各NANDストリン

50

グN Sにおいて、接地選択トランジスタG S Tに隣接するメモリセルM C 1の高さは1である。各N A N DストリングN Sにおいて、ストリング選択トランジスタS S Tに隣接するほどメモリセルの高さは増加する。各N A N DストリングN Sにおいて、ストリング選択トランジスタS S Tに隣接するメモリセルM C 7の高さは7である。

【0055】

同じ行のN A N DストリングN Sはストリング選択ラインS S Lを共有する。異なる行のN A N DストリングN Sは異なるストリング選択ラインS S Lに接続される。同じ行のN A N DストリングN Sの同じ高さのメモリセルはワードラインを共有する。同じ高さで、異なる行のN A N DストリングN SのワードラインW Lは共通に接続される。例示的に、ワードラインW Lは第1方向に延長される導電物質層2 1 1～2 9 1、2 1 2～2 9 2、2 1 3～2 9 3が構成される層と共通に接続される。例示的に、第1方向に延長される導電物質層2 1 1～2 9 1、2 1 2～2 9 2、2 1 3～2 9 3はコンタクトを通じて上部層と接続される。上部層から第1方向に延長される導電物質層2 1 1～2 9 1、2 1 2～2 9 2、2 1 3～2 9 3が共通に接続される。

【0056】

同じ行のN A N DストリングN Sは接地選択ラインG S Lを共有する。異なる行のN A N DストリングN Sは異なる接地選択ラインG S Lに接続される。

共通ソースラインC S LはN A N DストリングN Sに共通に接続される。例えば、基板1 1 1上の活性領域で、第1から第4ドップ領域3 1 1～3 1 4が接続される。例えば、第1から第4ドップ領域3 1 1～3 1 4はコンタクトを通じて上部層と接続される。上部層で第1から第4ドップ領域3 1 1～3 1 4が共通に接続される。

【0057】

図6に図示されているように、同じ深さのワードラインW Lは共通に接続される。従って、特定ワードラインW Lが選択されるとき、特定ワードラインW Lに接続された全てのN A N DストリングN Sが選択される。異なる行のN A N DストリングN Sは異なるストリング選択ラインS S Lに接続されている。従って、ストリング選択ラインS S L 1～S S L 3を選択することによって、同じワードラインW Lに接続されたN A N DストリングN Sの中の非選択行のN A N DストリングN SがビットラインB L 1～B L 3から分離される。即ち、ストリング選択ラインS S L 1～S S L 3を選択することによって、N A N DストリングN Sの行が選択される。そして、ビットラインB L 1～B L 3を選択することによって、選択行のN A N DストリングN Sが列単位に選択される。

【0058】

図7は図3乃至図6を参照して説明するメモリブロックB L K iの一つのN A N DストリングN Sを示す断面図である。例示的に、第1行第2列のストリングN S 1 2が図示されている。図6及び図7を参照して、N A N DストリングN S 1 2からチャンネルが形成される過程を説明する。

【0059】

例示的に、第1ワードラインW L 1 (2 2 1)、第2ワードラインW L 2 (2 3 1)、第3ワードラインW L 3 (2 4 1)、第6ワードラインW L 6 (2 7 1)、そして第7ワードラインW L 7 (2 8 1)に接地電圧V s sが印加される。このとき、第1乃至第3メモリセルM C 1～M C 3、そして第6及び第7メモリセルM C 6、M C 7に対応する第2型ボディ1 1 4の領域は第1型(例えば、p型)を維持する。

【0060】

例示的に、接地選択ラインG S L 1 (2 1 1)に第1電圧V 1が印加される。第1電圧V 1は接地選択トランジスタG S Tのしきい値電圧より高いレベルの正電圧である。第1電圧V 1によって、接地選択トランジスタG S Tに対応する第2方向のボディ1 1 4の領域が第2型(例えば、n型)に反転される(N 1参照)。即ち、接地選択トランジスタG S Tに対応する第2方向のボディ1 1 4にチャンネルN 1が形成される。

【0061】

第1電圧V 1のフリンジング電界(f r i n g i n g f i e l d)の影響によって、

10

20

30

40

50

接地選択トランジスタG S TのチャンネルN 1は第2方向に沿って拡張される。例示的に、第1電圧V 1のフリンジング電界の影響によって、接地選択トランジスタG S TのチャンネルN 1は第1及び第2ドップ領域3 1 1、3 1 2と接続される。即ち、第1及び第2ドップ領域3 1 1、3 1 2及び接地選択トランジスタG S TのチャンネルN 1は同じ型（例えば、n型）になる。従って、共通ソースラインC S L及び接地選択トランジスタG S TのチャンネルN 1は電氣的に接続される。

【0062】

例示的に、第4ワードラインW L 4（2 5 1）に第2電圧V 2が印加され、第5ワードラインW L 5（2 6 1）に第3電圧V 3が印加される。第2及び第3電圧V 2、V 3はそれぞれメモリセルM C 4、M C 5のしきい値電圧より高いレベルの正電圧である。第2及び第3電圧V 2、V 3によって、第4及び第5メモリセルM C 4、M C 5の第2方向のボディ1 1 4が反転される。即ち、第4及び第5メモリセルM C 4、M C 5にチャンネル等がそれぞれ形成される。第2及び第3電圧V 2、V 3のフリンジング電界等の影響によって、第4及び第5メモリセルM C 4、M C 5のチャンネル等は一つのチャンネルN 2に接続される。

10

【0063】

例示的に、ストリング選択ラインS S L 1（2 9 1）に第4電圧V 4が印加される。第4電圧V 4は正電圧である。第4電圧V 4によって、ストリング選択トランジスタS S Tの第2方向のボディ1 1 4が反転される。即ち、ストリング選択トランジスタS S TにチャンネルN 3が形成される。第4電圧V 4のフリンジング電界の影響によって、ストリング選択トランジスタS S TのチャンネルN 3はドレイン3 2 0と接続される。従って、ストリング選択トランジスタS S TのチャンネルN 3及びドレイン3 2 0は電氣的に接続される。

20

【0064】

上述したように、接地選択ラインG S L（2 1 1）に接地選択トランジスタG S Tのしきい値電圧より高いレベルの正電圧が印加されると、接地選択トランジスタG S Tのチャンネルは共通ソースラインC S L（3 1 1）、（3 1 2）と電氣的に接続される。ストリング選択ラインS S L（2 9 1）にストリング選択トランジスタG S Tのしきい値電圧より高いレベルの正電圧が印加されると、ストリング選択トランジスタS S Tのチャンネルはドレイン3 2 0と接続される。隣接するワードラインW LにメモリセルM C 1～M C 7のしきい値電圧より高いレベルの正電圧がそれぞれ印加されると、対応するメモリセルM Cのチャンネルが電氣的に接続される。

30

【0065】

また、接地選択トランジスタG S Tのチャンネル及びメモリセルM C 1～M C 7のチャンネルがフリンジング電界の影響によって連結される。ストリング選択トランジスタS S Tのチャンネル及びメモリセルM C 1～M C 7のチャンネルがフリンジング電界の影響によって連結される。

【0066】

従って、接地選択ラインG S L（2 1 1）、第1乃至第7ワードラインW L 1～W L 7（2 2 1～2 8 1）、及びストリング選択ラインS S L（2 9 1）にそれぞれ正電圧（しきい値電圧より高いレベルの電圧）が印加されると、ドレイン3 2 0、ストリング選択トランジスタS S Tのチャンネル、メモリセルM C 1～M C 7のチャンネル、接地選択トランジスタG S Tのチャンネル、及び共通ソースラインC S L（3 1 1、3 1 2）は電氣的に接続される。即ち、N A N DストリングN S 1 2が選択される。

40

【0067】

例示的に、ストリング選択ラインS S L 1（2 9 1）に接地電圧V s s又はストリング選択トランジスタS S Tのしきい値電圧より低い電圧が印加されるとき、ストリング選択トランジスタS S Tのチャンネル領域は反転されない。従って、ワードラインW L 1～W L 7（2 2 1～2 8 1）及び接地選択ラインG S L（2 1 1）に正電圧が印加されても、N A N DストリングN S 1 2はビットラインB L 2、3 3 2と電氣的に分離される。従っ

50

て、NANDストリングNS12が非選択される。

【0068】

図8は図6のメモリブロックBLKiの消去単位EUを示す回路図である。図8を参照すると、メモリブロックBLKiのNANDストリングNSの行単位又は接地選択ラインGSL単位に消去動作が行われる。

【0069】

図9は図8のメモリブロックBLKiの消去動作の際の電圧条件を示す表である。図8及び図9を参照すると、消去動作の際にNANDストリングNSは選択ストリング等及び非選択ストリング等に分類される。選択ストリングは消去されるべきNANDストリングを示す。非選択ストリングは消去禁止されたNANDストリングを示す。例示的に、第1
10
行のNANDストリングNS11～NS13が選択され、第2及び第3行のNANDストリングNS21～NS23、NS31～NS33が非選択されるものと仮定する。

【0070】

選択ストリングNS11～NS13のストリング選択ラインSSL1はフローティングされる。非選択ストリングNS21～NS23、NS31～NS33のストリング選択ラインSSL2、SSL3の電圧は接地電圧Vssから第2消去禁止電圧Vm2に制御される。

【0071】

選択及び非選択ストリングNS11～NS13、NS21～NS23、NS31～NS33のワードラインWL1～WL7に接地電圧Vssが印加される。
20

選択ストリングNS11～NS13の接地選択ラインGSL1はフローティングされる。非選択ストリングNS21～NS23、NS31～NS33の接地選択ラインGSL2、GSL3の電圧は接地電圧Vssから第1消去禁止電圧Vm1に制御される。

【0072】

共通ソースラインCSLはフローティングされ、基板111に消去電圧Versが印加される。

図10は図9の電圧条件による選択ストリングNS11～NS13の電圧変化を示すタイミング図である。図11は選択ストリングNS11～NS13の中のNS12の電圧変化による状態を示す断面図である。図10及び図11を参照すると、第1時間t1で、基板111に消去電圧Versが印加される。基板111及び第2方向のボディ114は同
30
じ型（例えば、p型）にドーピングされたシリコン物質からなる。従って、消去電圧Versは第2方向のボディ114に印加される。

【0073】

ワードラインWL1～WL7（221～281）に接地電圧Vssが印加される。即ち、メモリセルMC1～MC7のゲート（又は制御ゲート）に接地電圧Vssが印加され、第2方向のボディ114に消去電圧Versが印加される。従って、Fowler-NordheimトンネリングによってメモリセルMC1～MC7が消去される。

【0074】

接地選択ラインGSL1（211）はフローティングされている。第2方向のボディ114の電圧が消去電圧Versに変化するとき、カップリングによって接地選択ラインGSL1（211）の電圧も変化する。例えば、接地選択ラインGSL1（211）の電圧は第1カップリング電圧Vc1に変化する。
40

【0075】

例示的に、第1カップリング電圧Vc1及び消去電圧Vers間の電圧の差は接地電圧Vss及び消去電圧Vers間の電圧の差より小さい。従って、接地選択トランジスタGSTからFowler-Nordheimトンネリングが発生されない。即ち、接地選択トランジスタGSTからは消去禁止される。同様に、ストリング選択ラインSSL1（291）の電圧は第2カップリング電圧Vc2に変化する。従って、ストリング選択トランジスタSSTからは消去禁止される。

【0076】

10

20

30

40

50

例示的に、第2方向のボディ114は第1型（例えば、p型）のシリコン物質からなり、ドレイン320は第2型（例えば、n型）のシリコン物質からなる。即ち、第2方向のボディ114及びドレイン320はPN接合を形成する。従って、第2方向のボディ114に印加された消去電圧 V_{ers} はドレイン320を通じてビットラインBL2、332に印加される。

【0077】

図12は図9の電圧条件による非選択ストリングNS21～NS23、NS31～NS33の電圧変化を示すタイミング図である。図13は非選択ストリングNS21～NS23、NS31～NS33の中のNS22の電圧変化による状態を示す断面図である。図12及び図13を参照すると、第2時間 t_2 で、接地選択ラインGSL2（212）に第1消去禁止電圧 V_{m1} が印加される。例示的に、第1消去禁止電圧 V_{m1} は接地選択トランジスタGSTのチャンネルを生成するように設定される。接地選択トランジスタGSTのチャンネルINVは第2方向のボディ114及び基板111を電氣的に分離する。従って、第1時間 t_1 で基板111に消去電圧 V_{ers} が印加されても、消去電圧 V_{ers} は第2方向のボディ114に印加されない。従って、ワードラインWL1～WL7に接地電圧 V_{ss} が印加されても、メモリセルMC1～MC7は消去されない。

【0078】

図10及び図11から分かるように、ビットラインBL2（332）に消去電圧 V_{ers} が印加される。即ち、ビットラインBL2（332）に高電圧が印加される。ビットラインBL2（332）の高電圧はドレイン320に印加される。ストリング選択ラインSSL2（292）の電圧レベルが低いと、ストリング選択ラインSSL2（292）及びドレイン320間にゲート誘導ドレインリーク電流（GIDL：Gate Induced Drain Leakage）が発生する。GIDLが発生されると、ホットホール（hot holes）が発生される。発生されたホットホールは第2方向のボディ114に注入される。即ち、ドレイン320及び第2方向のボディ114間に電流の流れが発生するので、ドレイン320の高電圧が第2方向のボディ114に印加される。第2方向のボディ114の電圧が上昇すると、メモリセルMC1～MC7が消去される。

【0079】

このような問題を防止するために、ストリング選択ラインSSL2（292）に第2消去禁止電圧 V_{m2} が印加される。第2消去禁止電圧 V_{m2} は正電圧である。第2消去禁止電圧 V_{m2} はドレイン320及びストリング選択ラインSSL2（292）間のGIDLを防止することができるように設定される。例示的に、第2消去禁止電圧 V_{m2} はストリング選択トランジスタSSTのしきい値電圧より低いレベルを有する。例示的に、第2消去禁止電圧 V_{m2} はストリング選択トランジスタSSTのしきい値電圧より高いレベルを有する。例示的に、第2消去禁止電圧 V_{m2} は第2時間 t_2 でストリング選択ラインSSL1（292）に印加される。例示的に、第2消去禁止電圧 V_{m2} は第1時間 t_1 の前にストリング選択ラインSSL1（292）に印加される。

【0080】

図14は図6のメモリブロックBLK i の他の実施形態を示す回路図である。図6のメモリブロックBLK i と比較すると、メモリブロックBLK i __1の各NANDストリングNSにおいて、ワードラインWL1～WL6及び共通ソースラインCSL間に二つの接地選択ラインが構成される。例えば、第1行のNANDストリングNS11～NS13は接地選択ラインGSL11、GSL21に接続される。第2行のNANDストリングNS21～NS23は接地選択ラインGSL21、GSL22に接続される。第3行のNANDストリングNS31～NS33は接地選択ラインGSL31、GSL32に接続される。

【0081】

消去動作の際に、接地選択ラインGSL11、GSL21がフローティングされることを除けば、選択ストリングNS11～NS13の電圧条件は図9乃至図13を参照して説明した内容と同じである。

【0082】

図15は消去動作の際に、図14の非選択ストリングNS21～NS23、NS31～NS33の電圧変化を示すタイミング図である。図14及び図15を参照すると、接地選択ラインGSL12、GSL22、GSL13、GSL23の電圧変化を除けば、非選択ストリングNS21～NS23、NS31～NS33の電圧変化は図9乃至図13を参照して説明した内容と同じである。

【0083】

消去動作の際に、共通ソースラインCSLに隣接する接地選択ラインGSL12、GSL13に第3消去禁止電圧Vm3が印加され、ワードラインWL1～WL6に隣接する接地選択ラインGSL22、GSL23に第4消去電圧Vm4が印加される。例示的に、第3消去電圧Vm3は第4消去電圧Vm4より高いレベルを有する。例示的に、第3消去電圧Vm3は図9乃至図13を参照して説明した第1消去電圧Vm1より高いレベルを有する。即ち、図9乃至図13を参照して説明した基板111及び接地選択ラインGSLの電圧の差より、共通ソースラインCSLに隣接する接地選択ラインGSL12、GSL13及び基板111間の電圧の差が小さい。従って、共通ソースラインCSLに隣接する接地選択ラインGSL12、GSL13及び基板111間の電圧の差によるGIDLが減少する。

【0084】

図14及び図15において、各NANDストリングNSは二つの接地選択ラインGSLが構成されている。しかし、実際には各NANDストリングNSにおいて、共通ソースラインCSLに隣接する一つの接地選択ラインGSL、そして接地選択ラインGSLに隣接する一つのダミーワードラインが構成される。

【0085】

図16は図6のメモリブロックBLKiの他の実施形態を示す回路図である。図14のメモリブロックBLKi__1と比較すると、図16のメモリブロックBLKi__2の各NANDストリングNSにおいて、ワードラインWL1～WL6及びビットラインBL間に二つのストリング選択ラインが構成される。図14及び図15の非選択ストリングNS21～NS23、NS31～NS33の接地選択ラインGSL12、GSL22、GSL13、GSL23を参照して説明したように、非選択ストリングNS21～NS23、NS31～NS33のストリング選択ラインSSL12、SSL22、SSL13、SSL23に異なる電圧が供給されても良い。

【0086】

例えば、各非選択NANDストリングNSから、ビットラインBLに隣接するストリング選択ラインSSL12、SSL13に第1ストリング電圧が印加され、ワードラインWLに隣接するストリング選択ラインSSL22、SSL23に第1ストリング電圧より低いレベルの電圧が印加される。例示的に、第1及び第2ストリング電圧のレベルはビットラインBL又はドレイン320と第2方向のボディ114との間のGIDLを防止するように設定される。

【0087】

図14及び図15を参照して説明したように、各NANDストリングNSに一つのストリング選択ラインSSL及びストリング選択ラインSSLに隣接するダミーワードラインが構成される。

図17は図6のメモリブロックBLKiの他の実施形態を示す回路図である。図16のメモリブロックBLKi__2と比較すると、メモリブロックBLKi__3の各NANDストリングNSにおいて、ストリング選択ラインSSLは電氣的に接続される。

【0088】

図9乃至図17には、各NANDストリングに一つ又は二つのストリング選択ラインSSLと一つ又は二つの接地選択ラインGSLが構成されるメモリブロックBLKi、BLKi__1～BLKi__3が図示されている。しかし、各NANDストリングNSに三つ以上のストリング選択ライン又は接地選択ラインが構成されても良い。また、各NANDス

10

20

30

40

50

トリングNSにおいて、少なくとも二つのストリング選択ラインSSLが電氣的に接続されるものと同様に、各NANDストリングNSにおいて、少なくとも二つの接地選択ラインGSLが電氣的に接続されるように構成してもよい。

【0089】

例示的に、各NANDストリングNSに少なくとも二つの接地選択ラインGSLが構成される。各NANDストリングNSに一つの接地選択ラインGSL及び接地選択ラインGSLに隣接する少なくとも一つのダミーワードラインが構成される。各NANDストリングNSに少なくとも一つの接地選択ラインGSL及び少なくとも一つのダミーワードラインが構成される。少なくとも二つのストリング選択ラインSSL又は少なくとも二つのダミーワードラインは互いに電氣的に接続される。また、各NANDストリングNSに少なくとも二つのストリング選択ラインSSLが構成される。各NANDストリングNSに一つのストリング選択ラインSSL及び少なくとも一つのダミーワードラインが構成される。各NANDストリングNSに少なくとも一つのストリング選択ラインSSL及び少なくとも一つのダミーワードラインが構成される。少なくとも二つの接地選択ラインGSL及び少なくとも二つのダミーワードラインは電氣的に接続される。

【0090】

図18は図3のメモリブロックBLKiの他の実施形態を示すブロック図である。図3のメモリブロックBLKiと比較すると、メモリブロックBLKi'において、ピラー113'は四角柱の形態からなる。また、第1方向に沿って配置されたピラー113'間に、絶縁物質120が構成される。

【0091】

例示的に、絶縁物質120は第2方向に沿って延長されて基板111に連結される。また、絶縁物質120はピラー113'が形成される領域を除いた領域から第1方向に沿って延長される。即ち、図3を参照して説明した第1方向に沿って延長される導電物質層211~291、212~292、213~293は絶縁物質120によってそれぞれ二つの部分211a~291a、211b~291b、212a~292a、212b~292b、213a~293a、213b~293bに分離される。即ち、分離された導電物質の部分211a~291a、211b~291b、212a~292a、212b~292b、213a~293a、213b~293bは電氣的に絶縁される。

【0092】

第1及び第2ドップ領域311、312上の領域から、各ピラー113'は第1方向に延長される導電物質の一部分211a~291a及び絶縁膜116によって一つのNANDストリングNSを形成して、第1方向に延長される導電物質の一部分211b~291b及び絶縁膜116によって異なる一つのNANDストリングNSを形成する。

【0093】

第2及び第3ドップ領域312、313上の領域から、各ピラー113'は第1方向に延長される導電物質の一部分212a~292a及び絶縁膜116によって一つのNANDストリングNSを形成して、第1方向に延長される導電物質の他の部分212b~292b及び絶縁膜116によって異なる一つのNANDストリングNSを形成する。

【0094】

第3及び第4ドップ領域313、314上の領域から、各ピラー113'は第1方向に延長される導電物質の一部分213a~293a及び絶縁膜116によって一つのNANDストリングNSを形成して、第1方向に延長される導電物質の他の部分213b~293b及び絶縁膜116によって異なる一つのNANDストリングNSを形成する。

【0095】

即ち、絶縁膜120を利用して各ピラー113'の両側面に構成される第1方向に延長される導電物質層211a~291a、211b~291bを電氣的に絶縁することによって、各ピラー113'は二つのNANDストリングNSを形成する。

【0096】

図5乃至図17を参照して説明したように、消去動作の際に、非選択NANDストリン

10

20

30

40

50

グNSの接地選択ラインGSLに供給される電圧を制御することによって、メモリブロックBLK i'からNANDストリングNSの行単位に消去動作が行われる。また、図5乃至図7を参照して説明したように、消去動作の際、非選択NANDストリングNSのストリング選択ラインSSLに供給される電圧を制御することによって、ビットラインBL又はドレイン320とストリング選択トランジスタSSTとの間のGIDLが防止される。

【0097】

図5乃至図17を参照して説明したように、各NANDストリングNSに少なくとも一つのストリング選択ラインSSL、少なくとも一つの接地選択ラインGSLが構成される。また、図5乃至図17を参照して説明したように、各NANDストリングNSに二つ以上の選択ラインが構成されると、選択ラインに供給される電圧のレベルは異なるように制御することができる。

10

【0098】

図19は図2のメモリブロックBLK1～BLKz中の一つであるBLKjの第2実施形態を示す斜視図である。図20は図19のメモリブロックのXX-XX'線による断面図である。図19及び図20を参照すると、基板111上の第2型ウェル315がピラー113の下部にプレートの形態に構成されることを除けば、メモリブロックBLKjは図4乃至図17を参照して説明したものと同様に構成される。従って、メモリブロックBLKjの等価回路も図4乃至図17を参照して説明したものと同様に示される。続いて、図8の回路図を参照して、図19及び図20のメモリブロックBLKjの消去動作を説明する。

20

【0099】

図21は図19及び図20のメモリブロックBLKjの消去動作の際の電圧条件を示す表である。図8及び図19乃至図21を参照すると、第1行のNANDストリングNS11～NS13が選択され、第2及び第3行のNANDストリングNS21～NS23、NS31～NS33が非選択されるものと仮定する。

【0100】

選択ストリングNS11～NS13のストリング選択ラインSSL1はフローティングされる。非選択ストリングNS21～NS23、NS31～NS33のストリング選択ラインSSL2、SSL3の電圧は接地電圧Vssから第6消去禁止電圧Vm6に制御される。

30

【0101】

選択及び非選択ストリングNS11～NS13、NS21～NS23、NS31～NS33のワードラインWL1～WL7はフローティング状態から接地電圧Vssに制御される。

選択ストリングNS11～NS13の接地選択ラインGSL1は接地電圧Vssからフローティング状態に制御される。非選択ストリングNS21～NS23、NS31～NS33の接地選択ラインGSL2、GSL3は接地電圧Vssから第5消去禁止電圧Vm5に制御される。

共通ソースラインCSLはフローティングされる。基板111の電圧はフリー電圧Vpreから消去電圧Versに制御される。

40

【0102】

図22は図21の電圧条件による選択ストリングNS11～NS13の電圧変化を示すタイミング図である。図23は選択ストリングNS11～NS13の中のNS12の電圧変化による状態を示す断面図である。図21及び図22を参照すると、第3時間t3で、基板111にフリー電圧Vpreが印加される。基板111は第1型（例えば、p型）にドーピングされ、共通ソースラインCSL（315）は第2型（例えば、n型）にドーピングされている。即ち、基板111及び共通ソースラインCSL（315）はPN接合を形成する。従って、基板111に印加されるフリー電圧Vpreは共通ソースラインCSL（315）に供給される。

【0103】

50

共通ソースラインCSL(315)にフリー電圧Vpreが印加され、接地選択ラインGSL1(211)に接地電圧Vssが印加される。共通ソースラインCSL(315)及び接地選択ラインGSL1(211)間の電圧の差によって、ホットホール(hot holes)が発生する。発生されたホットホールはチャンネル領域114に伝達される。即ち、共通ソースラインCSLからチャンネル領域114に電流の流れが発生する。従って、チャンネル領域114の電圧は上昇する。チャンネル領域114の電圧が上昇することによって、カップリングが発生する。カップリングの影響によって、フローティング状態であるワードラインWL1~WL7(221~281)及びストリング選択ラインSSL1(291)の電圧が上昇する。

【0104】

第4時間t4で、接地選択ラインGSL1(211)がフローティングされ、基板111に消去電圧Versが印加される。基板111に印加される消去電圧Versは共通ソースラインCSL(315)に印加される。

【0105】

共通ソースラインCSL(315)の電圧が上昇するので、共通ソースラインCSL(315)及び接地選択ラインGSL1(211)間の電圧の差は増加する。従って、共通ソースラインCSL(315)及び接地選択ラインGSL1(211)間にホットホールが持続的に生成される。生成されたホットホールはチャンネル領域114に流入される。従って、チャンネル領域114の電圧が上昇する。

【0106】

接地選択ラインGSL1(211)がフローティングされているので、接地選択ラインGSL1(211)もカップリングの影響を受ける。例示的に、接地選択ラインGSL1は共通ソースラインCSL(315)及びチャンネル領域114からカップリングの影響を受ける。従って、接地選択ラインGSL1(211)の電圧が上昇する。

【0107】

第5時間t5で、ワードラインWL1~WL7(221~281)に接地電圧Vssが印加される。このとき、チャンネル領域114の電圧は第4電圧V4に上昇される。ワードラインWL1~WL7(221~281)及びチャンネル領域114の電圧の差によって、Fowler-Nordheimトンネリングが発生する。即ち、メモリセルMC1~MC7が消去される。

【0108】

カップリングによって、接地選択ラインGSL1(211)の電圧は第3カップリング電圧Vc3に上昇される。例示的に、第3カップリング電圧Vc3及び第4電圧V4の電圧の差はFowler-Nordheimトンネリングを誘発しない。従って、接地選択トランジスタGSTからは消去禁止される。

【0109】

カップリングによって、ストリング選択ラインSSL1(291)の電圧は第4カップリング電圧Vc4に上昇される。例示的に、第4カップリング電圧Vc4及び第4電圧V4の電圧の差はFowler-Nordheimトンネリングを誘発しない。従って、ストリング選択トランジスタSSTからは消去禁止される。

【0110】

図24は図21の電圧条件による非選択ストリングNS21~NS23、NS31~NS33の電圧変化を示すタイミング図である。図25は非選択ストリングNS21~NS23、NS31~NS33の中のNS22の電圧変化による状態を示す断面図である。図8、図24及び図25を参照すると、第4時間t4で接地選択ラインGSL2(212)に第5消去禁止電圧Vm5が印加される。例示的に、第5消去禁止電圧Vm5は共通ソースラインCSL及び接地選択ラインGSL2(212)間の電圧の差によるホットホールの生成を防止するように設定される。ホットホールの生成が防止されると、チャンネル領域114の電圧は変わらない。例えば、チャンネル領域114の電圧は接地電圧Vssを維持する。

10

20

30

40

50

【0111】

また、図4乃至図17を参照して説明したように、ドレイン320及びストリング選択ラインSSL2(292)間の電圧の差によるGIDLを防止するために、ストリング選択ラインSSL(292)に第6消去禁止電圧Vm6が印加される。例示的に、第6消去禁止電圧Vm6は第4時間t4で、第5時間t5の前、又は第6時間t6の前に印加される。

【0112】

図19乃至図24において、非選択ストリングNS21~NS23、NS31~NS33の接地選択ラインGSL2、GSL3に第5消去禁止電圧Vm5が印加される。しかし、接地選択ラインGSL2、GSL3に印加される第5消去禁止電圧Vm5のレベルは変化することもできる。例えば、共通ソースラインCSLのフリー電圧Vpreに対応して、第5消去禁止電圧Vm5は第1レベルを有する。第5消去禁止電圧Vm5の第1レベルはフリー電圧Vpre及び第5消去禁止電圧Vm5の第1レベルの差によってホットホールが生成されることを防止するように設定される。例えば、共通ソースラインCSLに消去電圧Versに対応して、第5消去禁止電圧Vm5は第2レベルを有する。第5消去禁止電圧Vm5の第2レベルは消去電圧Vers及び第5消去禁止電圧Vm5の第2レベルの差によってホットホールが生成されることを防止するように設定される。

【0113】

図4乃至図17を参照して説明したように、各NANDストリングNSに少なくとも二つの接地選択ラインGSLが構成される。各NANDストリングNSに一つの接地選択ラインGSL及び接地選択ラインGSLに隣接する少なくとも一つのダミーワードラインが構成される。各NANDストリングNSに少なくとも一つの接地選択ラインGSL及び少なくとも一つのダミーワードラインが構成される。少なくとも二つのストリング選択ラインSSL又は少なくとも二つのダミーワードラインは電氣的に接続される。

【0114】

また、各NANDストリングNSに少なくとも二つのストリング選択ラインSSLが構成される。各NANDストリングNSに一つのストリング選択ラインSSL及び少なくとも一つのダミーワードラインが構成される。各NANDストリングNSに少なくとも一つのストリング選択ラインSSL及び少なくとも一つのダミーワードラインが構成される。少なくとも二つの接地選択ラインGSL及び少なくとも二つのダミーワードラインは電氣的に接続される。

【0115】

各NANDストリングNSに二つ以上のストリング選択ラインSSLが構成されると、ストリング選択ラインSSLに印加される電圧のレベルは異なるように調整される。また、各NANDストリングNSに二つ以上の接地選択ラインGSLが構成されると、接地選択ラインGSLに印加される電圧のレベルは異なるように調整される。

【0116】

図26は図2のメモリブロックBLK1~BLKiの中の一つであるBLKpの第3実施形態を示す斜視図である。図27は図26のメモリブロックBLKpのXXVII-XXVII'線による断面図である。図26及び図27を参照すると、ワードライン221'~281'はプレートの形態で構成される。そして、絶縁膜116'はピラー113'の表面層116'に構成される。ピラー113'の中間層114'はp型シリコンを含む。ピラー113'の中間層114'は第2方向のボディ114'として動作する。ピラー113'の内部層115'は絶縁物質を含む。メモリブロックBLKpの消去動作は図19乃至図24を参照して説明したメモリブロックBLKjの消去動作と同様に行なわれる。従って、メモリブロックBLKpの詳細な説明は省略する。

【0117】

上述したように、一つのビットラインBLに接続された複数のNANDストリングNSの接地選択ラインをそれぞれ異なるようにバイアスすることによって、一つのビットラインBLに接続された複数のNANDストリングNSが独自に消去される。従って、不揮発

10

20

30

40

50

性メモリ装置100の消去動作の単位が減少する。不揮発性メモリ装置100の消去動作の単位が減少すると、マージ(merge)、ガベージコレクション(garbage collection)等のようなバックグラウンド(background)動作の実行時間が節約される。従って、不揮発性メモリ装置100の動作速度が向上される。

【0118】

また、消去動作の単位が減少すると、特定消去単位が無効化処理されるとき、無効化される貯蔵容量が減少される。従って、不揮発性メモリ装置100の貯蔵容量の活用度が向上される。

【0119】

図28は図1の不揮発性メモリ装置100を含むメモリシステム1000を示すブロック図である。図28を参照すると、メモリシステム1000は不揮発性メモリ装置1100及びコントローラ1200を含む。

不揮発性メモリ装置1100は図1乃至図27を参照して説明したものと同様に構成され、動作する。

【0120】

コントローラ1200はホスト(Host)及び不揮発性メモリ装置1100に接続される。ホストからの要求に応じて、コントローラ1200は不揮発性メモリ装置1100をアクセスするように構成される。例えば、コントローラ1200は不揮発性メモリ装置1100の読み込み、書き込み、消去、そしてバックグラウンド(background)動作を制御するように構成される。コントローラ1200は不揮発性メモリ装置1100及びホスト(Host)の間にインタフェースを提供するように構成される。コントローラ1200は不揮発性メモリ装置1100を制御するためのファームウェア(firmware)を駆動するように構成される。

【0121】

図1のように、コントローラ1200は不揮発性メモリ装置1100に制御信号CTRL及びアドレスADDRを提供するように構成される。そして、コントローラ1200は不揮発性メモリ装置1100とデータDATAをやりとりするように構成される。

【0122】

例えば、コントローラ1200はRAM(Random Access Memory)、プロセッシングユニット(processing unit)、ホストインタフェース(host interface)、そしてメモリインタフェース(memory interface)のような構成要素等をさらに含む。RAMはプロセッシングユニットの動作メモリ、不揮発性メモリ装置1100及びホストの間のキャッシュメモリ、そして不揮発性メモリ装置1100及びホストの間のバッファメモリとして利用される。プロセッシングユニットはコントローラ1200の全般的な動作を制御する。

【0123】

ホストインタフェースはホスト及びコントローラ1200の間のデータ交換を行なうためのプロトコルを含む。コントローラ1200はUSB(Universal Serial Bus)プロトコル、MMC(multi media card)プロトコル、PCI(peripheral component interconnection)プロトコル、PCI-E(PCI-express)プロトコル、ATA(Advanced Technology Attachment)プロトコル、Serial-ATAプロトコル、Parallel-ATAプロトコル、SCSI(small computer small interface)プロトコル、ESDI(enhanced small disk interface)プロトコル、そしてIDE(Integrated Drive Electronics)プロトコル等のようなさまざまなインタフェースプロトコルを通じて外部(ホスト)と通信できるように構成される。メモリインタフェースは不揮発性メモリ装置1100とインタフェースする。例えば、メモリインタフェースはNANDインタフェース又はNORインタフェースを含む。

【0124】

メモリシステム1000は誤り訂正ブロックをさらに構成しても良い。誤り訂正ブロックは誤り訂正コード(ECC)を利用して不揮発性メモリ装置1100から読み込まれたデータの誤りを検出し、訂正する。例えば、誤り訂正ブロックはコントローラ1200の構成要素として提供される。また、誤り訂正ブロックは不揮発性メモリ装置1100の構成要素として提供される。

【0125】

コントローラ1200及び不揮発性メモリ装置1100は一つの半導体装置に集積される。例えば、コントローラ1200及び不揮発性メモリ装置1100は一つの半導体装置に集積されて、メモリカードを構成する。また、コントローラ1200及び不揮発性メモリ装置1100は一つの半導体装置に集積されてPCカード(PCMCIA、personal computer memory card international association)、コンパクトフラッシュ(登録商標)カード(CF)、スマートメディアカード(SM、SMC)、メモリスティック、マルチメディアカード(MMC、RS-MMC、MMC micro)、SDカード(SD、mini SD、micro SD、SDHC)、ユニバーサルフラッシュ記憶装置(UFS)等のようなメモリカードを構成する。

【0126】

コントローラ1200及び不揮発性メモリ装置1100は一つの半導体装置に集積されて半導体ドライブ(SSD、Solid State Drive)を構成する。半導体ドライブ(SSD)は半導体メモリにデータを貯蔵する貯蔵装置を含む。メモリシステム1000が半導体ドライブ(SSD)として利用される場合、メモリシステム1000に接続されるホスト(Host)の動作速度は画期的に改善される。

【0127】

他の例として、メモリシステム1000はコンピュータ、UMPC(Ultra Mobile PC)、ワークステーション、ネットブック(net-book)、PDA(Personal Digital Assistants)、ポータブル(portable)コンピュータ、ウェブタブレット(web tablet)、無線電話(wireless phone)、モバイルフォン(mobile phone)、スマートフォン(smart phone)、e-ブック(e-book)、PMP(portable multi media player)、携帯用ゲーム機、ナビゲーション(navigation)装置、ブラックボックス(black box)、デジタルカメラ(digital camera)、デジタル音声録音機(digital audio recorder)、デジタル音声再生機(digital audio player)、デジタル映像録画機(digital picture recorder)、デジタル映像再生機(digital picture player)、デジタル動画録画機(digital video recorder)、デジタル動画再生機(digital video player)、情報を無線環境から送受信できる装置、ホームネットワークを構成する様々な電子装置、コンピュータネットワークを構成する様々な電子装置、テレマティクスネットワークを構成する様々な電子装置、RFID装置、又はコンピューティングシステムを構成する様々な電子装置に提供される。

【0128】

不揮発性メモリ装置1100又はメモリシステム1000は様々な形態のパッケージとして実装される。例えば、不揮発性メモリ装置1100又はメモリシステム1000はPOP(Package on Package)、Ball grid arrays(BGAs)、Chip scale packages(CSPs)、Plastic Leaded Chip Carrier(PLCC)、Plastic Dual In-Line Package(PDIP)、Die in Wafer Pack、Die in Wafer Form、Chip On Board(COB)、Ceramic Dual In-Line Package(CERDIP)、Plastic Metric Quad Flat Pack(MQFP)、Thin Quad

Flat pack (TQFP)、Small Outline (SOIC)、Shrink Small Outline Package (SSOP)、Thin Small Outline (TSOP)、Thin Quad Flat pack (TQFP)、System In Package (SIP)、Multi Chip Package (MCP)、Wafer-level Fabricated Package (WFP)、Wafer-Level Processed Stack Package (WSP) 等のような方式にパッケージ化されて実装される。

【0129】

図29は図28のメモリシステム1000の応用例を示すブロック図である。図29を参照すると、メモリシステム2000は不揮発性メモリ装置2100及びコントローラ2200を含む。不揮発性メモリ装置2100は複数の不揮発性メモリチップを含む。複数の不揮発性メモリチップは複数のグループに分割される。複数の不揮発性メモリチップの各グループは一つの共通チャンネルを通じてコントローラ2200と通信できるように構成される。図29において、複数の不揮発性メモリチップは第1乃至第kチャンネルCH1~CHkを通じてコントローラ2200と通信できる。各不揮発性メモリチップは図1乃至図27を参照して説明した不揮発性メモリ装置100と同様に構成される。

10

【0130】

図29において、一つのチャンネルには複数の不揮発性メモリチップが接続されている。しかし、一つのチャンネルには一つの不揮発性メモリチップが接続されるようにメモリシステム2000が構成されても良い。

20

【0131】

図30は図29のメモリシステム2000を含むコンピューティングシステム3000を示すブロック図である。図30を参照すると、コンピューティングシステム3000は中央処理装置(CPU)3100、RAM(Random Access Memory)3200、ユーザーインタフェース3300、電源3400、そしてメモリシステム2000を含む。

【0132】

メモリシステム2000はシステムバス3500を通じて、中央処理装置3100、RAM3200、ユーザーインタフェース3300、そして電源3400に電氣的に接続される。ユーザーインタフェース3300を通じて伝送され、中央処理装置3100によって処理されたデータは、メモリシステム2000に貯蔵される。

30

【0133】

図30において、不揮発性メモリ装置2100はコントローラ2200を通じてシステムバス3500に接続されている。しかし、不揮発性メモリ装置2100はシステムバス3500に直接接続されても良い。

また、図30に図示されているメモリシステム2000は図28のメモリシステム1000に構成しても良い。

【0134】

例示的に、コンピューティングシステム3000は図28及び図29のメモリシステム1000、2000を含むように構成しても良い。

40

上述した本発明の実施形態は、本発明の範囲と技術的思想から外れない限度内で様々な変形可能である。従って、本発明の範囲は実施形態に限らず、後述する特許請求範囲及び均等技術によって決められるべきである。

【符号の説明】

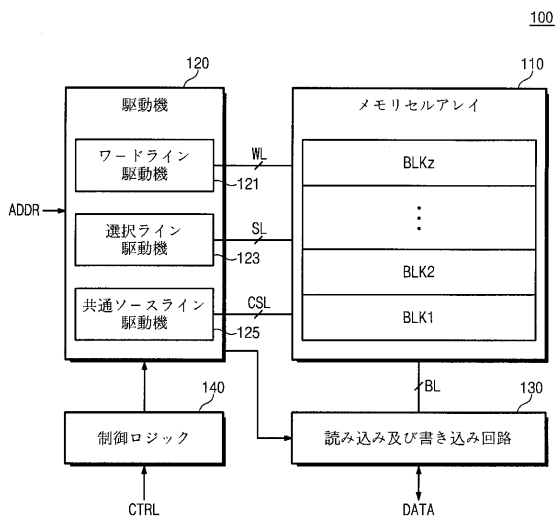
【0135】

- 100 不揮発性メモリ装置
- 110 メモリセルアレイ
- 120 駆動機
- 121 ワードライン駆動機
- 123 選択ライン駆動機

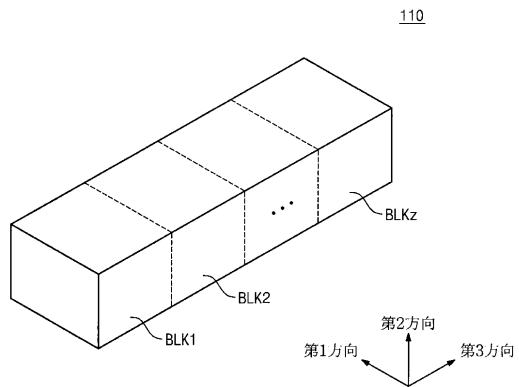
50

1 2 5 共通ソースライン駆動機
 1 3 0 読み込み及び書き込み回路
 1 4 0 制御ロジック
 B L K i メモリブロック
 N S N A N D ストリング
 E U 消去単位

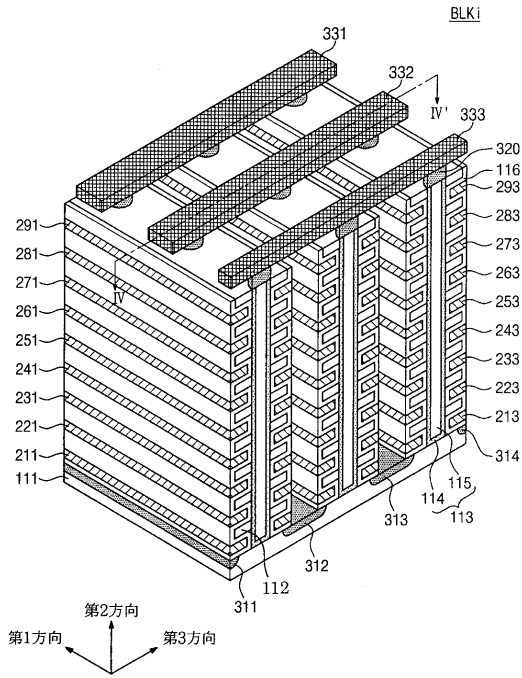
【図 1】



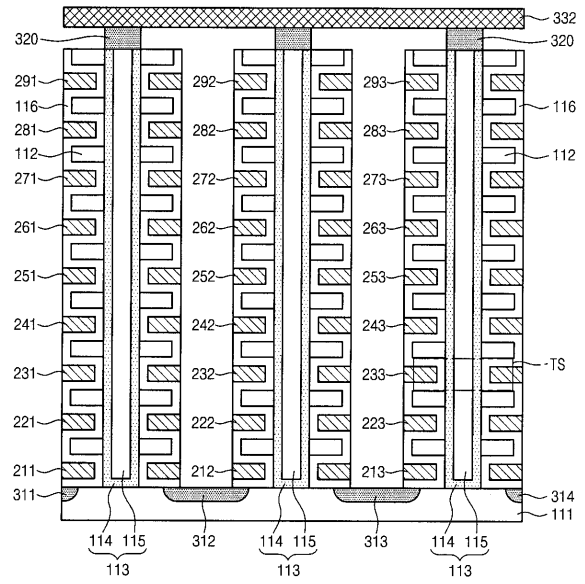
【図 2】



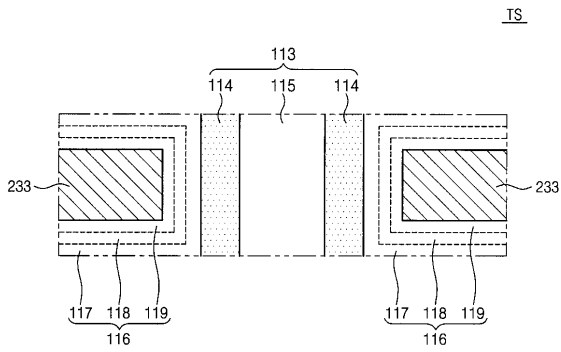
【図 3】



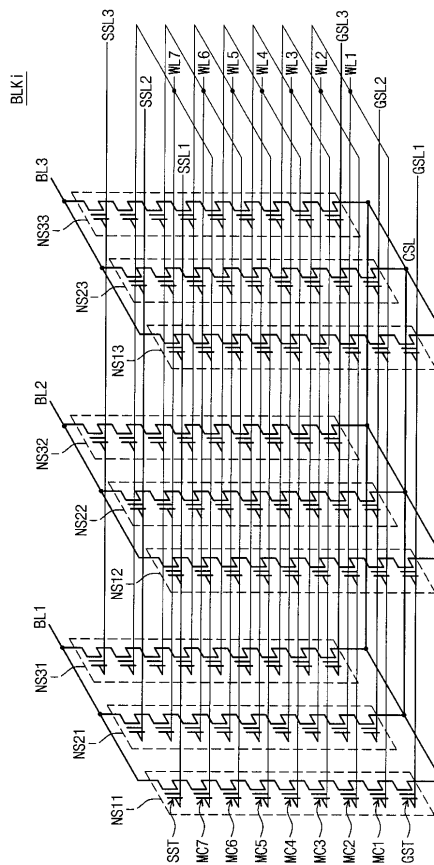
【図 4】

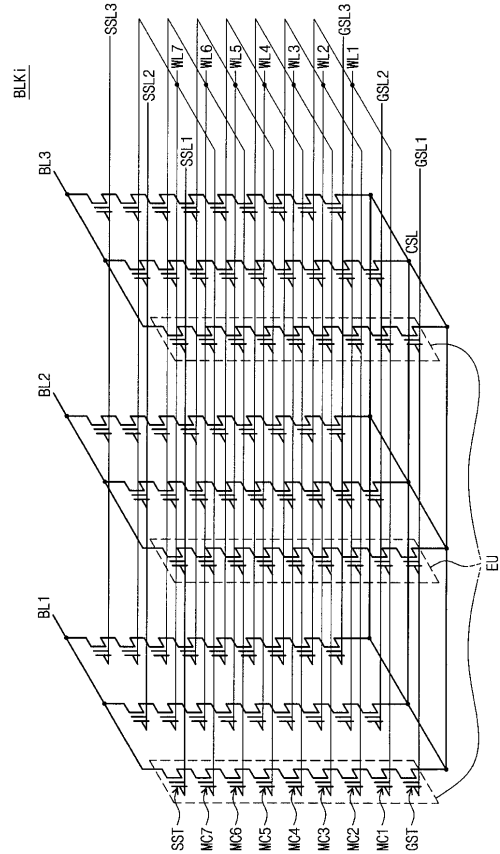


【図 5】



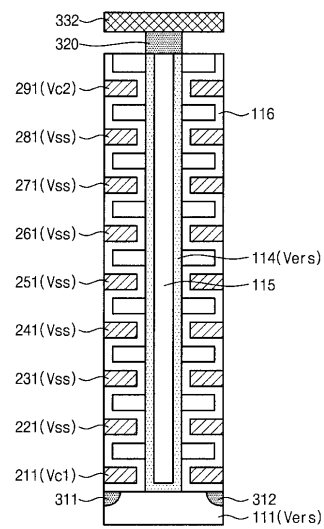
【図 6】



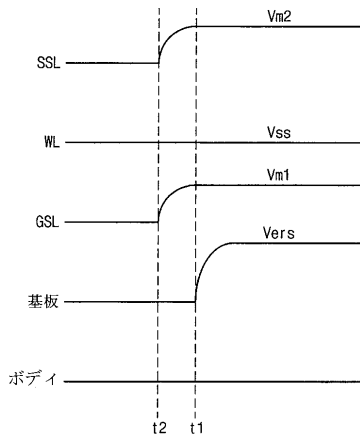
NS12

	選択ストリング	非選択ストリング
SSL	Float	Vss → Vm2
WL	Vss	
GSL	Float	Vss → Vm1
CSL	フ ロ ー ト	
基板	Vers	

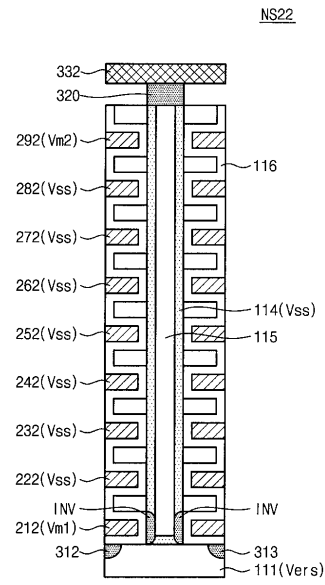
Timing diagram for the start of the first cycle. The diagram shows the relationship between several signals at the beginning of the first cycle, marked by a vertical dashed line at t_1 . The signals are: SSL (Serial Slave Load), WL (Word Load), GSL (Global Slave Load), 基板 (Substrate), and ボディ (Body). The voltage levels are labeled as Vc2, Vss, Vc1, and Vers. The signals transition from low to high at t_1 .

NS12

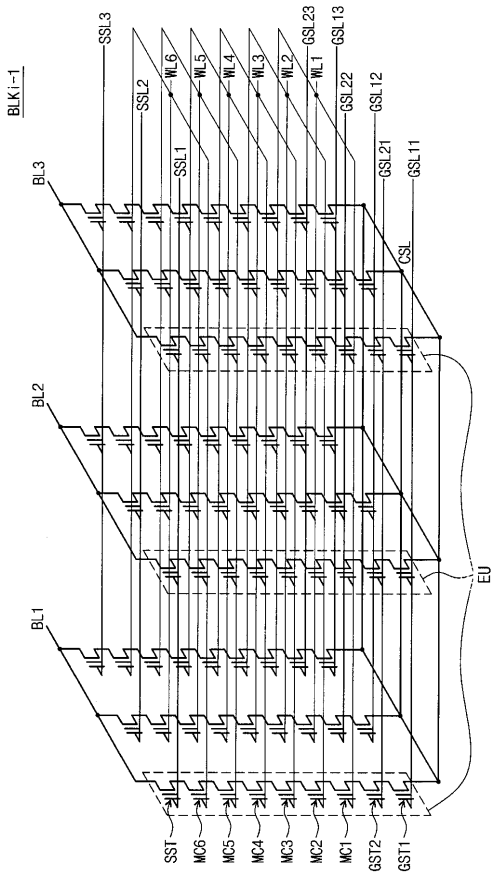
【図 1 2】



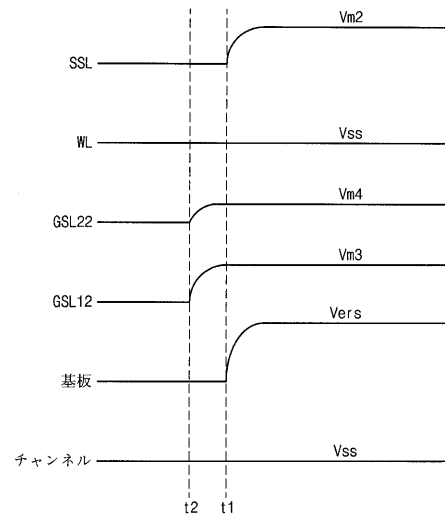
【図 1 3】



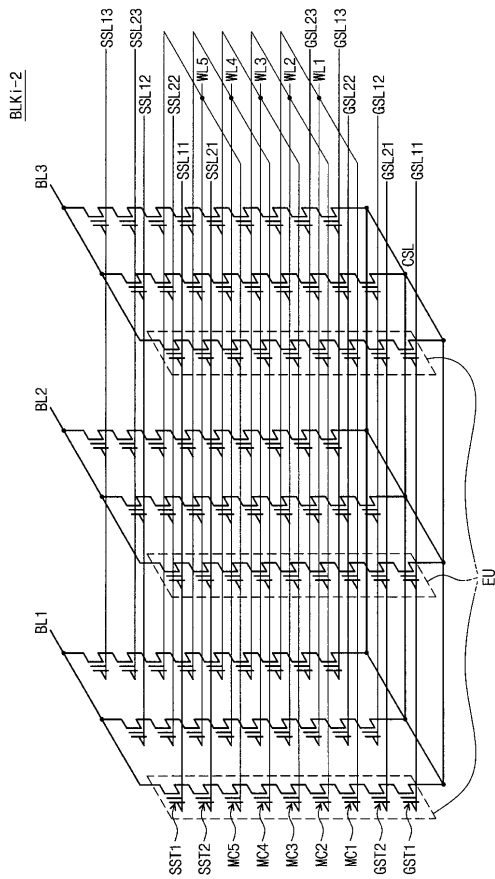
【図 1 4】



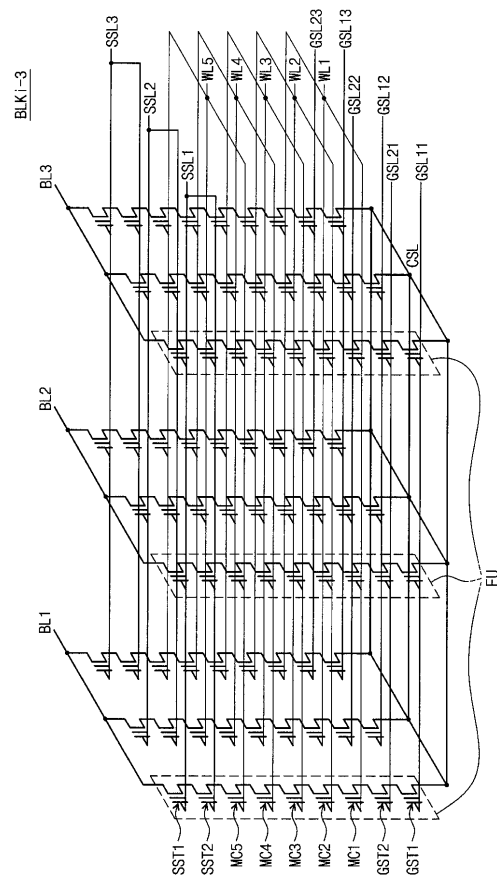
【図 1 5】



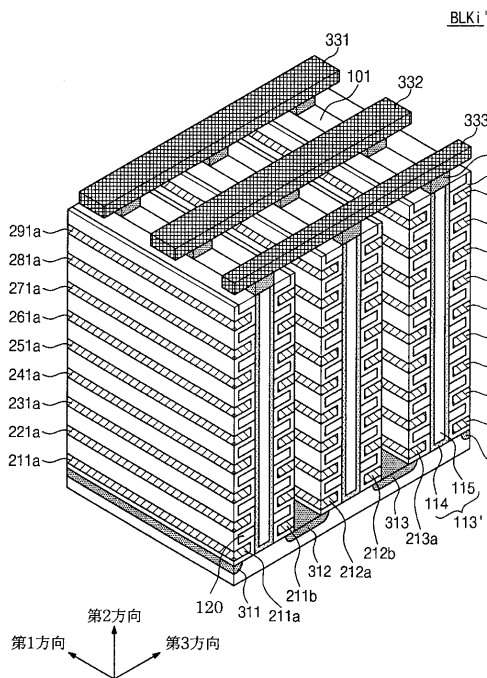
【図 16】



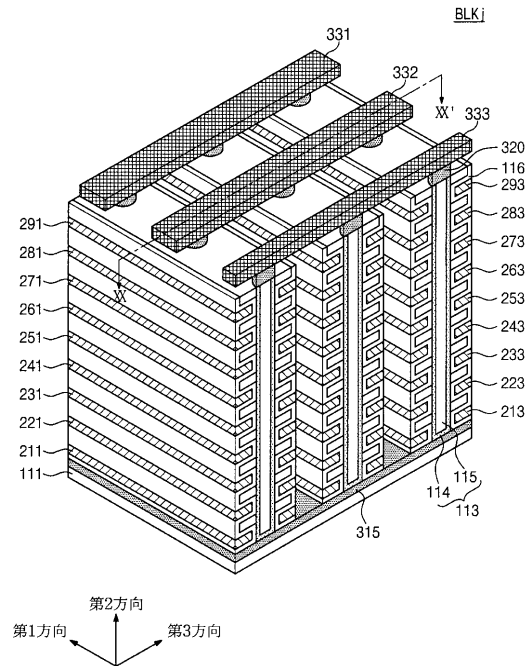
【図 17】



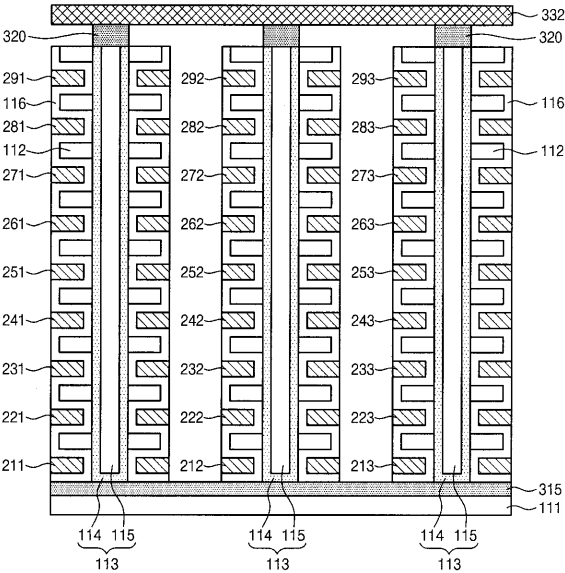
【図 18】



【図 19】



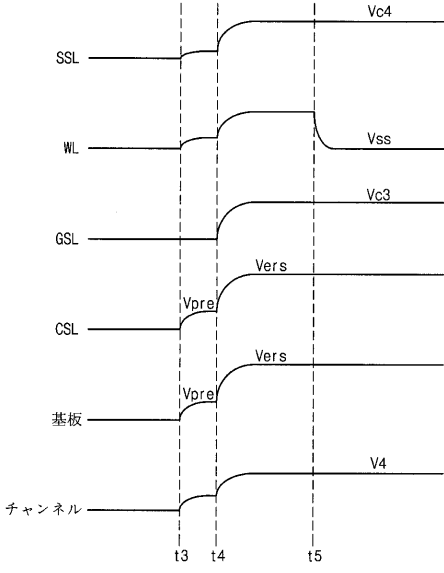
【図 2 0】



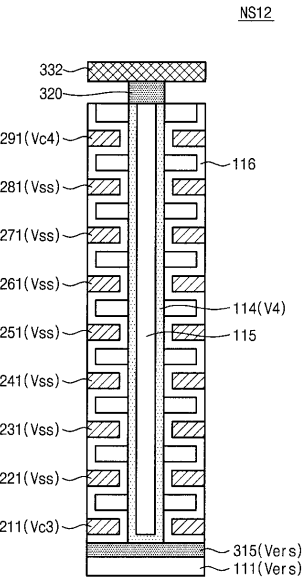
【図 2 1】

	選択ストリング	非選択ストリング
SSL	Float	Vm6
WL	Float → Vss	
GSL	Vss → Float	Vss → Vm5
CSL	フロート	
基板	Vpre → Vers	

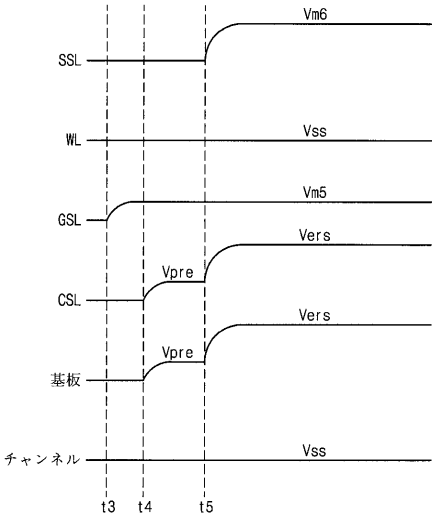
【図 2 2】



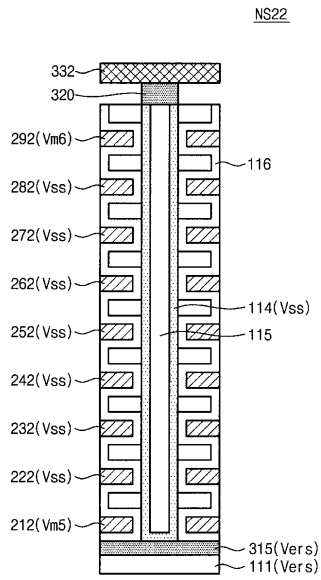
【図 2 3】



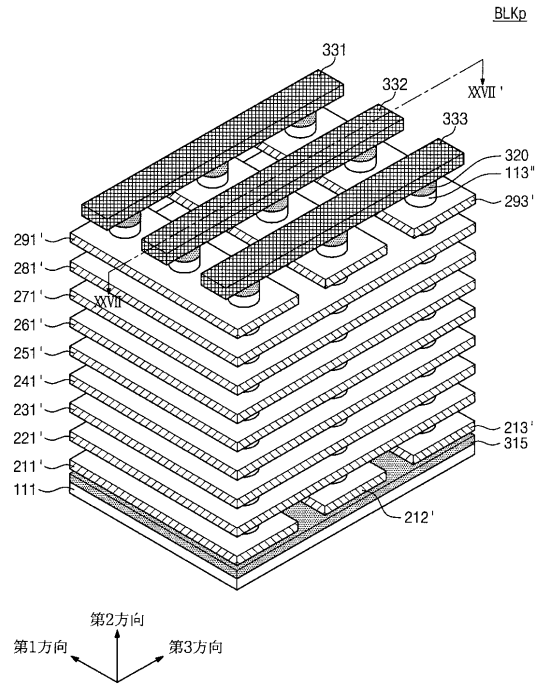
【図 2 4】



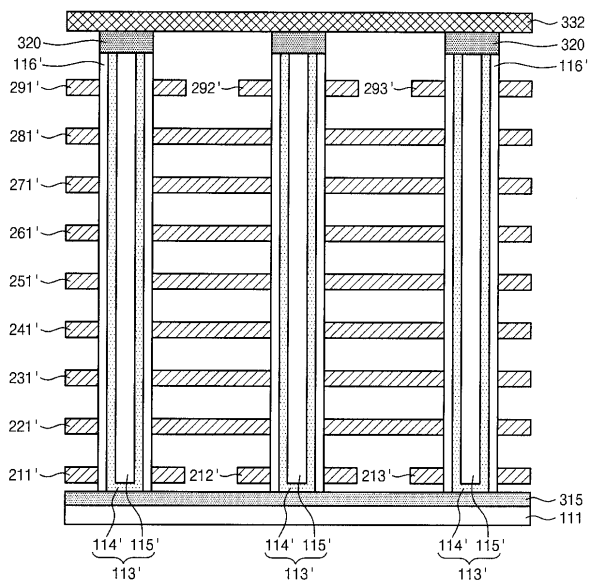
【図 25】



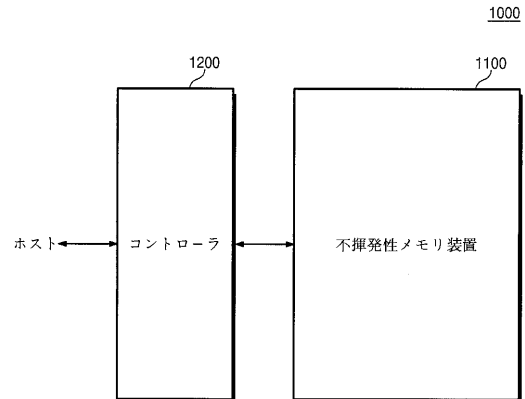
【図 26】



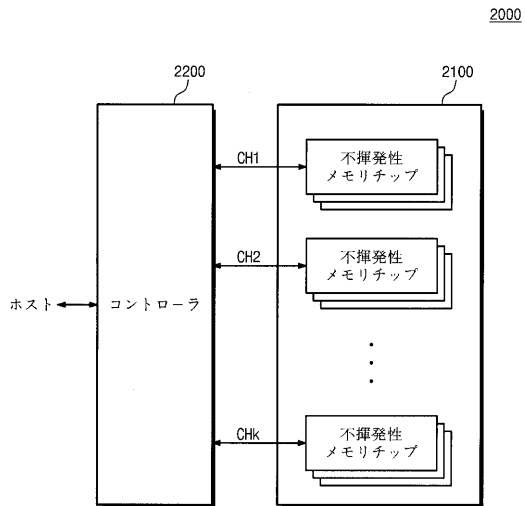
【図 27】



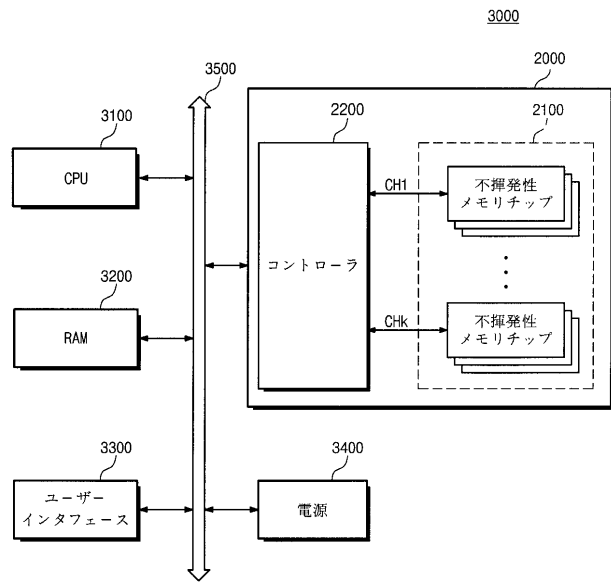
【図 28】



【図 29】



【図 30】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 29/788 (2006.01) H 0 1 L 29/78 3 7 1
H 0 1 L 29/792 (2006.01)

(72)発明者 蔡 東 赫

大韓民国ソウル特別市冠岳区新林9洞建栄3次アパート 1棟405号

Fターム(参考) 5B125 BA02 CA01 DC03 DC12 DC18 DC20 EA05 EA07 EB08 EB10
EC09 ED10 EJ09 EJ10 FA02 FA10
5F083 EP18 EP22 EP48 EP49 EP76 ER23 GA01 GA10 JA04 KA01
KA05 KA11 ZA28
5F101 BA46 BD16 BD34 BE07