



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 29/04 (2006.01)

H01L 29/786 (2006.01)

(11) 공개번호 10-2007-0022819

(43) 공개일자 2007년02월27일

(21) 출원번호 10-2006-7027722

(22) 출원일자 2006년12월28일

심사청구일자 2006년12월28일

변역문 제출일자 2006년12월28일

(86) 국제출원번호 PCT/US2005/020339

(87) 국제공개번호 WO 2006/007350

국제출원일자 2005년06월08일

국제공개일자 2006년01월19일

(30) 우선권주장 10/883,183 2004년06월30일 미국(US)

(71) 출원인 인텔 코퍼레이션
미국 캘리포니아주 95052-8119 산타클라라 피.오.박스 58119 미션 칼리지 불바드 2200

(72) 발명자 샤힌 모하메드 에이
미국 오레곤주 97229 포틀랜드 노스웨스트 펀럴리 드라이브 15060
도일 브라이언
미국 오레곤주 97224 포틀랜드 노스웨스트 몬트레옥스 레인 11156
다타 수만
미국 오레곤주 97006 비버튼 노스웨스트 토킵스틱 웨이 16659
차우 로버트 에스
미국 오레곤주 97007 비버튼 사우스웨스트 171번 애비뉴 8875
톨친스키 피터
미국 오레곤주 97007 포틀랜드 사우스웨스트 비킹 코트 16485

(74) 대리인 김창세
김원준

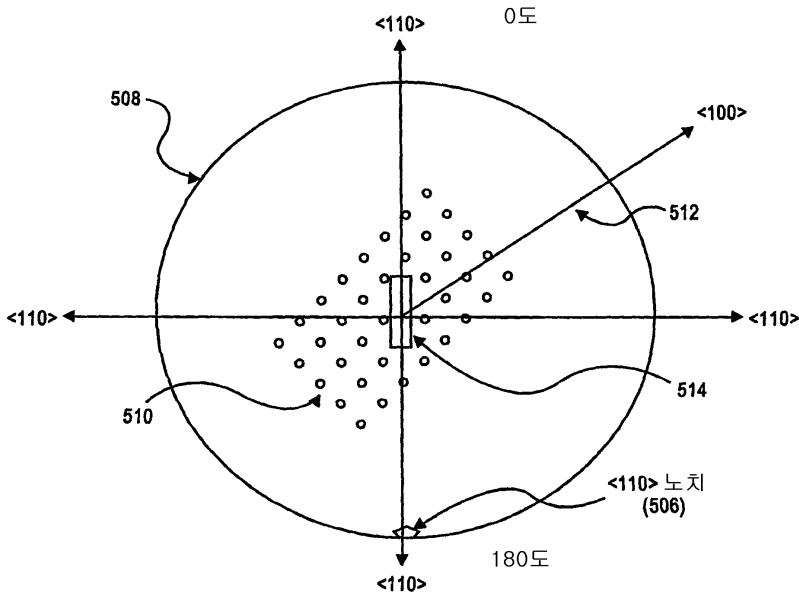
전체 청구항 수 : 총 44 항

(54) 고 이동도 반도체 어셈블리, 고 이동도 반도체 기판 및 고이동도 반도체 어셈블리의 제조 방법

(57) 요약

본 발명은 고 이동도 반도체 어셈블리를 제공한다. 일 예시적인 측면에서, 상기 고 이동도 반도체 어셈블리는 자체 상의 <110> 결정면에 위치한 제 1 기준 배향을 갖는 제 1 기판과, 제 1 기판의 상부 상에 형성되는 제 2 기판을 포함한다. 제 2 기판은 자체 상의 <100> 결정면에 위치한 제 2 기준 배향을 가지며, 제 1 기준 배향은 제 2 기준 배향과 정렬된다. 다른 예시적인 측면에서, 제 2 기판은 자체 상의 <110> 결정면에 위치한 제 2 기준 배향을 가지며, 제 2 기판의 제 2 기준 배향이 제 1 기판의 제 1 기준 배향에 대해서 약 45도만큼 오프셋되도록 제 2 기판이 제 1 기판 위에 형성된다.

대표도



특허청구의 범위

청구항 1.

고 이동도 반도체 어셈블리로서,

제 1 기판으로서, 상기 제 1 기판 상의 $\langle 110 \rangle$ 결정면에 위치한 제 1 기준 배향을 갖는, 상기 제 1 기판과,

제 2 기판으로서, 상기 제 1 기판의 상부 상에 형성되며, 상기 제 2 기판 상의 $\langle 100 \rangle$ 결정면에 위치한 제 2 기준 배향을 갖는, 상기 제 2 기판을 포함하되,

상기 제 1 기준 배향은 상기 제 2 기준 배향과 정렬된

고 이동도 반도체 어셈블리.

청구항 2.

제 1 항에 있어서,

상기 제 1 기판과 상기 제 2 기판 사이에 배치된 절연 층을 더 포함하는

고 이동도 반도체 어셈블리.

청구항 3.

제 1 항에 있어서,

상기 제 1 기준 배향 및 상기 제 2 기준 배향 각각은 각기 상기 제 1 기판 및 상기 제 2 기판 각각의 내부에 형성된 노치(notch)를 포함하는

고 이동도 반도체 어셈블리.

청구항 4.

제 1 항에 있어서,

상기 제 2 기관은 그 내부에 형성될 비평면 디바이스에 표면을 제공하며,

상기 비평면 디바이스의 상부 표면 및 측면들 모두는 <100> 결정면을 갖는

고 이동도 반도체 어셈블리.

청구항 5.

제 1 항에 있어서,

상기 제 1 기관은 제 1 절연 층을 더 포함하고,

상기 제 2 기관은 제 2 절연 층을 더 포함하며,

상기 제 1 기관과 상기 제 2 기관은 상기 제 1 절연 층 및 상기 제 2 절연 층에서 서로 본딩되는

고 이동도 반도체 어셈블리.

청구항 6.

제 1 항에 있어서,

상기 제 2 기관은 <100> 결정면을 갖는 상부 필드 및 각각이 <100> 결정면을 갖는 다수의 측면 필드를 갖는

고 이동도 반도체 어셈블리.

청구항 7.

제 1 항에 있어서,

상기 제 1 기관은 벌크 실리콘, 다결정 실리콘, 저 단결정 실리콘 및 갈륨 아세나이드로 구성된 그룹으로부터 선택된 물질로 이루어진

고 이동도 반도체 어셈블리.

청구항 8.

제 1 항에 있어서,

상기 제 2 기관은 실리콘, 게르마늄, 실리콘 게르마늄, 갈륨 아세나이드, InSb, GaP, GaSb 및 탄소 나노튜브로 구성된 그룹으로부터 선택된 물질로 이루어진

고 이동도 반도체 어셈블리.

청구항 9.

제 1 항에 있어서,

상기 제 2 기관 내에 형성된 비평면 디바이스를 더 포함하되,

상기 비평면 디바이스는,

상기 제 1 기관 상에 및 상기 제 2 기관 내에 형성된 횡적으로 대향하는 측벽들 및 상부 표면을 구비하는 반도체 바디—상기 반도체 바디의 상기 상부 표면 및 상기 횡적으로 대향하는 측벽들은 <100> 결정면을 가짐—와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 게이트 유전체와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 상기 게이트 유전체에 인접하여 형성된 게이트 전극을 포함하는

고 이동도 반도체 어셈블리.

청구항 10.

제 9 항에 있어서,

상기 실리콘 바디 내에서 상기 게이트 전극의 대향하는 측면들 상에 형성된 한 쌍의 소스/드레인 영역을 포함하는

고 이동도 반도체 어셈블리.

청구항 11.

고 이동도 반도체 기관으로서,

제 1 기관으로서, 상기 제 1 기관 상의 <110> 결정면에 위치한 제 1 기준 배향을 갖는, 상기 제 1 기관과,

제 2 기관으로서, 상기 제 1 기관의 상부 상에 형성되며, 상기 제 2 기관 상의 <110> 결정면에 위치한 제 2 기준 배향을 갖는, 상기 제 2 기관을 포함하되,

상기 제 2 기관의 상기 제 2 기준 배향이 상기 제 1 기관의 상기 제 1 기준 배향에 대하여 약 45도만큼 오프셋되도록 상기 제 2 기관이 상기 제 1 기관 위에 형성되는

고 이동도 반도체 기관.

청구항 12.

제 11 항에 있어서,

상기 제 1 기관과 상기 제 2 기관 사이에 배치된 절연 층을 더 포함하는

고 이동도 반도체 기관.

청구항 13.

제 11 항에 있어서,

상기 제 1 기준 배향 및 상기 제 2 기준 배향 각각은 각기 상기 제 1 기관 및 상기 제 2 기관 각각의 내부에 형성된 노치를 포함하는

고 이동도 반도체 기관.

청구항 14.

제 11 항에 있어서,

상기 제 1 기관은 제 1 절연 층을 더 포함하고,

상기 제 2 기관은 제 2 절연 층을 더 포함하며,

상기 제 1 기관과 상기 제 2 기관은 상기 제 1 절연 층 및 상기 제 2 절연 층에서 서로 본딩되는

고 이동도 반도체 기관.

청구항 15.

제 11 항에 있어서,

상기 제 2 기관은 <100> 결정면을 갖는 상부 필드 및 각기 <100> 결정면을 갖는 다수의 측면 필드를 갖는

고 이동도 반도체 기관.

청구항 16.

제 11 항에 있어서,

상기 제 1 기관은 벌크 실리콘, 다결정 실리콘, 저 단결정 실리콘 및 갈륨 아세나이드로 구성된 그룹으로부터 선택된 물질로 이루어진

고 이동도 반도체 기관.

청구항 17.

제 11 항에 있어서,

상기 제 2 기관은 실리콘, 게르마늄, 실리콘 게르마늄, 갈륨 아세나이드, InSb, GaP, GaSb 및 탄소 나노튜브로 구성된 그룹으로부터 선택된 물질로 이루어진

고 이동도 반도체 기관.

청구항 18.

제 11 항에 있어서,

상기 제 2 기관 내에 형성된 비평면 디바이스를 더 포함하되,

상기 비평면 디바이스는,

상기 제 1 기관 상에 및 상기 제 2 기관 내에 형성된 횡적으로 대향하는 측벽들 및 상부 표면을 구비하는 반도체 바디—상기 반도체 바디의 상기 상부 표면 및 상기 횡적으로 대향하는 측벽들은 <100> 결정면을 가짐—와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 게이트 유전체와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 상기 게이트 유전체에 인접하여 형성된 게이트 전극을 포함하는

고 이동도 반도체 기관.

청구항 19.

제 18 항에 있어서,

상기 실리콘 바디 내에서 상기 게이트 전극의 대향하는 측면들 상에 형성된 한 쌍의 소스/드레인 영역을 포함하는

고 이동도 반도체 기관.

청구항 20.

고 이동도 반도체 어셈블리를 제조하는 방법으로서,

제 1 기관으로서, 상기 제 1 기관 상의 <110> 결정면에 위치한 제 1 기준 배향을 갖는, 상기 제 1 기관을 제공하는 단계와,

제 2 기관으로서, 상기 제 2 기관 상의 <100> 결정면에 위치한 제 2 기준 배향을 갖는, 상기 제 2 기관을 상기 제 1 기관의 상부 상에 형성하는 단계를 포함하되,

상기 형성 단계는 상기 제 1 기준 배향을 상기 제 2 기준 배향에 정렬하는 단계를 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 21.

제 20 항에 있어서,

상기 제 1 기관과 상기 제 2 기관 각각은 절연 층을 포함하고,

상기 제 1 기관과 상기 제 2 기관은 상기 절연 층에서 서로 분당되는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 22.

제 20 항에 있어서,

상기 제 2 기관 내에 비평면 디바이스를 형성하는 단계를 더 포함하되,

상기 비평면 디바이스의 상부 표면과 측면들 모두 <100> 결정면을 갖는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 23.

제 20 항에 있어서,

상기 제 2 기관 내에 3중 게이트 트랜지스터를 형성하는 단계를 더 포함하되,

상기 3중 게이트 트랜지스터는,

횡적으로 대향하는 측벽들 및 상부 표면을 구비하는 반도체 바디—상기 반도체 바디의 상기 상부 표면 및 상기 횡적으로 대향하는 측벽들은 <100> 결정면을 가짐—와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 게이트 유전체와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 상기 게이트 유전체에 인접하여 형성된 게이트 전극을 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 24.

제 20 항에 있어서,

상기 형성 단계는 SMARTCUT 방법과 BE(Bonded and Etch Back) 방법 중 어느 하나를 사용하여 상기 제 2 기관을 상기 제 1 기관에 전사하는 단계를 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 25.

제 20 항에 있어서,

상기 형성 단계는,

상기 제 2 기관을 형성하는데 사용되는 제 3 기관—상기 제 3 기관은 상기 제 3 기관 상의 <100> 결정면에 위치한 제 3 기준 배향을 가짐—을 제공하는 단계와,

상기 제 3 기관 내에 사전결정된 깊이로 이온을 주입하는 단계와,

상기 제 3 기준 배향이 상기 제 1 기준 배향과 실질적으로 정렬되도록 상기 제 3 기판을 상기 제 1 기판에 본딩하는 단계와,

상기 제 3 기판에 균열을 발생시켜 상기 제 3 기판을 분리하여 상기 제 3 기판의 일부가 상기 제 1 기판에 전사됨으로써 상기 제 3 기판의 상기 전사된 부분이 상기 제 2 기판을 형성하게 되는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 26.

제 20 항에 있어서,

상기 형성 단계는,

절연 층을 가지며 상기 제 2 기판을 형성하는데 사용되는 제 3 기판—상기 제 3 기판은 상기 제 3 기판 상의 <100> 결정면에 위치한 제 3 기준 배향을 가짐—을 제공하는 단계와,

상기 제 3 기판 내에 사전결정된 깊이로 이온을 주입하는 단계와,

상기 제 3 기준 배향이 상기 제 1 기준 배향과 실질적으로 정렬되도록 상기 제 3 기판을 상기 제 1 기판에 본딩하는 단계—상기 제 1 기판은 절연 층을 더 포함하고 상기 제 1 기판과 상기 제 3 기판은 상기 절연 층들에서 서로 본딩됨—와,

상기 제 3 기판에 균열을 발생시켜 상기 제 3 기판을 분리하여 상기 제 3 기판의 일부가 상기 제 1 기판에 전사됨으로써 상기 제 3 기판의 상기 전사된 부분이 상기 제 2 기판을 형성하게 되는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 27.

제 20 항에 있어서,

상기 형성 단계는,

상기 제 2 기판을 형성하는데 사용되는 제 3 기판—상기 제 3 기판은 상기 제 3 기판 상의 <100> 결정면에 위치한 제 3 기준 배향을 가짐—을 제공하는 단계와,

상기 제 3 기준 배향이 상기 제 1 기준 배향과 실질적으로 정렬되도록 상기 제 3 기판을 상기 제 1 기판에 본딩하는 단계와,

상기 제 3 기판을 사전결정된 깊이까지 에칭함으로써 상기 제 3 기판의 일부가 상기 제 1 기판상에 남겨져서 상기 제 3 기판의 상기 남겨진 부분이 상기 제 2 기판을 형성하게 되는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 28.

제 20 항에 있어서,

상기 형성 단계는,

절연 층을 가지며 상기 제 2 기판을 형성하는데 사용되는 제 3 기판—상기 제 3 기판은 상기 제 3 기판 상의 <100> 결정면에 위치한 제 3 기준 배향을 가짐—을 제공하는 단계와,

상기 제 3 기준 배향이 상기 제 1 기준 배향과 실질적으로 정렬되도록 상기 제 3 기판을 상기 제 1 기판에 본딩하는 단계—상기 제 1 기판은 절연 층을 더 포함하고 상기 제 1 기판과 상기 제 3 기판은 상기 절연 층들에서 서로 본딩됨—와,

상기 제 3 기판을 사전결정된 깊이까지 에칭함으로써 상기 제 3 기판의 일부가 상기 제 1 기판상에 남겨져서 상기 제 3 기판의 상기 남겨진 부분이 상기 제 2 기판을 형성하게 되는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 29.

고 이동도 반도체 어셈블리의 제조 방법으로서,

제 1 기판으로서, 상기 제 1 기판 상의 <110> 결정면에 위치한 제 1 기준 배향을 갖는, 상기 제 1 기판을 제공하는 단계와,

제 2 기판으로서, 상기 제 2 기판 상의 <110> 결정면에 위치한 제 2 기준 배향을 갖는, 상기 제 2 기판을 상기 제 1 기판의 상부 상에 형성하는 단계를 포함하되,

상기 형성 단계는 상기 제 2 기판의 상기 제 2 기준 배향이 상기 제 1 기판의 상기 제 1 기준 배향에 대해서 약 45도만큼 오프셋되도록 상기 제 2 기판을 상기 제 1 기판 위에 형성하는 단계를 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 30.

제 29 항에 있어서,

상기 제 1 기판과 상기 제 2 기판 각각은 절연 층을 포함하고,

상기 제 1 기판과 상기 제 2 기판은 상기 절연 층에서 서로 본딩되는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 31.

제 29 항에 있어서,

상기 제 2 기판 내에 비평면 디바이스를 형성하는 단계를 더 포함하고,

상기 비평면 디바이스의 상부 표면과 측면들 모두 <100> 결정면을 갖는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 32.

제 29 항에 있어서,

상기 제 2 기판 내에 3중 게이트 트랜지스터를 형성하는 단계를 더 포함하되,

상기 3중 게이트 트랜지스터는,

횡적으로 대향하는 측벽들 및 상부 표면을 구비하는 반도체 바디—상기 반도체 바디의 상기 상부 표면 및 상기 횡적으로 대향하는 측벽들은 <100> 결정면을 가짐—와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 게이트 유전체와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 상기 게이트 유전체에 인접하여 형성된 게이트 전극을 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 33.

제 29 항에 있어서,

상기 형성 단계는 SMARTCUT 방법과 BE(Bonded and Etch Back) 방법 중 어느 하나를 사용하여 상기 제 2 기판을 상기 제 1 기판에 전사하는 단계를 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 34.

제 29 항에 있어서,

상기 형성 단계는,

상기 제 2 기판을 형성하는데 사용되는 제 3 기판—상기 제 3 기판은 상기 제 3 기판 상의 <110> 결정면에 위치한 제 3 기준 배향을 가짐—을 제공하는 단계와,

상기 제 3 기판 내에 사전결정된 깊이로 이온을 주입하는 단계와,

상기 제 3 기준 배향이 상기 제 1 기준 배향에 대해서 약 45도만큼 오프셋되도록 상기 제 3 기판을 상기 제 1 기판에 본딩하는 단계와,

상기 제 3 기판에 균열을 발생시켜 상기 제 3 기판을 분리하여 상기 제 3 기판의 일부가 상기 제 1 기판에 전사됨으로써 상기 제 3 기판의 상기 전사된 부분이 상기 제 2 기판을 형성하게 되는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 35.

제 29 항에 있어서,

상기 형성 단계는,

절연 층을 가지며 상기 제 2 기판을 형성하는데 사용되는 제 3 기판—상기 제 3 기판은 상기 제 3 기판 상의 <110> 결정면에 위치한 제 3 기준 배향을 가짐—을 제공하는 단계와,

상기 제 3 기판 내에 사전결정된 깊이로 이온을 주입하는 단계와,

상기 제 3 기준 배향이 상기 제 1 기준 배향에 대해서 약 45도만큼 오프셋되도록 상기 제 3 기판을 상기 제 1 기판에 본딩하는 단계—상기 제 1 기판은 절연 층을 더 포함하고 상기 제 1 기판과 상기 제 3 기판은 상기 절연 층들에서 서로 본딩됨—와,

상기 제 3 기판에 균열을 발생시켜 상기 제 3 기판을 분리하여 상기 제 3 기판의 일부가 상기 제 1 기판에 전사됨으로써 상기 제 3 기판의 상기 전사된 부분이 상기 제 2 기판을 형성하게 되는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 36.

제 29 항에 있어서,

상기 형성 단계는,

상기 제 2 기판을 형성하는데 사용되는 제 3 기판—상기 제 3 기판은 상기 제 3 기판 상의 <110> 결정면에 위치한 제 3 기준 배향을 가짐—을 제공하는 단계와,

상기 제 3 기준 배향이 상기 제 1 기준 배향에 대해서 약 45도만큼 오프셋되도록 상기 제 3 기판을 상기 제 1 기판에 본딩하는 단계와,

상기 제 3 기판을 사전결정된 깊이까지 에칭함으로써 상기 제 3 기판의 일부가 상기 제 1 기판상에 남겨져서 상기 제 3 기판의 상기 남겨진 부분이 상기 제 2 기판을 형성하게 되는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 37.

제 29 항에 있어서,

상기 형성 단계는,

절연 층을 가지며 상기 제 2 기판을 형성하는데 사용되는 제 3 기판—상기 제 3 기판은 상기 제 3 기판 상의 <110> 결정면에 위치한 제 3 기준 배향을 가짐—을 제공하는 단계와,

상기 제 3 기준 배향이 상기 제 1 기준 배향에 대해서 약 45도만큼 오프셋되도록 상기 제 3 기판을 상기 제 1 기판에 본딩하는 단계—상기 제 1 기판은 절연 층을 더 포함하고 상기 제 1 기판과 상기 제 3 기판은 상기 절연 층들에서 서로 본딩됨—와,

상기 제 3 기판을 사전결정된 깊이까지 에칭함으로써 상기 제 3 기판의 일부가 상기 제 1 기판상에 남겨져서 상기 제 3 기판의 상기 남겨진 부분이 상기 제 2 기판을 형성하게 되는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 38.

고 이동도 반도체 어셈블리의 제조 방법으로서,

기판으로서, 상기 기판 상의 <100> 결정면에 위치한 기준 배향을 갖는, 상기 기판을 제공하는 단계와,

상기 기판 내에 매립형 산화물 영역을 형성하는 단계와,

상기 매립형 산화물 영역 위에 존재하는 상기 기판의 부분 내에 비평면 디바이스—상기 비평면 디바이스의 상부 표면과 측면들 모두는 <100> 결정면을 가짐—을 형성하는 단계를 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 39.

제 38 항에 있어서,

상기 비평면 디바이스를 형성하는 단계는 상기 매립형 산화물 영역 위에 존재하는 상기 기판의 부분 내에 3중 게이트 트랜지스터를 형성하는 단계를 더 포함하되,

상기 3중 게이트 트랜지스터는,

횡적으로 대향하는 측벽들 및 상부 표면을 구비하는 반도체 바디—상기 반도체 바디의 상기 상부 표면 및 상기 횡적으로 대향하는 측벽들은 <100> 결정면을 가짐—와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 게이트 유전체와,

상기 반도체 바디의 상기 횡적으로 대향하는 측벽들 상에 및 상기 상부 표면 상에 형성된 상기 게이트 유전체에 인접하여 형성된 게이트 전극을 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 40.

제 39 항에 있어서,

상기 게이트 전극의 대향하는 측면들 상에 소스 영역과 드레인 영역을 형성하는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 41.

제 38 항에 있어서,

상기 기판 내에 상기 매립형 산화물 영역을 형성하는 단계는 SIMOX(Separation by Implantation of Oxygen) 방법을 사용하여 수행되는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 42.

제 38 항에 있어서,

상기 기판 내에 상기 매립형 산화물 영역을 형성하는 단계는 상기 기판 내부에 산소를 주입하고 상기 기판을 어닐링하는 단계를 더 포함하는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 43.

제 38 항에 있어서,

상기 기판 내에 상기 매립형 산화물 영역을 형성하는 단계는 상기 기판 내부에 산소를 주입하고 상기 기판을 어닐링하는 단계를 더 포함하되,

상기 기판은 <100> 결정면에 위치한 기준 배향을 갖는

고 이동도 반도체 어셈블리의 제조 방법.

청구항 44.

제 38 항에 있어서,

상기 기판 내에 상기 매립형 산화물 영역을 형성하는 단계는 상기 기판 내부에 산소를 주입하고 상기 기판을 어닐링하는 단계를 더 포함하되,

상기 기판은 <110> 결정면에 위치한 기준 배향을 가지며,

상기 기판은 약 45도만큼 회전되는

고 이동도 반도체 어셈블리의 제조 방법.

명세서

기술분야

본 발명은 반도체 집적 회로 제조 분야에 관한 것이며, 보다 구체적으로는 고 이동도 3중 게이트 트랜지스터와 같은 고 이동도 3중 게이트 디바이스 및 이의 제조 방법에 관한 것이다.

배경기술

디바이스 성능을 개선하기 위해서, 실리콘 온 절연체(SOI) 트랜지스터가 현대의 집적 회로 제조 분야에서 제안되어 왔다. 도 1은 표준 완전 공핍형 실리콘 온 절연체(SOI) 트랜지스터(100)를 도시한다. 이 SOI 트랜지스터(100)는 그 상에 형성된 매립형 산화물과 같은 절연 층(104)을 갖는 단결정 실리콘 기판(102)을 포함한다. 단결정 실리콘 바디(106)가 절연 층(104) 상에 형성된다. 게이트 유전체 층(108)이 단결정 실리콘 바디(106) 상에 형성되고 게이트 전극(110)이 게이트 유전체 층(108) 상에 형성된다. 소스 영역(112) 및 드레인 영역(114)이 게이트 전극(110)의 횡적으로 측면들을 따라서 실리콘 바디(106) 내에 형성된다.

완전 공핍형 SOI 트랜지스터는 최적화된 온 전류/오프 전류 비율을 위해서 이상적인 하위 임계치 구배를 이용하는 트랜지스터 구조물로서 제안되어 왔다. 트랜지스터(100)에 있어서 이상적인 하위 임계치 구배를 달성하기 위해서, 실리콘 바디

(106)의 두께(Tsi)는 트랜지스터의 게이트 길이(Lg)의 약 1/3이어야 한다(즉, $Tsi = Lg/3$). 그러나, 게이트 길이가 스케일링됨에 따라서, 특히 게이트 길이가 30 nm로 근접함에 따라서, 실리콘 막 두께를 계속 감소시킬 필요가 있어서 이러한 방식은 현실적이지 않다. 30 나노미터 게이트 길이에서, 실리콘 바디에 대해서 요구되는 두께는 10 나노미터보다 작아야 하며, 20 나노미터 게이트 길이에 대해서는 실리콘 바디의 두께는 약 6 나노미터이어야 한다. 10 나노미터보다 작은 두께를 갖는 실리콘 막을 제조하는 것은 매우 어렵다. 또한, 1 나노미터의 크기로 웨이퍼 균일성을 획득하는 것도 어려운 과제이다. 한편, 접합부 저항을 감소시키기 위해서 증가된 소스 영역 및 드레인 영역을 형성하도록 이러한 실리콘 막을 접촉시키는 것도 거의 불가능한데, 그 이유는 소스 영역/드레인 영역 내의 이러한 실리콘 막은 게이트 에칭, 이 게이트 에칭 후의 다양한 세정 프로세스 및 스페이서 에칭 동안 소비되어서 실리콘이 성장하기에는 불충분한 실리콘 막(106)이 남기 때문이다.

도 2a 및 도 2b에 도시된 바와 같은 이중 게이트(DG) 디바이스가 실리콘 두께 문제를 경감하기 위해서 제안되어 왔다. 이중 게이트(DG) 디바이스(200)는 절연 기판(104) 상에 형성된 실리콘 바디(202)를 포함한다. 게이트 유전체(206)는 실리콘 바디(202)의 두 측면 상에 형성되고 게이트 전극(208)이 실리콘 바디(202)의 두 측면 상에 형성된 게이트 유전체(206)에 인접하여 형성된다. 실리콘 질화물과 같은 충분히 두꺼운 절연 층(209)이 게이트 전극(208)을 실리콘 바디(202)의 상부로부터 전기적으로 분리시킨다.

이중 게이트(DG) 디바이스(200)는 본질적으로 디바이스의 채널의 각 측 상에 존재하는 2 개의 게이트를 갖는다. 이중 게이트 디바이스(200)가 채널의 각 측 상에 게이트를 가지기 때문에, 실리콘 바디의 두께(Tsi)는 단일 게이트 디바이스의 두께의 2 배가 될 수 있으며 또한 완전 공핍형 트랜지스터 동작을 획득할 수 있다. 즉, 이중 게이트 디바이스(200)에 있어서, $Tsi = (2 * Lg) / 3$ 인 완전 공핍형 트랜지스터가 형성될 수 있다. 그러나, 이중 게이트(DG) 디바이스(200) 중 가장 제조될 가능성이 높은 형태의 디바이스에서는 실리콘 바디(202) 패터닝이 평면 디바이스(가령, 트랜지스터(100))의 게이트 길이(Lg)를 패터닝하는데 사용되는 포토리소그래피보다 0.7 배 작은 포토리소그래피로 수행되어야 한다. 고 밀도 집적 회로를 얻기 위해서, 일반적으로 게이트 전극(208)의 게이트 길이(Lg)에 대해서 가장 적극적인 리소그래피가 수행되어야 한다. 따라서, (이제 채널의 양 측 상에 게이트가 존재할 수 있기 때문에) 실리콘 막의 두께를 2 배로 할 수 있더라도, 이러한 구조물을 제조하는 것은 매우 어렵다. 가령, 실리콘 바디(202)는 약 5:1의 종횡비(높이 대 폭 비)를 갖는 실리콘 바디(202)를 생성하게 되는 실리콘 바디 에칭을 필요로 한다. 또한, 높은 디바이스 성능이 계속적으로 요구됨에 따라서, 디바이스 성능을 개선하기 위해서 고 이동도를 갖는 디바이스가 바람직하다.

실시예

본 발명의 실시예들은 새로운 고 이동도 비평면 디바이스 또는 3중 게이트 트랜지스터 구조물과 같은 3중 게이트 디바이스 및 이의 제조 방법에 관한 것이다. 다음의 상세한 설명 부분에서 수많은 특정 세부 사항들이 본 발명의 실시예들의 철저한 이해를 돕기 위해서 제공된다. 한편, 잘 알려진 반도체 프로세스 및 제조 기술들은 본 발명의 실시예들을 불필요하게 모호하게 하기 때문에 기술되지 않는다.

본 발명의 실시예들은 고 이동도 비평면 디바이스(가령, 3중 게이트 트랜지스터)에 관한 것이다. 이러한 비평면 디바이스의 고 이동도 특성은 이 고 이동도 비평면 디바이스를 형성하는데 사용되는 기판 웨이퍼의 기준 배향의 회전 또는 재위치에 위해서 성취된다. 도 3은 예시적인 고 이동도 비평면 디바이스(300)(가령, 3중 게이트 트랜지스터)를 도시한다.

본 발명의 실시예에서, 3중 게이트 트랜지스터(300)는 반도체 온 절연체(SOI) 트랜지스터이다. 이 3중 게이트 트랜지스터(300)는 기판(302) 상에 형성된 얇은 반도체 바디(308)를 포함하며, 상기 기판(302)은 절연 기판(가령, 산화물 막을 포함하는 기판(302)) 또는 반도체 기판일 수 있다. 반도체 바디(308)는 이 반도체 바디(308)의 상부 표면 및 측면들 상에 형성된 게이트 유전체(305) 및 상기 반도체 바디(308)의 상부 표면 상에서는 상기 게이트 유전체(305) 상에 형성되고 상기 반도체 바디(308)의 측면 상에서는 상기 게이트 유전체(305)에 인접하여 형성된 게이트 전극(307)을 포함한다. 소스 영역(330) 및 드레인 영역(332)은 상기 반도체 바디(308) 내에서 각기 게이트 전극(307)의 대향하는 측면들 상에 형성된다. 게이트 전극(307) 및 게이트 유전체(305)가 반도체 바디(308)의 3개의 측면을 둘러싸고 있기 때문에, 트랜지스터(300)는 반드시 3 개의 개별 채널 및 게이트를 갖는다. 트랜지스터의 게이트 폭은 반도체 바디의 3 측면 각각의 폭의 합과 동일하다.

반도체 바디 내에 3 개의 개별 채널들이 형성되어 있기 때문에, 반도체 바디는 트랜지스터가 턴 온될 때에 완전하게 공핍되어서, 극도로 얇은 반도체 바디를 사용하지 않고서도 또는 반도체 바디를 이 디바이스의 게이트 길이(Lg)보다 작은 수치로 포토리소그래픽 패터닝을 수행하지 않고서도 30 나노미터보다 작은 게이트 길이를 갖는 완전 공핍형 트랜지스터가 형성될 수 있다. 본 발명의 3중 게이트 트랜지스터는 완전 공핍 방식으로 동작하기 때문에, 이 디바이스는 이상적인(매우 가

파른) 하위 임계치 기울기 및 100 mV/V 보다 작은, 이상적으로는 약 60 mV/V의 감소된 DIBL(Drain Induced Barrier Lowering) 쇼트 채널 효과에 의해서 특성화되며, 이로써 디바이스가 턴 오프될 때 누설 전류가 감소하여서 전력 소비량이 적어진다.

개선된 디바이스 성능을 위해서 고 이동도 디바이스인 3중 게이트 트랜지스터(300)와 같은 비평면 디바이스가 바람직하다. 본 발명의 실시예에서, 비평면 디바이스(300)의 이동도를 개선하기 위해서, 반도체 바디(308)의 결정면 구조가 변경된다. 도 3에 도시된 바와 같이, 비평면 디바이스(300)는 <100> 결정면을 갖는 반도체 바디(308)의 상부 표면 상의 수직 필드를 갖는다. 반도체 바디(308)의 측면에 대한 수직 필드는 <110> 결정면을 갖는다. 이동도는 <100> 결정면과 <110> 결정면 간에서 큰 차이를 보인다. <110> 결정면은 도 4에 도시된 바와 같이 <100> 결정면의 이동도 값의 절반인 이동도 값을 갖는다. 도 4에 도시된 바와 같이, <100> 결정면에 대한 타카기 라인은 <110> 결정면에 대한 타카기 라인보다 매우 높다. 비평면 디바이스의 이동도를 개선하는 한가지 방식은 반도체 바디(308)의 모든 측면에 대한 수직 필드가 <100> 결정면을 갖게 하는 것이다.

보통, 기판(302)은 프로세스에 의해서 그 내부에 막 및 구조물이 형성되어서 3중 게이트 디바이스(300)와 같은 반도체 디바이스를 형성하게 되는 반도체 웨이퍼로 이루어진다. 일 실시예에서, 기판(302)은 벌크 실리콘 웨이퍼이다. 절연 층(가령, 실리콘 이산화물 막)이 기판(302) 상에 형성되고 디바이스 품질 반도체 막(가령, 단결정 실리콘)이 이 절연 층 상에 형성된다. 이어서, 디바이스(300)가 이 디바이스 품질 반도체 막 내에 형성된다. 반도체 제조 분야에서 디바이스를 형성하는 데 사용되는 웨이퍼 또는 웨이퍼들 상에 기준 배향을 생성하는 것은 통상적이다. 이 기준 배향은 통상적으로 웨이퍼 내에 생성된 작은 노치(notch)이다. 기준 배향은 프로세스 장비(에칭 장비 또는 리소그래피 장비) 정렬 및 제조 반복가능성(가령, 리소그래피 및 에칭과 같은 디바이스 프로세스)을 위해서 사용된다. 따라서, 프로세스 장비는 특정 웨이퍼 상의 각 노치가 프로세싱을 위해서 정렬되는 정렬 점을 갖는다. 알려진 바와 같이, 실리콘 또는 다른 반도체 물질은 상이한 웨이퍼 면에서 상이한 결정 입방 배향을 갖는다. 따라서, 결정 배향의 반복가능성을 위해서, 기준 배향은 웨이퍼에 대해서 균일한 방향을 마킹하도록 생성된다. 또한, 기준 배향은 웨이퍼 간에서 프로세스의 반복가능성을 제공한다.

웨이퍼에서 기준 배향을 생성하는 한가지 방식은 웨이퍼 상의 특정 위치에서 노치를 생성하는 것이다. 현재, 실리콘 잉곳과 같은 잉곳은 <100> 결정면의 배향으로 시드로부터 성장한다. 도 5에 도시된 바와 같이, 잉곳(502)은 <100> 결정면 방향으로 성장한다. 잉곳(502)은 <110> 결정면 방향이 발견될 수 있도록 엑스 레이 회절 장비에 의해서 배치된다. 이 엑스 레이 회절 프로세스 동안, 엑스 레이 회절 빔이 <110> 위치를 시각화하고 그 위치를 파악할 수 있도록 잉곳(502)이 반경 방향으로 회전된다. 일단, <110> 위치가 발견되면, 잉곳(502)은 노치(506)가 도 6에 도시된 바와 같이 각 웨이퍼에서 형성되도록 라인(504)을 따라서 마킹된다. 라인(504)을 생성하기 위해서 연마법이 사용될 수 있다. 이어서, 잉곳(502)을 슬라이싱하는 데 슬라이싱이 사용되어 다수의 웨이퍼(508)가 생성된다. 도 6에 도시된 바와 같이, 웨이퍼(508)는 그 페이지에서 나오는 방향 점에서 <100> 결정면을 갖는다. 노치(506)는 <110> 결정면을 가지며 웨이퍼(508)의 6 시 방향 위치 또는 180 도 위치에서 존재한다.

도 7a는 웨이퍼(508)의 결정 구조 특성을 더 설명한다. 원(510)은 그 페이지의 면에 대한 웨이퍼(508)의 결정 구조의 결정면을 나타낸다. 도시된 바와 같이, <100> 결정면은 웨이퍼(508)의 표면이며 이로써 그 페이지에서 나오는 화살표(512)의 방향에 존재한다. 비평면 디바이스(514)가 웨이퍼(508) 내에 형성될 때에, 비평면 디바이스(514)의 측면(514-S)은 도 7a에 도시된 바와 같이 <110> 결정면을 갖는다. 이 디바이스(514)의 상부 측면(514-T)은 <100> 결정면을 갖는다. 웨이퍼(508) 내에 형성된 디바이스(514)의 측면의 결정면 구조를 변경하는 한가지 방식은 노치(506)를 회전시키거나 재위치시키는 것이다. 본 발명의 일 실시예에서, 통상적으로 행해지는 바와 같이 <110> 결정면에 위치한 노치(506)를 사용하는 대신에, 노치(506)는 웨이퍼(508) 상의 <110> 결정면 위치에 존재한다. 다른 실시예에서, 노치(506)는 통상적으로 행해지는 바와 같이 <110> 위치에서 마킹되고 원(510)에 의해 표시된 결정면들이 약 45도(또는 -45도)만큼 회전되도록 웨이퍼(508)가 약 45도(또는 -45도)만큼 회전된다.

도 8a는 <100> 결정면 위치에서 노치(804)를 갖는 웨이퍼(802)를 도시한다. 웨이퍼(802)에서 도시된 원(810)은 그 페이지의 면에 대한 웨이퍼(802)의 결정 구조의 결정면을 표시한다. 웨이퍼(802)의 결정면은 그 페이지를 나오는 방향인 <100>이다. 비평면 디바이스(806)가 웨이퍼(802) 내에 형성될 때에, 디바이스(806)의 모든 측면은 <100> 결정면을 갖는다. 따라서, 디바이스(806)의 상부 표면(806-T)은 <100> 결정면을 가지며 디바이스(806)의 모든 측면(806-S)도 또한 <100> 결정면을 갖는다.

이와 달리, 웨이퍼가 <110> 위치에서 노치를 가지면, 프로세스 동안 웨이퍼는 45도(또는 -45도)만큼 회전될 수 있다. 이렇게 함으로써, 비평면 디바이스가 웨이퍼 상에 형성될 때에, 디바이스의 모든 측면들도 <100> 결정면을 갖게 된다.

비평면 디바이스의 모든 측면이 <100> 결정면을 갖게 되면, 이 비평면 디바이스는 고성능 디바이스를 위해서 바람직한 고 이동도 특성을 구비할 것이다.

도 9는 웨이퍼의 노치가 채워지되거나 회전됨으로써 고 이동도 특성의 이점을 이용하는 3중 게이트 디바이스(가령, 3중 게이트 트랜지스터(900))와 같은 예시적인 비평면 디바이스를 도시하고 있다. 이 비평면 디바이스는 고 이동도 3중 게이트 트랜지스터일 수 있는 고 이동도 비평면 디바이스이다.

3중 게이트 트랜지스터(900)가 기판(902) 상에 형성된다. 본 발명의 일 실시예에서, 기판(902)은 하부의 단결정 실리콘 기판(904) 및 이 단결정 실리콘 기판 상에 형성된 실리콘 이산화물 막과 같은 절연 층(906)을 포함하는 절연 기판이다. 그러나, 3중 게이트 트랜지스터(900)는 실리콘 이산화물, 질화물, 산화물 또는 사파이어로 형성된 기판과 같은 임의의 잘 알려진 절연 기판상에 형성될 수 있다. 본 발명의 실시예에서, 기판(902)은 다음으로 한정되는 것은 아니지만 단결정 실리콘 기판 또는 갈륨 아세나이드 기판과 같은 반도체 기판이다.

3중 게이트 트랜지스터(900)는 절연 기판(902)의 절연 층(906) 상에 형성된 반도체 바디(908)를 포함한다. 반도체 바디(908)는 반도체 막으로 형성될 수 있다. 절연 기판(902) 상에 반도체 막이 위치하면, 3중 게이트 트랜지스터(900)는 일종의 SOI 트랜지스터이다. 반도체 바디(908)는 다음으로 한정되는 것은 아니지만 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(Si_xGe_y), 갈륨 아세나이드(GaAs), InSb, GaP, GaSb 또는 탄소 나노튜브와 같은 반도체 물질로 이루어진다. 마이크로 프로세서에서와 같이 트랜지스터(900)의 최상의 전기적 성능이 요구되는 경우에 반도체 바디(908)는 이상적으로는 단결정 막이다. 그러나, 반도체 바디(908)는 트랜지스터(900)가 액정 디스플레이에서와 같이 보다 엄격하지 않는 성능을 요구하는 애플리케이션에서 사용될 경우에는 다결정 막일 수 있다. 반도체 바디(908)를 형성하는데 사용되는 웨이퍼는 반도체 바디(908)의 모든 측면들이 전술한 바와 같이 <100> 결정면을 갖도록 프로세싱된다.

일 실시예에서, 반도체 바디(908)를 형성하는데 사용되는 반도체 물질은 웨이퍼 상의 <100> 결정면 위치에서 존재하는 기준 노치를 갖도록 형성되거나 프로세싱된 웨이퍼(가령, 실리콘 웨이퍼)이다. 다른 실시예에서, 반도체 바디(908)를 형성하는데 사용되는 반도체 물질은 웨이퍼 상의 <110> 결정면 위치에서 존재하는 기준 노치를 갖도록 형성되거나 프로세싱된 웨이퍼(가령, 실리콘 웨이퍼)이다. 이 다른 실시예에서는, 반도체 바디(908)를 형성하는데 사용된 웨이퍼는 기준 노치가 약 45도 또는 -45도 만큼 오프셋되도록 회전된다.

반도체 바디(908)는 반도체 바디 폭(914)을 규정하는 폭 만큼 이격된 횡적으로 대향하는 측벽들(910,912)의 쌍을 갖는다. 또한, 반도체 바디(908)는 기판(902) 상에 형성된 바닥 표면(918)에 대향하는 상부 표면(916)을 갖는다. 상부 표면(916)과 바닥 표면(918) 간의 거리는 반도체 바디(908)의 두께(Tsi) 또는 바디 높이(920)를 규정한다. 본 발명의 실시예에서, 바디 높이(920)는 바디 폭(914)과 실질적으로 동일하다. 본 발명의 실시예에서, 반도체 바디(908)는 30 나노미터보다 작은, 이상적으로는 20 나노미터보다 작은 폭(914) 및 높이(920)를 갖는다. 본 발명의 실시예에서, 반도체 바디의 높이(920)는 바디 폭(914)의 반 배 내지 2 배 간에 존재한다. 측벽(910,912), 상부 표면(916) 및 바닥 표면(918) 모두가 <100> 결정면 구조를 갖는 수직 필드를 갖는다.

3중 게이트 트랜지스터(900)는 게이트 유전체 층(922)을 갖는다. 게이트 유전체 층(922)은 도 9에 도시된 바와 같이 반도체 바디(908)의 3 개의 측면 상 및 주위에 형성된다. 게이트 유전체 층(922)은 도 9에 도시된 바와 같이 측벽(912) 상에 형성되거나 인접하여 형성되고, 상부 표면(916) 상에 형성되고, 측벽(910) 상에 형성되거나 인접하여 형성된다. 게이트 유전체 층(922)은 임의의 잘 알려진 게이트 유전체 층이다. 본 발명의 실시예에서, 게이트 유전체 층은 실리콘 이산화물(SiO_2), 실리콘 옥시질화물(SiO_xN_y) 또는 실리콘 질화물(Si_3N_4)로 구성된다. 본 발명의 실시예에서, 게이트 유전체 층(922)은 5 내지 20 Å의 두께를 갖는 실리콘 옥시질화물 막이다. 본 발명의 실시예에서, 게이트 유전체 층(922)은 다음으로 한정되지 않는 않지만 탄탈륨 펜타옥사이드(Ta_2O_5) 또는 티타늄 옥사이드(TiO_2)와 같은 금속 산화물 유전체와 같은 높은 K 값 유전체 층이다. 게이트 유전체 층(922)은 다음으로 한정되지 않지만 PZT와 같은 다른 타입의 높은 K 값 유전체 층이다.

3중 게이트 디바이스(900)는 게이트 전극(924)을 갖는다. 게이트 전극(924)은 도 9에 도시된 바와 같이 게이트 유전체 층(922) 상 및 주위에 형성된다. 게이트 전극(924)은 반도체 바디(908)의 측벽(912) 상에서는 게이트 유전체(922) 상에 형성되거나 인접하여 형성되고, 반도체 바디(908)의 상부 표면(916) 상에서는 게이트 유전체(922) 상에 형성되며, 반도체 바디(908)의 측벽(910) 상에서는 게이트 유전체(922) 상에 형성되거나 인접하여 형성된다. 게이트 전극(924)은 트랜지스

터(900)의 게이트 길이(Lg)(930)를 규정하는 거리 만큼 이격된 횡적으로 대향하는 측벽들(926,928)의 쌍을 갖는다. 본 발명의 실시예에서, 이 게이트 전극(924)의 횡적으로 대향하는 측벽들(926,928)은 반도체 바디(908)의 횡적으로 대향하는 측벽(910,912)에 대해 수직인 방향으로 연장된다.

게이트 전극(924)은 임의의 적합한 게이트 전극 물질로 형성된다. 본 발명의 실시예에서, 게이트 전극(924)은 1×10^{19} 원자/cm³ 내지 1×10^{20} 원자/cm³의 도핑 농도로 도핑되는 다결정 실리콘으로 구성된다. 본 발명의 실시예에서, 게이트 전극은 다음으로 한정되지는 않지만 텅스텐, 탄탈륨, 티타늄 및 이들의 질화물과 같은 금속 게이트 전극이다. 본 발명의 실시예에서, 게이트 전극은 4.6 내지 4.8 eV의 중간 갭 일함수를 갖는 물질로 형성된다. 게이트 전극(924)은 반드시 단일 물질일 필요는 없으며 다음으로 한정되지는 않지만 다결정 실리콘/금속 전극 또는 금속/다결정 실리콘 전극과 같은 막들의 복합 스택일 수 있다.

3중 게이트 트랜지스터(900)는 소스 영역(930) 및 드레인 영역(932)을 포함한다. 소스 영역(930) 및 드레인 영역(932)은 도 9에 도시된 바와 같이 반도체 바디(908) 내에서 게이트 전극(924)의 대향하는 측면 상에 형성된다. 소스 영역(930) 및 드레인 영역(932)은 N 타입 또는 P 타입 도전성과 같은 동일한 도전성 타입이다. 본 발명의 실시예에서, 소스 영역(930) 및 드레인 영역(932)은 1×10^{19} 원자/cm³ 내지 1×10^{21} 원자/cm³의 도핑 농도를 갖는다. 소스 영역(930) 및 드레인 영역(932)은 균일한 농도로 형성되거나 텅 영역(가령, 소스/드레인 연장부)와 같은 상이한 농도 또는 도핑 프로파일을 갖는 하위 영역들을 포함한다. 본 발명의 실시예에서, 트랜지스터(900)가 대칭형 트랜지스터이면, 소스 영역(930) 및 드레인 영역(932)은 동일한 도핑 농도 및 프로파일을 갖는다. 본 발명의 실시예에서, 트랜지스터(900)가 비대칭형 트랜지스터이면, 소스 영역(930) 및 드레인 영역(932)의 도핑 농도 및 프로파일은 특정 전기적 특성을 획득하기 위해서 변할 수 있다.

소스 영역(930) 및 드레인 영역(932) 간에 위치한 반도체 바디(908)의 부분은 트랜지스터(900)의 채널 영역(950)을 규정한다. 채널 영역(950)은 또한 게이트 전극(924)에 의해 둘러싸인 반도체 바디(908)의 구역으로서 규정될 수 있다. 그러나, 때때로, 소스/드레인 영역은 가령 확산을 통해서 게이트 전극 아래에서 근소하게 연장되어서 게이트 전극의 길이(Lg)보다 근소하게 작은 채널 영역을 규정한다. 본 발명의 실시예에서, 채널 영역(950)은 진성 실리콘이거나 도핑되지 않은 단결정 실리콘일 수 있다. 본 발명의 실시예에서, 채널 영역은 도핑된 단결정 실리콘이다. 채널 영역(950)이 도핑되면, 통상적으로 1×10^{16} 원자/cm³ 내지 1×10^{19} 원자/cm³의 도핑 농도도 도핑된다. 본 발명의 실시예에서, 채널 영역이 도핑되면, 통상적으로 소스 영역(930) 및 드레인 영역(932)의 도전성 타입과는 반대되는 도전성 타입을 갖도록 도핑된다. 가령, 소스 영역(930) 및 드레인 영역(932)이 N 타입 도전성을 가지면, 채널 영역(950)은 P 타입 도전성을 갖도록 도핑된다. 마찬가지로, 소스 영역(930) 및 드레인 영역(932)이 P 타입 도전성을 가지면, 채널 영역(950)은 N 타입 도전성을 갖도록 도핑된다. 이러한 방식으로, 3중 게이트 트랜지스터(900)는 NMOS 트랜지스터 또는 PMOS 트랜지스터가 되게 된다. 채널 영역(950)은 균일하게 도핑되거나 불균일하게 도핑되거나 특정한 전기적 성능 및 특성을 얻기 위해서 변하는 농도로 도핑될 수 있다. 가령, 채널 영역(950)은 원한다면 잘 알려진 "헤일로" 영역을 포함한다.

반도체 바디(908)의 3 측면을 둘러싸는 게이트 유전체 및 게이트 전극을 제공함으로써, 3중 게이트 트랜지스터(900)는 3개의 채널 및 3개의 게이트를 갖게 되는데, 그 중 하나(g1)는 소스 영역과 드레인 영역 간의 반도체 바디(908)의 측면(912) 상에서 연장하고, 다른 하나(g2)는 소스 영역과 드레인 영역 간의 반도체 바디(908)의 상부 표면(916) 상에서 연장하고, 나머지 하나(g3)는 소스 영역과 드레인 영역 간의 반도체 바디(908)의 측면(910) 상에서 연장한다. 각 게이트(g1,g2,g3)는 이전에 상술한 바와 같은 반도체 바디(908)의 구성에 의해서 <100> 결정면을 갖는다. 따라서, 이러한 <100> 결정면을 갖는 게이트로 인해서 트랜지스터(900)는 높은 이동도를 갖는 비평면 디바이스가 된다. 트랜지스터(900)의 게이트 "폭"(Gw)은 3개의 채널 영역의 폭들의 합이다. 따라서, 트랜지스터(900)의 게이트 폭은 (측벽(910)에서의 반도체 바디(908)의 높이(920) + 상부 표면(916)에서의 반도체 바디(908)의 폭 + 측벽(912)에서의 반도체 바디(908)의 높이(920))이다. 보다 큰 폭을 갖는 트랜지스터는 서로 결합된 다수의 디바이스(가령, 단일 게이트 전극(924)에 의해 둘러싸인 다수의 반도체 바디(908))를 사용하면 달성될 수 있다.

채널 영역(950)의 3 측면이 게이트 전극(924) 및 게이트 유전체(922)에 의해서 둘러싸이기 때문에, 트랜지스터(900)는 완전 공핍 방식으로 동작한다. 트랜지스터(900)가 턴 온되면, 채널 영역(950)은 완전 공핍되고 이로써 완전 공핍형 트랜지스터의 유리한 전기적 특성 및 성능이 제공된다. 또한, 트랜지스터(900)가 턴 온되면, 공핍 영역이 형성되고 채널 영역(950)은 자신의 표면에서 반전층을 갖게 된다(가령, 반전층은 반도체 바디(908)의 측면 및 상부 표면 상에 형성된다). 이 반전층은 소스 영역 및 드레인 영역과 동일한 도전성 타입을 가지며 소스 영역과 드레인 영역 간의 도전성 채널을 형성하여서 전류가 이들 간에서 흐르게 한다. 3중 게이트 트랜지스터(900)는 채널 영역이 반도체 바디(908) 내에서 수직 방향 및 수평 방향 모두에서 형성되기 때문에 비평면 디바이스이다. 공핍 영역은 자유 캐리어를 반전층 아래로부터 공핍시킨다. 이 공핍 영역은 채널 영역(950)의 바닥부까지 연장되고 이로써 트랜지스터는 완전 공핍형 트랜지스터로서 지칭된다. 이 완전 공핍

형 트랜지스터는 완전하게 공핍되지 않고 부분적으로 공핍된 트랜지스터에 비해서 개선된 전기적 성능 특성을 보인다. 가령, 트랜지스터(900)를 완전 공핍 방식으로 동작시키면, 트랜지스터(900)는 이상적인 매우 가파른 하위 임계치 기울기를 갖는다. 3중 게이트 트랜지스터는 심지어 반도체 바디의 두께가 30 nm 보다 작은 경우에도 80 mV/디케이드(decade)보다 작은, 이상적으로는 약 60 mV/디케이드의 매우 가파른 하위 임계치 기울기를 갖도록 제조된다. 또한, 트랜지스터(900)가 완전 공핍되면, DIBL(Drain Induced Barrier Lowering) 쇼트 채널 효과가 감소되어서, 디바이스가 턴 오프될 때 누설 전류가 감소하여서 전력 소비량이 적어진다. 본 발명의 실시예에서, 3중 게이트 트랜지스터(900)는 100 mV/V 보다 작은, 이상적으로는 40 mV/V보다 작은 DIBL 효과를 갖는다.

트랜지스터(900)가 <100> 결정면으로 인해서 고 이동도 특성을 갖는 게이트들을 구비하고 있기 때문에, 트랜지스터(900)의 전기적 특성은 상부 표면만이 <100> 결정면을 갖는 디바이스보다도 매우 양호하다.

도 10은 본 발명의 실시예에 따른 3중 게이트 트랜지스터(900)와 같은 비평면 디바이스를 위한 기판을 제조하는 예시적인 방법을 도시한다. 일 실시예에서, 기판(1002)이 먼저 제공된다. 기판(1002)은 다음으로 한정되지는 않지만 벌크 실리콘 기판, 단결정 실리콘 기판, 보다 낮은 품질의 단결정의 실리콘 기판, 폴리실리콘 기판, 또는 갈륨 아세나이드 기판 또는 다른 적합한 반도체 물질의 기판과 같은 반도체 기판일 수 있다. 일 실시예에서, 기판(1002)은 실리콘 이산화물 막, 실리콘 질화물 막 또는 다른 적합한 유전체 막과 같은 절연 층(1004)을 포함한다. 절연 층(1004)은 약 200 Å 내지 2000 Å의 두께를 가질 수 있다.

반도체 디바이스 기판(1006)이 기판(1002)에 본딩된다. 기판(1002)이 절연 층(1004)을 포함하는 실시예에서, 디바이스 기판(1006)은 기판(1002)의 절연 층(1004)에 본딩된다. 반도체 디바이스 기판(1006)은 3중 게이트 트랜지스터의 반도체 바디가 제조되는 기판이다. 일 실시예에서, 반도체 디바이스 기판(1006)은 고 품질 실리콘으로 구성된다. 다른 실시예에서, 반도체 디바이스 기판(1006)은 다음으로 한정되지는 않지만 게르마늄(Ge), 실리콘 게르마늄 합금(SiGe), 갈륨 아세나이드(GaAs), 인듐 안티모니(InSb), 갈륨 포스피나이드(GaP), 갈륨 안티모니(GaSb) 또는 탄소 나노튜브와 같은 다른 타입의 반도체 막일 수 있다.

본 발명의 실시예에서, 반도체 디바이스 기판(1006)은 도핑되지 않은 진성 실리콘 막이다. 다른 실시예에서, 반도체 디바이스 기판(1006)은 1×10^{16} 원자/cm³ 내지 1×10^{19} 원자/cm³의 농도 레벨로 P 타입 또는 N 타입으로 도핑된다. 반도체 디바이스 기판(1006)은 인시츄(insitu) 도핑되거나(가령, 증착 동안 도핑되거나), 가령 이온 주입에 의해서 기판(1002) 상에 형성된 후에 도핑된다. 후자의 형성 후의 도핑 방식은 PMOS 3중 게이트 디바이스 및 NMOS 3중 게이트 디바이스 모두가 동일한 절연 기판 상에 용이하게 제조될 있게 한다. 이 시점에서의 반도체 바디의 도핑 레벨이 비평면 디바이스의 채널 영역의 도핑 레벨을 결정한다. 일 실시예에서, 반도체 디바이스 기판(1006)은 실리콘 이산화물 막, 또는 실리콘 질화물 막 또는 다른 적합한 유전체 막일 수 있는 절연 층(1008)을 포함한다. 절연 층(1008)은 약 200 Å 내지 2000 Å의 두께를 갖는다.

반도체 디바이스 기판(1006)은 제조된 3중 게이트 트랜지스터의 후속하여 형성된 반도체 바디에 대해서 요구되는 높이와 대략 동일한 두께를 갖는다. 본 발명의 실시예에서, 반도체 디바이스 기판(1006)은 30 나노미터보다 작은, 이상적으로는 20 나노미터보다 작은 높이 또는 두께(1016)를 갖는다. 본 발명의 실시예에서, 반도체 디바이스 기판(1006)은 제조된 3중 게이트 트랜지스터에 대해서 요구된 게이트 길이와 대략 동일한 두께(1016)를 갖는다. 본 발명의 실시예에서, 반도체 디바이스 기판(1006)은 제조된 3중 게이트 트랜지스터의 요구된 게이트 길이보다 두꺼운 두께(1016)를 갖는다. 본 발명의 실시예에서, 반도체 디바이스 기판(1006)은 제조된 3중 게이트 트랜지스터가 그의 설계된 게이트 길이(Lg)에 대해서 완전 공핍 방식으로 동작할 수 있도록 하는 두께(1016)를 갖는다. 이 디바이스 기판(1006)이 기판(1002)에 본딩되거나 형성된 후에, SOI 기판이 형성된다. 3중 게이트 트랜지스터를 위한 반도체 바디는 디바이스 기판(1006) 내에 형성된다. 이 디바이스 기판(1006) 내에 형성된 3중 게이트 디바이스가 모든 측면에서 <100> 결정면을 갖도록 이 반도체 디바이스 기판(1006)은 기판(1002)에 본딩된다.

반도체 디바이스 기판(1006)은 임의의 잘 알려진 방법을 사용하여 절연 기판(1002) 상에 형성될 수 있다(또는 본딩될 수 있다). 일 예시적인 방법에서, 절연 기판(1002)은 <110> 결정면 위치에서 존재하는 노치(1010)를 포함한다. 이 절연 기판(1002)은 전술한 바와 같이 <110> 위치에서 생성된 기준 노치를 갖는 잉곳으로부터 슬라이싱된 웨이퍼이다. 일 실시예에서, 반도체 디바이스 기판(1006)은 <110> 결정면 위치에서 존재하는 노치(1102)를 갖는다. 기판(1002)과 유사하게, 이 디바이스 기판(1006)은 <110> 위치에서 생성된 기준 노치를 갖는 잉곳으로부터 슬라이싱된 웨이퍼이다. 디바이스 기판(1006)은 절연 기판(1002)보다 고 품질이다. 일 실시예에서, 기판(1002)은 절연 층(1004)을 포함하고 디바이스 기판(1006)은 절연 층(1008)을 포함한다. 이 디바이스 기판(1006) 및 기판(1002)은 SMARTCUT 또는 BESOI(Bonded and

Etch Back SOI) 또는 다른 본딩 방법을 사용하여 각각의 절연층들이 서로 본딩함으로써 서로 본딩된다. 서로 본딩되기 이전에, 노치(1012)가 노치(1010)에 대해서 45도 또는 -45도 만큼 오프셋되도록 디바이스 기판(1006)이 회전된다. 이로써, 이 디바이스 기판(1006)의 결정면 구조가 변경된다.

SMARTCUT 방법(도 11)에서, 디바이스 기판(1006)이 산화되어서 절연 층(1008)이 형성된다. 또한, 기판(1002)도 산화되어서 절연 층(1004)이 형성된다. 이어서, 이온 주입이 사용되어서 디바이스 기판(1006) 내에 소정의 깊이까지 이온이 주입되어서 디바이스 기판(1006) 내에 심층의 강도가 약해진 층이 형성된다. 이어서, 기판(1002) 및 기판(1006)이 세정되고 그들의 절연 층(1004,1008)이 서로 본딩된다. 본딩하기 이전에, 기판(1002,1006)은 약 45도 또는 -45도만큼 서로 오프셋된다. 일 실시예에서, 기판(1006)의 노치(1012)와 기판(1002)의 노치(1010)가 서로 45도만큼 오프셋되도록 기판(1002,1006)이 서로 정렬된다. 특히, 기판(1006)은 기판(1002)에 본딩될 때에 기판(1002)의 노치(1010)에 대해서 45도 또는 -45도만큼 회전된 노치(1012)를 갖는다(도 10 참조). 노치(1010)에 대한 노치(1012)의 오프셋으로 인해서 3중 게이트는 전술한 바와 같이 자신의 모든 3 개의 측면에서 <100> 결정면을 갖게 된다. 이어서, 상기 이온 주입에 의해서 심층의 강도가 약해진 층에서 디바이스 기판(1006)의 일부가 균열이 발생하여 분리된다. 절연 층(1008)을 포함하는 디바이스 기판(1006)의 잔류 부분은 기판(1002)로 본딩을 통해서 전사된다. 어닐링 및 폴리싱(화학 기계적 폴리싱(CMP))이 사용되어서 SOI 기판이 완성된다. 그들 사이에 샌드위치된 산화물 층(1004,1008)을 포함하는 기판(1002) 및 기판(1006)은 결합되어서 SOI 기판으로서 지칭된다. 모든 측면 상에서 <100> 결정면 구조를 갖는 3중 게이트 디바이스가 디바이스 기판(1006)의 표면 상에 형성될 것이다.

BESOI 방법(도 12)에서, 디바이스 기판(1006)이 산화되어서 절연 층(1008)이 형성된다. 또한, 기판(1002)도 산화되어서 절연 층(1004)이 형성된다. 이어서, 기판(1002) 및 기판(1006)이 세정되고 그들의 절연 층(1004,1008)이 서로 본딩된다. 본딩하기 이전에, 기판(1002,1006)은 약 45도 또는 -45도만큼 서로 오프셋된다. 일 실시예에서, 기판(1006)의 노치(1012)와 기판(1002)의 노치(1010)가 서로 45도만큼 오프셋되도록 기판(1002,1006)이 서로 정렬된다. 특히, 기판(1006)은 기판(1002)에 본딩될 때에 기판(1002)의 노치(1010)에 대해서 45도 또는 -45도만큼 회전된 노치(1012)를 갖는다(도 10 참조). 노치(1010)에 대한 노치(1012)의 오프셋으로 인해서 3중 게이트는 전술한 바와 같이 게이트의 모든 3 개의 측면에서 <100> 결정면을 갖게 된다. 본딩 후에, 기판(1006)이 에칭되고 폴리싱되어(도 11) 원하는 두께로 된다. 어닐링 및 폴리싱(화학 기계적 폴리싱(CMP))이 사용되어서 SOI 기판이 완성된다. 모든 측면 상에서 <100> 결정면 구조를 갖는 3중 게이트 디바이스가 디바이스 기판(1006)의 표면 상에 형성될 것이다.

일 실시예에서, SIMOX(Separation by Implantation of Oxygen) 방법이 사용되어 SOI 기판이 형성된다. 이 실시예(도 13 참조)에서, 기판(1300)이 제공되고 산소 이온이 기판(1300) 내부로 깊게 (통상적으로 높은 도즈량으로) 주입되어서 SOI 기판이 형성된다. 이 기판(1300)은 어닐링되어서 SOI 기판이 완성된다. 매립형 산화물 층(1302)은 기판(1300) 내부에 형성될 것이다. 일 실시예에서, 기판(1300)은 단결정 실리콘 기판이다. 3중 게이트 디바이스는 매립형 산화물 층(1302) 위에 존재하는 실리콘 부분 위에서 형성될 것이다. 따라서, 산화물 층(1302) 위에 존재하는 실리콘 부분은 반드시 디바이스 기판(1006)이다. 일 실시예에서, 잉곳으로부터 슬라이싱될 때에 기판(1300)이 <110> 결정면 위치에서 생성된 기준 노치를 가지도록 기판(1300)이 <110> 결정면 위치에서 생성된 기준 라인을 갖는 잉곳으로부터 형성된다. 이 노치가 프로세싱 장비 상에 배치될 때에, 이 노치는 프로세싱 장비 상의 정렬 점에 대해서 45도 또는 -45도만큼 오프셋된다. 따라서, (가령, 노치에 대해서 지정된 프로세싱 장비 상의 지정된 위치에 대해 정렬되는 것과 같이) 노치가 통상적으로 정렬되는 바와 같이 정렬된 기판(1300)을 프로세싱하는 대신에, 노치가 프로세싱 동안에 오프셋되도록 기판(1300)이 회전된다. 이렇게 노치를 오프셋함으로써 3중 게이트는 상술한 바와 같이 게이트의 모든 측면들에서 <100> 결정면을 갖는다. 다른 실시예에서, 기준 라인이 <100> 결정면 위치에서 존재하는 잉곳(1400)(도 14a 참조)으로부터 생성될 수 있다. 잉곳(1400)이 웨이퍼로 슬라이싱되어서 기판(1300)이 형성될 때에, 노치(1404)는 <100> 결정면 위치에서 생성될 것이다. <100> 노치를 갖는 기판(1300)은 상술된 바와 같은 SIMOX 방법에 의해서 프로세싱될 수 있다. 자신의 모든 측면들이 <100> 결정면 구조를 갖는 3중 게이트를 생성하기 위해서 45도 또는 -45도만큼 기판(1300)을 회전시키지 않고서도 3중 게이트 디바이스가 기판(1300) 내에서 형성될 수 있다.

다른 실시예에서, 도 11 및 도 12에 도시된 바와 같이 기판(1002)에 대해서 디바이스 기판(1006)을 회전시키는 대신에 또는 도 13에 도시된 바와 같이 디바이스 기판(1300)을 재정렬시키는 대신에, 비평면 디바이스를 위한 디바이스 기판은 노치가 재위치되도록 생성될 수 있다. 따라서, 디바이스 기판을 형성하는데 사용되는 웨이퍼의 노치는 <100> 결정면 위치로 재위치된다. 디바이스 기판이 회전되어야 하는 경우에는, 기계적 회전이 디바이스 기판의 회전의 신뢰성, 정확성 및/또는 반복가능성을 좌우한다. 가령, 기판(1002,1006)이 45도 또는 -45도만큼 서로에 대해서 오프셋되어서 각자의 노치들도 서로에 대해서 오프셋되면, 이러한 오프셋의 정확도는 웨이퍼 본딩 프로세스 또는 장비의 정확도에 의존한다. 따라서, 기판(1002)에 대한 기판(1006)의 기계적 회전은 오프셋의 정도를 (가령, 몇도 만큼) 좌우한다. 이러한 잠재적 오정렬 문제를 최소화하기 위해서, 디바이스 기판(1006) 또는 기판(1300)의 노치는 (<100> 위치에 반대되는) <100> 결정면 위치에서 생성될 수 있다. 도 14a에 도시된 바와 같이, 이후에 디바이스 기판(1006) 또는 기판(1300)을 형성하는데 사용되는 잉곳

(1400)은 웨이퍼 본딩 프로세스의 기계적 회전 정확도보다 더 정확한 기계적 회전 능력을 갖는 엑스 레이 회절 방법을 사용하여 <100> 결정면 위치에서 생성된 기준 라인(1402)을 갖도록 형성될 수 있다. 잉곳(1400)이 기관(1006,1300)을 형성하는데 사용될 수 있는 다수의 웨이퍼(1406)를 생성하도록 슬라이싱될 때, 각 웨이퍼(1406)는 <100> 결정면에 위치한 노치(1404)를 가질 것이다.

도 14b에서, 웨이퍼(1406)가 일 실시예에서는 기관(1002)인 다른 웨이퍼에 본딩되어서 SOI 기관이 형성된다. 전술된 바와 같이 웨이퍼(1404)는 절연 층(1408)을 포함하고 기관(1002)은 절연 층(1004)을 포함한다. 상술한 바와 같이, 기관(1002)은 <110> 결정면 위치에서 생성되는 노치(1010)를 포함한다. 그러나, 웨이퍼(1406)는 <100> 결정면 위치에서 존재하는 노치(1404)를 갖는다. 노치(1404,1010)는 도 14b에 도시된 바와 같이 프로세싱 동안 서로 정렬된다. 프로세싱 동안 웨이퍼(1406)의 결정 구조를 재정렬하기 위해서 웨이퍼(1406)를 회전시킬 필요가 없다. 웨이퍼(1406)는 노치(1404)가 재위치함으로써 <100> 결정면 위치에 대해서 45도 또는 -45도만큼 오프셋되며 이로써 웨이퍼(1406) 내에서 결정면 구조가 재정렬된다. 노치(1404)가 <100> 결정면에 대해서 재위치함으로써 웨이퍼(1406) 내에 형성된 비평면 디바이스의 모든 측면들이 고 이동도를 위해서 요구되는 <100> 결정면을 갖게 된다.

도 15a 내지 도 15j는 본 발명의 실시예에 따른 비평면 디바이스(1500)(가령, 3중 게이트 트랜지스터)의 예시적인 제조 방법을 도시한다. 도 15a에서, 기관(1502)이 제공된다. 기관(1502)은 반도체 기관(1504)(가령, 벌크 실리콘) 및 절연 막(1506)(가령, 실리콘 이산화물)을 포함한다. 절연 막(1506) 상에 디바이스 반도체 기관(1508)(가령, 단결정 실리콘)이 형성된다. 전술된 바와 같이, 기관(1502)과 기관(1508)은 함께 SOI 기관으로 지칭된다. 일 실시예에서 디바이스 기관(1508)은 <100> 결정면 위치에서 생성된 노치(도시되지 않음)를 가지며 기관(1502)은 <110> 결정면 위치에서 생성된 노치(도시되지 않음)를 갖는다. 이 노치들은 이전에 기술된 바와 같이 서로 정렬된다. 다른 실시예에서, 디바이스 기관(1508) 및 기관(1502) 모두가 <110> 결정면 위치에서 생성된 노치를 갖는다. 이 두 기관이 서로 본딩되어서 SOI 기관을 형성할 때, 디바이스 기관(1508)은 45도(또는 -45도)만큼 회전되어서 이 노치들이 이전에 기술된 바와 같이 서로 오프셋된다. 분리 영역(도시되지 않음)이 디바이스 기관(1508) 내에 형성되어서 그 내부에 형성될 다양한 트랜지스터들을 서로 분리시킨다. 이 분리 영역은 가령 잘 알려진 포토리소그래피 및 에칭 기술에 의해서 3중 게이트 트랜지스터를 둘러싸는 디바이스 기관(1508)의 일부를 에칭하고 이 에칭된 부분을 SiO_2 와 같은 절연막으로 다시 충전함으로써 형성될 수 있다.

이어서, 포토레지스트 마스크(1510)가 도 5b에 도시된 바와 같이 디바이스 기관(1508) 상에 형성된다. 포토레지스트 마스크(1510)는 디바이스(1500)를 위한 반도체 바디 또는 핀(fin)(1520)이 이어서 형성될 위치를 규정하는 패턴 또는 다수의 패턴을 포함한다. 포토레지스트 패턴(1512)은 이어서 형성된 반도체 바디(1520)에 대해서 요구되는 폭(1518)을 규정한다. 본 발명의 실시예에서, 패턴(1512)은 제조된 트랜지스터의 게이트 길이(Lg)에 대해서 요구되는 폭보다 크거나 같은 폭(1518)을 갖는 반도체 바디(1520)를 규정한다. 이러한 방식으로, 트랜지스터를 제조하는데 사용되는 가장 엄격한 포토리소그래피 제약 사항은 게이트 전극 패턴링과 관련이 되지 반도체 바디 또는 핀 규정 사항과 관련되지 않는다. 본 발명의 실시예에서, 반도체 바디(1520)에 대한 패턴(1512)은 반도체 바디의 높이(1509)와 대략 동일한 폭(1518)을 갖는다. 본 발명의 실시예에서, 바디(1520)에 대한 패턴(1512)은 실리콘 바디 높이(1509)와 거의 동일한 폭(1518)을 갖는다. 본 발명의 실시예에서, 포토레지스트 패턴(1512)은 반도체 바디의 폭(1509)의 $\frac{1}{2}$ 배 내지 2 배의 폭(1518)을 갖는다.

포토레지스트 마스크(1510)는 소스 랜딩 패드(source landing pad)(1522) 및 드레인 랜딩 패드(1524)가 형성될 위치를 규정하기 위한 패턴(1514,1516)을 포함할 수도 있다. 이 랜딩 패드들은 제조된 트랜지스터의 다양한 소스 영역들을 서로 접속하고 제조된 트랜지스터의 다양한 드레인 영역들을 서로 접속하는데 사용된다. 포토레지스트 마스크(1510)는 블랭킷 증착된 포토레지스트 막을 마스크링, 노광 및 현상하는 단계를 포함하는 잘 알려진 포토리소그래피 기술에 의해서 형성될 수 있다.

이어서, 디바이스 기관(1508)이 포토레지스트 마스크(1510)와 함께 정렬되면서 에칭되고 이로써 도 5c에 도시된 바와 같이 하나 이상의 반도체 바디 또는 핀이 형성되고 (원한다면) 소스 랜딩 패드 및 드레인 랜딩 패드도 형성된다. 기관(1508)은 그 아래에 존재하는 매립형 산화물 층(1506)이 노출될 때까지 에칭된다. 이방성 플라즈마 에칭 또는 반응성 이온 에칭과 같은 잘 알려진 반도체 에칭 기술이 기관(1508)을 에칭하는데 사용될 수 있다.

이어서, 포토레지스트 마스크(1510)가 화학적 스트립핑 및 O_2 에싱과 같은 잘 알려진 기술에 의해서 제거되어서 도 5d에서와 같이 기관이 형성된다.

이어서, 게이트 유전체 층(1526)이 각 반도체 바디(1520) 상 및 주위에 형성된다. 게이트 유전체 층(1526)은 각 반도체 바디(1520)의 상부 표면(1527) 및 횡적으로 대향하는 측벽들(1528,1529) 상에 형성된다. 게이트 유전체는 증착된 유전체 또는 성장한 유전체일 수 있다. 본 발명의 실시예에서, 게이트 유전체 층(1526)은 건식/습식 산화 프로세스로 성장한 실리콘

콘 이산화물 유전체 막이다. 본 발명의 실시예에서, 실리콘 산화물 막은 5 내지 15 Å의 두께까지 성장한다. 본 발명의 실시예에서, 게이트 유전체 막(1526)은 다음으로 한정되지는 않지만 금속 산화물 유전체, 탄탈륨 펜타옥사이드(Ta_2O_5) 및 티타늄 산화물(TiO_2)와 같은 고 유전 상수 값을 갖는 막 또는 PZT와 같은 다른 높은 K 값을 갖는 유전체와 같은 증착된 유전체이다. 고 유전 상수 값을 갖는 막은 CVD(화학 기상 증착)와 같은 잘 알려진 기술에 의해서 형성될 수 있다.

이어서, 도 5e에 도시된 바와 같이, 게이트 전극(1530)이 형성된다. 게이트 전극(1530)은 각 반도체 바디(1520)의 상부 표면(1527) 상에 형성되고 측벽(1528,1529) 상 또는 인접하여 형성된 게이트 유전체 층(1526) 상에 형성된다. 게이트 전극(1530)은 절연 기판(1502) 상에 형성된 바닥 표면에 대향하는 상부 표면(1532)을 가지며 한 쌍의 서로 횡적으로 대향하는 측벽(1534,1536)을 갖는다. 이 서로 횡적으로 대향하는 측벽들(1534,1536) 간의 거리는 3중 게이트 트랜지스터의 게이트 길이(L_g)(1538)를 규정한다. 게이트 전극(1530)은 도 5d에 도시된 바와 같이 기판 위에 적합한 게이트 전극 물질을 블랭킷 증착함으로써 형성될 수 있다. 게이트 전극은 200 내지 9000 Å의 두께(1533)(도 5f 참조)까지 형성될 수 있다. 일 실시예에서, 게이트 전극은 반도체 바디(1520)의 높이(1509)의 적어도 3 배의 높이 또는 두께(1533)를 갖는다. 이어서, 게이트 전극 물질이 잘 알려진 포토리소그래픽 및 에칭 기술에 의해서 패터닝되어서 게이트 전극 물질로부터 게이트 전극(1530)이 형성된다. 게이트 전극의 물질은 다결정 실리콘, 다결정 실리콘 게르마늄 합금 및 텅스텐, 탄탈륨 및 이들의 질화물과 같은 금속을 포함한다. 본 발명의 실시예에서, 게이트 전극(1530)은 30 나노미터보다 작거나 동일한, 이상적으로는 20 나노미터보다 작거나 동일한 게이트 길이(1538)를 갖는다.

이어서, 트랜지스터의 소스 영역(1540) 및 드레인 영역(1542)이 반도체 바디(1520) 내에서 게이트 전극(1530)의 대향하는 측면 상에 형성된다. 본 발명의 실시예에서, 소스 영역(1540) 및 드레인 영역(1542)은 팁(tip) 또는 소스/드레인 연장부를 포함한다. 소스 영역(1540) 및 드레인 영역(1542)과 소스/드레인 연장부는 게이트 전극(1530)의 양 측면(1534,1536) 상의 반도체 바디(1520) 내부로 도펀트(1544)를 배치시킴으로써 형성될 수 있다. 소스 랜딩 패드 및 드레인 랜딩 패드가 사용되면, 이때에 이들도 도핑된다. PMOS 3중 게이트 트랜지스터의 경우에, 반도체 핀 또는 바디(1520)는 1×10^{20} 원자/cm³ 내지 1×10^{21} 원자/cm³의 농도로 해서 P 도전성 타입으로 도핑된다. NMOS 3중 게이트 트랜지스터의 경우에, 반도체 핀 또는 바디(1520)는 1×10^{20} 원자/cm³ 내지 1×10^{21} 원자/cm³의 농도로 해서 N 도전성 타입으로 도핑된다. 본 발명의 실시예에서, 실리콘 막은 이온 주입에 의해 도핑된다. 본 발명의 실시예에서, 도 5f에 도시된 바와 같이 이온 주입이 수직 방향으로 발생한다. 게이트 전극(1530)이 폴리실리콘 게이트 전극인 경우에, 이는 이온 주입 프로세스 동안에 도핑될 수 있다. 게이트 전극(1530)이 이온 주입이 3중 게이트 트랜지스터의 채널 영역(1548)에서 발생하는 것을 방지하는 마스크 역할을 한다. 채널 영역(1548)은 게이트 전극(1530)에 둘러싸이거나 그 아래에 존재하는 반도체 바디(1520)의 부분이다. 게이트 전극(1530)이 금속 전극이면, 이온 주입 프로세스 동안 도핑을 방지하기 위해서 유전체 하드 마스크가 사용될 수 있다. 다른 실시예에서, 고체 소스 확산과 같은 다른 방법이 사용되어서 반도체 바디를 도핑하여 소스/드레인 연장부를 생성하게 된다.

이어서, 원한다면, 도 5f에 도시된 기판이 더 프로세싱되어서 소스 영역과 드레인 영역 및 게이트 전극 상에 실리콘 증착된 강하게 도핑된 소스/드레인 컨택트 영역과 같은 추가 특징부가 형성되고 이 소스/드레인 컨택트 영역과 게이트 전극 상에 실리사이드가 형성될 수 있다. 가령, 유전체 측벽 스페이서(1550)(도 15g)가 게이트 전극(1530)의 측벽 상에 형성될 수 있으며, 반도체 막(1560,1562)(도 15h)이 (가령, 증가된 소스 영역 및 드레인 영역을 형성하기 위한) 소정의 애플리케이션에 있어서 반도체 바디(1520)의 노출된 표면 상에 형성되고, 추가 도핑이 (가령, 증가된 소스 영역 및 드레인 영역을 형성하기 위해서) 수행될 수 있으며(도 15i), 내화성 금속 실리사이드(1580)가 소스 영역과 드레인 영역 및 게이트 전극(1530) 상에 형성될 수 있다(도 15j). 이러한 구성 요소들을 형성하는 기술들은 본 기술 분야에서 잘 알려져 있다.

본 발명이 몇 개의 실시예로 설명되었지만, 본 기술 분야의 당업자는 본 발명이 상술된 실시예들로만 한정되는 것이 아님을 잘 이해할 것이다. 본 발명의 방법 및 장치는 첨부된 청구범위의 사상 및 범위 내에서 수정 및 변경될 수 있다. 따라서, 상기 발명의 상세한 설명 부분은 본 발명을 한정하기보다는 예시적으로 설명하기 위한 것이다.

예시적인 실시예들이 기술되었지만, 첨부된 청구범위에 의해 규정되는 본 발명의 사상 및 범위 내에서 상술된 실시예들에 대한 수정 및 변경이 가능하다.

도면의 간단한 설명

도 1은 공핍형 기판 트랜지스터의 단면도,

도 2a 및 도 2b는 이중 게이트 공핍형 기판 트랜지스터의 도면,

도 3은 본 발명의 실시예에 따른 3중 게이트 트랜지스터의 도면,

도 4는 <100> 및 <110> 이동도 특성의 비교 그래프,

도 5는 <100> 결정면 방향으로 성장하고 <110> 결정면 위치에서 기준 배향을 갖는 실리콘 잉곳(ingot)의 도면,

도 6은 도 5에 도시된 실리콘 잉곳으로부터 슬라이싱된 웨이퍼의 도면,

도 7a 및 도 7b는 그 상에 형성된 디바이스를 갖는 도 5에 도시된 실리콘 잉곳으로부터 슬라이싱된 웨이퍼의 도면,

도 8a 및 도 8b는 <100> 결정면 위치에서 형성된 기준 노치(reference notch)를 갖는 웨이퍼의 도면,

도 9는 본 발명의 실시예에 따른 3중 게이트 트랜지스터의 도면,

도 10은 본 발명의 실시예에 따른 3중 게이트 디바이스를 위한 고 이동도 실리콘 기판을 형성하는 예시적인 방법의 도면,

도 11 내지 도 13은 본 발명의 실시예에 따른 3중 게이트 디바이스를 위한 고 이동도 실리콘 기판을 형성하는 예시적인 방법의 도면,

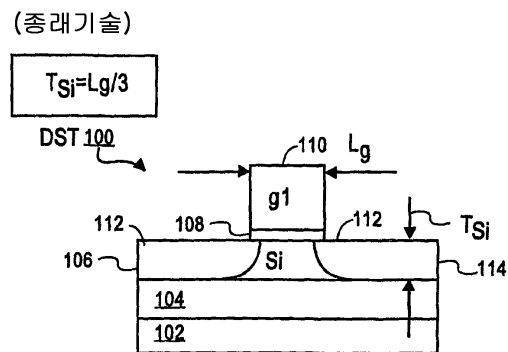
도 14a는 <100> 기준 노치를 갖는 예시적인 실리콘 잉곳의 도면,

도 14b는 <100> 기준 노치를 갖는 웨이퍼를 <110> 기준 노치를 갖는 웨이퍼에 본딩하는 방법의 도면,

도 15a 내지 도 15j는 본 발명의 실시예에 따른 3중 게이트 트랜지스터를 제조하는 예시적인 방법의 도면.

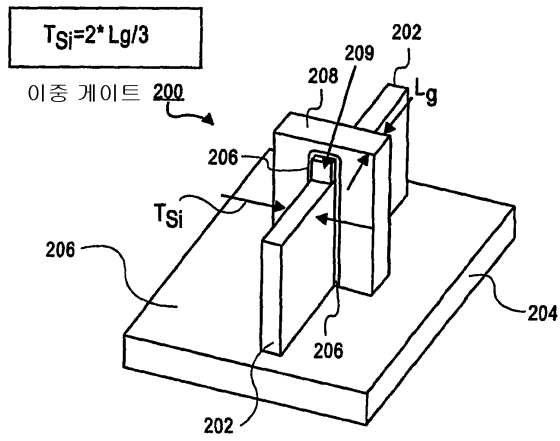
도면

도면1

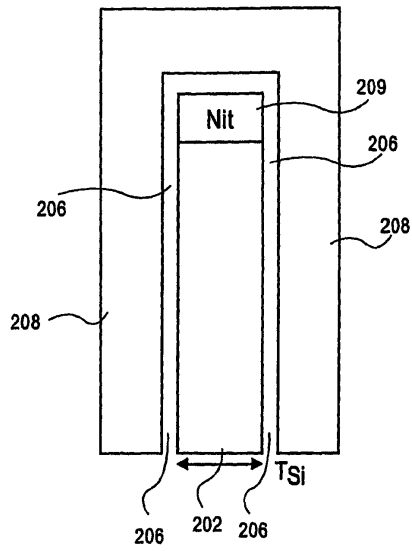


도면2a

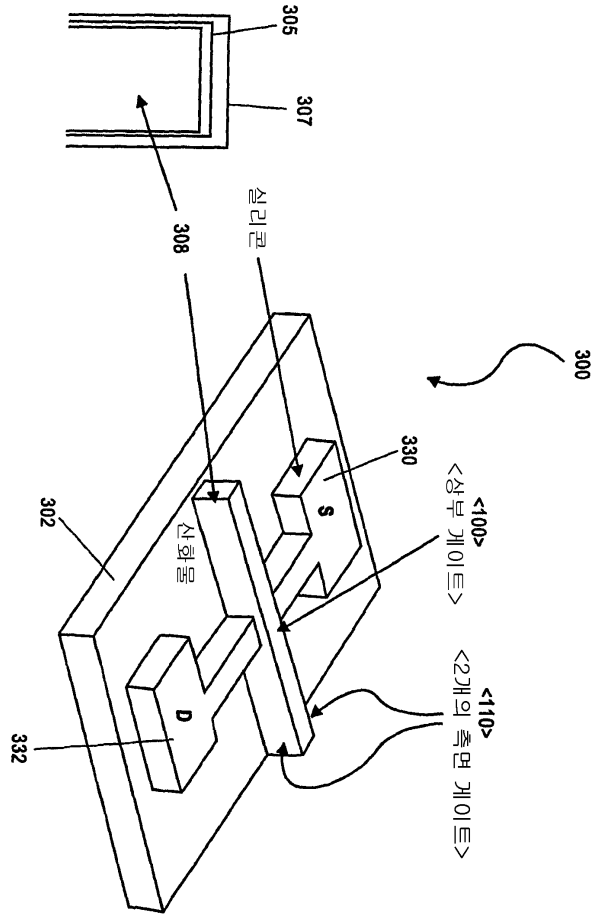
(종래기술)



도면2b

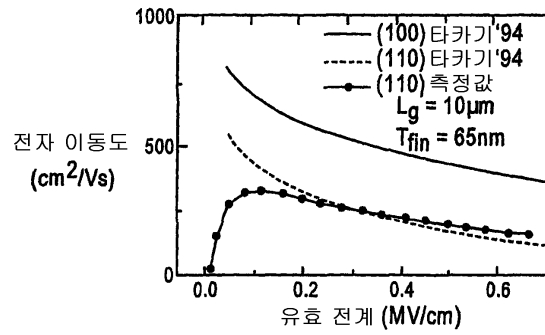


도면3



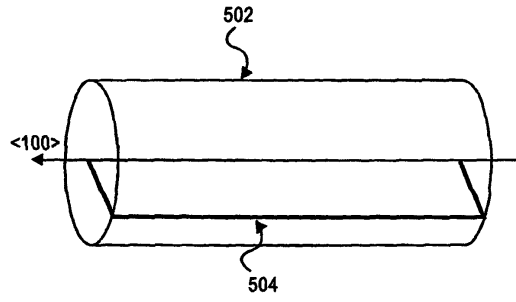
도면4

<110> : <100> 비교

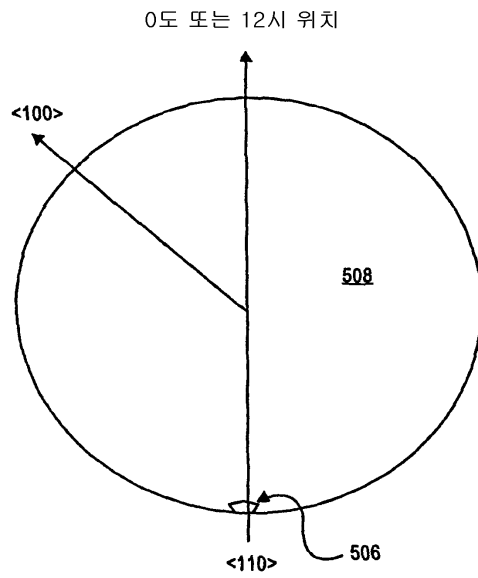


<100> 및 <110> 방향을 따른 이동도
<110>의 이동도는 <100>의 이동도보다 매우 낮다

도면5

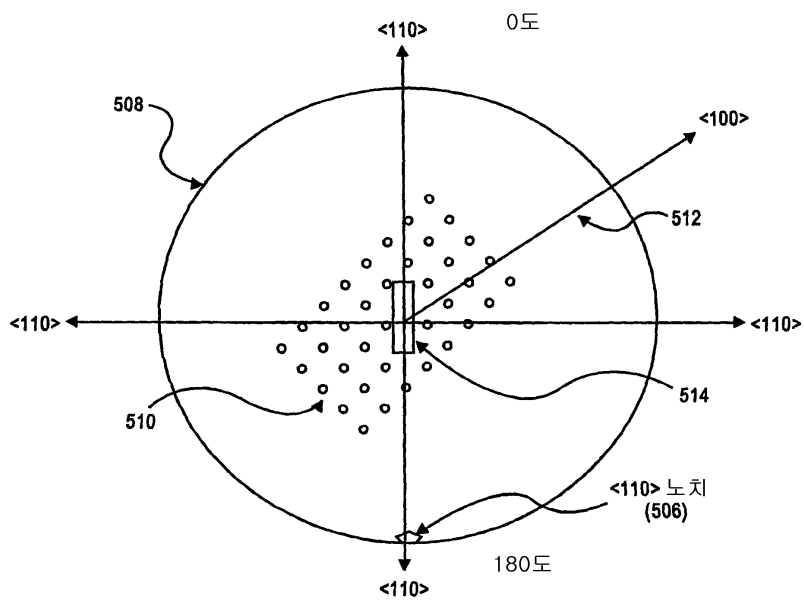


도면6

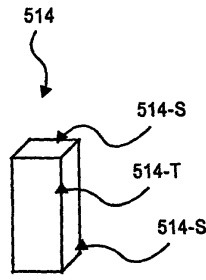


180도 또는 6시 위치

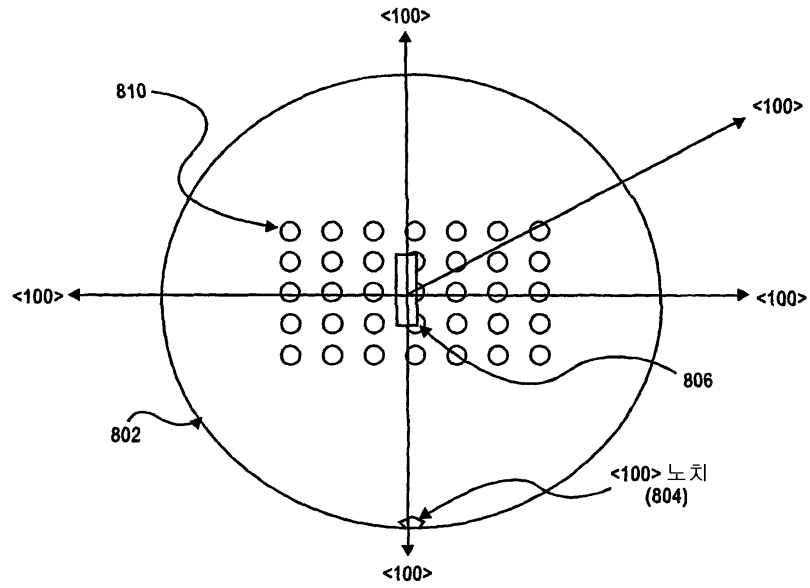
도면7a



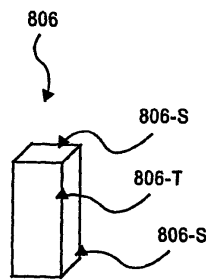
도면7b



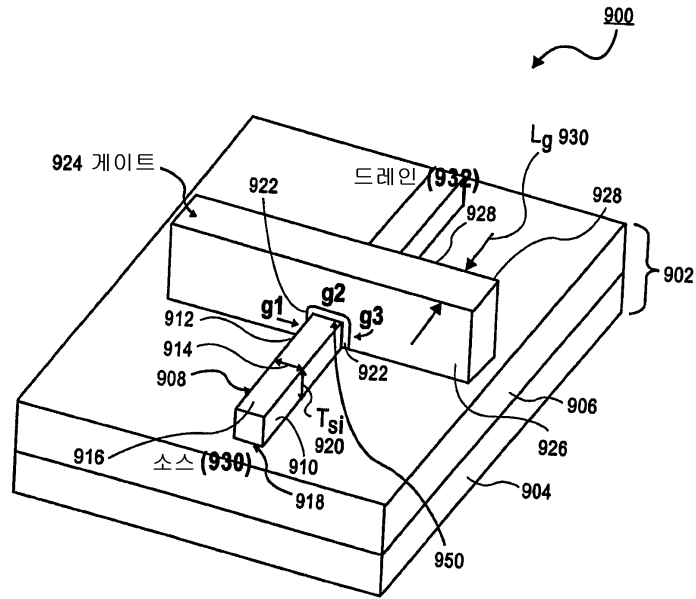
도면8a



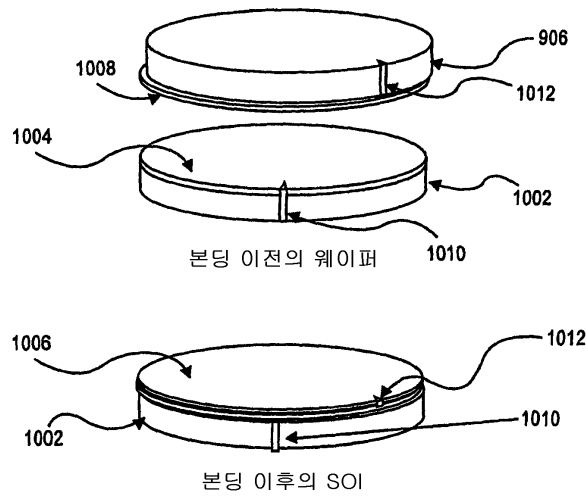
도면8b



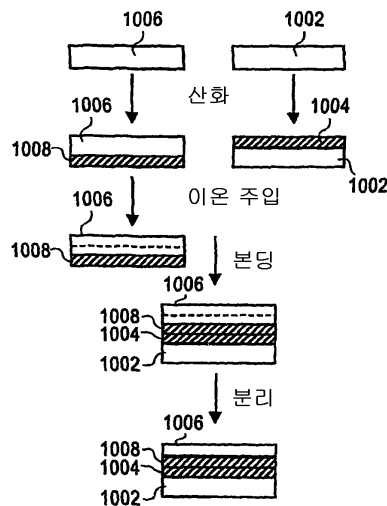
도면9



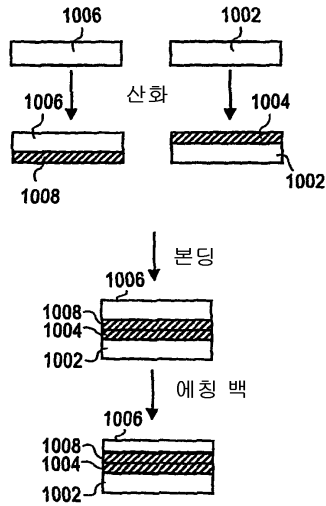
도면10



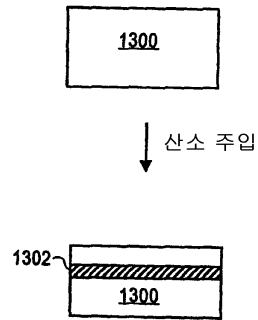
도면11



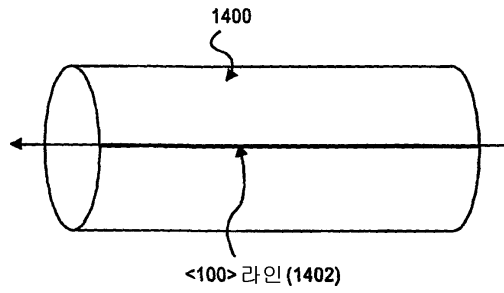
도면12



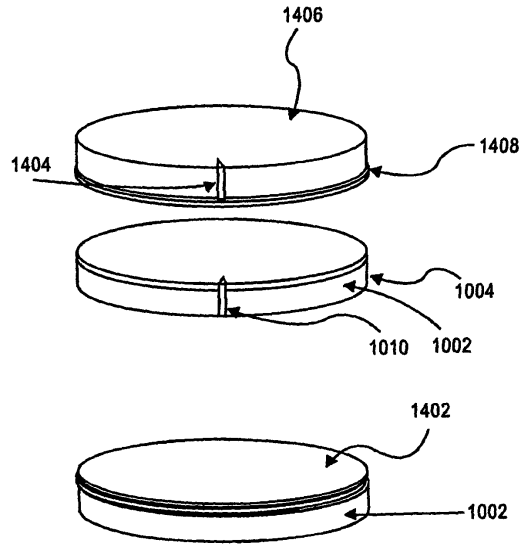
도면13



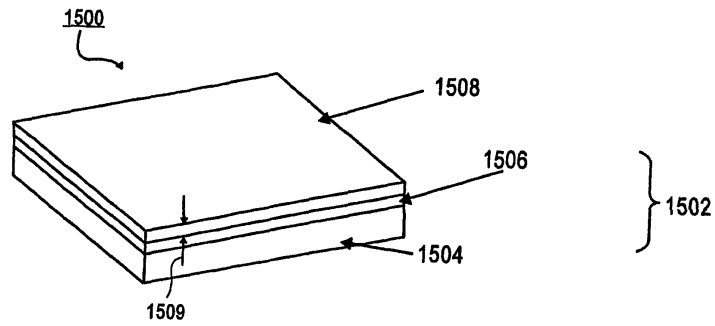
도면14a



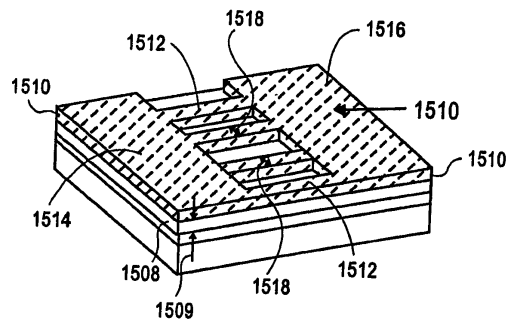
도면14b



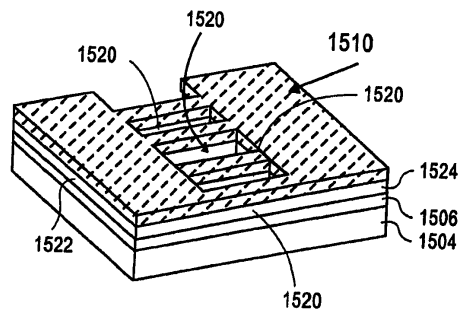
도면15a



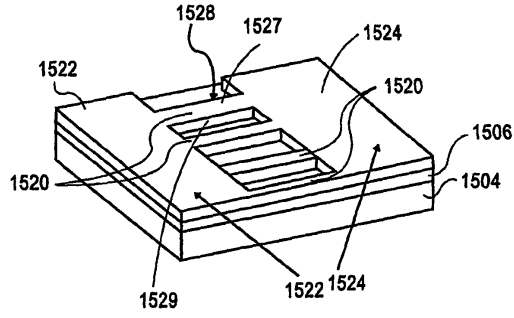
도면15b



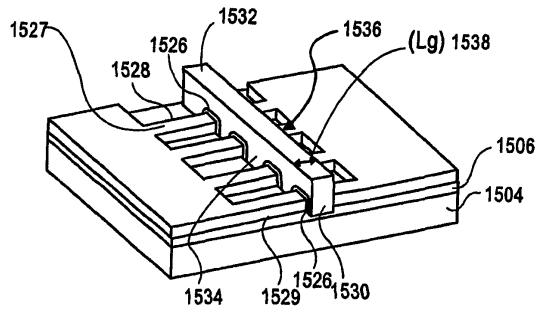
도면15c



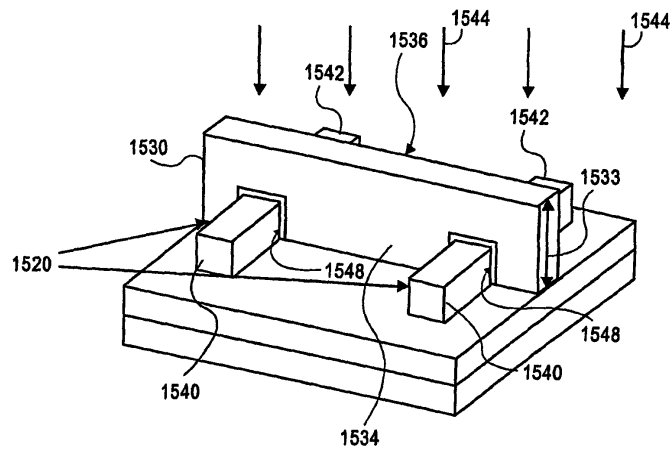
도면15d



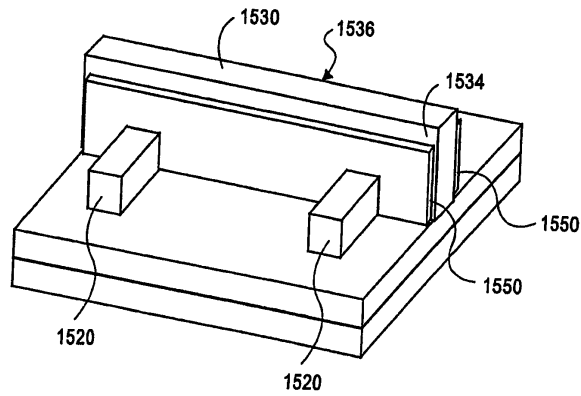
도면15e



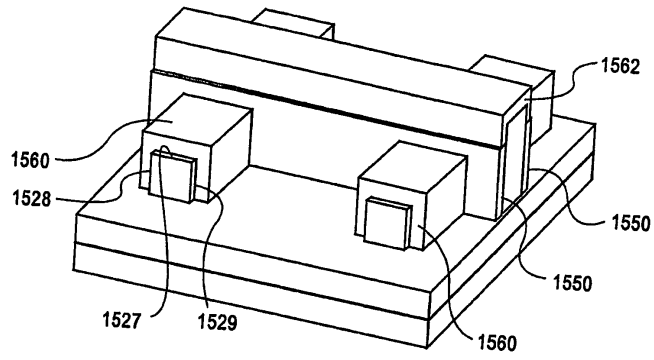
도면15f



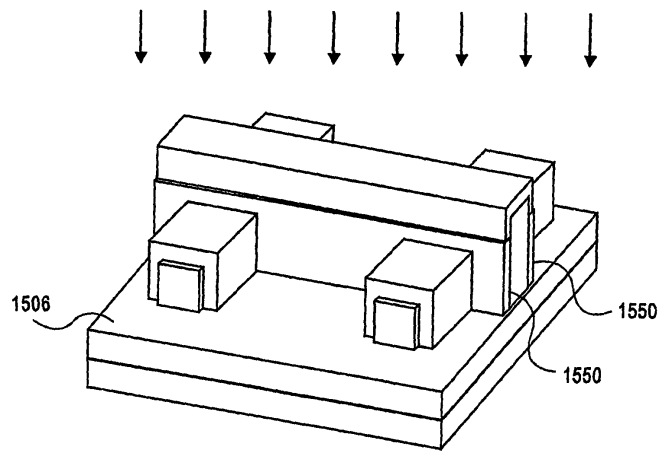
도면15g



도면15h



도면15i



도면15j

