



(12) 发明专利

(10) 授权公告号 CN 101594129 B

(45) 授权公告日 2012. 12. 12

(21) 申请号 200910118614. 9

CN 1542861 A, 2004. 11. 03,

(22) 申请日 2009. 02. 26

CN 1542861 A, 2004. 11. 03,

(30) 优先权数据

CN 1542861 A, 2004. 11. 03,

10-2008-0051064 2008. 05. 30 KR

CN 101176256 A, 2008. 05. 07,

(73) 专利权人 海力士半导体有限公司

审查员 黄渊

地址 韩国京畿道利川市

(72) 发明人 尹元柱 李铉雨

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 杨林森 康建峰

(51) Int. Cl.

H03K 5/156 (2006. 01)

(56) 对比文件

US 7199634 B2, 2007. 04. 03, 全文.

US 6940328 B2, 2005. 09. 06, 全文.

CN 101176256 A, 2008. 05. 07,

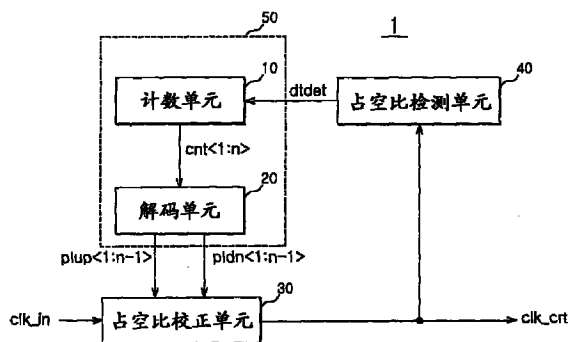
权利要求书 4 页 说明书 10 页 附图 5 页

(54) 发明名称

占空比校正电路和校正占空比的方法

(57) 摘要

本发明公开了占空比校正电路和校正占空比的方法。该占空比校正电路包括：占空比控制单元，其被配置成响应于占空比检测信号交替地改变多位升压控制信号与多位降压控制信号的逻辑值；占空比校正单元，其被配置成响应于多位升压控制信号与多位降压控制信号来调整第一驱动器与第二驱动器的驱动能力以输出校正时钟信号；及占空比检测单元，其被配置成检测校正时钟的占空比以产生占空比检测信号，并被配置成当校正时钟信号的第一电平时段宽于其第二电平时段时保持占空比检测信号的使能状态，且当第一电平时段不宽于第二电平时段时禁止占空比检测信号。



1. 一种占空比校正电路,包括:

占空比控制单元,其被配置成响应于占空比检测信号交替地改变多位升压控制信号与多位降压控制信号的逻辑值;

占空比校正单元,其被配置成响应于所述多位升压控制信号与所述多位降压控制信号来调整第一驱动器与第二驱动器的驱动能力以输出校正时钟信号;及

占空比检测单元,其被配置成检测所述校正时钟的占空比以产生所述占空比检测信号,并被配置成当所述校正时钟信号的第一电平时段宽于其第二电平时段时保持所述占空比检测信号的使能状态,且当所述第一电平时段不宽于所述第二电平时段时禁止所述占空比检测信号。

2. 如权利要求 1 的占空比校正电路,其中所述占空比控制单元包括:

计数单元,其被配置成响应于所述占空比检测信号产生多位计数信号;及

解码单元,其被配置成解码所述多位计数信号以产生所述多位升压控制信号及所述多位降压控制信号。

3. 如权利要求 2 的占空比校正电路,其中所述计数单元被配置成当所述占空比检测信号被使能时以预定单位增加所述多位计数信号的逻辑值,且当所述占空比检测信号被禁止时锁定所述多位计数信号的逻辑值。

4. 如权利要求 2 的占空比校正电路,其中所述解码单元被配置成根据所述多位计数信号的最低有效位的逻辑值来改变所述多位升压控制信号与所述多位降压控制信号之一的逻辑值。

5. 如权利要求 2 的占空比校正电路,其中所述解码单元被配置成根据所述多位计数信号的最低有效位的先前位的逻辑值来改变所述多位升压控制信号与所述多位降压控制信号之一的逻辑值。

6. 如权利要求 4 或 5 的占空比校正电路,其中所述第一驱动器与所述第二驱动器中的每个包括升压部分与降压部分,所述第一驱动器的升压部分的驱动能力响应于所述多位升压控制信号而改变,所述第二驱动器的降压部分的驱动能力响应于所述多位降压控制信号而改变。

7. 如权利要求 6 的占空比校正电路,其中所述第一驱动器包括:

输出节点;

默认驱动器,其被配置成驱动输入时钟信号且传送被驱动的输入时钟信号到所述输出节点;

升压部分,其被配置成响应于所述输入时钟信号与所述多位升压控制信号而拉升所述输出节点的电压电平;及

降压部分,其被配置成响应于所述输入时钟信号来降低所述输出节点的电压电平。

8. 如权利要求 6 的占空比校正电路,其中所述第二驱动器包括:

输出节点,其被配置成输出所述校正时钟信号;

默认驱动器,其被配置成驱动所述第一驱动器的输出信号且传送被驱动的输出信号到所述输出节点;

升压部分,其被配置成响应于所述第一驱动器的输出信号而拉升所述输出节点的电压电平;及

降压部分,其被配置成响应于所述第一驱动器的输出信号与所述多位降压控制信号而降低所述输出节点的电压电平。

9. 一种占空比校正电路,包括:

计数单元,其被配置成产生逻辑值以预定单位增加的多位计数信号,并且被配置成当占空比检测信号被使能时增加所述多位计数信号的逻辑值,且当所述占空比检测信号被禁止时锁定所述多位计数信号的逻辑值;

解码单元,其被配置成根据所述多位计数信号的最低有效位的逻辑值来改变多位升压控制信号与多位降压控制信号之一的逻辑值;及

占空比校正单元,其被配置成响应于所述多位升压控制信号与所述多位降压控制信号来交替地调整第一驱动器与第二驱动器的驱动能力以输出校正时钟信号。

10. 如权利要求 9 的占空比校正电路,其中所述解码单元被配置成当所述多位计数信号的最低有效位的逻辑值为第一逻辑值时改变所述多位升压控制信号的逻辑值,且当所述多位计数信号的最低有效位的逻辑值为第二逻辑值时改变所述多位降压控制信号的逻辑值。

11. 如权利要求 10 的占空比校正电路,其中所述第一驱动器包括:

输出节点;

默认驱动器,其被配置成驱动输入时钟信号且传送被驱动的输入时钟信号到所述输出节点;

第一升压部分,其被配置成响应于所述输入时钟信号与所述多位升压控制信号而拉升所述输出节点的电压电平;及

第一降压部分,其被配置成响应于所述输入时钟信号降低所述输出节点的电压电平。

12. 如权利要求 10 的占空比校正电路,其中所述第二驱动器包括:

输出节点,其被配置成输出所述校正时钟信号;

默认驱动器,其被配置成驱动所述第一驱动器的输出信号且传送被驱动的输出信号到所述输出节点;

第二升压部分,其被配置成响应于所述第一驱动器的输出信号而拉升所述输出节点的电压电平;及

第二降压部分,其被配置成响应于所述第一驱动器的输出信号与所述多位降压控制信号而降低所述输出节点的电压电平。

13. 如权利要求 2 或 9 的占空比校正电路,其中所述升压控制信号包括第一升压控制信号及第二升压控制信号,且所述降压控制信号包括第一降压控制信号及第二降压控制信号。

14. 如权利要求 13 的占空比校正电路,其中所述解码单元被配置成根据所述多位计数信号的两个较低位的逻辑值以预定单位交替地改变所述第一升压控制信号、所述第二降压控制信号、所述第一降压控制信号及所述第二升压控制信号的逻辑值。

15. 如权利要求 14 的占空比校正电路,其中所述占空比校正单元的第一驱动器包括第一升压部分及第一降压部分,且所述占空比校正单元的第二驱动器包括第二升压部分与第二降压部分。

16. 如权利要求 15 的占空比校正电路,其中所述第一升压部分、所述第一降压部分、所

述第二升压部分及所述第二降压部分的驱动能力响应于所述第一升压控制信号、所述第一降压控制信号、所述第二升压控制信号及所述第二降压控制信号而改变。

17. 如权利要求 16 的占空比校正电路,其中所述第一驱动器包括:

输出节点;

默认驱动器,其被配置成驱动输入时钟信号且传送被驱动的输入时钟信号到所述输出节点;

所述第一升压部分,其被配置成响应于所述输入时钟信号与所述第一升压控制信号而拉升所述输出节点的电压电平;及

所述第一降压部分,其被配置成响应于所述输入时钟信号与所述第一降压控制信号而降低所述输出节点的电压电平。

18. 如权利要求 16 的占空比校正电路,其中所述第二驱动器包括:

输出节点,其被配置成输出所述校正时钟信号;

默认驱动器,其被配置成驱动所述第一驱动器的输出信号且传送被驱动的输出信号到所述输出节点;

所述第二升压部分,其被配置成响应于所述第一驱动器的输出信号与所述第二升压控制信号而拉升所述输出节点的电压电平;及

所述第二降压部分,其被配置成响应于所述第一驱动器的输出信号与所述第二降压控制信号而降低所述输出节点的电压电平。

19. 一种占空比校正方法,其校正占空比校正电路中的占空比,所述占空比校正电路包括串联连接的第一驱动器与第二驱动器并校正输入时钟信号的占空比以产生校正时钟信号,所述方法包括:

检测所述校正时钟信号的占空比以产生占空比检测信号;

响应于所述占空比检测信号改变所述第一驱动器的驱动能力以校正所述校正时钟信号的占空比;

检测所述校正时钟信号的占空比以产生所述占空比检测信号;及

响应于所述占空比检测信号改变所述第二驱动器的驱动能力以校正所述校正时钟信号的占空比,

其中当所述校正时钟信号的第一电平时段宽于其第二电平时段时,所述产生所述占空比检测信号的步骤保持所述占空比检测信号的使能状态,而当所述第一电平时段不宽于所述第二电平时段时,所述产生所述占空比检测信号的步骤禁止所述占空比检测信号。

20. 如权利要求 19 的占空比校正方法,其中所述改变所述第一驱动器的驱动能力以校正所述校正时钟信号的占空比的步骤包括:

在检测到所述占空比检测信号被使能时执行计数操作以增加多位计数信号的逻辑值;

根据所述多位计数信号的最低有效位的逻辑值而改变多位升压控制信号的逻辑值;及

响应于所述多位升压控制信号而改变所述第一驱动器的升压部分的驱动能力。

21. 如权利要求 19 的占空比校正方法,其中所述改变所述第二驱动器的驱动能力以校正所述校正时钟信号的占空比的步骤包括:

在检测到所述占空比检测信号被使能时执行计数操作以增加多位计数信号的逻辑

值；

确定所述多位计数信号的最低有效位的逻辑值以根据所确定的逻辑值来改变多位降压控制信号的逻辑值；及

响应于所述多位降压控制信号而改变所述第二驱动器的降压部分的驱动能力。

22. 如权利要求 19 的占空比校正方法，其中所述改变所述第一驱动器的驱动能力以校正所述校正时钟信号的占空比的步骤包括：

在检测到所述占空比检测信号被使能时执行计数操作以增加多位计数信号的逻辑值；

根据所述多位计数信号的两个较低位的逻辑值而改变多位降压控制信号的逻辑值；及

响应于所述多位降压控制信号而改变所述第一驱动器的降压部分的驱动能力。

23. 如权利要求 19 的占空比校正方法，其中所述改变所述第二驱动器的驱动能力以校正所述校正时钟信号的占空比的步骤包括：

在检测到所述占空比检测信号被使能时执行计数操作以增加多位计数信号的逻辑值；

根据所述多位计数信号的两个较低位的逻辑值而改变多位升压控制信号的逻辑值；及

响应于所述多位升压控制信号而改变所述第二驱动器的升压部分的驱动能力。

占空比校正电路和校正占空比的方法

[0001] 相关申请的交叉引用

[0002] 本发明要求于 2008 年 5 月 30 日提交至韩国专利局的韩国专利申请第 10-2008-0051064 号的优先权,其全部内容通过引用合并于此。

技术领域

[0003] 这里所描述的实施例涉及一种半导体集成电路 (IC) 装置及其方法,更具体而言,涉及一种包括在半导体 IC 装置中的占空比校正电路和校正时钟信号的占空比的方法。

背景技术

[0004] 一般来说,半导体 IC 装置,例如同步动态随机存储器 (SDRAM) 装置,通过使用时钟信号来操作而具有提高的操作速率。例如,半导体 IC 装置包括时钟缓冲器并缓冲外部时钟信号以在其内部使用。在一些情况下,半导体 IC 装置使用延迟锁定环 (DLL) 电路或锁相环 (PLL) 电路来产生及使用内部时钟信号,该内部时钟信号与外部时钟信号的相位差已经校正。在半导体 IC 装置中使用的内部时钟信号中,高电平时段与低电平时段之间的比例即占空比优选地保持在预定比例 50 : 50。但是,因为半导体 IC 装置包括多种延迟元件,内部时钟信号的占空比容易变化。

[0005] 由于半导体 IC 装置高速运行,时钟信号的利用率已经增加,其中需要具有稳定占空比的时钟。因此,每个半导体 IC 装置包括占空比校正电路来稳定时钟信号的占空比。为了在半导体 IC 装置的高速操作期间利用稳定的时钟信号,占空比校正电路变得越来越重要。

[0006] 占空比校正电路的种类可以分成模拟型及数字型。数字型占空比校正电路的好处在于使用较少的半导体 IC 装置的面积以及高的运行速率。数字型占空比校正电路包括多级驱动器,且响应于数字代码来改变驱动器的驱动能力,并调整时钟信号的占空比。例如,在两级驱动器中,第一级驱动器的升压部分的驱动能力及第二级驱动器的降压部分的驱动能力被调整,由此改变时钟信号的低电平时段的宽度。因此,该数字代码为通过使用通用计数器产生二进制码并解码该二进制码所产生的信号。因此,当改变数字代码的逻辑值时,两级驱动器的各个驱动器的驱动能力被顺序地改变。

[0007] 占空比校正电路被配置成使得多个驱动器之一的驱动能力响应于数字代码而先被改变,且其它驱动器的驱动能力也被改变。例如,占空比校正电路被操作以使得基于数字代码的默认值第一级驱动器的升压部分与第二级驱动器的降压部分被设定成具有最大的驱动能力,且第一级驱动器的升压部分的驱动能力逐渐降低且被最小化。此外,当数字代码改变时,第二级驱动器的降压部分的驱动能力逐渐降低且被最小化。但是,如果第一级驱动器的升压部分的驱动能力被最小化,则整个第一级驱动器的驱动能力降低,且在两级驱动器之间扇出差 (fanout difference) 会增加。结果,所有的驱动器都会错误地工作。也就是说,仅考虑占空比校正操作来设计占空比校正电路,而没有考虑驱动器之间的扇出。因此,操作的稳定性降低。

发明内容

[0008] 本发明公开一种占空比校正电路,以及一种可实施稳定的占空比校正操作的校正占空比方法。

[0009] 一方面,一种占空比校正电路,包括:占空比控制单元,其被配置成响应于占空比检测信号交替地改变多位升压控制信号与多位降压控制信号的逻辑值;占空比校正单元,其被配置成响应于多位升压控制信号与多位降压控制信号来调整第一驱动器与第二驱动器的驱动能力以输出校正时钟信号;及占空比检测单元,其被配置成检测校正时钟的占空比以产生占空比检测信号,并被配置成当校正时钟信号的第一电平时段宽于其第二电平时段时保持占空比检测信号的使能状态,且当第一电平时段不宽于第二电平时段时禁止占空比检测信号。

[0010] 另一方面,一种占空比校正电路,包括:计数单元,其被配置成产生逻辑值以预定单位增加的多位计数信号,并且被配置成当占空比检测信号被使能时增加多位计数信号的逻辑值,且当占空比检测信号被禁止时锁定多位计数信号的逻辑值;解码单元,其被配置成根据多位计数信号的最低有效位的逻辑值来改变多位升压控制信号与多位降压控制信号之一的逻辑值;及占空比校正单元,其被配置成响应于多位升压控制信号与多位降压控制信号来调整第一驱动器与第二驱动器的驱动能力以输出校正时钟信号。

[0011] 另一方面,一种占空比校正方法,其校正占空比校正电路中的占空比,所述占空比校正电路包括串联连接的第一驱动器与第二驱动器并校正输入时钟信号的占空比以产生校正时钟信号,所述方法包括:检测校正时钟信号的占空比以产生占空比检测信号;响应于占空比检测信号改变第一驱动器的驱动能力以校正校正时钟信号的占空比;检测校正时钟信号的占空比以产生占空比检测信号;及响应于占空比检测信号改变第二驱动器的驱动能力以校正校正时钟信号的占空比,其中当校正时钟信号的第一电平时段宽于其第二电平时段时,产生所述占空比检测信号的步骤保持占空比检测信号的使能状态,而当第一电平时段不宽于第二电平时段时,产生所述占空比检测信号的步骤禁止占空比检测信号。

[0012] 在根据本发明实施例的占空比校正电路与方法中,在校正输入时钟信号的占空比的多级驱动器中,驱动器的驱动能力交替地改变,由此防止驱动器之间的扇出差增加。因此,可实现稳定的占空比校正操作。

[0013] 此外,在根据本发明实施例的占空比校正电路与方法中,可在确保多级驱动器中的每个驱动器的稳定性的同时执行占空比校正操作。因此,可以准确地校正时钟信号的占空比。

[0014] 这些及其它特征、方面及实施例将在以下的具体实施方式中加以说明。

附图说明

[0015] 结合附图说明特征、方面及实施例,其中:

[0016] 图 1 为根据一个实施例的示例性占空比校正电路装置的示意方块图;

[0017] 图 2 为根据一个实施例的图 1 的装置所包括的示例性解码单元的示意图;

[0018] 图 3 为根据一个实施例的图 1 的装置所包括的示例性占空比校正单元的示意图;

[0019] 图 4 为根据另一实施例的可用于图 1 的装置中的另一示例性解码单元的示意图;

及

[0020] 图 5 为根据另一实施例的可用于图 1 的装置中的另一示例性占空比校正单元的示意图。

具体实施方式

[0021] 图 1 为根据一个实施例的示例性占空比校正电路装置的示意方块图。在图 1 中, 占空比校正电路 1 可被配置成包括: 计数单元 10、解码单元 20、占空比校正单元 30 和占空比检测单元 40。

[0022] 计数单元 10 响应于占空比检测信号 dt_{det} 而产生 n 位计数信号 $cnt<1:n>$ 。当校正时钟信号 clk_{crt} 的低电平时段宽于其高电平时段时, 占空比检测信号 dt_{det} 被使能。当占空比检测信号 dt_{det} 被使能时, 计数单元 10 可被操作。当计数单元 10 操作时所产生的 n 位计数信号 $cnt<1:n>$ 中, 其逻辑值可以增加预定单位, 例如 1。当占空比检测信号 dt_{det} 被禁止时, 计数单元 10 可锁定 n 位计数信号 $cnt<1:n>$ 的逻辑值。

[0023] 解码单元 20 可解码 n 位计数信号 $cnt<1:n>$ 以产生 $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 和 $(n-1)$ 位降压控制信号 $pldn<1:n-1>$ 。此外, 解码单元 20 可确定 n 位计数信号 $cnt<1:n>$ 的最低有效位的逻辑值, 然后可以改变 $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 的逻辑值或 $(n-1)$ 位降压控制信号 $pldn<1:n-1>$ 的逻辑值。例如, 当 n 位计数信号 $cnt<1:n>$ 的最低有效位的逻辑值为 0 时, 解码单元 20 可以将 $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 的逻辑值变化 1。当 n 位计数信号 $cnt<1:n>$ 的最低有效位的逻辑值为 1 时, 解码单元 20 可以将 $(n-1)$ 位降压控制信号 $pldn<1:n-1>$ 的逻辑值变化 1。

[0024] 当计数单元 10 以 1 为单位来改变逻辑值时, 可产生 n 位计数信号 $cnt<1:n>$, 因此 n 位计数信号 $cnt<1:n>$ 的最低有效位的逻辑值交替具有 0 或 1 的值。因此, $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 的逻辑值与 $(n-1)$ 位降压控制信号 $pldn<1:n-1>$ 的逻辑值可交替地改变。在这种情况下, 解码单元 20 可确定 n 位计数信号 $cnt<1:n>$ 的最低有效位的逻辑值。解码单元 20 也可确定第二低位的逻辑值。

[0025] 占空比校正单元 30 可响应于 $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 的逻辑值与 $(n-1)$ 位降压控制信号 $pldn<1:n-1>$ 的逻辑值来校正输入时钟信号 clk_{in} 的占空比以输出校正时钟信号 clk_{crt} 。

[0026] 占空比校正单元 30 可被配置成包括将在以下详细说明的多级驱动器。占空比校正单元 30 可使用串联连接的第一驱动器与第二驱动器, 并可校正输入时钟信号 clk_{in} 的占空比以输出校正时钟信号 clk_{crt} 。在此, 第一驱动器与第二驱动器中的每个可包括升压部分及降压部分。

[0027] 第一驱动器的升压部分的驱动能力可响应于 $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 而改变, 且第二驱动器的降压部分的驱动能力可响应于 $(n-1)$ 位降压控制信号 $pldn<1:n-1>$ 而改变。 $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 可被输入到第二驱动器的升压部分, 而 $(n-1)$ 位降压控制信号 $pldn<1:n-1>$ 可被输入到第一驱动器的降压部分。

[0028] 如上所述, $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 的逻辑值与 $(n-1)$ 位降压控制信号 $pldn<1:n-1>$ 的逻辑值可交替地通过 1 来改变。因此, 可响应于 $(n-1)$ 位升压控制信号 $plup<1:n-1>$ 而操作的第一驱动器的升压部分的驱动能力以及可响应于 $(n-1)$ 位降压控制

信号 $p1dn<1:n-1>$ 的逻辑值而操作的第二驱动器的降压部分的驱动能力,可交替地改变。因此,第一驱动器的升压部分与第二驱动器的降压部分可交替地改变它们的驱动能力。因此,第一驱动器与第二驱动器之间的扇出差被配置成不超过预定范围,由此改善操作的稳定性。

[0029] 占空比检测单元 40 可检测校正时钟信号 clk_crt 的占空比来产生占空比检测信号 $dt det$ 。在占空比校正电路 1 的初始操作时,校正时钟信号 clk_crt 的第一时段即低电平时段可宽于第二时段即高电平时段。如果校正时钟信号 clk_crt 的第一时段在执行上述的占空比校正操作时没有明显地宽于第二时段,则占空比检测单元 40 可禁止占空比检测信号 $dt det$,且占空比校正电路 1 可停止改变校正时钟信号 clk_crt 的占空比。占空比检测单元 40 的结构可以包括例如占空比累积器 (duty accumulator)。

[0030] 在图 1 中,计数单元 10 及解码单元 20 可被表示为占空比控制单元 50。例如,占空比控制单元 50 响应于占空比检测信号 $dt det$ 可交替地改变 $(n-1)$ 位升压控制信号 $p1up<1:n-1>$ 的逻辑值与 $(n-1)$ 位降压控制信号 $p1dn<1:n-1>$ 的逻辑值。

[0031] 图 2 为根据一个实施例的图 1 的装置所包括的示例性解码单元的示意图,图 3 为根据一个实施例的图 1 的装置所包括的示例性占空比校正单元的示意图。为了进行解释,变量 n 表示各 n 位信号的位数为 5。然后,5 位计数信号 $cnt<1:5>$ 的最高有效位被表示成计数信号 $cnt<1>$,且其最低有效位被表示成计数信号 $cnt<5>$ 。以同样的方式,均被实施成 4 位的升压控制信号 $p1up<1:4>$ 及降压控制信号 $p1dn<1:4>$ 的最高有效位分别被表示成升压控制信号 $p1up<1>$ 及降压控制信号 $p1dn<1>$,而它们的最低有效位分别被表示成升压控制信号 $p1up<4>$ 及降压控制信号 $p1dn<4>$ 。

[0032] 如图 2 所示,解码单元 20a 可被配置成包括第一到第八触发器 FF1 到 FF8 及第一到第五反向器 IV1 到 IV5。第一反向器 IV1 可反转计数信号 $cnt<5>$ 来产生反计数信号 $/cnt<5>$ 。

[0033] 第一触发器 FF1 可由重置信号 rst 重置,并可响应于反计数信号 $/cnt<5>$ 来门锁计数信号 $cnt<1>$ 以产生升压控制信号 $p1up<1>$ 。第二反向器 IV2 可接收计数信号 $1cnt<1>$ 。第二触发器 FF2 可由重置信号 rst 重置,并可响应于计数信号 $cnt<5>$ 来门锁第二反向器 IV2 的输出信号以输出降压控制信号 $p1dn<1>$ 。

[0034] 第三触发器 FF3 可由重置信号 rst 重置,并可响应于反计数信号 $/cnt<5>$ 来门锁计数信号 $cnt<2>$ 以产生升压控制信号 $p1up<2>$ 。第三反向器 IV3 可接收计数信号 $cnt<2>$ 。

[0035] 第四触发器 FF4 可由重置信号 rst 重置,并可响应于计数信号 $cnt<5>$ 来门锁第三反向器 IV3 的输出信号以输出降压控制信号 $p1dn<2>$ 。

[0036] 第五触发器 FF5 可由重置信号 rst 重置,并可响应于反计数信号 $/cnt<5>$ 来门锁计数信号 $cnt<3>$ 以产生升压控制信号 $p1up<3>$ 。第四反向器 IV4 可接收计数信号 $cnt<3>$ 。

[0037] 第六触发器 FF6 可由重置信号 rst 重置,并可响应于计数信号 $cnt<5>$ 来门锁第四反向器 IV4 的输出信号以输出降压控制信号 $p1dn<3>$ 。

[0038] 第七触发器 FF7 可由重置信号 rst 重置,并可响应于反计数信号 $/cnt<5>$ 来门锁计数信号 $cnt<4>$ 以产生升压控制信号 $p1up<4>$ 。第五反向器 IV5 可接收计数信号 $cnt<4>$ 。

[0039] 第八触发器 FF8 可由重置信号 rst 重置,并可响应于计数信号 $cnt<5>$ 来门锁第五反向器 IV5 的输出信号以输出降压控制信号 $p1dn<4>$ 。

[0040] 根据解码单元 20a, 四位升压控制信号 $\text{plup}<1:4>$ 的逻辑值与四位降压控制信号 $\text{pldn}<1:4>$ 的逻辑值可交替地改变。五位计数信号 $\text{cnt}<1:5>$ 、四位升压控制信号 $\text{plup}<1:4>$ 及四位降压控制信号 $\text{pldn}<1:4>$ 的逻辑值的改变可参照下表 1 来理解。

[0041] [表 1]

[0042]

小数	$\text{cnt}<1:5>$	$\text{plup}<1>$	$\text{plup}<2>$	$\text{plup}<3>$	$\text{plup}<4>$	$\text{pldn}<1>$	$\text{pldn}<2>$	$\text{pldn}<3>$	$\text{pldn}<4>$
0	00000	0	0	0	0	1	1	1	1
1	00001	0	0	0	0	1	1	1	1
2	00010	0	0	0	1	1	1	1	1
3	00011	0	0	0	1	1	1	1	0
4	00100	0	0	1	0	1	1	1	0
5	00101	0	0	1	0	1	1	0	1
6	00110	0	0	1	1	1	1	0	1
7	00111	0	0	1	1	1	1	0	0
8	01000	0	1	0	0	1	1	0	0
9	01001	0	1	0	0	1	0	1	1
10	01010	0	1	0	1	1	0	1	1
11	01011	0	1	0	1	1	0	1	0
12	01100	0	1	1	0	1	0	1	0
13	01101	0	1	1	0	1	0	0	1
14	01110	0	1	1	1	1	0	0	1
15	01111	0	1	1	1	1	0	0	0
16	10000	1	0	0	0	1	0	0	0
17	10001	1	0	0	0	0	1	1	1
18	10010	1	0	0	1	0	1	1	1
19	10011	1	0	0	1	0	1	1	0

20	10100	1	0	1	0	0	1	1	0
21	10101	1	0	1	0	0	1	0	1
22	10110	1	0	1	1	0	1	0	1
23	10111	1	0	1	1	0	1	0	0
24	11000	1	1	0	0	0	1	0	0
25	11001	1	1	0	0	0	0	1	1
26	11010	1	1	0	1	0	0	1	1
27	11011	1	1	0	1	0	0	1	0
28	11100	1	1	1	0	0	0	1	0
29	11101	1	1	1	0	0	0	0	1
30	11110	1	1	1	1	0	0	0	1
31	11111	1	1	1	1	0	0	0	0

[0043] 如表 1 所示,当具有五位的计数信号 $\text{cnt}\langle 1:5 \rangle$ 的最低有效位的计数信号 $\text{cnt}\langle 5 \rangle$ 的逻辑值为 0 时,四位升压控制信号 $\text{plup}\langle 1:4 \rangle$ 的逻辑值可增加 1。当计数信号 $\text{cnt}\langle 5 \rangle$ 的逻辑值为 1 时,四位升压控制信号 $\text{pldn}\langle 1:4 \rangle$ 的逻辑值可减少 1。也就是说,解码单元 20a 可接收五位计数信号 $\text{cnt}\langle 1:5 \rangle$ 来产生四位升压控制信号 $\text{plup}\langle 1:4 \rangle$ 及四位降压控制信号 $\text{pldn}\langle 1:4 \rangle$ 。因此,四位升压控制信号 $\text{plup}\langle 1:4 \rangle$ 的逻辑值与四位降压控制信号 $\text{pldn}\langle 1:4 \rangle$ 的逻辑值可交替地改变。因此,如果四位升压控制信号 $\text{plup}\langle 1:4 \rangle$ 的逻辑值与四位降压控制信号 $\text{pldn}\langle 1:4 \rangle$ 的逻辑值交替地改变,则占空比校正单元 30 可防止由于在占空比校正操作期间扇出差的增加所导致的错误操作,这将在下文再次说明。

[0044] 在图 3 中,占空比校正单元 30a 可包括第一驱动器 310a 及第二驱动器 320a。第一驱动器 310a 响应于四位升压控制信号 $\text{plup}\langle 1:4 \rangle$ 驱动输入时钟信号 clk_in 以输出驱动时钟信号 clk_drv 。在此,第一驱动器 310a 可包括第一输出节点 (Nout1)、第一默认驱动器 312、第一升压部分 314a 及第一降压部分 316a。第一输出节点 (Nout1) 可输出驱动时钟 clk_drv 。此外,第一默认驱动器 312 可驱动输入时钟信号 clk_in ,并可传送输入时钟信号 clk_in 到第一输出节点 (Nout1)。

[0045] 第一默认驱动器 312 可包括第一到第四晶体管 TR1 到 TR4。第一晶体管 TR1 可包括接收输入时钟信号 clk_in 的栅极端子,及被提供外部电压 VDD 的源极端子。第二晶体管 TR2 可包括被提供接地电压 VSS 的栅极端子,连接至第一晶体管 TR1 的漏极的源极端子,及连接至第一输出节点 (Nout1) 的漏极端子。第三晶体管 TR3 可包括被提供外部电压 VDD 的栅极端子,及可连接至第一输出节点 (Nout1) 的漏极端子。第四晶体管 TR4 可包括接收输

入时钟信号 clk_in 的栅极端子,可连接至第三晶体管 TR3 的源极端子的漏极端子,以及可连接至接地的源极端子。

[0046] 第一升压部分 314a 可响应于输入时钟信号 clk_in 和四位升压控制信号 $plup<1:4>$ 来拉升第一输出节点 (Nout1) 的电压电平。第一升压部分 314a 可包括四组第五晶体管 TR5a<1:4> 及四组第六晶体管 TR6a<1:4>。

[0047] 在图 3 中,四组第五晶体管 TR5a<1:4> 中的每个可包括接收输入时钟信号 clk_in 的栅极端子,及可被提供外部电压 VDD 的源极端子。四组第六晶体管 TR6a<1:4> 中的每个可包括接收四位升压控制信号 $plup<1:4>$ 中每位的栅极端子,可连接至四组第五晶体管 TR5a<1:4> 的漏极端子中每个的源极端子,及可连接至第一输出节点 (Nout1) 的漏极端子。

[0048] 第一降压部分 316a 可响应于外部电压 VDD 及输入时钟信号 clk_in 而降低第一输出节点 (Nout1) 的电压电平。第一降压部分 316a 可被配置成包括四组第七晶体管 TR7a<1:4> 及四组第八晶体管 TR8a<1:4>。

[0049] 四组第七晶体管 TR7a<1:4> 中的每个可包括被提供外部电压 VDD 的栅极端子,及可连接至第一输出节点 (Nout1) 的漏极端子。此外,四组第八晶体管 TR8a<1:4> 中的每个可包括接收输入时钟信号 clk_in 的栅极端子,可连接至四组第七晶体管 TR7a<1:4> 中的每个的源极端子的漏极端子,及可连接至接地的源极端子。

[0050] 第二驱动器 320a 响应于四位降压控制信号 $pldn<1:4>$ 来驱动驱动时钟信号 clk_drv 以产生校正时钟信号 clk_crt 。此外,第二驱动器 320a 可包括第二输出节点 (Nout2)、第二默认驱动器 322、第二升压部分 324a 及第二降压部分 326a。第二输出节点 (Nout2) 可输出校正时钟信号 clk_crt 。

[0051] 第二默认驱动器 322 可驱动驱动时钟信号 clk_drv ,并可传送驱动时钟到第二输出节点 (Nout2)。第二默认驱动器 322 可包括第九到第十二晶体管 TR9 到 TR12。

[0052] 第九晶体管 TR9 可包括接收驱动时钟信号 clk_drv 的栅极端子,及被提供外部电压 VDD 的源极端子。第十晶体管 TR10 可包括被提供接地电压 VSS 的栅极端子,连接至第九晶体管 TR9 的漏极端子的源极端子,及连接至第二输出节点 (Nout2) 的漏极端子。第十一晶体管 TR11 可包括被提供外部电压 VDD 的栅极端子,及连接至第二输出节点 (Nout2) 的漏极端子。第十二晶体管 TR12 可包括接收驱动时钟信号 clk_drv 的栅极端子,连接至第十一晶体管 TR11 的源极端子的漏极端子,及可连接至接地的源极端子。

[0053] 第二升压部分 324a 响应于驱动时钟信号 clk_drv 及接地电压 VSS 而拉升第二输出节点 (Nout2) 的电压电平。此外,第二升压部分 324a 可被配置成包括四组第十三晶体管 TR13a<1:4> 及四组第十四晶体管 TR14a<1:4>。

[0054] 在图 3 中,四组第十三晶体管 TR13a<1:4> 中的每个可包括接收驱动时钟信号 clk_drv 的栅极端子,及可被提供外部电压 VDD 的源极端子。四组第十四晶体管 TR14a<1:4> 中的每个可包括被提供接地电压 VSS 的栅极端子,连接至四组第十三晶体管 TR13a<1:4> 的漏极端子中的每个的源极端子,及可连接至第二输出节点 (Nout2) 的漏极端子。

[0055] 第二降压部分 326a 可响应于四位降压控制信号 $pldn<1:4>$ 及驱动时钟信号 clk_drv 而降低第二输出节点 (Nout2) 的电压电平。此外,第二降压部分 326a 可被配置成包括四组第十五晶体管 TR15a<1:4> 及四组第十六晶体管 TR16a<1:4>。

[0056] 在图 3 中,四组第十五晶体管 TR15a<1:4> 中的每个可包括被提供外部电压 VDD 的

栅极端子,及可连接至第二输出节点 (Nout2) 的漏极端子。四组第十六晶体管 TR16a<1:4> 中的每个可包括接收驱动时钟信号 clk_drv 的栅极端子,可连接至四组第十五晶体管 TR15a<1:4> 中的每个源极端子的漏极端子,及可连接至接地的源极端子。

[0057] 在具有以上详细描述的例子性结构的占空比校正单元 30a 中,如果四位升压控制信号 plup<1:4> 及四位降压控制信号 pldn<1:4> 的逻辑值如表 1 所示,则在校正时钟信号 clk_crt 的初始波形中低电平时段宽于高电平时段。然后,当四位升压控制信号 plup<1:4> 及四位降压控制信号 pldn<1:4> 的逻辑值顺序变化时,第一驱动器 310a 的第一升压部分 314a 的驱动能力及第二驱动器 320a 的第二降压部分 326a 的驱动能力可以交替地降低,这会导致将校正时钟信号 clk_crt 的低电平时段变窄。如果校正时钟信号 clk_crt 的低电平时段没有明显宽于其高电平时段,则第一驱动器 310a 的第一升压部分 314a 的驱动能力及第二驱动器 320a 的第二降压部分 326a 的驱动能力可被锁定。

[0058] 图 4 为根据另一实施例的可用于图 1 的装置中的另一例子性解码单元的示意图,而图 5 为根据另一实施例的可用于图 1 的装置中的另一例子性占空比校正单元的示意图。在图 4 及图 5 中,升压控制信号 plup 及降压控制信号 pldn 中的每个可被实施成四位。此外,升压控制信号 plup 可包括第一升压控制信号 plup1<1:4> 及第二升压控制信号 plup2<1:4>。类似地,降压控制信号 pldn 可包括第一降压控制信号 pldn1<1:4> 及第二降压控制信号 pldn2<1:4>。因此,计数信号 cnt<1:n> 可被实施成六位的信号,其中最高有效位可表示成计数信号 cnt<1:n> 且最低有效位可表示成计数信号 cnt<6>。

[0059] 在图 4 中,解码单元 20b 可被配置以包括解码器 DEC,第九到第二十四触发器 FF9 到 FF24,及第六到第九反向器 IV6 到 IV9。

[0060] 解码器 DEC 可解码计数信号 cnt<5> 及计数信号 cnt<6> 来产生第一到第四门锁控制信号 lat<1:4>。第一到第四门锁控制信号 lat<1:4> 可根据计数信号 cnt<1:6> 的逻辑值中的变化而被顺序地使能。

[0061] 第九触发器 FF9 可由重置信号 rst 重置,并可响应于第一门锁控制信号 lat<1> 来门锁计数信号 cnt<1> 以产生第一升压控制信号 plup1<1>。第十触发器 FF10 可由重置信号 rst 重置,并响应于第三门锁控制信号 lat<3> 而产生第一升压控制信号 plup1<1>。第六反向器 IV6 可接收计数信号 cnt<1>。第十一触发器 FF11 可由重置信号 rst 重置,并可响应于第二门锁控制信号 lat<2> 来门锁第六反向器 IV6 的输出信号以输出第二降压控制信号 pldn2<1>。第十二触发器 FF12 可由重置信号 rst 重置,并可响应于第四门锁控制信号 lat<4> 来门锁第二降压控制信号 pldn2<1> 以输出第二升压控制信号 plup2<1>。

[0062] 第十三触发器 FF13 可由重置信号 rst 重置,并可响应于第一门锁控制信号 lat<1> 来门锁计数信号 cnt<2> 以产生第一升压控制信号 plup1<2>。第十四触发器 FF14 可由重置信号 rst 重置,并响应于第三门锁控制信号 lat<3> 而产生第一升压控制信号 plup1<2>。第七反向器 IV7 可接收计数信号 cnt<2>。第十五触发器 FF15 可由重置信号 rst 重置,并可响应于第二门锁控制信号 lat<2> 来门锁第七反向器 IV7 的输出信号以输出第二降压控制信号 pldn2<2>。第十六触发器 FF16 可由重置信号 rst 重置,并可响应于第四门锁控制信号 lat<4> 来门锁第二降压控制信号 pldn2<2> 以输出第二升压控制信号 plup2<2>。

[0063] 第十七触发器 FF17 可由重置信号 rst 重置,并可响应于第一门锁控制信号 lat<1> 来门锁计数信号 cnt<3> 以产生第一升压控制信号 plup1<3>。第十八触发器 FF18 可由重

置信号 rst 重置,并响应于第三门控控制信号 lat<3> 而产生第一升压控制信号 plup1<3>。第八反向器 IV8 可接收计数信号 cnt<3>。第十九触发器 FF19 可由重置信号 rst 重置,并可响应于第二门控控制信号 lat<2> 来门控第八反向器 IV8 的输出信号以输出第二降压控制信号 pldn2<3>。第二十触发器 FF20 可由重置信号 rst 重置,并可响应于第四门控控制信号 lat<4> 来门控第二降压控制信号 pldn2<3> 以输出第二升压控制信号 plup2<3>。

[0064] 第二十一触发器 FF21 可由重置信号 rst 重置,并可响应于第一门控控制信号 lat<1> 来门控计数信号 cnt<4> 以产生第一升压控制信号 plup1<4>。第二十二触发器 FF22 可由重置信号 rst 重置,并响应于第三门控控制信号 lat<3> 而产生第一升压控制信号 plup1<4>。第九反向器 IV9 可接收计数信号 cnt<4>。第二十三触发器 FF23 可由重置信号 rst 重置,并可响应于第二门控控制信号 lat<2> 来门控第九反向器 IV9 的输出信号以输出第二降压控制信号 pldn2<4>。第二十四触发器 FF24 可由重置信号 rst 重置,并可响应于第四门控控制信号 lat<4> 来门控第二降压控制信号 pldn2<4> 以输出第二升压控制信号 plup2<4>。

[0065] 根据解码单元 20b 的示例性结构,在选择其逻辑值在第一升压控制信号 plup1<1:4>、第一降压控制信号 pldn1<1:4>、第二升压控制信号 plup2<1:4> 及第二降压控制信号 pldn2<1:4> 当中变化的信号时,可使用六位计数信号 cnt<1:6> 中的两个较低位。第一升压控制信号 plup1<1:4> 及第一降压控制信号 pldn1<1:4> 可被实施成使得它们的逻辑值在初始波形相同,并可增加 1。此外,第二升压控制信号 plup2<1:4> 及第二降压控制信号 pldn2<1:4> 可被实施成使得它们的逻辑值可以在初始波形相同,并可减少 1。因此,当六位计数信号 cnt<1:6> 中的两个较低位的逻辑值改变时,以第一升压控制信号 plup1<1:4>、第二降压控制信号 pldn2<1:4>、第一降压控制信号 pldn1<1:4> 及第二升压控制信号 plup2<1:4> 的顺序来改变它们的逻辑值。

[0066] 在图 5 中,占空比校正单元 30b 可被配置成基本上类似于图 3 所示的占空比校正单元 30a 的配置。但是,占空比校正单元 30b 与占空比校正单元 30a 中的不同之处可以在于,第一驱动器 310b 的第一升压部分 314b 的驱动能力可响应于第一升压控制信号 plup1<1:4> 来改变,第一降压部分 316b 的驱动能力可响应于第一降压控制信号 pldn1<1:4> 来改变,第二驱动器 320b 的第二升压部分 324b 的驱动能力可响应于第二升压控制信号 plup2<1:4> 来改变,且第二降压部分 326b 的驱动能力可响应于第二降压控制信号 pldn2<1:4> 来改变。

[0067] 第一升压部分 314b 可包括四组第五晶体管 TR5b<1:4> 及四组第六晶体管 TR6b<1:4>。四组第五晶体管 TR5b<1:4> 中的每个可包括接收输入时钟信号 clk_in 的栅极端子及可被提供外部电压 VDD 的源极端子。四组第六晶体管 TR6b<1:4> 中的每个可包括接收四位第一升压控制信号 plup1<1:4> 中的每位的栅极端子,可连接至四组第五晶体管 TR5b<1:4> 中的每个漏极端子的源极端子,及可连接至第一输出节点 (Nout1) 的漏极端子。

[0068] 第一降压部分 316b 可被配置成包括四组第七晶体管 TR7b<1:4> 及四组第八晶体管 TR8b<1:4>。四组第七晶体管 TR7b<1:4> 中的每个可包括接收四位第一降压控制信号 pldn1<1:4> 中每位的栅极端子,及可连接至第一输出节点 (Nout1) 的漏极端子。四组第八晶体管 TR8b<1:4> 中的每个可包括接收输入时钟信号 clk_in 的栅极端子,可连接至四组第七晶体管 TR7b<1:4> 中的每个源极端子的漏极端子,及可连接至接地的源极端子。

[0069] 第二升压部分 324b 可被配置成包括四组第十三晶体管 TR13b<1:4>, 及四组第十四晶体管 TR14b<1:4>。四组第十三晶体管 TR13b<1:4> 中的每个可包括接收驱动时钟信号 clk_drv 的栅极端子, 及可被提供外部电压 VDD 的源极端子。四组第十四晶体管 TR14b<1:4> 中的每个可包括接收四位第二升压控制信号 plup2<1:4> 中每位的栅极端子, 可连接至四组第十三晶体管 TR13b<1:4> 中每个的漏极端子的源极端子, 及可连接至第二输出节点 (Nout2) 的漏极端子。

[0070] 第二降压部分 326b 可被配置成包括四组第十五晶体管 TR15b<1:4>, 及四组第十六晶体管 TR16b<1:4>。四组第十五晶体管 TR15b<1:4> 中的每个可包括接收四位第二降压控制信号 pldn2<1:4> 的每位的栅极端子, 及可连接至第二输出节点 (Nout2) 的源极端子。四组第十六晶体管 TR16b<1:4> 中的每个可包括接收驱动时钟信号 clk_drv 的栅极端子, 可连接至四组第十五晶体管 TR15b<1:4> 的每个源极端子的漏极端子, 及可连接至接地的源极端子。

[0071] 当第一升压控制信号 plup<1:4>、第二降压控制信号 pldn2<1:4>、第一降压控制信号 pldn1<1:4> 及第二升压控制信号 plup2<1:4> 的逻辑值一位一位地交替改变时, 以第一驱动器 310 的第一升压部分 314、第二驱动器 320 的第二降压部分 326、第一驱动器 310 的第一降压部分 316 及第二驱动器 320 的第二升压部分 324 的顺序, 其驱动能力改变。因此, 占空比校正单元 30b 可逐渐地将校正时钟信号 clk_crt 的低电平时段变窄, 由此校正占空比。因此, 相较于图 2 及图 3 所示的配置, 可执行精确的占空比校正操作。

[0072] 如上所述, 在占空比校正电路与校正占空比的方法中, 当驱动器的驱动能力交替地改变时, 可以使用多级驱动器来校正输入时钟信号的占空比, 由此防止由于驱动器之间的扇出差增加而导致的误操作。由此, 通过在对其逻辑值增加 1 的计数信号进行解码时使用较低位来将驱动器彼此区别, 占空比校正电路的操作稳定性可以改善, 并可稳定地执行占空比校正。

[0073] 尽管以上描述了具体实施例, 但是应理解所述实施例只是示例。因而, 本文所描述的装置和方法不能仅限于所描述的实施例。相反, 只能依据权利要求并结合上述说明书和附图来限定本文所描述的装置和方法。

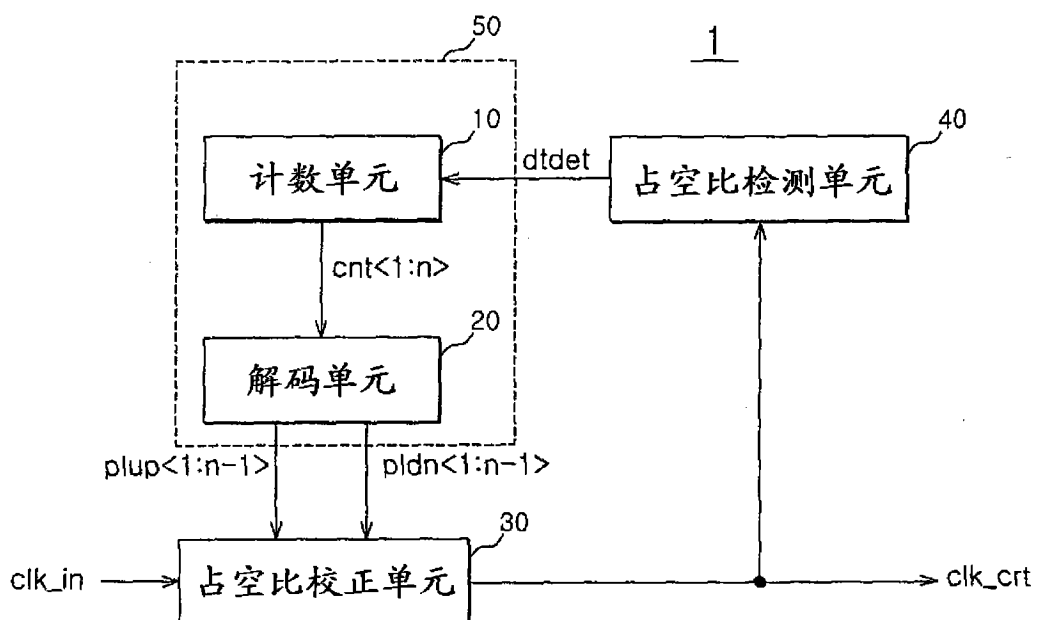


图 1

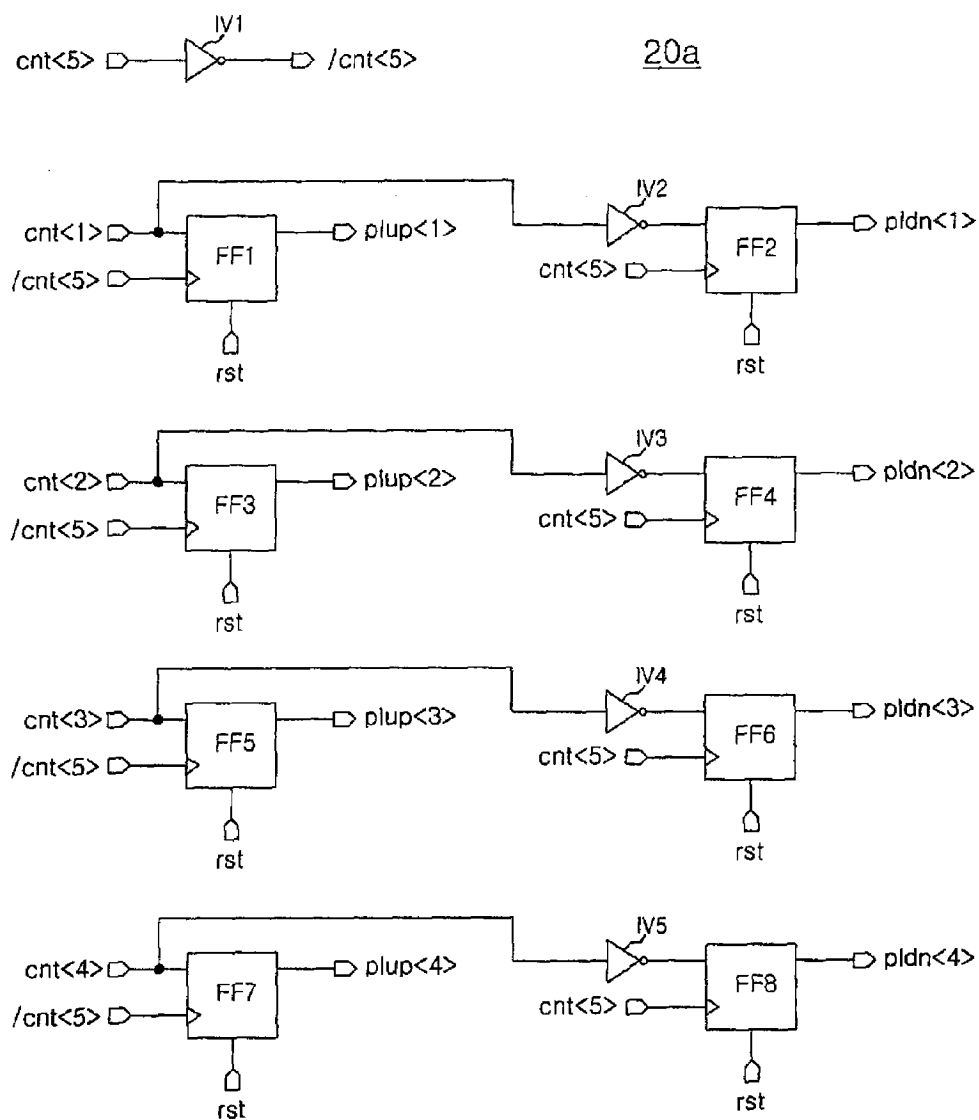


图 2

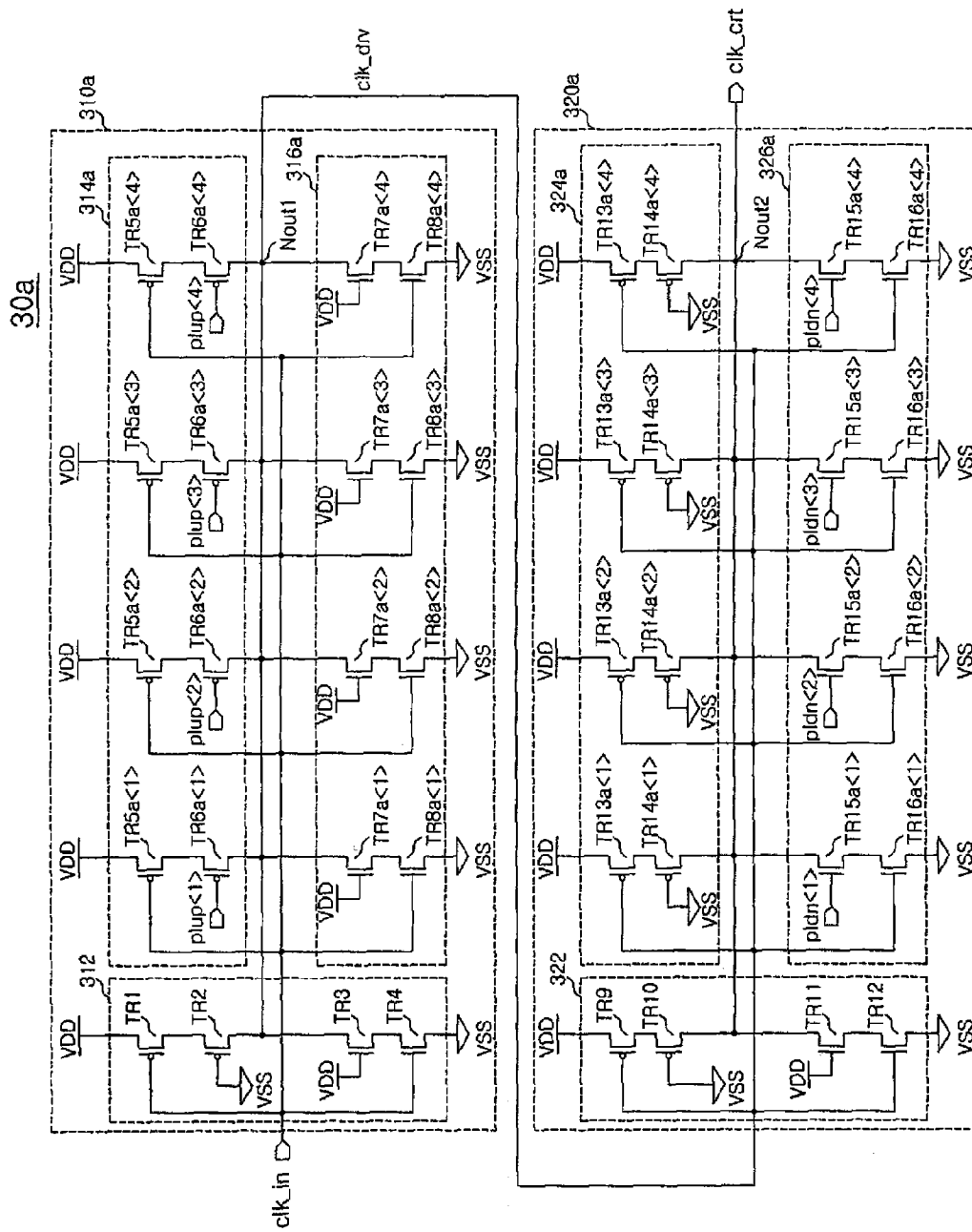


图 3

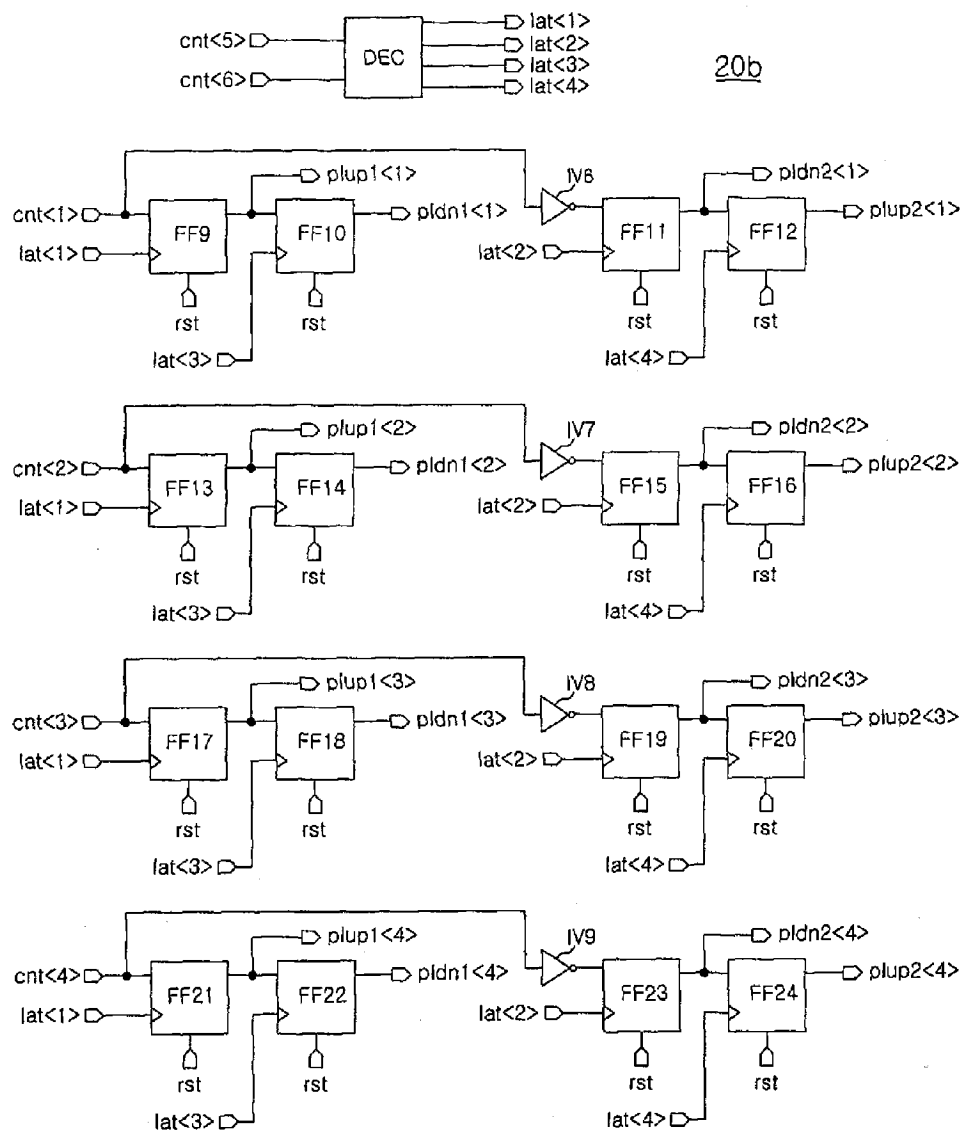


图 4

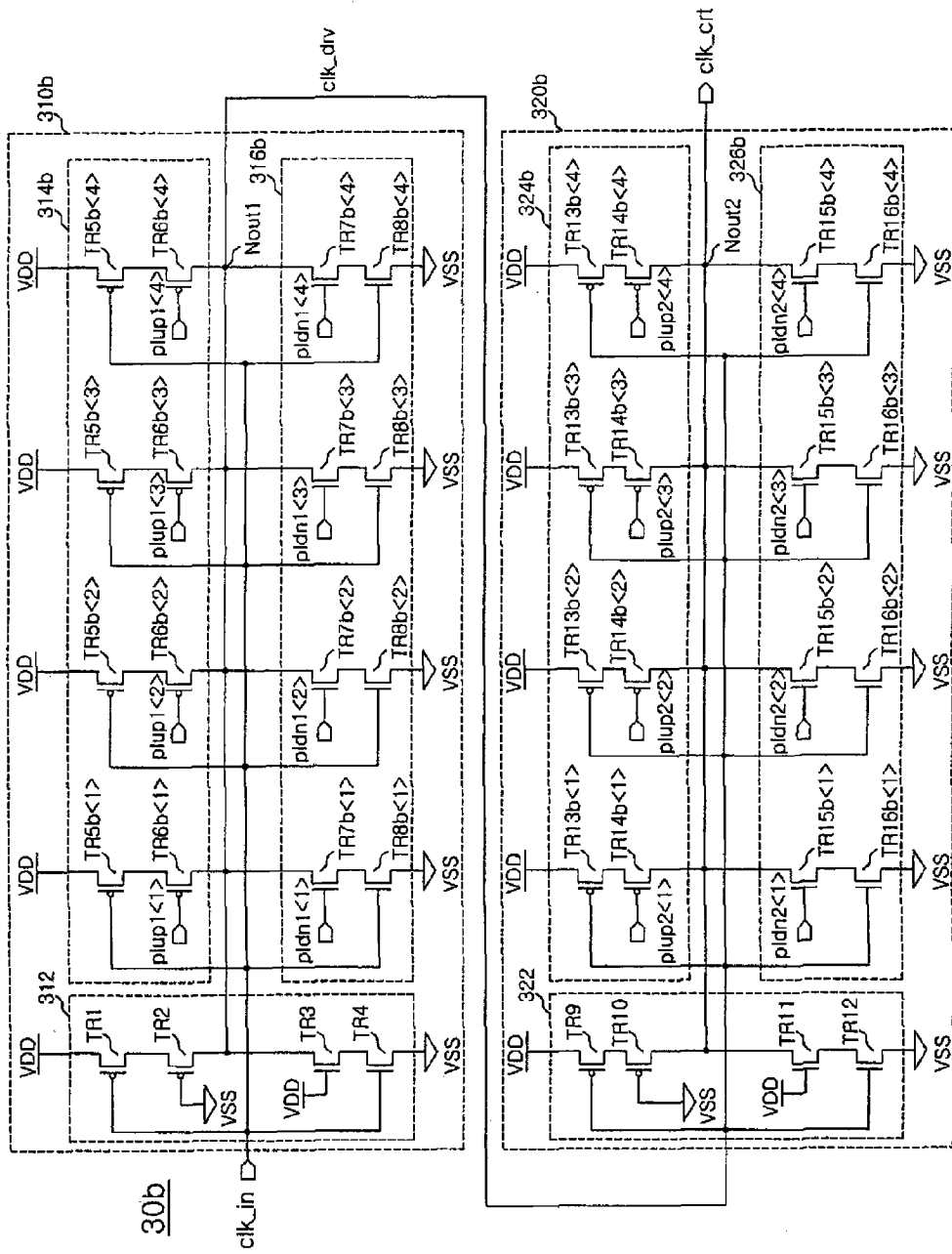


图5