(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 2 月 23 日 (23.02.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/020009 A1

(51) 国际专利分类号:
H01L 27/02 (2006.01) *H01L 23/62* (2006.01)
H01L 23/60 (2006.01)

(21) 国际申请号: PCT/CN2022/090055

(22) 国际申请日: 2022 年 4 月 28 日 (28.04.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110955199.3 2021年8月19日 (19.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 许杞安 (**XU, Qian**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (**BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.**); 中国北京市朝阳区慧忠路5号B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) **Title:** ELECTROSTATIC PROTECTION CIRCUIT AND ELECTROSTATIC PROTECTION STRUCTURE

(54) 发明名称: 静电保护电路和静电保护结构

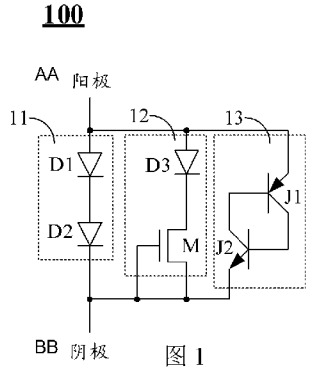


图 1

AA Anode
BB Cathode

(57) **Abstract:** An electrostatic protection circuit and an electrostatic protection structure. The electrostatic protection circuit comprises a first sub-circuit, the first sub-circuit comprising: a first trigger circuit, which comprises a first diode and a second diode; a second trigger circuit, which comprises a third diode and a transistor; and a silicon controlled rectifier circuit, which comprises a PNP-type triode and an NPN-type triode, wherein a positive electrode of the first diode is connected to an anode of the electrostatic protection circuit, a negative electrode of the first diode is connected to a positive electrode of the second diode, and a negative electrode of the second diode is connected to a cathode of the electrostatic protection circuit; a positive electrode of the third diode is connected to the anode, a negative electrode of the third diode is electrically connected to a drain electrode of the transistor, and a source electrode and a gate electrode of the transistor are connected to the cathode; and a transmitting electrode of the PNP-type triode is connected to the anode, and a transmitting electrode of the NPN-type triode is connected to the cathode. The electrostatic protection circuit and the electrostatic protection structure in the embodiments of the present disclosure have higher electrostatic protection capabilities and smaller manufacturing sizes. (FIG. 1)

WO 2023/020009 A1

[见续页]

(57) 摘要：一种静电保护电路和静电保护结构。静电保护电路包括第一子电路，第一子电路包括：第一触发电路，包括第一二极管和第二二极管；第二触发电路，包括第三二极管和晶体管；可控硅电路，包括PNP型三极管和NPN型三极管；其中，第一二极管的正极连接静电保护电路的阳极，第一二极管的负极连接第二二极管的正极，第二二极管的负极连接静电保护电路的阴极；第三二极管的正极连接阳极，第三二极管的负极电连接晶体管的漏极，晶体管的源极和栅极连接阴极；PNP型三极管的发射极连接阳极，NPN型三极管的发射极连接阴极。本公开实施例的静电保护电路和静电保护结构具有更高的静电保护能力和更小的制造尺寸。 (图1)

静电保护电路和静电保护结构

交叉引用

本公开要求于 2021 年 08 月 19 日提交的申请号为 202110955199.3、名称为“静电保护电路和静电保护结构”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及集成电路技术领域，具体而言，涉及一种静电保护电路和静电保护结构。

背景技术

为了保护集成电路免于受到静电的危害，通常要对集成电路进行静电保护。现代半导体的制程越来越先进，沟道长度越来越短，结深越来越浅，氧化层越来越薄，ESD（Electro-Static discharge，静电电荷泄放）设计的窗口越来越小，ESD 保护设计面临的挑战越来越大。

相关技术中，ESD 电路的触发电压高、维持电压低、易发生闩锁，不适于应用于存储器产品的静电保护。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于提供一种静电保护电路、静电保护结构，可以一定程度上克服由于相关技术的限制和缺陷而导致的静电保护电路触发电压高、维持电压低、易发生闩锁等问题。

根据本公开的第一方面，提供一种静电保护电路，包括第一子电路，所述第一子电路包括：第一触发电路，包括第一二极管和第二二极管；第二触发电路，包括第三二极管和晶体管；可控硅电路，包括 PNP 型三极管和 NPN 型三极管；其中，所述第一二极管的正极连接所述静电保护电路的阳极，所述第一二极管的负极连接所述第二二极管的正极，所述第二二极管的负极连接所述静电保护电路的阴极；所述第三二极管的正极连接所述阳极，所述第三二极管的负极电连接晶体管的漏极，所述晶体管的源极和栅极连接所述阴极；所述 PNP 型三极管的发射极连接所述阳极，所述 NPN 型三极管的发射极连接所述阴极。

在本公开的一个示例性实施例中，所述 PNP 型三极管的基极连接所述 NPN 型三极管的集电极，所述 NPN 型三极管的基极连接所述 PNP 型三极管的集电极。

在本公开的一个示例性实施例中，所述晶体管的栅极连接可调电阻。

在本公开的一个示例性实施例中，所述第一二极管的正极是所述 PNP 型三极管的发

射极，所述第一二极管的负极是所述 PNP 型三极管的基极；所述第二二极管的正极是所述 NPN 型三极管的基极，所述第二二极管的负极是所述 NPN 型三极管的发射极；所述第三二极管的正极是所述 PNP 型三极管的发射极，所述第三二级管的负极是所述 PNP 型三极管的基极，所述晶体管的源极是所述第二二极管的负极。

在本公开的一个示例性实施例中，还包括第二子电路，所述第二子电路和所述第一子电路基于所述第一二极管的负极对称分布，所述第二子电路和第一子电路共用所述第一二极管的负极。

在本公开的一个示例性实施例中，所述静电保护电路包括第一电阻和第二电阻，第一电阻是所述 PNP 型三极管的基极等效电阻，第二电阻是所述 NPN 型三极管的基极等效电阻。

根据本公开的第二方面，提供一种静电保护结构，包括第一子结构，所述第一子结构包括：P 型衬底；设置在所述 P 型衬底中的 N 阱区和 P 阱区；设置在所述 P 阱区的第一 P 掺杂区和第一 N 掺杂区，同时设置在所述 P 阱区和所述 N 阱区的第二 N 掺杂区，设置在所述 N 阱区的第二 P 掺杂区和第三 N 掺杂区；其中，所述第二 P 掺杂区连接阳极，所述第一 N 掺杂区连接阴极，所述第一 P 掺杂区与所述第三 N 掺杂区相连，所述第一 N 掺杂区和所述第二 N 掺杂区之间的 P 阱区表面设置有栅极结构。

在本公开的一个示例性实施例中，所述栅极结构通过可调电阻连接所述阴极。

在本公开的一个示例性实施例中，还包括：深 N 阱区，位于所述 P 型衬底中、所述 P 阱区和所述 N 阱区之下；隔离 N 阱区，位于所述 P 阱区远离所述 N 阱区的一端，用于作为隔离结构；浅沟槽隔离结构，设置在所述第一 P 掺杂区和所述第一 N 掺杂区之间所述第二 N 掺杂区和所述第二 P 掺杂区之间，所述第二 P 掺杂区和所述第三 N 掺杂区之间。

在本公开的一个示例性实施例中，所述第一 N 掺杂区、所述第二 N 掺杂区和所述栅极结构组成栅极接地 N 型晶体管。

在本公开的一个示例性实施例中，所述第一 P 掺杂区、所述第二 P 掺杂区、所述第一 N 掺杂区、所述第二 N 掺杂区、所述第三 N 掺杂区的掺杂浓度均大于所述 N 阱区和所述 P 阱区的掺杂浓度。

在本公开的一个示例性实施例中，所述第二 N 掺杂区的区域长度是其他掺杂区的区域长度的两倍。

在本公开的一个示例性实施例中，还包括第二子结构，所述第二子结构和所述第一子结构关于所述第三 N 掺杂区呈轴对称分布，所述第二子结构和所述第一子结构共用所述第三 N 掺杂区。

在本公开的一个示例性实施例中，所述第二 P 掺杂区与所述 N 阱区和所述 P 阱区共同构成 PNP 型三极管，所述第一 N 掺杂区与所述 P 阱区和所述 N 阱区共同构成 NPN 型三极管，所述第二 P 掺杂区与所述 N 阱区构成第一二极管，所述 P 阱区与所述第一 N 掺杂区构成第二二极管。

在本公开的一个示例性实施例中，所述浅沟槽隔离结构的深度均小于所述掺杂区的深度。

本公开实施例提供的静电保护电路通过使用由二极管构成的第一触发电路和由GGNMOS 构成的第二触发电路形成两条电荷泄放通路，使用由 PNP 型三极管和 NPN 型三极管构成的可控硅电路形成第三条电荷泄放通路，具有触发电压低，漏电低，静电保护能力高，制造面积小的优点。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本公开示例性实施例中静电保护电路的结构示意图。

图 2 是本公开另一个实施例中第一子电路的示意图。

图 3 是本公开一个实施例中静电保护电路的示意图。

图 4 是本公开一个实施例中静电保护结构的示意图。

图 5 是本公开另一个实施例中静电保护结构的示意图。

图 6 是图 4 或图 5 所示静电保护结构的等效电路示意图。

图 7A 和图 7B 是本公开另一个实施例中静电保护结构的示意图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外，附图仅为本公开的示意性图解，图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装

置中实现这些功能实体。

下面结合附图对本公开示例实施方式进行详细说明。

图 1 是本公开示例性实施例中静电保护电路的结构示意图。

参考图 1，静电保护电路可以包括第一子电路 100，第一子电路 100 包括：

第一触发电路 1，包括第一二极管 D1 和第二二极管 D2；

第二触发电路 2，包括第三二极管 D3 和晶体管 M；

可控硅电路 3，包括 PNP 型三极管 J1 和 NPN 型三极管 J2；

其中，第一二极管 D1 的正极连接静电保护电路的阳极，第一二极管 D1 的负极连接第二二极管 D2 的正极，第二二极管 D2 的负极连接静电保护电路的阴极；

第三二极管 D3 的正极连接阳极，第三二极管 D3 的负极电连接晶体管 M 的漏极，晶体管 M 的源极和栅极连接阴极；

PNP 型三极管 J1 的发射极连接阳极，NPN 型三极管 J2 的发射极连接阴极。

在本公开的一个示例性实施例中，PNP 型三极管 J1 的基极连接 NPN 型三极管 J2 的集电极，NPN 型三极管 J2 的基极连接 PNP 型三极管 J1 的集电极。

图 1 所示电路通过在静电保护电路的阳极和阴极之间设置三条静电释放通路，由于晶体管 M 的栅极接地，可以在不影响输入电路的正常功能的情况下，通过第一触发电路 1 和第二触发电路 2 设置双触发的可控硅（Silicon Controlled Rectifier，SCR）结构，且由二极管构成的第一触发电路 1 和由二极管和晶体管构成的第二触发电路 2 的触发电压低，可以应用在低电压电路中，有效提高电路的静电泄放速度；通过设置三条静电释放通路，可以有效提高静电保护电路的静电保护能力，能够保护电路正常工作。

图 2 是本公开另一个实施例中第一子电路的示意图。

参考图 2，在本公开的一个示例性实施例中，第一子电路 200 的晶体管 M 的栅极连接可调电阻 Rr。

结合图 2 和图 1，第一二极管 D1 的正极是 PNP 型三极管 J1 的发射极，第一二极管 D1 的负极是 PNP 型三极管 J1 的基极（PNP 型三极管 J1 的基极具有等效电阻 Rnw，在图中显示为第一电阻 R1）；第二二极管 D1 的正极是 NPN 型三极管 J2 的基极（NPN 型三极管 J2 的基极具有等效电阻 Rpw，在图中显示为第二电阻 R2），第二二极管 D2 的负极是 NPN 型三极管 J2 的发射极；第三二极管 D3 的正极是 PNP 型三极管 J1 的发射极，第三二级管 D3 的负极是 PNP 型三极管 J1 的基极。

即，由于二极管和三极管均涉及到 N 型掺杂和 P 型掺杂，通过图 2 所示电路 200 的连接设计，可以在制造过程中实现几个元件共用一个掺杂区，从而极大减小静电保护电路的制造（layout）面积。

图 3 是本公开一个实施例中静电保护电路的示意图。

在本公开的一个示例性实施例中，静电保护电路还包括第二子电路 300，第二子电路 300 与第一子电路 200 完全相同，第二子电路 300 和第一子电路 200 基于第一二极管 D1

的负极（即 PNP 型三极管 J1 的基极）对称分布，第二子电路 300 和第一子电路 200 共用第一二极管 D1 的负极（即 PNP 型三极管 J1 的基极）。

图 3 所示实施例中基于第一二极管 D1 的负极设置两个对称相同的子电路，可以在尽量减小制造面积的情况下，设置更强的静电保护功能。

下面，通过静电保护结构介绍图 1~图 3 所示静电保护电路的制造形态。

图 4 是本公开一个实施例中静电保护结构的示意图。图 4 所示静电保护结构可以用于实现如图 1~图 2 所示的静电保护电路的第一子电路或图 3 所示的第二子电路。

参考图 4，静电保护结构 400 包括：

P 型衬底 41；

设置在 P 型衬底 41 中的 N 阱区 42 和 P 阱区 43；

设置在 P 阱区 43 的第一 P 掺杂区 P1 和第一 N 掺杂区 N1，同时设置在 P 阱区 43 和 N 阱区 42 的第二 N 掺杂区 N2，设置在 N 阱区 42 的第二 P 掺杂区 P2 和第三 N 掺杂区 N3；其中，第二 P 掺杂区 P2 连接阳极，第一 N 掺杂区 N1 连接阴极，第一 P 掺杂区 P1 与第三 N 掺杂区 N3 相连，第一 N 掺杂区 N1 和第二 N 掺杂区 N2 之间的 P 阱区 43 表面设置有栅极结构 G。

在本公开的一个示例性实施例中，第一 P 掺杂区 P1、第二 P 掺杂区 P2、第一 N 掺杂区 N1、第二 N 掺杂区 N2、第三 N 掺杂区 N3 的掺杂浓度均大于 N 阱区和 P 阱区的掺杂浓度。

图 4 所示静电保护结构中，通过两个阱区和五个掺杂区即可以实现图 1 所示的第一子电路，实现双触发、触发电压低、具有三个通路的静电保护能力较强的景点保护电路，制造面积小且功能强大。图 4 所示静电保护结构的具体原理详见下文。

图 5 是本公开另一个实施例中静电保护结构的示意图。

参考图 5，在本公开的一个示例性实施例中，图 4 所示电路的栅极结构 G 通过可调电阻 Rr 连接阴极。

第一子电路还包括：

深 N 阱区 44，位于 P 型衬底 41 中 P 阱区 42 和 N 阱区 43 之下；

隔离 N 阱区 45，位于 P 阱区 42 远离 N 阱区 43 的一端，用于作为隔离结构；

浅沟槽隔离结构（STI，Sallow Trench Isolation）（未示出），设置在第一 P 掺杂区 P1 和第一 N 掺杂区 N1 之间、第二 N 掺杂区 N2 和第二 P 掺杂区 P2 之间、第二 P 掺杂区 P2 和第三 N 掺杂区 N3 之间。

在本公开的一个示例性实施例中，所述浅沟槽隔离结构的深度均小于所述掺杂区的深度。

图 6 是图 4 或图 5 所示静电保护结构的等效电路示意图。

参考图 6，在本公开的一个示例性实施例中，第一 N 掺杂区 N1、第二 N 掺杂区 N2 和栅极结构 G 组成 GGNMOS（Gate-Grounded NMOS，栅极接地 N 型晶体管），即图 1

或图 2 中的晶体管 M。第二 P 掺杂区 P2 与 N 阱区 43 和 P 阱区 42 共同构成 PNP 型三极管 J1，第一 N 掺杂区 N1 与 P 阱区 42 和 N 阱区 43 共同构成 NPN 型三极管 J2，第二 P 掺杂区 P2 与 N 阱区 43 构成第一二极管 D1，P 阱区 42 与第一 N 掺杂区 N1 构成第二二极管 D2。

另外，第一 P 掺杂区 P1 与 P 阱区 42 构成第二电阻 R2，第三 N 掺杂区 N3 与 N 阱区 43 构成第一电阻 R1。

在本公开的一个示例性实施例中，有第二 N 掺杂区 N2 同时作为 N 型晶体管 M 的漏极和第三二极管 D3 的负极，第二 N 掺杂区 N2 的区域长度可以是其他掺杂区的区域长度的两倍。

静电电流从阳极进入第二 P 掺杂区 P2 后，分三条路径导流到阴极。第一条路径是从第二 P 掺杂区 P2 与第三 N 掺杂区 N3 构成的第一二极管 D1、第一 P 掺杂区 P1 与第一 N 掺杂区 N1 构成的第二二极管 D2 导流到阴极。

第二条路径是静电电流从由第二 P 掺杂区 P2 和第二 N 掺杂区 N2 构成的第三二极管 D3 导流到晶体管 M 的漏极，由于静电电流为瞬间大电流，通过栅极和漏极的强耦合使晶体管导通，电流流至晶体管的源极即第一 N 掺杂区 N1，流入阴极。

当静电电流从阳极注入 N 阱区 43，即由第二 P 掺杂区 P2、N 阱区 43、P 阱区 42 构成的 PNP 三极管 J1 的发射极向基极注入电流，PNP 三极管 J1 的集电极（即 P 阱区 42）产生电流，NPN 三极管 J2 的集电极接收到 PNP 基极的电流，向 NPN 的基极（即 P 阱区 42）产生电流，PNP 三极管 J1 和 NPN 三极管 J2 构成导通的 SCR 结构，静电电荷从 PNP 三极管 J1 的发射极流入 NPN 三极管 J2 的发射极，导入阴极，从而实现第三条路径泄放静电电荷。

如此，通过图 4 或图 5 所示结构，即可通过两个阱区和五个掺杂区实现图 1 或图 2 所示的第一子电路，在静电电荷通过阳极流入时，恢复原来的 ESD 设计窗口。结构简单，制造面积小，具有较低的触发电压和强大的静电保护功能。

图 7A 和图 7B 是本公开另一个实施例中静电保护结构的示意图。其中图 7A 是静电保护结构的剖视图，图 7B 是图 7A 所示结构的俯视图。

参考图 7A 和图 7B，在本公开的一个示例性实施例中，还包括静电保护结构第二子结构 72，第二子结构 72 和第一子结构 71 关于第三 N 掺杂区 N3 呈轴对称分布，第二子结构 72 和第一子结构 71 共用第三 N 掺杂区 N3。

通过共用第三 N 掺杂区 N3，共用 N 阱区，可以在较小制造面积内设置两个完整的静电保护子结构，从而可以进一步提高固定制造面积内的静电保护能力。

综上所述，本公开实施例通过将一个由 PNP 三极管和 NPN 三极管构成的 SCR 结构，以及一个 GGNMOS 结构连接在阳极和阴极之间，可以实现触发电压较低的三条电荷泄放通路，具有强大的静电保护能力；同时，通过在制造时共用 N 阱区、P 阱区、N 掺杂区、P 掺杂区构建上述结构，可以极大缩小静电保护电路的制造面积，继而提高单位制造面积

内的静电电荷泄放能力。本公开实施例的静电保护电路和静电保护结构可以应用于半导体集成电路的输入和输出电路的 ESD 保护，尤其可应用于先进制程的低工作电压的静电保护，也可应用于各类半导体集成电路如逻辑、模拟以及各类存储器芯片的的 ESD 保护。

应当注意，尽管在上文详细描述中提及了用于动作执行的设备的若干模块或者单元，但是这种划分并非强制性的。实际上，根据本公开的实施方式，上文描述的两个或更多模块或者单元的特征和功能可以在一个模块或者单元中具体化。反之，上文描述的一个模块或者单元的特征和功能可以进一步划分为由多个模块或者单元来具体化。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和构思由权利要求指出。

工业实用性

本公开实施例提供的静电保护电路通过使用由二极管构成的第一触发电路和由 GGNMOS 构成的第二触发电路形成两条电荷泄放通路，使用由 PNP 型三极管和 NPN 型三极管构成的可控硅电路形成第三条电荷泄放通路，具有触发电压低，漏电低，静电保护能力高，制造面积小的优点。

权利要求

1.一种静电保护电路，包括第一子电路，所述第一子电路包括：

第一触发电路，包括第一二极管和第二二极管；

第二触发电路，包括第三二极管和晶体管；

可控硅电路，包括 PNP 型三极管和 NPN 型三极管；

其中，所述第一二极管的正极连接所述静电保护电路的阳极，所述第一二极管的负极连接所述第二二极管的正极，所述第二二极管的负极连接所述静电保护电路的阴极；

所述第三二极管的正极连接所述阳极，所述第三二极管的负极电连接晶体管的漏极，所述晶体管的源极和栅极连接所述阴极；

所述 PNP 型三极管的发射极连接所述阳极，所述 NPN 型三极管的发射极连接所述阴极。

2.如权利要求 1 所述的静电保护电路，其中，所述 PNP 型三极管的基极连接所述 NPN 型三极管的集电极，所述 NPN 型三极管的基极连接所述 PNP 型三极管的集电极。

3.如权利要求 1 所述的静电保护电路，其中，所述晶体管的栅极连接可调电阻。

4.如权利要求 1 所述的静电保护电路，其中，所述第一二极管的正极是所述 PNP 型三极管的发射极，所述第一二极管的负极是所述 PNP 型三极管的基极；所述第二二极管的正极是所述 NPN 型三极管的基极，所述第二二极管的负极是所述 NPN 型三极管的发射极；所述第三二极管的正极是所述 PNP 型三极管的发射极，所述第三二级管的负极是所述 PNP 型三极管的基极，所述晶体管的源极是所述第二二极管的负极。

5.如权利要求 1 所述的静电保护电路，其中，还包括第二子电路，所述第二子电路和所述第一子电路基于所述第一二极管的负极对称分布，所述第二子电路和第一子电路共用所述第一二极管的负极。

6.如权利要求 1 所述的静电保护电路，其中，所述静电保护电路包括第一电阻和第二电阻，第一电阻是所述 PNP 型三极管的基极等效电阻，第二电阻是所述 NPN 型三极管的基极等效电阻。

7.一种静电保护结构，包括第一子结构，所述第一子结构包括：

P 型衬底；

设置在所述 P 型衬底中的 N 阱区和 P 阱区；

设置在所述 P 阱区的第一 P 掺杂区和第一 N 掺杂区，同时设置在所述 P 阱区和所述 N 阱区的第二 N 掺杂区，设置在所述 N 阱区的第二 P 掺杂区和第三 N 掺杂区；

其中，所述第二 P 掺杂区连接阳极，所述第一 N 掺杂区连接阴极，所述第一 P 掺杂区与所述第三 N 掺杂区相连，所述第一 N 掺杂区和所述第二 N 掺杂区之间的 P 阱区表面设置有栅极结构。

8.如权利要求 7 所述的静电保护结构，其中，所述栅极结构通过可调电阻连接所述阴

极。

9.如权利要求 7 所述的静电保护结构，其中，还包括：

深 N 阱区，位于所述 P 型衬底中、所述 P 阱区和所述 N 阱区之下；

隔离 N 阱区，位于所述 P 阱区远离所述 N 阱区的一端，用于作为隔离结构；

浅沟槽隔离结构，设置在所述第一 P 掺杂区和所述第一 N 掺杂区之间，所述第二 N 掺杂区和所述第二 P 掺杂区之间，所述第二 P 掺杂区和所述第三 N 掺杂区之间。

10.如权利要求 7 所述的静电保护结构，其中，所述第一 N 掺杂区、所述第二 N 掺杂区和所述栅极结构组成栅极接地 N 型晶体管。

11.如权利要求 7 所述的静电保护结构，其中，所述第一 P 掺杂区、所述第二 P 掺杂区、所述第一 N 掺杂区、所述第二 N 掺杂区、所述第三 N 掺杂区的掺杂浓度均大于所述 N 阱区和所述 P 阱区的掺杂浓度。

12.如权利要求 7 所述的静电保护结构，其中，所述第二 N 掺杂区的区域长度是其他掺杂区的区域长度的两倍。

13.如权利要求 7 所述的静电保护结构，其中，还包括第二子结构，所述第二子结构和所述第一子结构关于所述第三 N 掺杂区呈轴对称分布，所述第二子结构和所述第一子结构共用所述第三 N 掺杂区。

14.如权利要求 7 所述的静电保护结构，其中，所述第二 P 掺杂区与所述 N 阱区和所述 P 阱区共同构成 PNP 型三极管，所述第一 N 掺杂区与所述 P 阱区和所述 N 阱区共同构成 NPN 型三极管，所述第二 P 掺杂区与所述 N 阱区构成第一二极管，所述 P 阱区与所述第一 N 掺杂区构成第二二极管。

15.如权利要求 9 所述的静电保护结构，其中，所述浅沟槽隔离结构的深度均小于所述掺杂区的深度。

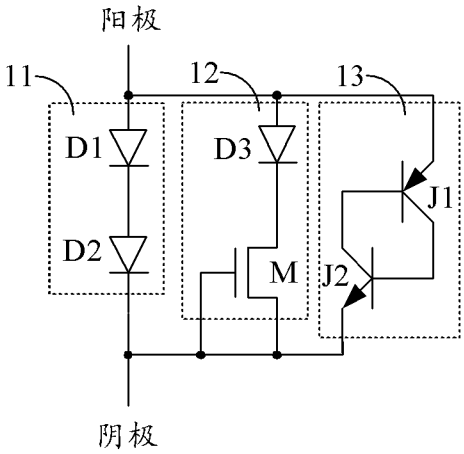


图 1

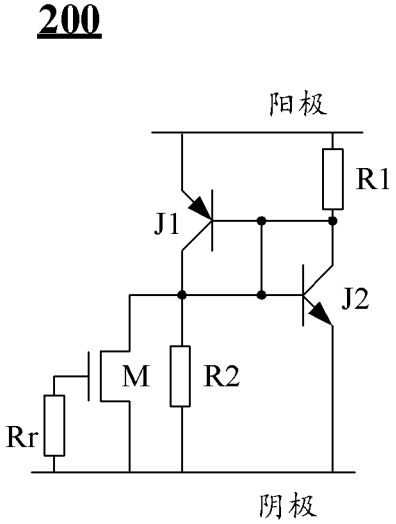


图 2

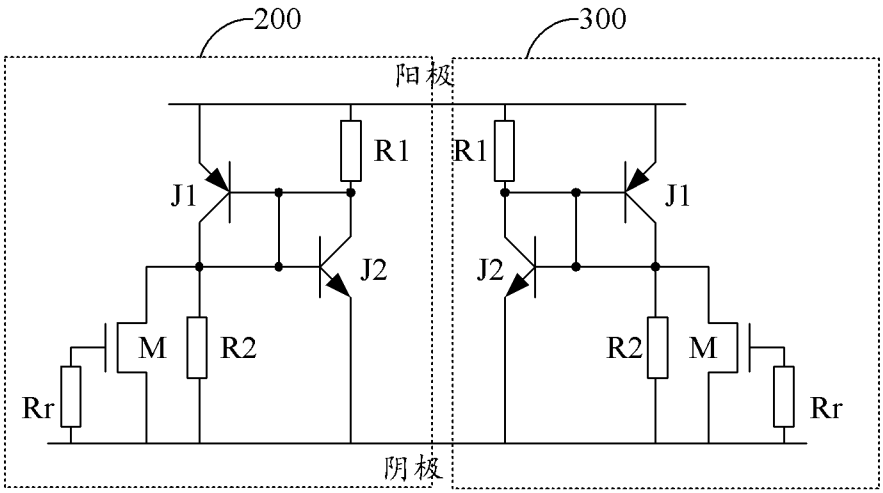

200
300
阳极
R1
R1
J1
J1
J2
J2
M
R2
R2
M
Rr
Rr
阴极

图 3

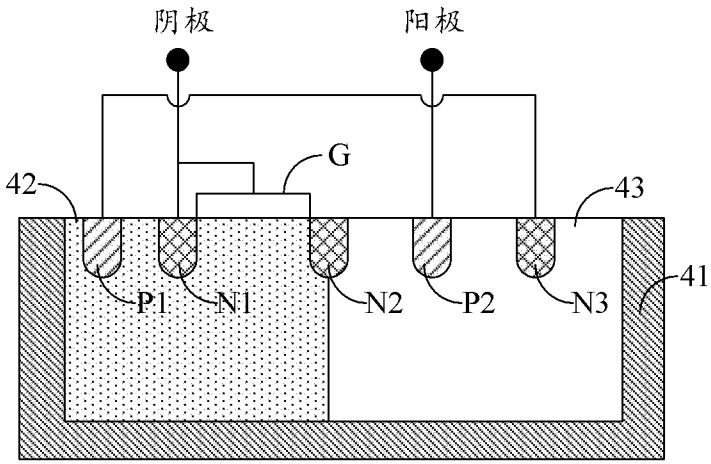

阴极
阳极
G
42
43
41
P1
N1
N2
P2
N3

图 4

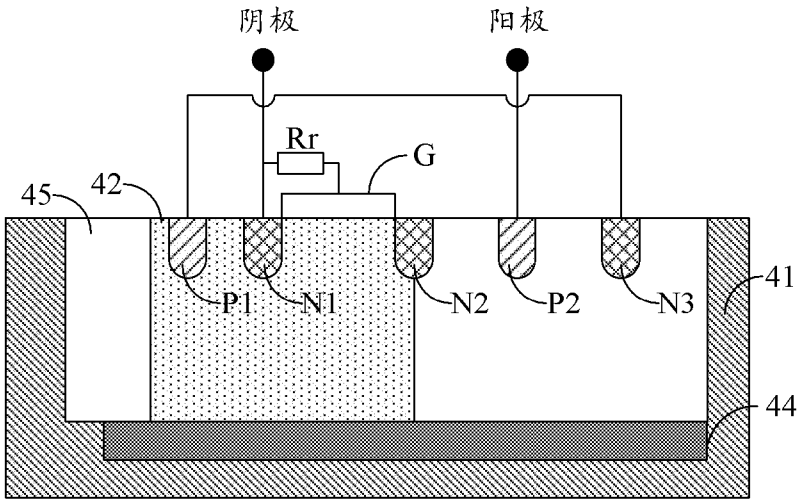

阴极
阳极
Rr
G
45
42
41
P1
N1
N2
P2
N3
44

图 5

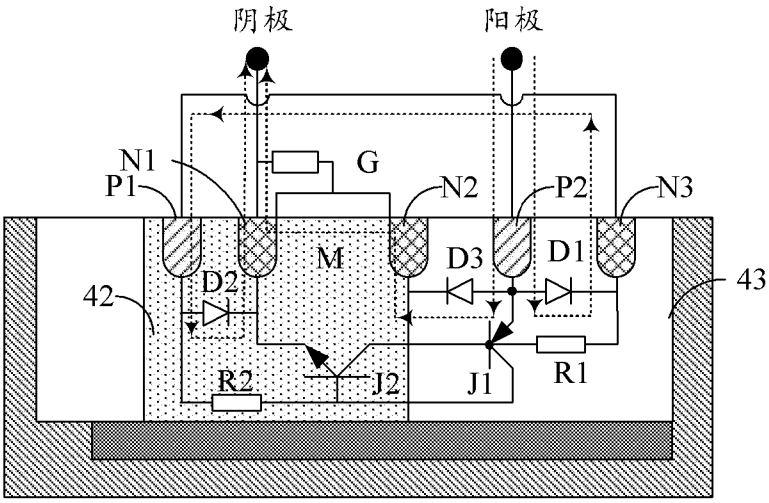

阴极
阳极
N1
P1
G
N2
P2
N3
M
D3
D1
D2
42
43
R2
J2
J1
R1

图 6

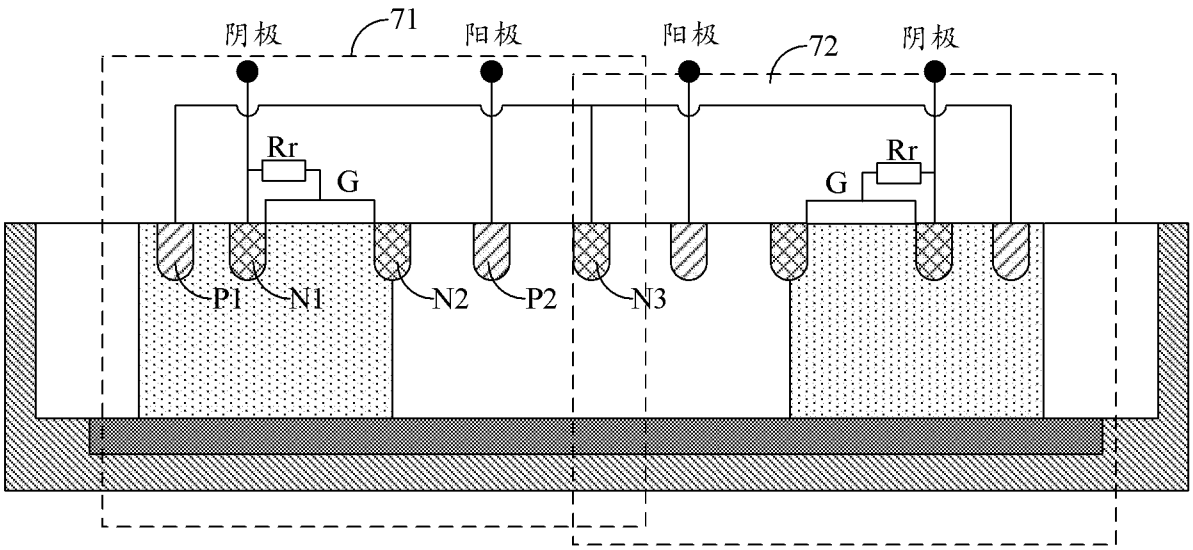

阴极
71
阳极
阳极
72
阴极
Rr
G
Rr
G
P1
N1
N2
P2
N3

图 7A

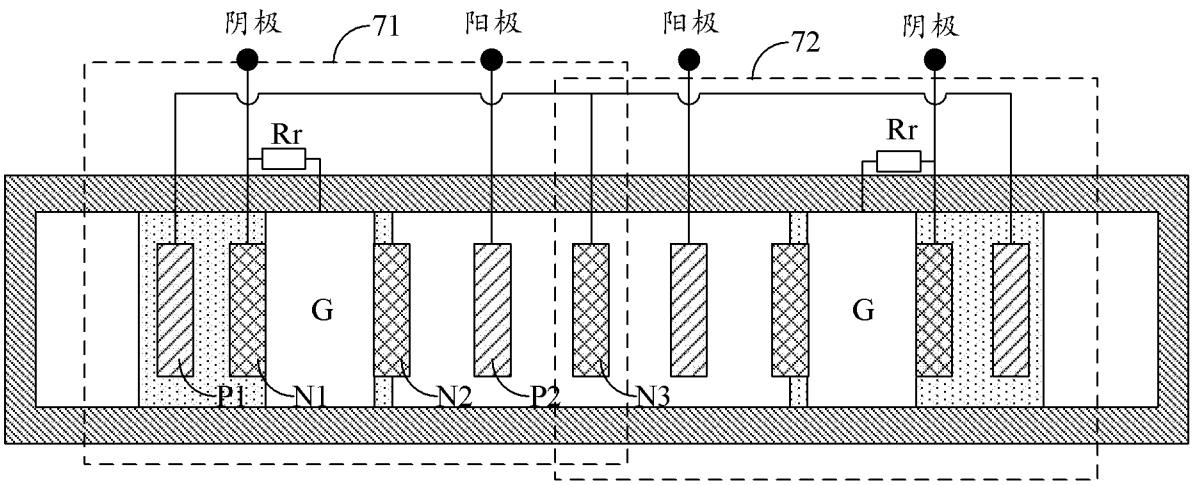

阴极
71
阳极
阳极
72
阴极
Rr
Rr
G
G
P1
N1
N2
P2
N3

图 7B

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/090055

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/02(2006.01)i; H01L 23/60(2006.01)i; H01L 23/62(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNTXT; ENTXT; ENTXTC; DWPI: 静电保护, 静电放电, 静电泄放, 触发电路, 可控硅电路, 二极管, 三极管, 晶体管, 阱, 掺杂区, 阳极, 阴极, ESD, electrostatic protection, electrostatic discharge, trigger circuit, thyristor circuit, diode, triode, transistor, well, doped area, anode, positive electrode, kathode, negative electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102456747 A (SHANGHAI HUAHONG NEC ELECTRONICS CO., LTD.) 16 May 2012 (2012-05-16) description, paragraph 0002, and figure 1	1-6
A	CN 102456747 A (SHANGHAI HUAHONG NEC ELECTRONICS CO., LTD.) 16 May 2012 (2012-05-16) description, paragraph 0002, and figure 1	7-15
Y	CN 111403380 A (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY OF SCIENCES) 10 July 2020 (2020-07-10) description, paragraph 0038, and figure 3	1-6
A	CN 111403380 A (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY OF SCIENCES) 10 July 2020 (2020-07-10) description, paragraph 0038, and figure 3	7-15
Y	CN 101640200 A (SHANGHAI GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 03 February 2010 (2010-02-03) description, p. 3, line 25 to p. 4 line 3, and figure 3	1-6

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 June 2022	**20 June 2022**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China**	
Facsimile No. **(86-10)62019451**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101640200 A (SHANGHAI GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 03 February 2010 (2010-02-03) description, p. 3, line 25 to p. 4 line 3, and figure 3	7-15
A	CN 111933639 A (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY OF SCIENCES) 13 November 2020 (2020-11-13) description, paragraph 0010, and figure 5	1-15
A	JP 2002033454 A (MIYAGI NIPPON DENKI KK) 31 January 2002 (2002-01-31) entire document	1-15
A	CN 112466947 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 09 March 2021 (2021-03-09) entire document	1-15
A	CN 110323207 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 11 October 2019 (2019-10-11) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/090055

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 102456747 A	16 May 2012	CN 102456747 B	18 December 2013
CN 111403380 A	10 July 2020	None	
CN 101640200 A	03 February 2010	None	
CN 111933639 A	13 November 2020	None	
JP 2002033454 A	31 January 2002	JP 3570973 B2	29 September 2004
CN 112466947 A	09 March 2021	None	
CN 110323207 A	11 October 2019	CN 110323207 B	05 February 2021

国际检索报告

国际申请号
PCT/CN2022/090055

A. 主题的分类

H01L 27/02(2006.01)i; H01L 23/60(2006.01)i; H01L 23/62(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI;CNTXT;ENTXT;ENTXTC;DWPI:静电保护，静电放电，静电泄放，触发电路，可控硅电路，二极管，三极管，晶体管，阱，掺杂区，阳极，阴极，ESD，electrostatic protection，electrostatic discharge，trigger circuit，thyristor circuit，diode，triode，transistor，well，doped area，anode，positive electrode，kathode，negative electrode

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 102456747 A (上海华虹NEC电子有限公司) 2012年5月16日 (2012-05-16) 说明书第0002段，图1	1-6
A	CN 102456747 A (上海华虹NEC电子有限公司) 2012年5月16日 (2012-05-16) 说明书第0002段，图1	7-15
Y	CN 111403380 A (中国科学院上海微系统与信息技术研究所) 2020年7月10日 (2020-07-10) 说明书第0038段，图3	1-6
A	CN 111403380 A (中国科学院上海微系统与信息技术研究所) 2020年7月10日 (2020-07-10) 说明书第0038段，图3	7-15
Y	CN 101640200 A (上海宏力半导体制造有限公司) 2010年2月3日 (2010-02-03) 说明书第3页第25行至4页第3行，图3	1-6
A	CN 101640200 A (上海宏力半导体制造有限公司) 2010年2月3日 (2010-02-03) 说明书第3页第25行至4页第3行，图3	7-15

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年6月5日	2022年6月20日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘红 电话号码 86-010-62089538

国际检索报告

国际申请号
PCT/CN2022/090055

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 111933639 A（中国科学院上海微系统与信息技术研究所）2020年11月13日（2020-11-13） 说明书第0010段，图5	1-15
A	JP 2002033454 A（宫城日本电气株式会社）2002年1月31日（2002-01-31） 全文	1-15
A	CN 112466947 A（中国科学院微电子研究所）2021年3月9日（2021-03-09） 全文	1-15
A	CN 110323207 A（电子科技大学）2019年10月11日（2019-10-11） 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/090055

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102456747	A	2012年5月16日	CN	102456747	B	2013年12月18日
CN	111403380	A	2020年7月10日		无		
CN	101640200	A	2010年2月3日		无		
CN	111933639	A	2020年11月13日		无		
JP	2002033454	A	2002年1月31日	JP	3570973	B2	2004年9月29日
CN	112466947	A	2021年3月9日		无		
CN	110323207	A	2019年10月11日	CN	110323207	B	2021年2月5日