



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월01일
 (11) 등록번호 10-1701380
 (24) 등록일자 2017년01월24일

(51) 국제특허분류(Int. Cl.)
 H05K 3/46 (2006.01) H01L 23/498 (2006.01)
 H01L 23/538 (2006.01) H05K 1/18 (2006.01)
 H05K 3/06 (2006.01)
 (21) 출원번호 10-2010-0079286
 (22) 출원일자 2010년08월17일
 심사청구일자 2015년07월09일
 (65) 공개번호 10-2012-0016814
 (43) 공개일자 2012년02월27일
 (56) 선행기술조사문헌
 JP2004006572 A
 JP2006261187 A
 W02009101723 A1
 KR100765022 B1

(73) 특허권자
 해성디에스 주식회사
 경상남도 창원시 성산구 웅남로 726(성주동)
 (72) 발명자
 조양식
 경상남도 창원시 성산구 창원대로 1204, 삼성테크
 원 (성주동)
 홍성택
 경상남도 창원시 성산구 창원대로 1204, 삼성테크
 원 (성주동)
 왕근호
 경상남도 창원시 성산구 창원대로 1204, 삼성테크
 원 (성주동)
 (74) 대리인
 리앤목특허법인

전체 청구항 수 : 총 18 항

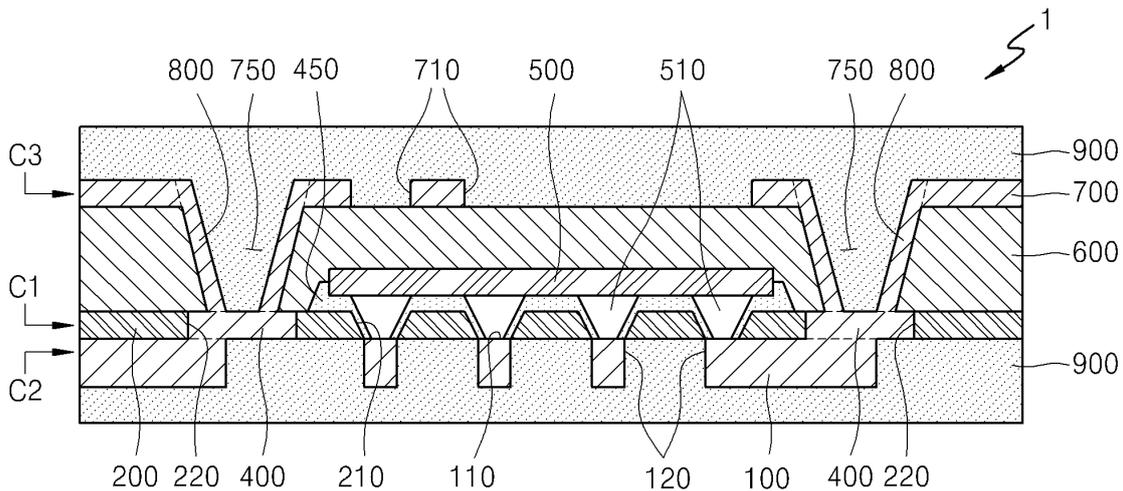
심사관 : 김상걸

(54) 발명의 명칭 소자 내장형 연성회로기판 및 이의 제조방법

(57) 요약

제1도전층과, 상기 제1도전층의 상측에 배치되며 복수의 범프홈 및 제1회로패턴에 대응되는 형상으로 제1홈이 형성된 제1절연층과, 상기 제1절연층의 상기 제1홈 내에 형성되어, 상기 제1회로패턴으로 형성된 제1도금층 및 상기 범프홈에 삽입되어 상기 제1도전층과 연결되는 복수의 범프를 구비하는 반도체 소자를 구비하며, 상기 제1도전층에는 제2회로패턴이 형성된 소자 내장형 연성회로기판과 이의 제조방법이 제공된다.

대표도 - 도12



이 발명을 지원한 국가연구개발사업

과제고유번호 10031768

부처명 지식경제부

연구관리전문기관 삼성테크윈 주식회사

연구사업명 청정제조기반산업원천기술개발사업

연구과제명 R2R 적층성형, 도금 Interconnection 제조 및 신뢰성 평가 기술

기여율 1/1

주관기관 삼성테크윈 주식회사

연구기간 2008.12.01 ~ 2011.09.30

명세서

청구범위

청구항 1

제1도전층;

상기 제1도전층의 상측에 배치되며, 복수의 범프홈 및 제1회로패턴에 대응되는 형상으로 제1홈이 형성된 제1절연층;

상기 제1절연층의 상기 제1홈 내에 형성되어 상기 제1회로패턴으로 형성되는 제1도금층; 및

상기 범프홈에 삽입되어 상기 제1도전층과 연결되는 복수의 범프를 구비하는 반도체 소자를 구비하며,

상기 제1도전층의 일부분을 식각으로 제거하여 상기 제1도전층에 제2회로패턴이 형성된 소자 내장형 연성회로기판.

청구항 2

제1항에 있어서,

상기 제1도전층은,

단면 연성동박적층필름(flexible copper clad laminate)의 구리층이며,

상기 제1절연층은,

상기 단면 연성동박적층필름의 코어층인 소자 내장형 연성회로기판.

청구항 3

제1항에 있어서,

상기 반도체 소자를 덮으며, 상기 제1절연층의 상측에 배치되는 제2절연층;

상기 제2절연층의 상측에 배치되며, 제3회로패턴이 형성된 제2도전층;

상기 제2도전층과 상기 제2절연층을 관통하여 상기 제1도금층에 이르도록 형성된 비아홀; 및

상기 제2도전층과 상기 제1도금층이 전기적으로 연결되도록, 상기 비아홀에 형성된 제2도금층을 더 구비하는 소자 내장형 연성회로기판.

청구항 4

제3항에 있어서,

상기 제2절연층은,

RCC (resin coated copper foil)의 레진층이며,

상기 제2도전층은,

상기 RCC의 구리층인 소자 내장형 연성회로기판.

청구항 5

제3항에 있어서,

상기 제2도전층은,

코어층이 상기 제2절연층에 부착되게 배치된 단면 연성동박적층필름(flexible copper clad laminate)의 구리층인 소자 내장형 연성회로기판.

청구항 6

제3항에 있어서,
상기 제2절연층은 본딩 시트인 소자 내장형 연성회로기판.

청구항 7

제3항에 있어서,
상기 제1도전층의 하측 및 상기 제2도전층의 상측에 배치되는 보호층을 더 구비한 소자 내장형 연성회로기판.

청구항 8

제1항에 있어서,
상기 범프홈의 내부에 배치되며, 상기 범프와 상기 제1도전층을 전기적으로 연결하는 도전볼을 더 구비하는 소자 내장형 연성회로기판.

청구항 9

제1항에 있어서,
상기 반도체 소자가 상기 제1절연층에 고정되도록, 상기 반도체 소자와 상기 제1절연층 사이에 배치되는 접착물질을 더 구비하는 소자 내장형 연성회로기판.

청구항 10

제1도전층의 상측에 배치된 제1절연층에 복수의 범프홈을 형성하고 제1회로패턴에 대응되는 형상으로 제1홈을 형성하는 단계;
상기 범프홈을 덮도록 상기 범프홈의 상측에 도금 레지스트를 배치하고, 상기 제1홈의 내부에 상기 제1회로패턴으로 제1도금층을 형성하기 위하여 도금하는 단계;
상기 도금 레지스트를 제거하는 단계;
범프를 구비한 반도체 소자의 상기 범프가 상기 범프홈에 끼워지도록 상기 반도체 소자를 배치하는 단계; 및
상기 제1도전층의 일부분을 식각으로 제거하여 상기 제1도전층에 제2회로패턴을 형성하는 단계;를 포함하는 소자 내장형 연성회로기판의 제조방법.

청구항 11

제10항에 있어서,
상기 제1도전층은,
단면 연성동박적층필름(flexible copper clad laminate)의 구리층이며,
상기 제1절연층은,
상기 연성동박적층필름의 코어층인 소자 내장형 연성회로기판의 제조방법.

청구항 12

제10항에 있어서,
상기 반도체 소자를 덮도록 상기 제1절연층의 상측에 제2절연층을 배치하며, 상기 제2절연층의 상측에 제2도전층을 배치하는 단계;
상기 제2도전층 및 상기 제2절연층을 관통하여 상기 제1도금층에 이르는 비아홀을 형성하는 단계;
상기 제2도전층과 상기 제1도금층이 전기적으로 연결되도록, 상기 비아홀에 제2도금층을 형성하는 단계; 및
상기 제2도전층의 일부분을 식각으로 제거하여 상기 제2도전층에 제3회로패턴을 형성하는 단계를 더 포함하는

소자 내장형 연성회로기판의 제조방법.

청구항 13

제12항에 있어서,
 상기 제2절연층은,
 RCC (resin coated copper foil)의 레진층이며,
 상기 제2도전층은,
 상기 RCC의 구리층인 소자 내장형 연성회로기판의 제조방법.

청구항 14

제12항에 있어서,
 상기 제2도전층은,
 코어층이 상기 제2절연층에 부착되게 배치된 단면 연성동박적층필름(FCCL)의 구리층인 소자 내장형 연성회로기판의 제조방법.

청구항 15

제12항에 있어서,
 상기 제2절연층은 본딩 시트인 소자 내장형 연성회로기판의 제조방법.

청구항 16

제12항에 있어서,
 상기 제1도전층의 하측 및 상기 제2도전층의 상측에 보호층을 배치하는 단계를 더 포함하는 소자 내장형 연성회로기판의 제조방법.

청구항 17

제10항에 있어서,
 상기 도금 레지스트를 제거하는 단계와 상기 반도체 소자를 상기 제1절연층의 상측에 배치하는 단계 사이에,
 상기 반도체 소자의 범프와 상기 제1도전층을 전기적으로 연결하도록, 도전볼을 상기 범프홈의 내부에 배치하는 단계를 더 포함하는 소자 내장형 연성회로기판의 제조방법.

청구항 18

제10항에 있어서,
 상기 도금 레지스트를 제거하는 단계와 상기 반도체 소자를 상기 제1절연층의 상측에 배치하는 단계 사이에,
 상기 제1절연층의 상기 범프홈이 형성된 부분의 상측에 접착물질을 도포하는 단계를 더 포함하는 소자 내장형 연성회로기판의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 연성회로기판(flexible printed circuit board:FPCB)에 관한 것으로, 더욱 구체적으로는 반도체 소자를 내장한 소자 내장형 연성회로기판에 관한 것이다.

[0002] 본 발명은 지식경제부 산업기술개발 사업의 일환으로 수행한 연구로부터 도출된 것이다.

[0003] [과제관리번호: 10031768, 과제명: R2R 적층성형, 도금 Interconnection 제조 및 신뢰성 평가 기술]

배경 기술

- [0004] 최근 전자 기기의 소형화 및 고성능화에 따라서 소형의 회로기판에 많은 수의 부품을 실장해야 할 필요성이 커지고 있다. 소형의 회로기판에 많은 수의 부품을 실장하기 위한 방법으로 각종의 소자, 특히 능동소자까지도 연성회로기판에 내장하는 방법이 널리 사용된다.
- [0005] 이와 같은 소자 내장형 연성회로기판에 의하면 부품의 집적도를 향상시킬 수 있을 뿐만 아니라, 배선길이가 단축되어 전기적 성능이 향상될 수 있다. 또한 조립 공정의 수가 감소되며, 부품의 배치를 위한 여유가 증가하여 디자인 자유도가 향상될 수 있는 장점이 있다.
- [0006] 이러한 소자 내장형 연성회로기판의 장점은 그 두께가 감소될수록 더욱 증대되는데, 이는 두께가 얇아질수록 소자 내장형 연성회로기판의 부피가 감소되고, 배선길이의 단축으로 응답속도가 향상되며 소비전력이 감소되기 때문이다. 뿐만 아니라 두께가 감소될수록 굴곡성도 함께 증가하여 소자 내장형 연성회로기판의 배치에도 유리하다.

발명의 내용

해결하려는 과제

- [0007] 부품의 집적도를 향상시키고 두께를 효과적으로 감소될 수 있는 소자 내장형 연성회로기판 및 이의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0008] 상기의 목적을 달성하기 위하여 본 발명의 일 측면은 다른 소자 내장형 연성회로기판은, 제1도전층과, 상기 제1도전층의 상측에 배치되며 복수의 범프홈 및 제1회로패턴에 대응되는 형상으로 제1홈이 형성된 제1절연층과, 상기 제1절연층의 상기 제1홈 내에 형성되어, 상기 제1회로패턴으로 형성되는 제1도금층 및 상기 범프홈에 삽입되어 상기 제1도전층과 연결되는 복수의 범프를 구비하는 반도체 소자를 구비하며, 상기 제1도전층의 일부분을 식각으로 제거하여 상기 제1도전층에 제2회로패턴이 형성된다.
- [0009] 또한, 상기 제1도전층은 단면 연성동박적층필름(flexible copper clad laminate:FCCL)의 구리층이며, 상기 제1절연층은 상기 단면 연성동박적층필름의 코어층일 수 있다.
- [0010] 또한, 상기 소자 내장형 연성회로기판은, 상기 반도체 소자를 덮으며 상기 제1절연층의 상측에 배치되는 제2절연층과, 상기 제2절연층의 상측에 배치되며, 제3회로패턴이 형성된 제2도전층과, 상기 제2도전층과 상기 제2절연층을 관통하여 상기 제1도금층에 이르도록 형성된 비아홀과, 상기 제2도전층과 상기 제1도금층이 전기적으로 연결되도록 상기 비아홀에 형성된 제2도금층을 더 구비할 수 있다.
- [0011] 또한, 상기 제2절연층은 RCC (resin coated copper foil)의 레진층이며, 상기 제2도전층은 상기 RCC의 구리층일 수 있다.
- [0012] 또한, 상기 제2도전층은, 코어층이 상기 제2절연층에 부착되게 배치된 단면 연성동박적층필름의 구리층일 수 있다.
- [0013] 또한, 상기 제2절연층은 본딩 시트일 수 있다.
- [0014] 또한, 상기 소자 내장형 연성회로기판은 제1도전층의 하측 및 상기 제2도전층의 상측에 배치되는 보호층을 더 구비할 수 있다.
- [0015] 또한, 상기 소자 내장형 연성회로기판은, 상기 범프홈의 내부에 배치되며 상기 범프와 상기 제1도전층을 전기적으로 연결하는 도전볼을 더 구비할 수 있다.
- [0016] 또한, 상기 소자 내장형 연성회로기판은, 상기 반도체 소자가 상기 제1절연층에 고정되도록 상기 반도체 소자와 상기 제1절연층 사이에 배치되는 접착물질을 더 구비할 수 있다.
- [0017] 한편, 본 발명의 다른 일 측면에 따른 소자 내장형 연성회로기판의 제조방법은, 제1도전층의 상측에 배치된 제1절연층에 복수의 범프홈을 형성하고 제1회로패턴에 대응되는 형상으로 제1홈을 형성하는 단계와, 상기 범프홈을 덮도록 상기 범프홈의 상측에 도금 레지스트를 배치하고 상기 제1홈의 내부에 상기 제1회로패턴으로 제1도금층을 형성하기 위하여 도금하는 단계와, 상기 도금 레지스트를 제거하는 단계와, 범프를 구비한 반도체 소자의

상기 범프가 상기 범프홈에 끼워지도록 상기 반도체 소자를 배치하는 단계 및 상기 제1도전층의 일부분을 식각으로 제거하여 상기 제1도전층에 제2회로패턴을 형성하는 단계를 포함한다.

[0018] 또한, 상기 소자 내장형 연성회로기판의 제조방법은, 상기 반도체 소자를 덮도록 상기 제1절연층의 상측에 제2절연층을 배치하며 상기 제2절연층의 상측에 제2도전층을 배치하는 단계와, 상기 제2도전층 및 상기 제2절연층을 관통하여 상기 제1도금층에 이르는 비아홀을 형성하는 단계와, 상기 제2도전층과 상기 제1도금층이 전기적으로 연결되도록 상기 비아홀에 제2도금층을 형성하는 단계와, 상기 제2도전층의 일부분을 식각으로 제거하여 상기 제2도전층에 제3회로패턴을 형성하는 단계를 더 포함할 수 있다.

[0019] 또한, 상기 소자 내장형 연성회로기판의 제조방법은 상기 제1도전층의 하측 및 상기 제2도전층의 상측에 보호층을 배치하는 단계를 더 포함할 수 있다.

[0020] 또한, 상기 소자 내장형 연성회로기판의 제조방법은, 상기 도금 레지스트를 제거하는 단계와 상기 반도체 소자를 상기 제1절연층의 상측에 배치하는 단계 사이에, 상기 반도체 소자의 범프와 상기 제1도전층을 전기적으로 연결하도록 도전 볼을 상기 범프홈의 내부에 배치하는 단계를 더 포함할 수 있다.

[0021] 또한, 상기 소자 내장형 연성회로기판의 제조방법은, 상기 도금 레지스트를 제거하는 단계와 상기 반도체 소자를 상기 제1절연층의 상측에 배치하는 단계 사이에, 상기 제1절연층의 상기 범프홈이 형성된 부분의 상측에 접착물질을 도포하는 단계를 더 포함할 수 있다.

발명의 효과

[0022] 본 발명의 일 측면에 따른 소자 내장형 연성회로기판은 집적도가 향상되고 그 두께가 효과적으로 감소되어, 전기적 성능 및 굴곡성을 효과적으로 향상시킬 수 있다.

도면의 간단한 설명

[0023] 도 1 내지 도 12는 본 발명의 일 실시예에 따른 소자 내장형 연성회로기판의 제조과정을 순차적으로 나타낸 개략적 단면도이다.

도 13은 본 발명의 일 실시예에 따른 소자 내장형 연성회로기판의 제조과정을 개략적으로 나타낸 순서도이다.

도 14은 본 발명의 다른 일 실시예에 따른 소자 내장형 연성회로기판의 개략적 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하 도면을 참조하여 본 발명의 일 실시예에 따른 소자 내장형 연성회로기판에 대해서 설명한다.

[0025] 도 1 내지 도 12는 본 발명의 일 실시예에 따른 소자 내장형 연성회로기판의 제조과정을 순차적으로 나타낸 개략적 단면도이다. 특히, 도 12는 본 실시예에 따른 소자 내장형 연성회로기판의 완성된 형태를 개략적으로 도시한 단면도이다. 도 13은 본 발명의 일 실시예에 따른 소자 내장형 연성회로기판의 제조과정을 개략적으로 나타낸 순서도이다.

[0026] 도 12를 참조하면 본 실시예에 따른 소자 내장형 연성회로기판(1)은 제1도전층(100), 제1절연층(200), 제1도금층(400), 반도체 소자(500), 제2절연층(600), 제2도전층(700), 비아홀(750), 제2도금층(800) 및 보호층(900)을 구비한다.

[0027] 제1도전층(100)은 구리(Cu) 소재로 이루어지며, 10 내지 20 μm 정도의 매우 얇은 두께를 가진다. 제1도전층(100)에는 제2회로패턴이 형성되도록 소정의 형태로 홈(120)이 형성된다.

[0028] 제1절연층(200)은 제1도전층(100)의 상측에 배치되며, 5 내지 15 μm 마이크로미터 가량의 매우 얇은 두께를 가진다. 제1절연층(200)은 절연성, 유연성 및 내열특성이 우수한 폴리이미드(polyimide) 소재로 이루어질 수 있다.

[0029] 제1절연층(200)에는 범프홈(210)과 제1홈(220)이 형성된다. 범프홈(210)은 반도체 소자(500)의 범프(510)가 삽입되는 부분으로 반도체 소자(500)의 범프(bump-510)에 대응되는 형태로 복수 개가 형성되며, 제1도전층(110)의 일부분을 노출시킨다. 즉, 범프홈(510)에 의해서 제1절연층(200)으로부터 노출된 제1도전층(110)의 일부는 범프패드(bump pad)가 되는 것이다.

[0030] 제1홈(220)은 범프홈(210)에 이웃하며, 제1절연층(200)에 소정의 패턴, 소위 제1회로패턴에 대응되는 형상으로

형성된다.

- [0031] 제1도금층(400)은 제1절연층(200)의 제1홈(220)의 내부 공간에 형성되는 것으로, 제1도전층(100)과 동일하게 구리 소재로 이루어진다. 제1도금층(400)의 두께는 제1절연층(200)과 단차가 생기지 않도록 제1절연층(200)의 두께와 동일하게 형성된다. 제1도금층(400)은 도금에 의하여 제1홈(220)의 내부에 형성되므로, 제1홈(220)의 형태를 따라서 제1회로패턴으로 형성된다.
- [0032] 반도체 소자(500)는 복수의 범프(510)를 구비하며 제1절연층(200)의 상측에 배치된다. 반도체 소자(500)의 범프(510)는 범프홈(210)에 끼워져 범프 패드(110)에 연결됨으로써, 제1금속박판(100)의 제3회로패턴과 연결된다. 반도체 소자(500)의 두께는 대략 50 내지 100 μm 정도로 매우 얇게 형성될 수 있다. 반도체 소자(500)와 제1절연층(200) 사이에는 접착물질(450)이 배치되어 반도체 소자(500)와 제1절연층(200)이 서로 안정적으로 접착 고정되게 한다. 접착물질(450)은 에폭시계의 이방성 전도성 페이스트(anisotropic conductive paste:ACP) 또는 비전도성 페이스트(non-conductive paste:NCP)로 이루어질 수 있다.
- [0033] 제2절연층(600)은 제1절연층(200)의 상측에 배치되며, 반도체 소자(500)를 덮어 밀봉한다. 제2절연층(600)은 반도체 소자(500)를 덮어줄 수 있도록 반도체 소자(500)보다 두껍게 형성되되, 소자 내장형 연성회로기판(1) 전체의 두께가 두꺼워 지지 않도록 대략 반도체 소자(500)보다 조금만 더 두껍게 형성되는 것이 바람직하다. 예컨대 반도체 소자(500)가 50 μm 정도의 두께를 가진다면, 제2절연층(600)은 70 내지 80 μm 정도의 두께로 형성될 수 있다.
- [0034] 제2절연층(600)은 본딩 시트(bonding sheet) 또는 페이스트(paste)형 접착제로 이루어질 수 있다.
- [0035] 제2도전층(700)은 제2절연층(600)의 상측에 배치되며, 제1도전층(100)과 마찬가지로 구리 소재로 이루어지며 10 내지 20 μm 정도의 매우 얇은 두께를 가진다. 제2도전층(700)에는 제3회로패턴이 형성되도록 홈(710)이 형성된다.
- [0036] 비아홀(via hole-750)은 제2도전층(700)과 제2절연층(600)을 관통하여, 상기 제1도금층(400)에 이르도록 형성된다.
- [0037] 제2도금층(800)은 비아홀(750)의 표면에 형성되며, 제2도전층(700)과 상기 제1도금층(400)이 전기적으로 연결되도록 한다. 제2도금층(800)은 제1도금층(400)과 마찬가지로 구리 소재로 이루어진다.
- [0038] 보호층(900)은 제1도전층(100)의 하측 및 제2도전층(700)의 상측에 각각 배치되어 그 사이에 배치된 반도체 소자(500) 및 회로를 보호하기 위한 것으로 회로보호용 절연필름인 커버 레이(cover lay)로 이루어질 수 있다.
- [0039] 상술한 바에 따르면, 본 실시예에 따른 소자 내장형 연성회로기판(1)은 각각 제1회로패턴, 제2회로패턴 및 제3회로패턴으로 형성된 3개의 회로층(C1, C2, C3)을 구비한다. 상기 회로층들(C1,C2,C3)은 서로 연결되는데, 특히 제1절연층(200)의 회로층(C1)과 제1도전층(100)의 회로층(C2)은 비아홀에 의하지 않고 서로 면접촉되어 연결된다.
- [0040] 다음으로 본 실시예에 따른 소자 내장형 연성회로기판의 제조방법에 대해서 설명한다.
- [0041] 도 1에 도시된 바와 같이 하측에 제1도전층(100)이 배치되고 상측에 제1절연층(200)이 형성된 원소재를 마련한다. 본 실시예에서는 원소재로서 연성동박적층필름(flexible copper clad laminate:FCCL-150)을 사용하는 것을 예로 들어 설명한다. 즉, 연성동박적층필름(150)의 구리층이 제1도전층(100)이 되고, 폴리이미드(polyimide) 재질의 코어층이 제1절연층(200)이 되는 것이다.
- [0042] 다음으로 도 2에 도시된 바와 같이, 제1절연층(200)에 범프홈(210)과 제1회로패턴의 제1홈(220)을 형성한다(S10). 제1절연층(200)에 범프홈(210)과 제1홈(220)을 형성하기 위해서는 CO₂ 레이저가 사용될 수 있다. 범프홈(210)을 형성함에 따라서 제1도전층(100)이 반도체 소자(500)의 범프(510)에 대응되는 형상으로 노출되므로 범프 패드(110)가 형성된다.
- [0043] 다음으로 도 3에 도시된 바와 같이 범프홈(210)을 덮도록 제1절연층(200)의 상측에 도금 레지스트(300)를 배치한 후, 전해도금을 실시하여 도 4에 도시된 바와 같이 제1도금층(400)을 형성한다(S20). 한편, 범프홈(210)의 상측에는 도금 레지스트(300)가 배치되어 있으므로 범프홈(210)의 내부에는 도금층이 형성되지 않는다. 도금공정은 제1도금층(400)이 제1절연층(200)과 동일한 두께를 가질 때까지 수행한다.
- [0044] 다음으로 도 5에 도시된 바와 같이 도금 레지스트(300)를 제거한 후, 도 6에 도시된 바와 같이 제1절연층(200)

의 범프홈(210)이 형성된 부분의 상측에 에폭시계 ACP 또는 NCP로 이루어진 접착물질(450)을 도포한다(S35).

- [0045] 다음으로 도 7에 도시된 바와 같이, 범프(510)를 구비한 반도체 소자(500)를 접착물질(450)이 도포된 제1절연층(200)의 상측에 배치하되, 그 범프(510)가 범프홈(210)에 끼워지도록 한다(S40). 범프(510)는 범프홈(210)에 끼워져 범프 패드(110)에 접촉됨으로써 제1도전층(100)과 전기적으로 연결된다.
- [0046] 다음으로 도 8a에 도시된 바와 같이 반도체 소자(500)를 덮어 밀봉하는 제2절연층(600)을 제1절연층(200)에 상측에 배치하고, 그 제2절연층(600)의 상측에 제2도전층(700)을 배치한다(S50). 제2절연층(600)은 본딩 시트를 이용하여 형성될 수 있다. 즉, 제2절연층(600)은 B-스테이지의 반경화 상태에 있는 본딩 시트를 풀러 등으로 가열 및 가압하여 반도체 소자(500) 및 제1절연층(200)의 상측에 부착시킴으로써 형성될 수 있다.
- [0047] 한편, 제2절연층(600)은 페이스트 형의 접착제로 형성될 수도 있는데, 이 경우에 페이스트 형 접착제를 소정의 두께로 살포하는 스프레이 법이 이용될 수 있다.
- [0048] 본딩 시트 또는 페이스트 형의 접착제를 이용하여 제2절연층(600)이 형성되면, 그 상측에 제2도전층(700)을 배치한다. 제2도전층(700)은 제1도전층(100)과 동일하게 구리 소재의 박막으로 이루어지며 접착물질(미도시)에 의해서 제2절연층(600)에 접착될 수 있다. 제2도전층(700)을 배치하기 위해서 단면의 연성동박적층필름(160)을 사용할 수도 있다. 즉, 도 8b에 도시된 바와 같이 단면의 연성동박적층필름(160)의 코어층(162)을 제2절연층(600)에 부착시킴으로써 제2도전층(700)을 제2절연층(600)의 상측에 배치할 수 있다.
- [0049] 한편, 본 실시예에서는 제2도전층(700)이 제2절연층(600)의 형성 이후에 별도의 과정을 거쳐 그 위에 배치되는 것으로 설명하였으나, 이와는 달리 제2절연층(600)과 제2도전층(700)은 단일 공정으로 형성될 수도 있다. 예를 들면, 미리 준비된 RCC(resin coated copper)의 레진 층이 제2절연층(600)을 향하도록 한 후 진공 적층(vacuum laminating)하여 제2절연층(600)과 제2도전층(700)을 한꺼번에 배치할 수도 있다. 즉, RCC의 레진이 제2절연층(600)이 되고 RCC의 구리 박막이 제2도전층(700)이 되는 것이다.
- [0050] 다음으로, 도 9에 도시된 바와 같이 CO₂ 레이저를 이용하여 제2도전층(700) 및 제2절연층(600)을 관통하는 비아홀(750)을 형성한다(S60). 이 경우 비아홀(750)을 제1도금층(400)에 이르는 깊이로 형성함으로써, 제1도전층(400)이 외부로 노출되도록 한다.
- [0051] 다음으로, 도 10에 도시된 바와 같이 비아홀(750)의 표면에 제2도금층(800)을 형성한다(S70). 비아홀(750)의 표면의 일부는 절연물질로 이루어진 제2절연층(600)으로 이루어지므로, 제2도금층(800)은 무전해 동도금을 수행한 후에 전해 동도금을 수행함으로써 형성될 수 있다. 제2도금층(800)은 제1도금층(400)에 이르는 비아홀(750)의 표면에 형성되므로, 제1도금층(400)과 제2도전층(700)은 제2도금층(800)에 의해서 전기적으로 연결된다.
- [0052] 다음으로, 도 11에 도시된 바와 같이 제1도전층(100)을 제2회로패턴으로 패터닝하고, 제2도전층(700)을 제3회로패턴으로 패터닝한다(S80). 제1도전층(100) 및 제2도전층(700)을 패터닝하기 위해서는 통상적인 에칭 공정이 사용될 수 있다. 즉, 정면처리 공정, 감광성 필름 적층 공정, 노광 공정, 현상 공정, 식각 공정 및 박리 공정을 통하여 제1도전층(100) 및 제2도전층(700)에 각각 제2회로패턴 및 제3회로패턴을 형성할 수 있다.
- [0053] 다음으로, 도 12에 도시된 바와 같이 제1도전층(100)의 하측 및 제2도전층(700)의 상측에 회로보호용 절연 필름인 커버 레이(cover lay)를 접착함으로써 보호층(900)을 배치한다(S90). 보호층(900)의 배치가 완료되면 본 실시예에 따른 소자 내장형 연성회로기판(1)의 제조가 완료된다.
- [0054] 상술한 바와 같이 본 실시예에 따른 소자 내장형 연성회로기판(1)은, 제1절연층(200)에 범프홈(210)을 형성하는 방법으로 범프 패드(110)를 형성하므로, 범프 패드를 형성하기 위한 별도의 회로층이 요구되지 않는다. 따라서 소자 내장형 연성회로기판(1)의 두께가 효과적으로 감소된다.
- [0055] 또한, 반도체 소자(500)의 범프(510)가 범프홈(210)에 끼워져 배치되므로, 범프(510)가 삽입된 깊이만큼 소자 내장형 연성회로기판의 두께가 더욱 감소된다.
- [0056] 또한, 제1절연층(200)에 제1회로패턴의 회로를 형성함으로써 추가적인 두께의 증가를 야기하지 않으므로, 집적도를 향상 및 박막화에 효과적이다.
- [0057] 또한, 제1절연층(200)의 회로층(C1)과 제1도전층(100)의 회로층(C2)은 비아홀에 의하지 않고 면접촉하여 연결되므로 전기적 성능향상 및 소비전력의 감소의 효과를 얻을 수 있다.
- [0058] 다음으로 본 발명의 다른 실시예에 따른 소자 내장형 연성회로기판에 대해서 도면을 참조하여 설명한다.

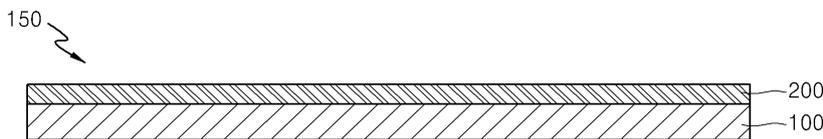
- [0059] 도 14는 본 발명의 다른 실시예에 따른 소자 내장형 연성회로기판의 개략적 단면도이다.
- [0060] 도 14를 참조하면 본 실시예에 따른 소자 내장형 연성회로기판(2)은 도 12에 도시된 소자 내장형 연성회로기판(1)과 마찬가지로 제1도전층(100), 제1절연층(200), 제1도금층(400), 반도체 소자(500), 제2절연층(600), 제2도전층(700), 비아홀(750), 제2도금층(800) 및 보호층(900)을 구비하며, 이에 추가적으로 복수의 도전볼(conductive ball-550)을 더 구비한다.
- [0061] 도전볼(550)은 범프홈(210)의 내부에 배치되어, 반도체 소자(500)의 범프(510)와 제1도전층(100)을 전기적으로 연결한다.
- [0062] 본 실시예에 따른 소자 내장형 연성회로기판(2)에 따르면, 반도체 소자(500)의 범프(510)의 상하방향 길이가 제1절연층(200)의 두께보다 작은 경우에도, 범프 패드(110)와 범프(510) 사이에 도전볼(500)을 채워넣음으로써 용이하게 범프(510)와 범프 패드(110)를 연결할 수 있다.
- [0063] 이상, 본 발명의 일부 실시예에 따른 소자 내장형 연성회로기판(1,2) 및 이의 제조방법에 대해 설명하였으나 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상의 범주 내에서 다양한 형태로 구체화될 수 있다.
- [0064] 예를 들어, 상기 실시예에 따른 소자 내장형 연성회로기판(1,2)은 제1 내지 제3회로층(C1,C2,C3)을 구비하는 것으로 설명하였으나, 이와는 달리 제3회로층(C3)을 포함하지 않을 수도 있다. 즉, 소자 내장형 연성회로기판(1,2)은 제2도전층(800)이 없이 제1회로층(C1)과 제2회로층(C2)만을 구비할 수도 있다.
- [0065] 또한, 상기 실시예에서 제1도전층(100), 제2도전층(700), 제1도금층(400) 및 제2도금층(800)은 구리 소재를 포함하여 이루어지는 것으로 설명하였으나, 이와는 다른 금속 소재를 포함하여 이루어질 수도 있다.
- [0066] 또한, 본 실시예에서 제1도금층(400)의 두께는 제1절연층(200)의 두께와 동일한 것으로 설명하였으나, 이와는 달리 제1도금층(400)의 두께는 제1절연층(200)의 두께보다 얇게 형성될 수도 있다.

부호의 설명

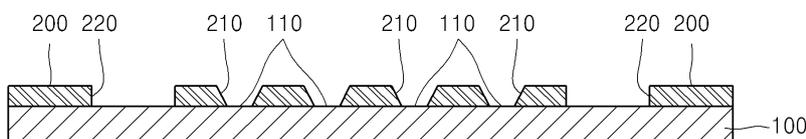
- | | |
|------------------------------|------------------|
| [0067] 1,2 ... 소자 내장형 연성회로기판 | 100 ... 제1도전층 |
| 200 ... 제1절연층 | 210 ... 범프홈 |
| 220 ... 제1홈 | 300 ... 도금 레지스트 |
| 400 ... 제1도금층 | 500 ... 반도체 소자 |
| 600 ... 제2절연층 | 700 ... 제2도전층 |
| 750 ... 비아홀 | 800 ... 제2도금층 |
| 900 ... 보호층 | C1,C2,C3 ... 회로층 |

도면

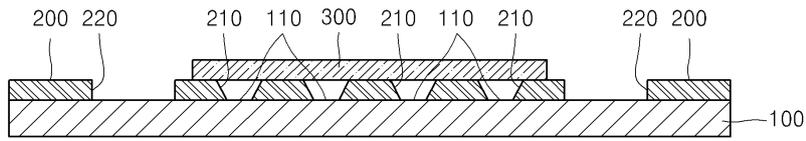
도면1



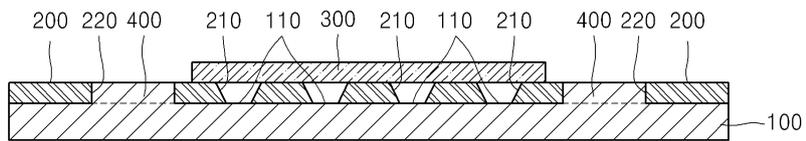
도면2



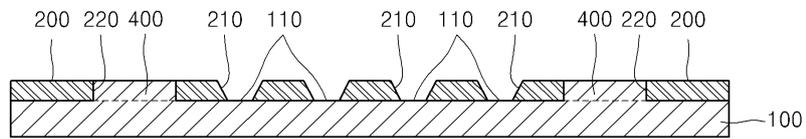
도면3



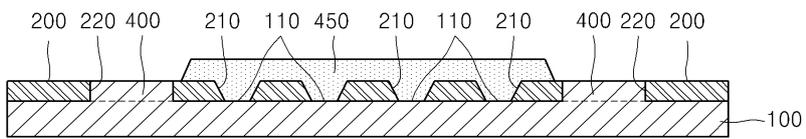
도면4



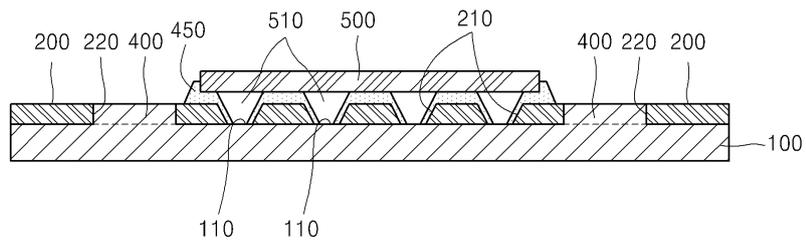
도면5



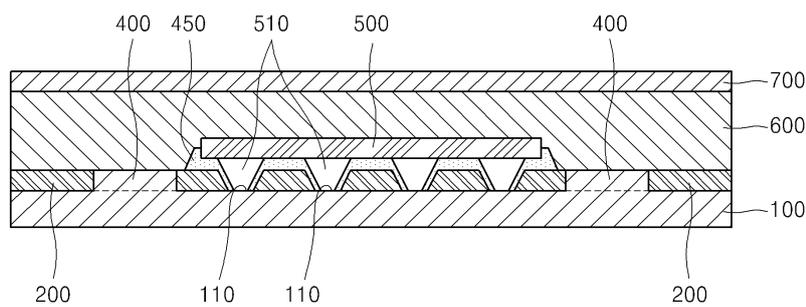
도면6



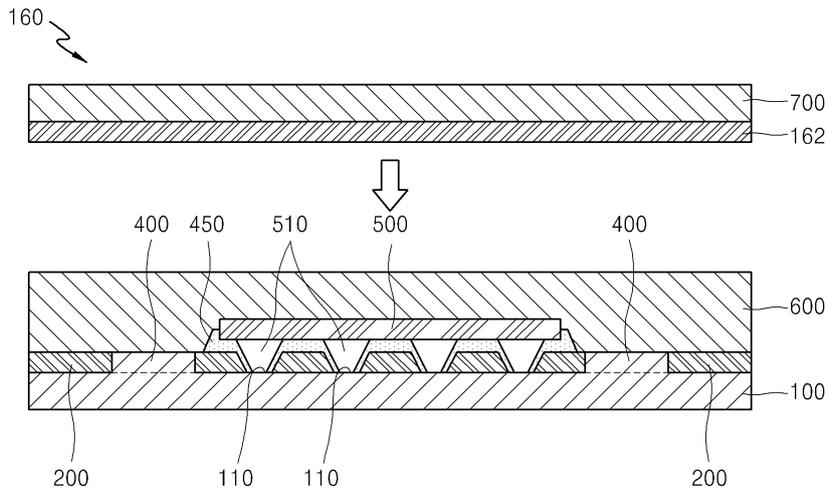
도면7



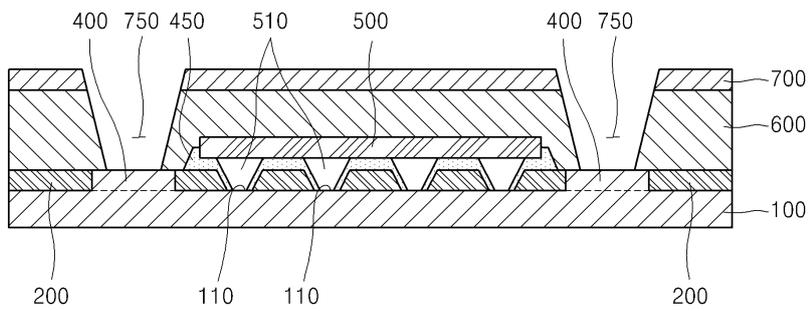
도면8a



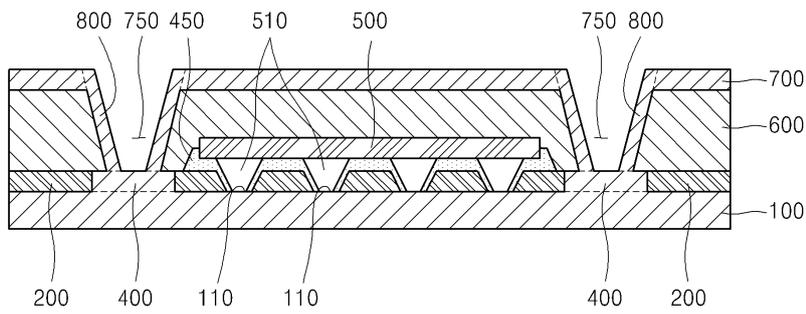
도면8b



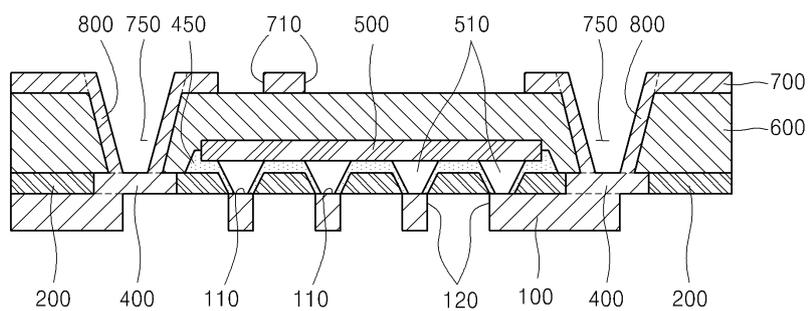
도면9



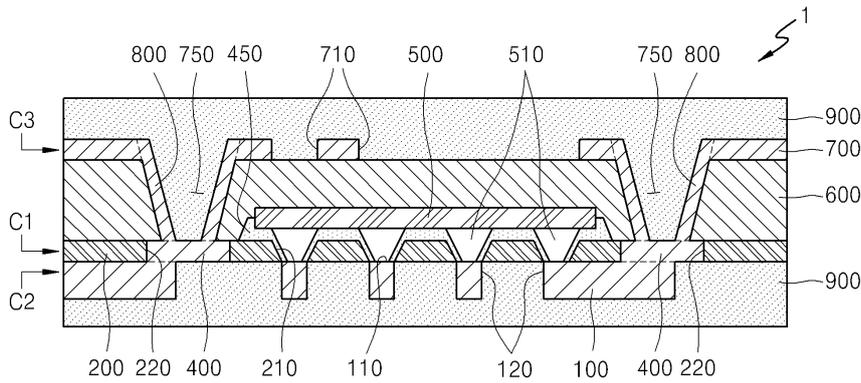
도면10



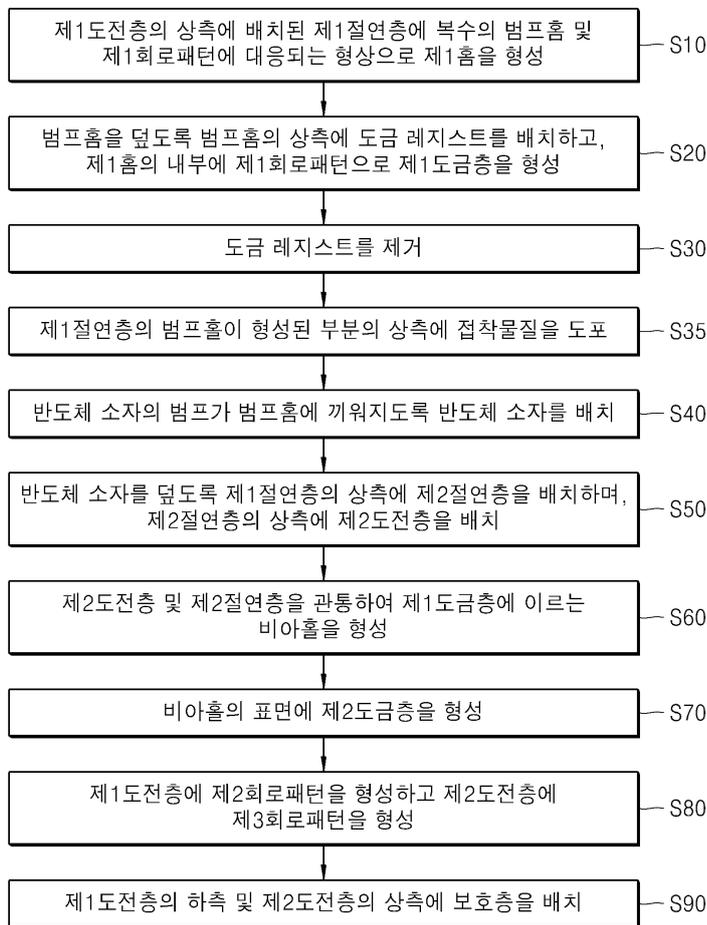
도면11



도면12



도면13



도면14

